



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 100 84 797 B4** 2010.04.01

(12)

## Patentschrift

(21) Deutsches Aktenzeichen: **100 84 797.8**  
(86) PCT-Aktenzeichen: **PCT/CA00/00815**  
(87) PCT-Veröffentlichungs-Nr.: **WO 2001/004906**  
(86) PCT-Anmeldetag: **12.07.2000**  
(87) PCT-Veröffentlichungstag: **18.01.2001**  
(43) Veröffentlichungstag der PCT Anmeldung  
in deutscher Übersetzung: **14.08.2002**  
(45) Veröffentlichungstag  
der Patenterteilung: **01.04.2010**

(51) Int Cl.<sup>8</sup>: **G11C 15/04** (2006.01)  
**G11C 7/06** (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2,277,717 12.07.1999 CA**  
(73) Patentinhaber:  
**Trace Step Holdings, LLC, Dover, Del., US**

(74) Vertreter:  
**WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,  
KAISER, POLTE, Partnerschaft, 85354 Freising**

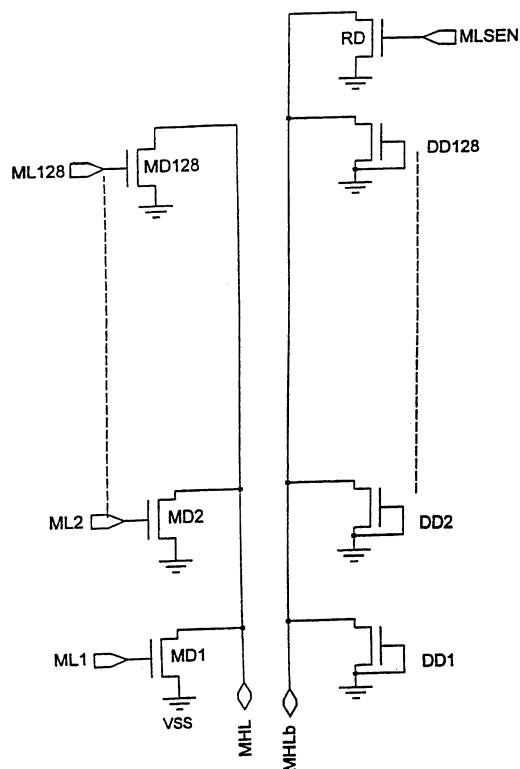
(72) Erfinder:  
**Ahmed, Abdullah, Scarborough, Ontario, CA;  
Lines, Valerie L., Ottawa, Ontario, CA**

(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

US	50 12 448	A
US	54 46 686	A
US	56 10 573	A

(54) Bezeichnung: **Schaltung und Verfahren zum Erfassen von mehreren Gleichheiten in Assoziativspeichern**

(57) Hauptanspruch: Eine Signalerfassungsschaltung zum Erfassen von  $n$  Gleichheitszuständen auf einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen, die aufweist:  
einen Differentialverstärker (DA) zum Liefern einer komplementären Ausgabe, die der Differenz von Spannungspegeln zwischen einem Abfrageknoten (MHL) und einem Referenzknoten (MHLb) entspricht;  
eine Mehrzahl von  $m$  Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128), die auf eine entsprechende der parallel geschalteten  $m$  Gleichheitsprüfungsleitungen (ML1–ML128) zum Ändern des Spannungspegels des Abfrageknotens (MHL) von einem Vorladungspegel zu einem Spannungspegel, der den  $n$  Gleichheitszuständen entspricht, reagieren;  
eine Referenzleitung zum Ändern des Spannungspegels des Referenzknotens (MHLb) von dem Vorladungspegel zu einem Referenzpegel;  
wobei die Referenzleitung eine Mehrzahl von  $m$  Pseudovorrichtungen (DD1–DD128), die parallel geschaltet sind, wobei jede der  $m$  Pseudovorrichtungen eine elektrische Charakteristik wie eine der  $m$  Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128) aufweist, und eine Referenzvorrichtung (RD) beinhaltet, die eine Kanalbreite zwischen der von ersten und zweiten Parallelschaltungen von  $n - 1$  und  $n$  Gleichheitsprüfungsleitungsvorrichtungen aufweist.



**Beschreibung**

## Gebiet der Erfindung

**[0001]** Die vorliegende Erfindung betrifft im allgemeinen Halbleiterspeichervorrichtungen und betrifft insbesondere ein Erfassen von mehrfachen Gleichheiten zwischen Such- und gespeicherten Daten in Assoziativspeicher-(CAM)-Systemen einer hohen Dichte.

## Hintergrund

**[0002]** In vielen herkömmlichen Speichersystemen, wie zum Beispiel einem Direktzugriffsspeicher, sind binäre Ziffern (Bits) in Speicherzellen gespeichert und werden von einem Prozessor abgegriffen, der eine lineare Adresse bezeichnet, die der gegebenen Zelle zugehörig ist. Dieses System liefert einen schnellen Zugriff auf jeden Abschnitt des Speichersystems innerhalb bestimmter Beschränkungen. Um ein Prozessorsteuern zu erleichtern, muß jeder Vorgang, der den Speicher abgreift, als einen Teil der Anweisung die Adresse der erforderlichen Speicherzelle/zellen angeben. Wenn sich die Speicherkapazität erhöht, erhöht sich ebenso die Anzahl von Bits pro Anweisung, die erforderlich sind, um auf eine Speicherzelle zu verweisen. Dies vermindert den Wirkungsgrad des Systems. Zusätzlich zu diesem Nachteil sind Standardspeichersysteme nicht besonders für eine inhaltsbasierte Suche aufgebaut. Inhaltsbasierte Suchen in einem Standardspeicher erfordern eine auf Software basierende algorithmische Suche unter dem Steuern des Mikroprozessors. Diese Suchen sind weder schnell noch wirkungsvoll beim Verwenden vom Prozessorressourcen.

**[0003]** Um diese Unzulänglichkeiten zu überwinden, ist ein assoziatives Speichersystem, das als Assoziativspeicher (CAM) bezeichnet wird, entwickelt worden. Ein CAM läßt zu, daß auf Zellen durch ihre Inhalte verwiesen wird, so daß es zuerst Gebrauch in Tabellenrealisierungen, wie zum Beispiel Cache-Speicher-Untersystemen, fand und nun schnell Gebrauch in Netzwerksystemen findet. Das wertvollste Merkmal eines CAM ist seine Fähigkeit, eine Suche und einen Vergleich als einen einzigen Vorgang durchzuführen. Spezifische Benutzerdaten und gespeicherte Daten können verglichen werden und Gleichheits- und Ungleichheitsergebnisse können durch Zulassen, daß die Inhalte eines Komparandenregisters direkt mit allen Adressen verglichen werden, die gleichzeitig in einem gegebenen Adressenraum eines Speichersystems gehalten werden, zurückgegeben werden.

**[0004]** Zusätzlich zu den Reihen und Spalten von Speicherzellen, die bei den meisten Speichersystemen üblich sind, weist ein CAM ebenso eine Gleichheitsprüfungsleitung- und eine Gleichheitsprüfungslei-

tungserfassungsschaltung (DTC) auf. Die DTC ist ein Abfrageverstärker, der die Änderungen des logischen Zustands in einer Gleichheitsprüfungsleitung für die Zellen in dieser Reihe erfaßt. Die DTC erfaßt eine Gleichheit oder eine Ungleichheit während einem CAM-Such- und Vergleichsvorgang. Obgleich es in vielen frühen Anwendungen keine Bedeutung aufwies, ist derzeit das Erfassen von mehrfachen Gleichheiten auf einer Gleichheitsprüfungsleitung von großem Interesse. Ein Unterscheiden zwischen einem Gleichheits- und Ungleichheitszustand ist so einfach wie ein Angeben eines Schwellwertspannungs- oder -Strompegels zwischen Gleichheits- und Ungleichheitspegeln und ein Bestimmen, auf welcher Seite der Schwellwert des Gleichheitspegels war. Dies kann bei dem Vorhandensein von mehrfachen Gleichheiten nicht durchgeführt werden, da der Effekt, den es hat, einfach ist, daß die Abklinggeschwindigkeit des Spannungs- oder Strompegels erhöht wird.

**[0005]** In einem typischen CAM-System sind verschiedene Speicherzellen, die in einer Reihe angeordnet sind, durch eine Gleichheitsprüfungsleitung mit einer Erfassungsschaltung (DTC) verbunden. Senkrecht zu den Gleichheitsprüfungsleitungen verlaufend sind Suchleitungen, welche geladene Suchdaten halten, die mit gespeicherten Daten in den Spalten von CAM-Zellen zu vergleichen sind. Typischerweise werden Gleichheitsprüfungsleitungen auf eine Gleichheitsprüfungsleitungs-Vorladungsspannung, zum Beispiel VDD, vorgeladen. Wenn ein Suchergebnis eine Gleichheit ist, d. h. Suchdaten auf der Suchleitung mit gespeicherten Daten in der CAM-Zelle gleich sind, dann gibt es keine Änderung des Gleichheitsprüfungsleitungs-Spannungspegels, d. h. er bleibt bei seinem Vorladungszustand VDD. In dem Fall einer Ungleichheit wird ein Gleichstrompfad zwischen der jeweiligen Gleichheitsprüfungsleitung und VSS über die CAM-Zelle gebildet und beginnt sich der Spannungspegel auf dieser Gleichheitsprüfungsleitung zu verringern. Dieser Spannungsabfall wird dann von der jeweiligen DTC erfaßt. Daher muß zum Erfassen einer Ungleichheit jede DTC, die jeder Gleichheitsprüfungsleitung zugehörig ist, erfassen, ob sich ein abweichender Spannungspegel als ein Ergebnis des Such- und Vergleichsvorgangs entwickelt. Jedoch ist es vorteilhaft zu bestimmen, ob sich eine erfaßte Gleichheit aus einer Reihe oder aus mehreren Reihen ergeben hat.

**[0006]** Um mehrfache Gleichheiten zu erfassen, die auch als Treffer bezeichnet werden, ist das sich ergebende Problem eines Erfassens unterschiedlicher Spannungspegel, welche sich auf einer Leitung entwickeln können. Das Vereinigte-Staaten-Patent US 5,012,448 von Matsuoka et al. beschreibt ein Verfahren zum Erfassen eines Spannungspegels in einer mehrpegeligen Nur-Lese-Speicher-(ROM)-Zelle. Wie es in [Fig. 1](#) gezeigt ist, verwenden das Verfahren

und die Vorrichtung, die darin beschrieben sind, ein Paar von CMOS-Invertern, die als Kleinsignalverstärker mit einer NMOS-Vorrichtung betrieben werden, die zum Stromerfassen verwendet wird. Sowohl Referenz- als auch Aktivseitenquellen werden einem Stromspiegel zugeführt. Obgleich dieser Aufbau die erwünschte Aufgabe einer Mehrpegelerfassung erfüllt, tut er dies auf Kosten einer erhöhten Wärmeableitung und eines beschränkten Ausgangsspannungshubs. Diese Erhöhung der Wärme ist ein direktes Ergebnis einer hohen Energieaufnahme durch die diskreten Komponenten und ist ein beschränkender Faktor bei dem Versuch, die Komponentenabmessung zu schrumpfen, so daß sie weniger Schaltungsfläche belegt.

**[0007]** Das Vereinigte-Staaten-Patent US 5,446,686 A von Bosnyak und Santoro beschreibt ein Verfahren und eine Vorrichtung zum Erfassen von mehrfachen Adreßgleichheiten in einem CAM. Die beschriebene Vorrichtung verwendet, wie es in den [Fig. 2A](#), [Fig. 2B](#) und [Fig. 2C](#) gezeigt ist, ein Paar von "hit"- und "dhif"-Leitungen, die über ein Paar von Pul-lup-PMOS-Transistoren mit einem Energieversorgungsanschluß (VDD) verbunden sind. Ein Satz von NMOS-Vorrichtungen N0-N3 der "hit"-Leitung arbeitet in Sättigung, da die Spannungen über den Drain- und Sourceanschlüssen verglichen mit der Gate/Sourcespannung (Vgs) dieser Vorrichtungen immer über einem Schwellwert sind. Der Referenztransistor weist ein Breiten/Längenverhältnis auf, das 1,5 mal einer Abmessung bezüglich jeder der NMOS-Vorrichtungen N0-N3 ist, um einen 1,5fachen Sättigungsstrom zu liefern. Der Referenztransistor Nref arbeitet ebenso in seinem Sättigungsbereich. Die Vgs der Nref-Vorrichtung wird unter Verwendung einer ziemlich komplexen Referenzschaltung erzeugt, um eine zweckmäßige Sättigung für Temperatur- und Spannungscharakteristiken sicherzustellen. Weiterhin verwendet die beschriebene Vorrichtung einen Komparator, um die Stromdifferenz zu vergleichen, die auf den "hit"- und "dhif"-Leitungen für eine Einzel- und Mehrfachgleichheitserzeugung erzeugt wird. Der Komparator ist eine zweistufige Komponente mit hohem Flächenbedarf, der Bipolartransistoren und Widerstände zum Erzielen der erwünschten Ausgabe verwendet.

**[0008]** Eine Beschränkung dieser Anwendung ist wie folgt. Um die NMOS-Vorrichtungen N0-N3 und Nref in Sättigung zu betreiben, müssen die Pul-lup-MOS-Vorrichtungen, die die "hit"- und "dhif"-Leitungen mit dem Energieversorgungsanschluß verbinden, derart einen verhältnismäßig geringen spezifischen Widerstand aufweisen, daß der Spannungsabfall über ihnen nicht bedeutsam ist, während sich die Vorrichtungen N0-N3 und Nref während eines Erfassens einschalten. Dies ist erforderlich, um sicherzustellen, daß sich die Spannung über dem Drain/Sour-cekanal nicht bedeutsam ändert. Dies wird auf die

Kosten einer verhältnismäßig hohen Stromaufnahme durch die "hit"- und "dhif"-Leitungen während des gesamten Vorgangs erzielt, was eine Beschränkung für ein Erfassen von mehreren Gleichheiten innerhalb von CAMs einer hohen Dichte darstellt. Weiterhin ist, um Nref in Sättigung zu betreiben, eine verhältnismäßig komplexe Kompensationsreferenzschaltung erforderlich, um eine Kompensation für Temperatur- und Spannungsschwankungen sicherzustellen, um einen konstanten Referenzstrom zu entwickeln. Der Komparator selbst ist flächenverbrauchend und nimmt Konstantstrom auf. Das Erfordernis nach Bipolarvorrichtungen stellt eine Beschränkung für eine Verwendung in dynamischen Direktzugriffsspeichern (DRAM) dar, welche vollständig CMOS-basiert sind.

**[0009]** Schlußfolgernd erfordert der erhöhte Bedarf nach großen Speichersystemen und der Wunsch, diese Systeme wirkungsvoll für mehr als einen einfachen sequentiellen Zugriff zu verwenden, eine mehrpegelige Abfrageerfassungsvorrichtung, die in einem idealen Ausführungsbeispiel ein schnelles Erfassen mit einer niedrigen Energieaufnahme kombiniert.

#### Kurzfassung der Erfindung

**[0010]** Es ist eine Aufgabe der Erfindung, einen Abfrageverstärker eines verhältnismäßig hohen Wirkungsgrads beim Erfassen von unterschiedlichen Spannungspegeln auf einer Mehrtrefferleitung eines Assoziativspeichers (CAM) zu schaffen. Es ist eine weitere Aufgabe der Erfindung, ein Erfassen von mehreren Gleichheiten unter Verwendung einer verhältnismäßig niedrigen Energie und einer verhältnismäßig niedrigen Schaltungsfläche zum Erfassen der Differenzen zwischen einem Aufweisen von mehreren Treffern und nicht mehreren (null oder einem einzigen) Treffern zu erzielen.

**[0011]** Deshalb wird gemäß einem Aspekt der vorliegenden Erfindung eine Vorrichtung, genauer gesagt eine Signalerfassungsschaltung geschaffen, die einen Differentialverstärker, der einen Abfrageknoten und einen Referenzknoten aufweist, eine Aktivierungseinrichtung zum Schalten des Differenzverstärkers zwischen einer inaktiven Phase und einer aktiven Phase, eine Eingabeeinrichtung zum Zuführen eines Eingangssignals, von dem zugelassen wird, daß es ein Ändern von einem vorbestimmten Vorladungspegel zu einem Entladungspegel während der aktiven Phase beginnt, zu dem Abfrageknoten, und eine Referenzeinrichtung zum Zuführen eines Referenzsignals, das ein Ändern von dem Vorladungspegel zu einem vorbestimmten Referenzpegel während der inaktiven Phase beginnt, zu dem Referenzknoten aufweist, wobei der Differentialverstärker eine komplementäre Ausgabe liefert, die der Differenz zwischen den Entladungs- und den Referenzpegeln entspricht, wenn die Differenz zwischen dem Eingangssignal und dem Referenzsignal einen erfaßbaren Pe-

gel während der aktiven Phase überschreitet

**[0012]** Gemäß einem Ausführungsbeispiel der vorliegenden Erfindung weist der Differenzverstärker eine Verriegelungsschaltung zum Liefern der komplementären Ausgabe auf. Vorzugsweise starten die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel zu ungefähr der gleichen Zeit, wohingegen die aktive Phase nach einer vorbestimmten Zeitverzögerung von der Zeit beginnt, zu der die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel beginnen, wobei die Zeitverzögerung ausreichend ist, um ein Entstehen einer erfaßbaren Differenz zwischen den Eingangs- und Referenzsignalen zuzulassen.

**[0013]** Die Signalerfassungsschaltung kann zum Erfassen einer Mehrzahl von  $n$  Gleichheitszuständen auf einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen in einem Assoziativspeicher einer hohen Dichte verwendet werden, wobei  $2 < n < m$  ist, wobei das Eingangssignal von den Gleichheitsprüfungsleitungen abgeleitet wird. Um dies zu erzielen, ist die Eingabeeinrichtung derart mit einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen gekoppelt, daß der Entladungspegel durch die Anzahl der Gleichheitszustände bestimmt wird, und fällt der Referenzpegel zwischen einen Entladungspegel, der  $n - 1$  Gleichheitszuständen entspricht, und dem, der  $n$  Gleichheitszuständen entspricht. In einem Transistorschaltungsausführungsbeispiel weist die Eingabeeinrichtung eine Mehrzahl von ähnlich abgemessenen  $m$  Gleichheitsprüfungsleitungsanordnungen auf, die parallel zu dem Abfrageknoten geschaltet sind, wobei jede Gleichheitsprüfungsleitungsanordnung auf eine entsprechende der  $m$  Gleichheitsprüfungsleitungen reagiert, und weist die Referenzeinrichtung eine Referenzanordnung und eine Mehrzahl von  $m$  Pseudovanordnungen auf, die parallel zu dem Referenzknoten geschaltet sind, wobei jede Pseudovanordnung einer der  $m$  Gleichheitsprüfungsleitungsanordnungen entspricht und im wesentlichen ähnliche elektrische Charakteristiken wie diese aufweist, und wobei die Referenzanordnung eine Abmessung zwischen der von ersten und zweiten Parallelschaltungen von  $n - 1$  bzw.  $n$  Gleichheitsprüfungsleitungsanordnungen aufweist. In praktischen CAM-Realisierungen ist  $n = 2$ . Die Referenzanordnung wird durch ein Freigabesignal, um eine Änderung des Referenzsignals von dem Vorladungspegel freizugeben, zu ungefähr der gleichen Zeit eingeschaltet, zu der die Gleichheitsprüfungsleitungsanordnungen ihre jeweiligen Gleichheitsdaten aufnehmen. Der Abfrageknoten und der Referenzknoten sind über ein Paar von jeweiligen Klemmvorrichtungen, die im wesentlichen ähnliche elektrische Charakteristiken zueinander und eine ausreichende Abmessung zum Vorladen des Abfrageknotens und des Referenzknotens während der inaktiven Phase und zum Verhindern, daß der Abfrageknoten und der Referenzknoten einen Span-

nungspegel erreichen, der niedriger als die Schwellwertspannung von irgendeiner der Gleichheitsprüfungsleitungsanordnungen ist, getrennt mit einem Energieversorgungsanschluß gekoppelt. Es ist bevorzugt, daß die Klemmvorrichtungen jeweilige Abmessungen aufweisen, die zum Beschränken des Stromflusses durch die Gleichheitsprüfungsleitungsanordnungen, die Pseudovanordnungen und die Referenzanordnung im wesentlichen unter eine Sättigung geeignet sind.

**[0014]** Ein weiteres Ausführungsbeispiel der vorliegenden Erfindung weist weiterhin eine Logikschaltung zum Ausschalten des Paares von Klemmschaltungen nach einem Schalten des Differentialschalters zu einem verriegelten Zustand während der aktiven Phase auf. Die Aktivierungseinrichtung weist vorzugsweise eine Schaltung zum Freigeben des Differentialverstärkers lediglich während der aktiven Phase auf.

**[0015]** Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird eine Vorrichtung, genauer gesagt eine Signalerfassungsschaltung, zum Erfassen einer Mehrzahl von  $n$  Gleichheitszuständen, die zwischen einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen innerhalb einer CAM-Gruppe auftreten, wobei  $2 < n < m$  ist, geschaffen, die einen Differentialverstärker, der einen Abfrageknoten zum Aufnehmen eines sich zeitlich ändernden Eingangssignals und einen Referenzknoten zum Aufnehmen eines sich zeitlich ändernden Referenzsignals aufweist, eine Aktivierungseinrichtung zum Schalten des Referenzverstärkers zwischen einer inaktiven Phase und einer aktiven Phase, eine Vorladungsanordnung zum Vorladen des Abfrageknotens und des Eingabeknotens auf einen vorbestimmten Vorladungspegel während der inaktiven Phase, eine Eingabeeinrichtung zum derartigen Ableiten des Eingangssignals aus den  $m$  Gleichheitsprüfungsleitungen, daß das Eingangssignal ein Ändern während der inaktiven Phase von dem Vorladungspegel zu einem Entladungspegel beginnt, der durch die Anzahl Gleichheitszustände bestimmt wird, und eine Referenzeinrichtung zum Erzeugen des Referenzsignals, welches ein Ändern während der inaktiven Phase von dem Vorladungspegel zu einem Referenzpegel beginnt, der zwischen die Entladungspegel fällt, die  $n$  und  $n - 1$  Gleichheitszuständen entsprechen, aufweist, wobei der Differentialverstärker das Eingangssignal mit dem Referenzsignal während der aktiven Phase vergleicht und eine entsprechende komplementäre Ausgabe liefert, die anzeigt, ob die Anzahl von Gleichheitszuständen unter  $n$  ist oder ob sie gleich  $n$  ist oder dieses überschreitet.

**[0016]** Gemäß noch einem weiteren Aspekt der vorliegenden Erfindung wird ein Verfahren zum Erfassen einer Mehrzahl von  $n$  Gleichheitszuständen, die zwischen einer Mehrzahl von  $m$  Gleichheitsprüfungslei-

tungen innerhalb einer CAM-Gruppe auftreten, wobei  $2 < n < m$  ist, geschaffen, das die Schritte eines Vorsehens eines Differentialverstärkers, Schaltens des Differentialverstärkers in einen inaktiven Zustand, derartigen Ableitens eines Eingangssignals von den  $m$  Gleichheitsprüfungsleitungen, daß das Eingangssignal ein Ändern von einem vorbestimmten Vorladungspegel zu einem Entladungspegel beginnt, der durch die Anzahl der Gleichheitszustände bestimmt wird, Erzeugens eines Referenzsignals, das ein Ändern von dem Vorladungspegel zu einem Referenzpegel beginnt, der zwischen den Entladungspegel, der  $n$  Gleichheitszuständen entspricht, und dem fällt, der  $n - 1$  Gleichheitszuständen entspricht, und Schaltens des Differentialverstärkers in einen aktiven Zustand zum Vergleichen des Eingangssignals mit dem Referenzpegel, um eine Anzeige zu erzielen, ob die Anzahl von Gleichheitszuständen unter  $n$  ist oder ob sie gleich  $n$  ist oder dieses überschreitet, aufweist.

**[0017]** Die Erfindung vermeidet das ansonsten herkömmliche Erfordernis zum Betreiben der Vorrichtungen, die die Mehrfachtrefferleitungen und die Referenzleitung ansteuern, in einem Sättigungsbetrieb, um dadurch eine Energieaufnahme der gesamten Schaltung zu minimieren.

**[0018]** Der Differentialverstärker erfaßt eine Differenz zwischen Spannungen auf der Mehrfachtrefferleitung und der Referenzleitung im Gegensatz zu dem Verfahren eines Stromerfassens im Stand der Technik. Daher nimmt die Schaltung einen verhältnismäßig vernachlässigbaren Strom auf, ohne zusätzliche Stufen zum Verstärken von zu erfassenden Signalpegeln wie in Lösungen im Stand der Technik zu erfordern.

#### Beschreibung der Zeichnung

**[0019]** Beispielhafte Ausführungsbeispiele der Erfindung werden nun weiter unter Bezugnahme auf die Zeichnung beschrieben, in welcher gleiche Bezugszeichen durchgängig durch ihre Figuren ähnliche Teile bezeichnen, und in welcher:

**[0020]** [Fig. 1](#) einen herkömmlichen Abfrageverstärker für ein mehrpegeliges Erfassen zeigt;

**[0021]** [Fig. 2a](#), [Fig. 2b](#) und [Fig. 2c](#) eine Vorrichtung zum Erfassen von mehreren Adreßgleichheiten in einem CAM im Stand der Technik zeigt;

**[0022]** [Fig. 3](#) eine schematische Darstellung zeigt, die die Struktur einer abzufragenden Mehrfachtrefferleitung und einer Referenz-Mehrfachtrefferleitung als ein Teil eines Ausführungsbeispiels dieser Erfindung darstellt;

**[0023]** [Fig. 4](#) eine schematische Darstellung zeigt, die einen Differentialverstärker und zugehörige

Schaltungen zur Verwendung mit der Struktur, die in [Fig. 3](#) gezeigt ist, als ein erstes Ausführungsbeispiel der vorliegenden Erfindung darstellt;

**[0024]** [Fig. 5](#) eine schematische Darstellung zeigt, die eine Differentialanwendung und zugehörige Schaltungen zur Verwendung mit der Struktur, die in [Fig. 3](#) gezeigt ist, in einem zweiten Ausführungsbeispiel der vorliegenden Erfindung darstellt;

**[0025]** [Fig. 6](#) ein Zeitablaufdiagramm eines Mehrfachgleichheitserfassungsvorgangs zeigt, der von dem ersten Ausführungsbeispiel durchgeführt wird;

**[0026]** [Fig. 7](#) ein Zeitablaufdiagramm des Mehrfachgleichheitserfassungsvorgangs zeigt, der von dem zweiten Ausführungsbeispiel durchgeführt wird; und

**[0027]** [Fig. 8a](#), [Fig. 8b](#) und [Fig. 8c](#) Zeitablaufdiagramme zeigen, die die drei Fälle eines mehrfachen, einzelnen bzw. keines Treffers in dem zweiten Ausführungsbeispiel darstellen.

#### Detaillierte Beschreibung der Erfindung

**[0028]** [Fig. 3](#) stellt die Struktur einer Mehrfachtrefferleitung MHL und einer Referenzleitung MHLb als ein Teil eines Ausführungsbeispiels der vorliegenden Erfindung dar. Die Mehrfachtrefferleitung MHL ist mit einer Anzahl (in diesem Ausführungsbeispiel 128) von Gleichheitsprüfungsleitungen ML1–ML128 über NMOS-Gleichheitsprüfungsleitungsvorrichtungen MD1–MD128 parallel geschaltet, welche alle ähnliche Abmessungen und Betriebscharakteristiken aufweisen. Jede dieser Gleichheitsprüfungsleitungsvorrichtungen MD1–MD128 ist derart aufgebaut, daß ihre Source mit VSS verbunden ist, ihr Drain mit MHL verbunden ist und ihr Gate mit der jeweiligen Gleichheitsprüfungsleitung verbunden ist, um dadurch zuzulassen, daß der Spannungspegel auf MHL durch die mehreren Pulldown-Pfade gesteuert wird, die von den Gleichheitsprüfungsleitungsvorrichtungen MD1–MD128 vorgesehen werden. Die Anzahl von Gleichheitsprüfungsleitungsvorrichtungen, die in einer Gruppe von CAM-Zellen verwendet wird, ist gleich der Anzahl von Reihen von CAM-Zellen in dieser Gruppe, was in diesem Ausführungsbeispiel 128 ist. Weiterhin ist jede Gleichheitsprüfungsleitung mit einer Reihe von CAM-Zellen verbunden, welche die Gleichheitsprüfungsleitung verwenden, um über das Auftreten eines Treffers (oder einer Gleichheit) und eines Fehlens (oder einer Ungleichheit) zu unterrichten.

**[0029]** Bei der vorhergehenden Struktur hält jede der Gleichheitsprüfungsleitungen ML1–ML128 eine Gleichheits- oder Ungleichheitsinformation über die Zellen in ihrer Reihe. Bei dem Ereignis einer Un-



gleichheit zwischen Suchdaten und gespeicherten Daten in einer CAM-Zelle in einer ausgewählten Reihe wird die entsprechende Gleichheitsprüfungsleitung von einem entsprechenden Gleichheitsprüfungsleitungs-Abfrageverstärker (nicht gezeigt) von einem vorgeladenen Zustand von VDD (hoch) nach unten zu VSS (niedrig) gezogen, wohingegen eine Gleichheit zwischen Such- und gespeicherten Daten dazu führen wird, daß die Gleichheitsprüfungsleitung an dem vorgeladenen VDD-Pegel bleibt. Solange mindestens eine Gleichheitsprüfungsleitung an dem hohen Pegel ist, wird MHL durch mindestens eine Gleichheitsprüfungsleitungsanordnung zu VSS hin entladen. Wenn mehr als eine Gleichheitsprüfungsleitung über einen Treffer unterrichtet (d. h. bei VDD bleibt), führt dies dazu, daß MHL schneller zu VSS hin entladen wird. Bei dem Ereignis, daß keine Gleichheitsprüfungsleitung über einen Treffer unterrichtet, bleibt MHL bei VDD, da alle der Gleichheitsprüfungsleitungen niedrig sind und sich keine der Gleichheitsprüfungsleitungsanordnungen einschaltet. Der Zweck dieses Ausführungsbeispiels ist, einen Mehrfachtrefferzustand von einem Nichtmehrfachtrefferzustand zu unterscheiden, bei dem lediglich eine oder keine Gleichheit auf MHL auftritt.

**[0030]** Die zweite Leitung, die von diesem Ausführungsbeispiel verwendet wird, ist eine Referenzleitung, die mit MHLb bezeichnet ist. Diese Referenzleitung weist eine gleiche Anzahl (in diesem Ausführungsbeispiel 128) von NMOS-Pseudovorrichtungen DD1–DD128 wie die Anzahl von Gleichheitsprüfungsleitungen MD1–MD128 auf, die ausgenommen dessen auf eine ähnliche parallele Weise geschaltet sind, daß die Gates anstelle mit den tatsächlichen Gleichheitsprüfungsleitungen ML1–ML128 mit der VSS-Leitung verbunden sind, wodurch jede Pseudovorrichtung einen Ungleichheitszustand simuliert. Diese Pseudovorrichtungen DD1–DD128 sind derart ausgewählt, daß sie elektrische Charakteristiken aufweisen, die ähnlich zu den Gleichheitsprüfungsleitungsanordnungen MD1–MD128 für diesen Zweck sind, und liefern daher die gleiche parasitäre Kapazität und widerstandsbehaftete Last auf MHLb, wie es auf MHL vorhanden ist, zur Rauschverringerung. Als ein Ergebnis werden alle Spannungs- oder Temperaturänderungen sowohl MHL- als auch MHLb-Leitungen gleich beeinträchtigen und es gibt keine Notwendigkeit nach einer Spannungs- oder Temperaturkompensation unter Verwendung eines Referenzgenerators oder ähnlichen Schaltungen zum Lösen dieses Problems. Weiterhin gibt es eine NMOS-Referenzanordnung RD auf MHLb, deren Kanalbreite zwischen ein- und zweimal (in diesem Ausführungsbeispiel 3/2) der Kanalbreite von jeder der Gleichheitsprüfungsleitungsanordnungen MD1–MD128 fällt. Das Gate dieser Referenzanordnung RD ist mit einem Gleichheitsprüfungsleitungsabfrage-Freigabesignal MLSEN verbunden, welches ebenso die Gleichheitsprüfungsleitungs-Abfrageverstärker (nicht ge-

zeigt) aktiviert, von denen jeder relevante Gleichheitsprüfungsleitungsdaten auf seiner entsprechenden Gleichheitsprüfungsleitung erfaßt und verriegelt. Gleichheitsdaten werden innerhalb einer sehr kurzen Zeit, nachdem MLSEN zu VDD gesteuert wird, auf den Gleichheitsprüfungsleitungen ML1–ML128 gebildet. Nachfolgend wird im Fall einer Gleichheit eines der Gates der Gleichheitsprüfungsleitungsanordnungen MD1–MD128 zu ungefähr dem gleichen Zeitpunkt, zu dem das Gate der Referenzanordnung RD durch MLSEN zu VDD gesteuert wird, zu VDD gesteuert. Das Taktsignal MLSEN wird verwendet, um sicherzustellen, daß sowohl MHL als auch MHLb beginnen, ihre Spannungen weiterhin gleichzeitig zu ändern. Dies läßt zu, daß im Gegensatz zu den Lösungen im Stand der Technik der Strom durch MHL und MHLb gesteuert und beschränkt wird, wobei andauernd ein Konstantstrom gezogen wird.

**[0031]** In diesem ersten Ausführungsbeispiel werden sowohl MHL als auch MHLb unter Verwendung von zwei PMOS-Spannungsklemmschaltungen, die in [Fig. 4](#) als M1 und M2 gezeigt sind, auf VDD geklemmt. Für einen einzelnen Treffer wird MHL nach einer kurzen Einschwingzeit durch die Gleichheitsprüfungsleitung, die den Treffer anzeigt, nach unten auf einen Spannungspegel gezogen, der geringfügig höher als MHLb ist. Dies ist aufgrund der Tatsache so, daß die Gleichheitsprüfungsleitungsanordnung, die den einzelnen Treffer anzeigt, gleichzeitig mit der Klemmvorrichtung M1 eingeschaltet wird, um dadurch einen Spannungsteiler einzustellen. Da die Breite der Referenzanordnung RD 3/2 mal der Breite von jeder der Gleichheitsprüfungsleitungsanordnungen MD1–MD128 ist, wird MHLb zu niedriger als MHL gesteuert. In dem Fall von zwei oder mehreren Treffern (Gleichheiten) wird MHL nach der kurzen Einschwingzeit einen Spannungspegel erreichen, der niedriger als der von MHLb ist, da die kombinierte Breite der Gleichheitsprüfungsleitungsanordnungen, deren Gates bei VDD sind, größer als die der Referenzanordnung RD ist. Für den Fall von keinen Gleichheiten in der Gruppe sind die Gates von allen der Gleichheitsprüfungsleitungsanordnungen MD1–MD128 bei VSS, wobei daher MHL bei dem vorgeladenen Pegel bleiben wird, während MHLb zu einer niedrigeren Spannung gesteuert wird.

**[0032]** [Fig. 4](#) zeigt einen Differentialverstärker DA und zugehörige Schaltungen, die mit der Struktur verwendet werden, die in [Fig. 3](#) gezeigt ist, als ein Ausführungsbeispiel dieser Erfindung. Wie es zuvor angegeben worden ist, werden die PMOS-Klemmvorrichtungen M1 und M2 zum Klemmen MHL und MHLb auf VDD verwendet. Die Gates von M1 und M2 sind mit VSS verbunden, was beide Vorrichtungen leitend macht, sobald der Spannungspegel auf MHL und MHLb unter VDD-V<sub>tp</sub> (die Schwellwertspannung einer PMOS-Vorrichtung) fällt. Die Sourceanschlüsse von M1 und M2 sind mit VDD verbunden und der

Drainanschluß von M1 ist mit MHL verbunden, während der Drain von M2 mit MHLb verbunden ist. Die Abmessungen von sowohl M1 als auch M2 sind derart ausgewählt, daß sie genügend Strom liefern, um MHL und MHLb auf VDD zu klemmen, aber M1 und M2 sollten eine derartige Abmessung aufweisen, daß nicht zugelassen wird, daß MHL und MHLb einen Spannungspegel unter  $V_{tn}$ , die Schwellwertspannung von ersten und zweiten NMOS-Abfragevorrichtungen M3 und M4, die als ein Teil des Differentialverstärkers DA verwendet werden, erreichen. Bei diesem Aufbau liefert jede Kombination einer PMOS-Vorrichtung (M1 oder M2) mit mindestens einer NMOS-Vorrichtung (MD1–MD128 oder RD, DD1–DD128) einen widerstandsbehafteten Spannungsteiler, der die jeweiligen Spannungspegel auf MHL und MHLb entwickelt, die von dem Differentialverstärker DA zu erfassen sind. Um diesen Spannungsteiler Aufbau zu erzielen, sind die PMOS-Vorrichtungen verhältnismäßig klein, um dadurch den Stromfluß durch sie zu verringern. Das Verhältnis von Transistorabmessungen (Kanalbreiten) von M1 und jeder der Gleichheitsprüfungsleitungsvorrichtungen MD1–MD128, die in [Fig. 3](#) gezeigt sind, bestimmt den Spannungspegel, auf welchen MHL entladen wird, wenn eine Gleichheit auftritt. Ähnlich bestimmt das Verhältnis von Transistorabmessungen von M2 und RD den Spannungspegel, den MHLb erreichen wird, wenn sich RD einschaltet. Die Verhältnisse sind typischerweise unempfindlich auf Temperaturänderungen, was daher die Notwendigkeit für bestimmte Maßnahmen zur Temperaturkompensation beseitigt.

**[0033]** Eine Verriegelungsschaltung von vier Verriegelungstransistorvorrichtungen M6–M9 zusammen mit einem Paar von Abfragevorrichtungen M3 und M4 bilden den Verriegelungsdifferentialverstärker DA zum Erfassen der Pegeldifferenz, die zwischen MHL und MHLb entwickelt wird. Eine Aktivierungsschaltung, die den Differentialverstärker DA zwischen einer inaktiven Phase und einer aktiven Phase schaltet, ist durch drei Aktivierungstransistorvorrichtungen M5, MIO und M11 ausgebildet, von denen die Gates zusammen mit einem Aktivierungssignal SHL verbunden sind. Die inaktive Phase stimmt damit überein, daß SHL niedrig ist und die MHL und MHLb auf VDD vorgeladen sind, wohingegen die aktive Phase damit übereinstimmt, daß SHL hoch ist und MHL und MHLb abgefragt werden. SHL wird mit einer bestimmten Zeitverzögerung, die ausreichend ist, um zuzulassen, daß eine Spannungsdifferenz zwischen MHL und MHLb einen Pegel erreicht, der von dem Differentialverstärker DA erfassbar ist, nach hoch geschaltet, nachdem MLSEN nach hoch geschaltet worden ist. Dies dient dazu, zu vermeiden, daß DA auf parasitäre Spannungen reagiert, während MHL und MHLb zu ihren jeweiligen Sollpegeln entladen werden. Es ist anzumerken, daß auch während der aktiven Phase der Differentialverstärker DA, der von einem verriegelten Typ ist, Strom lediglich während

des Schaltens der Verriegelungsschaltung M6–M9 zieht, und daß ein derartiges Schalten aufgrund der positiven Rückkoppelungsverbindungen innerhalb der CMOS-Verriegelungsschaltung M6–M9 ziemlich schnell auftritt.

**[0034]** Die Schaltung in [Fig. 4](#) beinhaltet ebenso eine zusätzliche herkömmliche Ausgabeverriegelungsschaltung LC, die von dem LATCH-Signal durch einen Schalter SW gesteuert wird, welcher mit einer Verzögerungseinheit DU als Reaktion auf das SHL-Signal ein- und ausgeschaltet wird. Die Verzögerungseinheit liefert zwei Steuersignale SHL\_DLY und SHL\_DLYb, welche zeitlich verzögerte Versionen von SHL sind. Wenn SHL zu einem Pegel einer niedrigeren Spannung geht, wird der Pfad der Verriegelungsschaltung LC durch den Schalter SW gesperrt, während ein hoher Spannungspegel MSHL die Verriegelungsschaltung freigibt.

**[0035]** [Fig. 6](#) zeigt den relativen Zeitablauf des Erfassungsvorgangs, der von dem ersten Ausführungsbeispiel durchgeführt wird, das die Schaltungen der [Fig. 3](#) und [Fig. 4](#) kombiniert. Während der inaktiven Phase werden, wenn SHL bei VSS ist, erste und zweite Ausgabeknoten des Differentialverstärkers out bzw. outb beide von MIO und M11 auf VDD vorgeladen. SHL wird zu VDD gesteuert, um den Differentialverstärker DA zu dem Zeitpunkt, zu dem sowohl MHL als auch MHLb ihre jeweiligen Spannungspegel erreicht haben, wie es durch die Gleichheitsdaten auf den Gleichheitsprüfungsleitungen ML1–ML128 bestimmt wird, welche eine ausreichende Differenzialerfassungsgrenze sicherstellen, in die aktive Phase zu schalten. Nach dieser vorbestimmten Verzögerung geht SHL zu VDD und schaltet sich M5 ein, wobei sein Gate zu VDD gesteuert wird. In dem Fall eines mehrfachen Treffers bildet MHL eine niedrigere Spannung als MHLb und wird die erste Abfragevorrichtung M3, die durch MHL gesteuert wird, geringfügig eingeschaltet, während die zweite Abfragevorrichtung M4, die durch MHLb gesteuert wird, stark eingeschaltet wird. Dies liefert einen höheren Schaltstrom durch M4 und M7, welche in Reihe zusammengeschaltet sind, und einen niedrigeren Strom durch M3 und M6, welche ebenso in Reihe zusammengeschaltet sind. Der sich ergebende Differentialstrom in den zwei Pfaden ändert sich schnell, d. h. kippt die Verriegelungsschaltung aufgrund der positiven Rückkopplung zwischen ihren vier Verriegelungstransistoren M6–M9. Als ein Ergebnis wird der erste Ausgabeknoten out zu VSS gesteuert, während der zweite Ausgabeknoten outb hoch bleibt. Zwei Paare von Ausgabepuffertransistorvorrichtungen M12, M13 und M14, M15 liefern erste bzw. zweite invertierende Puffer BUF1 bzw. BUF2 zwischen den ersten und zweiten Ausgabeknoten out und outb, die erste bzw. zweite Ausgabesignale LATCH und LATCHb erzeugen, die bei einer nachfolgenden Signalverarbeitung verwendet werden. In dem Fall einer

einzelnen Gleichheit oder einer Ungleichheit ist MHL an einem höheren Spannungspegel als MHLb, was bewirkt, daß sich der erste Abfragetransistor M3 kräftiger als der zweite Abfragetransistor M4 einschaltet. Ein Differentialstrom wird auf eine entgegengesetzte Weise erzeugt, da der zweite Ausgabeknoten outb nach unten zu VSS gesteuert wird, während der erste Ausgabeknoten out hoch bleibt. Der erste Ausgabeknoten out steuert den ersten invertierenden Puffer BUF1, um das erste Ausgabesignal LATCH zu liefern, welches die Information für eine weitere Verarbeitung hält. Es sollte angemerkt werden, daß das Aktivierungssignal SHL lediglich für die Zeitdauer, die es dauert, bis die abgefragten Daten die Verriegelungsschaltung M6–M9 steuern (aktive Phase), bei VDD bleibt. Da der erste Ausgabeknoten out die Information bezüglich mehreren Treffern in einer verhältnismäßig kurzen Zeit liefert, besteht eine Stromaufnahme durch M1 zu M2 ebenso für eine verhältnismäßig kurze Zeit. Dies ist klar in [Fig. 6](#) gezeigt, welche den Zeitablauf eines Mehrfachtreffererfassungsvorgangs darstellt. Als ein Ergebnis ist der Strom, der durch den Differentialverstärker DA fließt, lediglich während des Schaltens der Verriegelungsschaltung M6–M9 vorhanden.

**[0036]** [Fig. 5](#) zeigt einen Differentialverstärker und zugehörige Schaltungen, die mit der Struktur verwendet werden, die in [Fig. 3](#) gezeigt ist, als ein zweites Ausführungsbeispiel der vorliegenden Erfindung, wobei getrennte erste und zweite PMOS-Vorladungsvorrichtungen M16 bzw. M17 zusätzlich zu den Klemmvorrichtungen M1 und M2 vorgesehen sind. Die Differentialverstärkerschaltung, die aus M3, M4 und M6–M9 besteht, ist die gleiche wie die, die in [Fig. 4](#) gezeigt ist. Ein weiterer Unterschied zwischen den ersten und zweiten Ausführungsbeispielen ist, daß das Paar von Spannungsklemmvorrichtungen M1 und M2 ihre jeweiligen Gates aufweisen, die von der Ausgabe eines Inverters INV gesteuert werden, dessen Eingangsgatter durch die Ausgabe eines negierten ODER-Logikgatters NLG gesteuert wird. Ein erster Eingang von NLG ist mit dem ersten Ausgangssignal LATCH verbunden, das durch den ersten invertierenden Puffer BUF1 vorgesehen wird, der durch das erste Paar von Puffervorrichtungen M12 und M13 ausgebildet ist, und ein zweiter Eingang von NLG ist mit dem zweiten Ausgangssignal LATCHb verbunden, das durch den zweiten invertierenden Puffer BUF2 vorgesehen wird, der durch das zweite Paar von Puffervorrichtungen M14 und M15 ausgebildet ist. Diese Verbindung der Gates der Spannungsklemmvorrichtungen M1 und M2 liefert ein Selbsttakten, um M1 und M2 so schnell wie möglich auszuschalten, wenn der Differentialverstärker DA die Daten verriegelt hat und von seinem vorgeladenen Zustand schaltet. Dies liefert eine weitere Verringerung einer Energieaufnahme, da M1 und M2 lediglich für eine sehr beschränkte Zeit während des Abfrageintervalls eingeschaltet werden.

**[0037]** Noch ein weiterer Unterschied von der Schaltung des ersten Ausführungsbeispiels, das in [Fig. 4](#) gezeigt ist, ist, daß anstelle eines Verwendens der Klemmvorrichtungen M1 und M2, um MHL und MHLb vorzuladen, die Vorladevorrichtungen M16 und M17 verwendet werden, um die MHL- und MHLb-Leitungen unter Verwendung des PREb-MHL-Signals vorzuladen. Deshalb werden in diesem zweiten Ausführungsbeispiel, wie es in [Fig. 5](#) gezeigt ist, die Spannungsklemmvorrichtungen M1 und M2 lediglich, um die logischen Pegel auf MHL und MHLb vorzusehen, und nicht wie in dem ersten Ausführungsbeispiel zum Entladen verwendet. Wenn M1 und M2 wie in dem ersten Ausführungsbeispiel zum Entladen verwendet werden würden, würde der Übergangsstrom, der zum Vorladen von MHL und MHLb durch jeden PMOS-Transistor erforderlich ist, größer als der Strom sein, der erforderlich ist, um die Spannungspegel auf diesen zwei Leitungen zu entwickeln, da in dem zweiten Ausführungsbeispiel M1 und M2 minimal abgemessene Transistoren sein können. Deshalb würde, wenn M1 und M2 verwendet werden würden, um die Vorladung durchzuführen, die erforderlichen größeren Schaltungsabmessungen zu einer größeren Gleichstrom-Energieaufnahme führen, wenn die Spannungen auf MHL und MHLb während der aktiven Phase entwickelt werden würden. Um dieser großen Energieaufnahme zu begegnen, verwendet das zweite Ausführungsbeispiel in [Fig. 5](#) die Vorladungstransistoren M16 und M17, um die Vorladung wirkungsvoller durchzuführen.

**[0038]** [Fig. 7](#) stellt den Erfassungsvorgang, der von dem zweiten Ausführungsbeispiel durchgeführt wird, das die Schaltungen in [Fig. 3](#) und [Fig. 5](#) kombiniert, in dem Fall eines mehrfachen Treffers dar. Wie in dieser Figur gezeigt ist, beginnen, sobald eine Differenz zwischen MHL und MHLb von dem Differentialverstärker DA erfaßt wird, beide Leitungen kraft der Rückkopplungsschaltung aus den zwei Verstärkerausgaben out und outb über das Logikgatter NLG und den Inverter INV zu VSS entladen zu werden.

**[0039]** [Fig. 8a](#), [Fig. 8b](#) und [Fig. 8c](#) stellen die drei möglichen Ergebnisse des Such- und Vergleichsvorgangs bezüglich der Schaltung dar, die zuvor für das zweite Ausführungsbeispiel in [Fig. 5](#) beschrieben worden ist. [Fig. 8a](#) stellt den Fall eines mehrfachen Treffers dar, bei dem der Such- und Vergleichsvorgang zu mehr als einem Treffer (oder Gleichheit) zwischen Suchdaten und gespeicherten Daten in einer besonderen Reihe des CAM geführt hat. Es ist anzumerken, daß sich nach einer kurzen Zeitdauer der Spannungspegel von MHL aufgrund der kombinierten Pulldown-Wirkung, daß mehrere Gleichheitsprüfungsleitungsanordnungen von ML1–ML128 (in [Fig. 3](#) gezeigt) gleichzeitig eingeschaltet werden, im wesentlichen unter den von MHLb verringert, wie es zuvor beschrieben worden ist. Diese Gleichheitsprüfungsleitungsanordnungen, die den mehrfachen



Treffern entsprechen, weisen eine kombinierte Breite auf, welche größer als die Breite der Referenzvorrichtung RD ist, und ziehen deshalb MHL zu einem Spannungspegel, der niedriger als der von MHLb ist. Ein Erfassen der Spannungsdifferenz zwischen MHL und MHLb tritt einmal auf, wenn die zwei Leitungen ausreichend weit weg von der Spannung sind, die von den Abfragevorrichtungen M3 und M4 abzufragen ist. Kurz danach erzielt der zweite Ausgabeknoten outb ein entsprechendes Signal aus dem Differentialverstärker, wie es zuvor beschrieben worden ist, werden sowohl MHL als auch MHLb zu VSS entladen und werden dann MHL und MHLb einmal wiederum beim Vorbereiten für den nächsten Abfragevorgang während der nächsten aktiven Phase vorgeladen. Auf ähnliche Weise ist in [Fig. 8b](#) der Fall eines einzelnen Treffers dargestellt. Es ist anzumerken, daß das Ergebnis entgegengesetzt zu dem ist, das in [Fig. 8](#) gezeigt ist, wobei MHLb zu einem Spannungspegel gezogen wird, der niedriger als der von MHL ist, da der einzelne Gleichheitsprüfungsleitungstransistor, der einen Treffer auf seiner zugehörigen Gleichheitsprüfungsleitung hervorbringt, eine Breite aufweist, welche niedriger als die des Referenztransistors RD ist. Schließlich ist in [Fig. 8c](#) der Fall von keinem Treffern dargestellt. Hier bleibt MHL an seinem vorgeladenen Zustand, da keine der Gleichheitsprüfungsleitungs-vorrichtungen in [Fig. 3](#) freigegeben wird.

**[0040]** Wie es sich für den Fachmann ergibt, gibt es, um zwischen einem einzelnen Treffer und keinem Treffer zu erfassen, einen Satz von Einfachtrefferabfrageleitungen HIT\_1 bis HIT\_128 (nicht gezeigt) ähnlich zu MHL\_1 bis MHL\_128, aber ohne einen Abfrageverstärkervergleich. Leitungen HIT\_1 bis HIT\_128 erfassen, ob es mindestens eine Gleichheit gibt. Eine einfache Logik wird dann durchgeführt, um die Ausgaben aus den Einfachtrefferleitungen und den Mehrfachtrefferleitungen, MHL, zu verarbeiten, um zu bestimmen, ob ein einzelner, mehrere oder kein Treffer aufgetreten ist.

**[0041]** Mit einer zusätzlichen Logikschaltung können die Ausgaben der HIT\_128b-Leitungen von jeder der vier Gruppen ebenso kombiniert werden, um eine mehrfache Gleichheit anzuzeigen. Zum Beispiel würden, wenn es einen einzelnen Treffer in einer Gruppe und einen einzelnen Treffer in einer anderen Gruppe gibt, die jeweiligen HIT\_128b-Leitungen in den jeweiligen Gruppen behauptet werden, aber die entsprechenden MHL\_128-Leitungen würden nicht behauptet werden. Eine einfache binäre Logikschaltung kann bestimmen, daß es tatsächlich mehrere Treffer gibt.

### Patentansprüche

1. Eine Signalerfassungsschaltung zum Erfassen von n Gleichheitszuständen auf einer Mehrzahl von m Gleichheitsprüfungsleitungen, die aufweist:

einen Differentialverstärker (DA) zum Liefern einer komplementären Ausgabe, die der Differenz von Spannungspegeln zwischen einem Abfrageknoten (MHL) und einem Referenzknoten (MHLb) entspricht; eine Mehrzahl von m Gleichheitsprüfungsleitungs-vorrichtungen (MD1–MD128), die auf eine entsprechende der parallel geschalteten m Gleichheitsprüfungsleitungen (ML1–ML128) zum Ändern des Spannungspegels des Abfrageknotens (MHL) von einem Vorladungspegel zu einem Spannungspegel, der den n Gleichheitszuständen entspricht, reagieren; eine Referenzleitung zum Ändern des Spannungspegels des Referenzknotens (MHLb) von dem Vorladungspegel zu einem Referenzpegel; wobei die Referenzleitung eine Mehrzahl von m Pseudovorrichtungen (DD1–DD128), die parallel geschaltet sind, wobei jede der m Pseudovorrichtungen eine elektrische Charakteristik wie eine der m Gleichheitsprüfungsleitungs-vorrichtungen (MD1–MD128) aufweist, und eine Referenzvorrichtung (RD) beinhaltet, die eine Kanalbreite zwischen der von ersten und zweiten Parallelschaltungen von n – 1 und n Gleichheitsprüfungsleitungs-vorrichtungen aufweist.

2. Die Signalerfassungsschaltung nach Anspruch 1, wobei der Differentialverstärker (DA) eine komplementäre Ausgabe, die einer oder mehreren Gleichheitsprüfungsleitungs-vorrichtungen (MD1–MD128) in dem eingeschalteten Zustand entspricht, und eine andere komplementäre Ausgabe liefert, die höchstens einer Gleichheitsprüfungsleitungs-vorrichtung in dem eingeschalteten Zustand entspricht.

3. Die Signalerfassungsschaltung nach Anspruch 1, wobei eine Aktivierungsvorrichtung (M5, M10, M11) den Differentialverstärker (DA) zwischen einer inaktiven Phase und einer aktiven Phase schaltet.

4. Die Signalerfassungsschaltung nach Anspruch 3, wobei die Aktivierungsvorrichtung (M5, M10, M11) eine Schaltung zum Freigeben des Differentialverstärkers (DA) lediglich während der aktiven Phase aufweist.

5. Die Signalerfassungsschaltung nach Anspruch 3, wobei die Aktivierungsvorrichtung (M5, M10, M11) eine Schaltung zum Vorladen der komplementären Ausgabe während der inaktiven Phase aufweist.

6. Die Signalerfassungsschaltung nach Anspruch 1, wobei der Differentialverstärker (DA) eine Verriegelungsschaltung (M6–M9) zum Liefern der komplementären Ausgabe beinhaltet.

7. Die Signalerfassungsschaltung nach Anspruch 3, wobei der Differentialverstärker (DA) die

komplementäre Ausgabe liefert, wenn die Differenz zwischen dem Abfrageknotenspannungspegel und dem Referenzknotenspannungspegel einen erfaßbaren Wert während der aktiven Phase überschreitet.

8. Die Signalerfassungsschaltung nach Anspruch 1, wobei jede Gleichheitsprüfungsleitungsvorrichtung (MD1–MD128) ein NMOS-Transistor ist, der einen Drain, der mit dem Abfrageknoten (MHL) verbunden ist, eine Source, die mit Masse verbunden ist, und ein Gate aufweist, das mit einer Gleichheitsprüfungsleitung (ML1–ML128) verbunden ist.

9. Die Signalerfassungsschaltung nach Anspruch 1, wobei die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel zu der gleichen Zeit beginnen.

10. Die Signalerfassungsschaltung nach Anspruch 3, wobei die aktive Phase nach einer vorbestimmten Zeitverzögerung von der Zeit beginnt, zu der die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel beginnen, wobei die Zeitverzögerung ausreichend ist, um ein Entstehen einer erfaßbaren Differenz zwischen den Eingangs- und Referenzsignalen zuzulassen.

11. Die Signalerfassungsschaltung nach Anspruch 1, wobei:  
der Entladungspegel durch die Anzahl der Gleichheitszustände bestimmt wird, und  
der Referenzpegel zwischen den Entladungspegel, der  $n - 1$  Gleichheitszuständen entspricht, und den fällt, der  $n$  Gleichheitszuständen entspricht, wobei  $n$  ein ganzzahliger Wert ist.

12. Die Signalerfassungsschaltung nach Anspruch 1, wobei  $n = 2$  ist.

13. Die Signalerfassungsschaltung nach Anspruch 1, wobei die Referenzvorrichtung (RD) durch ein Freigabesignal, um eine Änderung des Referenzsignals von dem Vorladungspegel freizugeben, zu der gleichen Zeit eingeschaltet wird, zu der die Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128) ihre jeweiligen Gleichheitsdaten aufnehmen.

14. Die Signalerfassungsschaltung nach Anspruch 1, wobei der Abfrageknoten (MHL) und der Referenzknoten (MHLb) über ein Paar von jeweiligen Klemmvorrichtungen (M1, M2), die ähnliche elektrische Charakteristiken zueinander und eine ausreichende Abmessung zum Vorladen des Abfrageknotens und des Referenzknotens während der inaktiven Phase und zum Verhindern, daß der Abfrageknoten und der Referenzknoten einen Spannungspegel erreichen, der niedriger als die Schwellwertspannung von einer der Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128) ist, aufweisen, getrennt mit einem

ersten Energieversorgungsanschluß gekoppelt sind.

15. Die Signalerfassungsschaltung nach Anspruch 14, wobei die Klemmvorrichtungen (M1, M2) jeweilige Abmessungen aufweisen, die zum Beschränken des Stromflusses durch die Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128), die Pseudovorrichtungen (DD1–DD128) und die Referenzvorrichtung (RD) unter einen Sättigungsbetriebsstrom geeignet sind.

16. Die Signalerfassungsschaltung nach Anspruch 15, wobei eine Logikschaltung (NLG) das Paar von Klemmvorrichtungen (M1, M2) nach einem Schalten des Differentialverstärkers (DA) zu einem verriegelten Zustand während der aktiven Phase ausschaltet.

17. Eine Signalerfassungsschaltung zum Erfassen einer Mehrzahl von  $n$  Gleichheitszuständen, die zwischen einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen (ML1–ML128) innerhalb einer CAM-Gruppe auftreten, wobei  $2 \leq n < m$  ist, die aufweist:  
einen Differentialverstärker (DA), der einen Abfrageknoten (MHL) zum Aufnehmen eines sich zeitlich ändernden Eingangssignals und einen Referenzknoten (MHLb) zum Aufnehmen eines sich zeitlich ändernden Referenzsignals aufweist;  
eine Aktivierungseinrichtung (M5, M10, M11) zum Schalten des Differentialverstärkers (DA) zwischen einer inaktiven Phase und einer aktiven Phase;  
eine Vorladungseinrichtung (M16, M17) zum Vorladen des Abfrageknotens (MHL) und des Referenzknotens (MHLb) auf einen vorbestimmten Vorladungspegel während der inaktiven Phase;  
eine Mehrzahl von parallel geschalteten Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128) zum Ableiten des Eingangssignals aus den  $m$  Gleichheitsprüfungsleitungen (ML1–ML128), wodurch eine Änderung des Eingangssignals während der inaktiven Phase von dem Vorladungspegel zu einem Entladungspegel beginnt, der durch die Anzahl der Gleichheitszustände bestimmt wird; und  
Referenzleitungen zum Erzeugen des Referenzsignals, welches ein Ändern während der inaktiven Phase von dem Vorladungspegel zu einem Referenzpegel beginnt, der zwischen die Entladungspegel fällt, die  $n$  und  $n - 1$  Gleichheitszuständen entsprechen; wobei die Referenzleitungen eine Mehrzahl von Pseudovorrichtungen (DD1–DD128), die jeweils parallel zu dem Referenzknoten (MHLb) geschaltet sind und einer der Mehrzahl von Gleichheitsprüfungsleitungsvorrichtungen (MD1–MD128) entsprechen und jeweils ähnliche elektrische Charakteristiken wie diese aufweisen, und eine Referenzvorrichtung (RD) beinhalten, die eine Kanalbreite zwischen der von ersten und zweiten Parallelschaltungen von  $n - 1$  auf  $n$  Gleichheitsprüfungsleitungsvorrichtungen aufweist.

18. Die Signalerfassungsschaltung nach An-

spruch 17, wobei  $n = 2$  ist.

19. Die Signalerfassungsschaltung nach Anspruch 17, wobei der Differentialverstärker (DA) eine Verriegelungsschaltung (M6–M9) zum Liefern einer komplementären Ausgabe aufweist.

20. Die Signalerfassungsschaltung nach Anspruch 19, wobei der Differentialverstärker (DA) eine komplementäre Ausgabe, die zwei oder mehreren Gleichheitszuständen entspricht, und eine andere komplementäre Ausgabe liefert, die höchstens einem Gleichheitszustand entspricht.

21. Die Signalerfassungsschaltung nach Anspruch 17, wobei die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel zu der gleichen Zeit beginnen.

22. Die Signalerfassungsschaltung nach Anspruch 17, wobei die aktive Phase nach einer vorbestimmten Zeitverzögerung von der Zeit beginnt, zu der die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel beginnen, wobei die Zeitverzögerung ausreichend ist, um ein Entstehen einer erfaßbaren Differenz zwischen den Eingangs- und Referenzsignalen zuzulassen.

23. Ein Verfahren zum Erfassen einer Mehrzahl von  $n$  Gleichheitszuständen, die zwischen einer Mehrzahl von  $m$  Gleichheitsprüfungsleitungen (ML1–ML128) innerhalb einer CAM-Gruppe auftreten, wobei  $2 \leq n < m$  ist, das die Schritte aufweist:  
Schalten eines Differentialverstärkers (DA) in einen inaktiven Zustand;  
Vorladen von ersten und zweiten Eingangsknoten (MHLb, MHL) des Differentialverstärkers (DA);  
Erzeugen eines Referenzsignals auf dem ersten Eingangsknoten (MHLb) durch selektives Einschalten einer Referenzvorrichtung (RD), die ein Ändern des Spannungspegels des ersten Eingangsknotens von dem Vorladungspegel zu einem Referenzpegel beginnt, der zwischen einem Entladungspegel, der  $n$  Gleichheitszuständen entspricht, und dem fällt, der  $n - 1$  Gleichheitszuständen entspricht, während der Differentialverstärker (DA) in dem inaktiven Zustand ist;  
Ableiten eines Eingangssignals von den  $m$  Gleichheitsprüfungsleitungen (ML1–ML128) auf dem zweiten Eingangsknoten (MHL), wodurch eine Änderung des Eingangssignals von dem Vorladungspegel zu dem Entladungspegel beginnt, der durch die Anzahl der Gleichheitszustände bestimmt wird; und  
Schalten des Differentialverstärkers (DA) in einen aktiven Zustand zum Vergleichen des Eingangssignals mit dem Referenzsignal, um eine Anzeige zu erzielen, ob die Anzahl von Gleichheitszuständen unter  $n$  ist oder ob die Anzahl von Gleichheitszuständen gleich  $n$  ist oder dieses überschreitet.

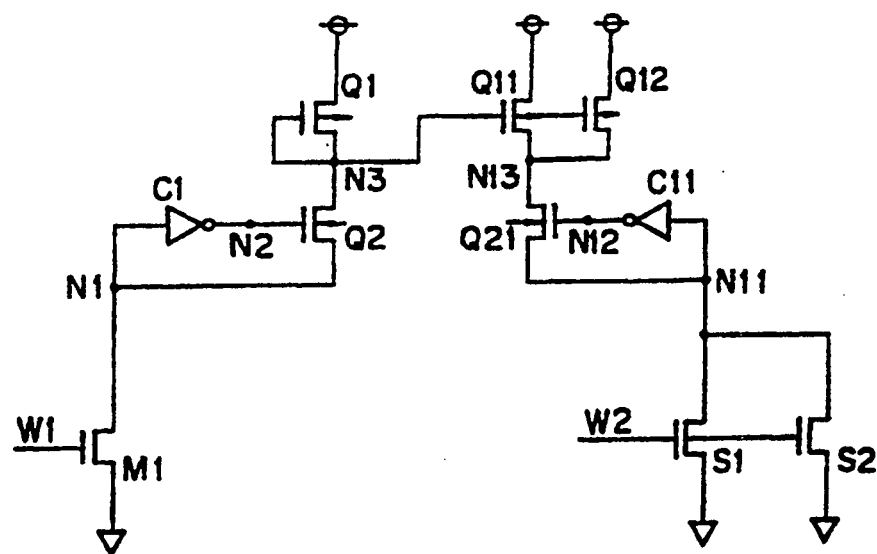
24. Das Verfahren zum Erfassen nach Anspruch 23, wobei  $n = 2$  ist.

25. Das Verfahren zum Erfassen nach Anspruch 23, wobei die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel zu der gleichen Zeit beginnen.

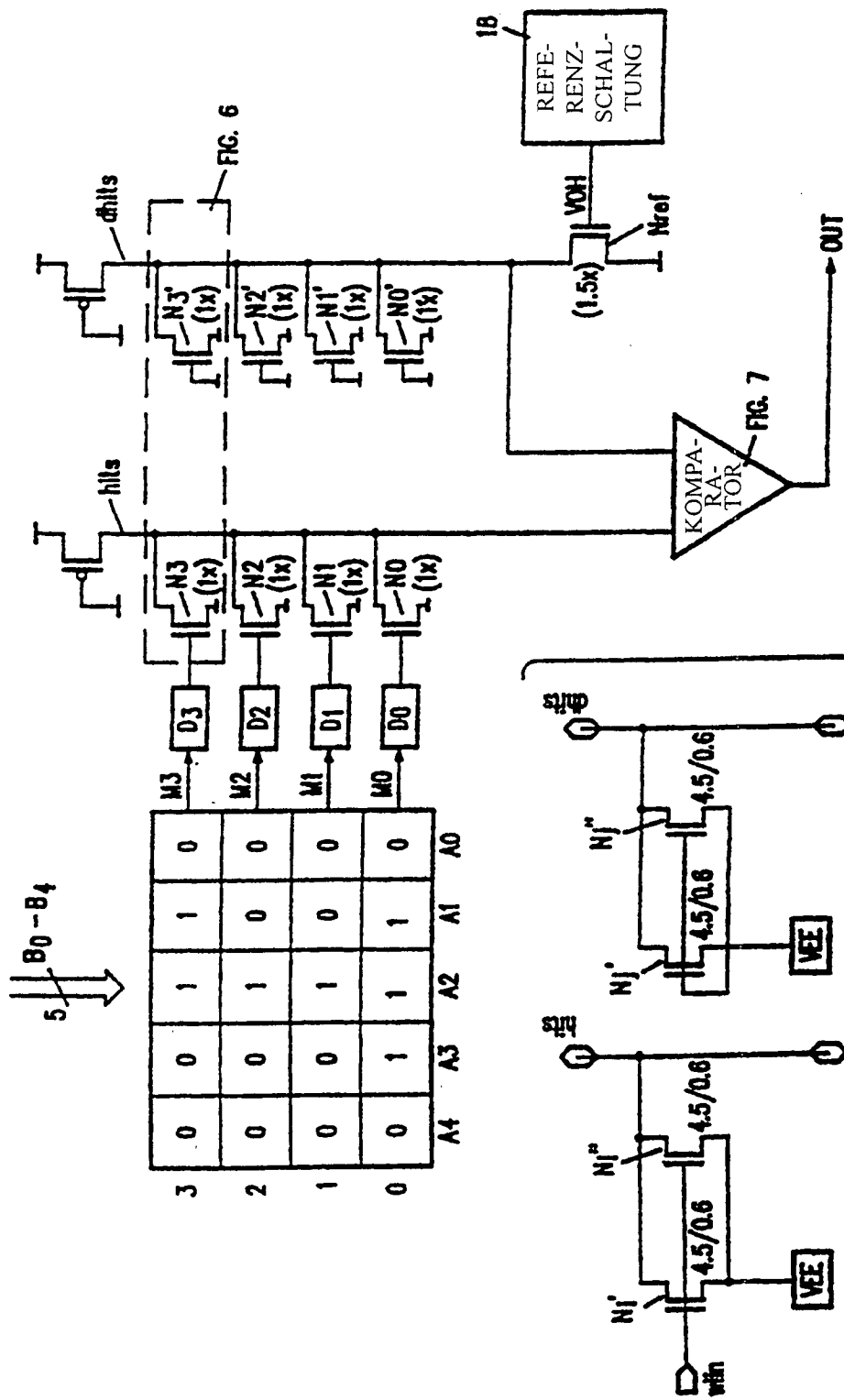
26. Das Verfahren zum Erfassen nach Anspruch 25, wobei die aktive Phase nach einer vorbestimmten Zeitverzögerung von der Zeit beginnt, zu der die Eingangs- und Referenzsignale ein Ändern von dem Vorladungspegel beginnen, wobei die Zeitverzögerung ausreichend ist, um ein Entstehen einer erfaßbaren Differenz zwischen den Eingangs- und Referenzsignalen zuzulassen.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen



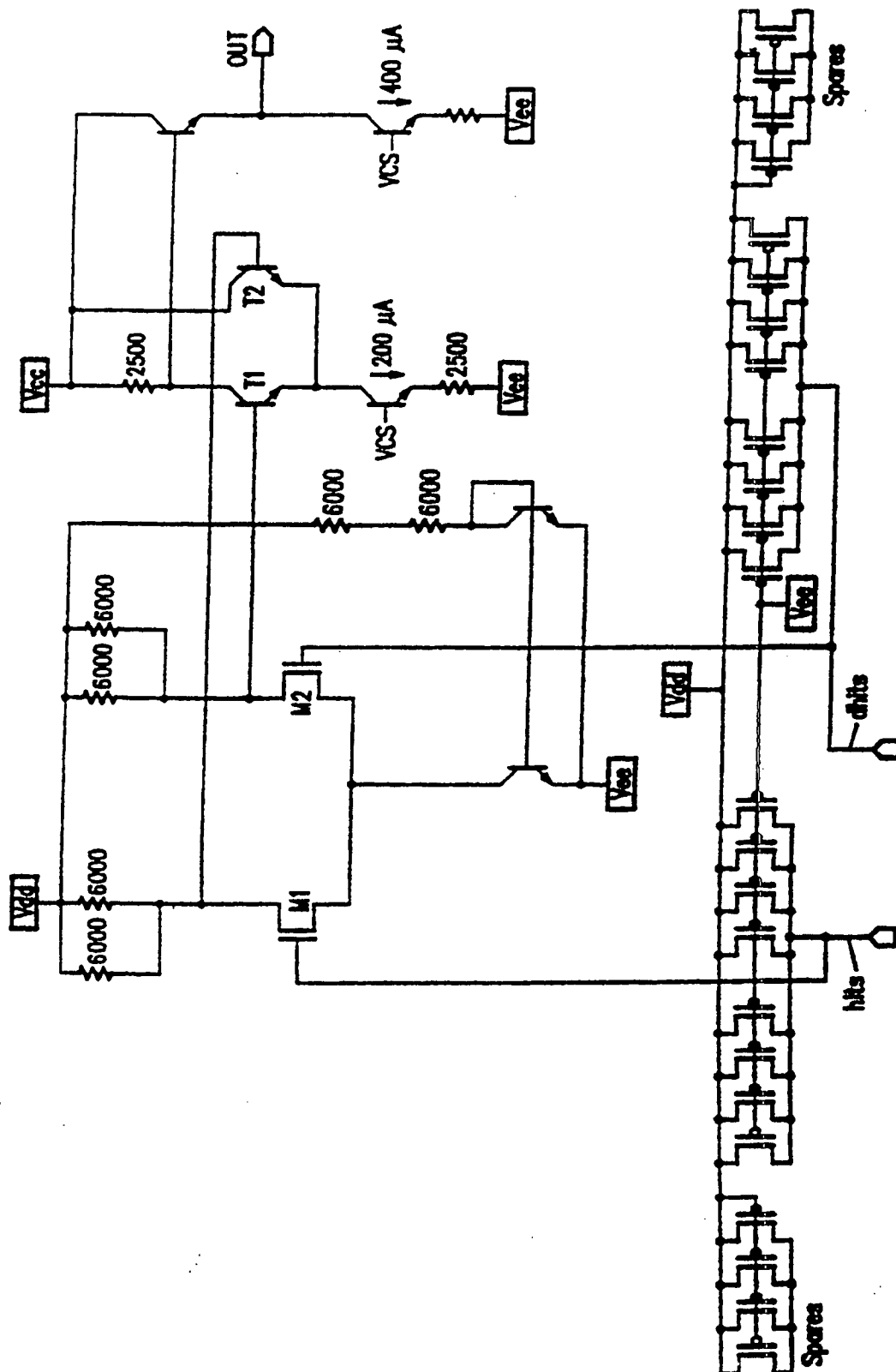
**Figur 1** (STAND DER TECHNIK)



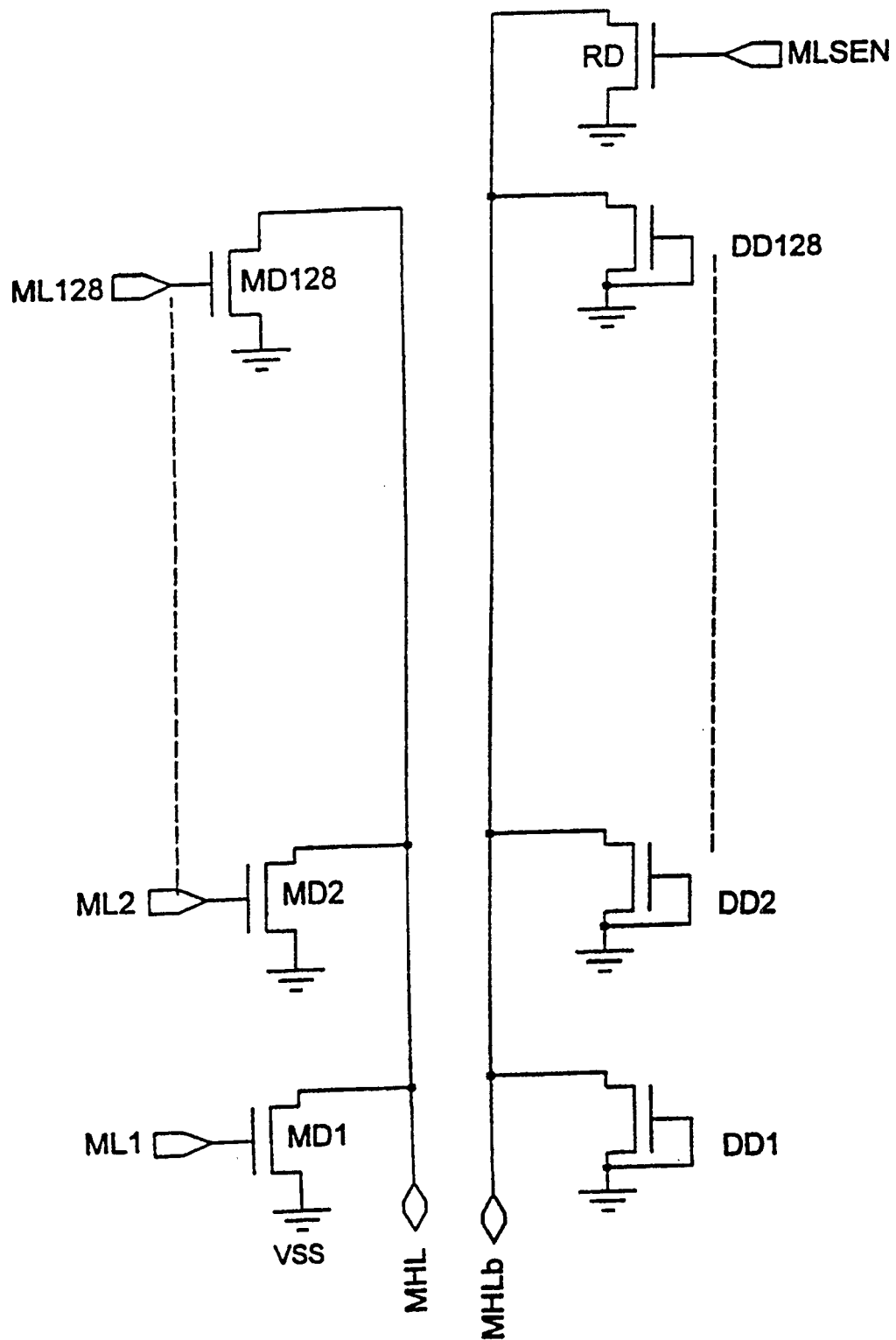
Figur 2a (STAND DER TECHNIK)

Figur 2b (STAND DER TECHNIK)

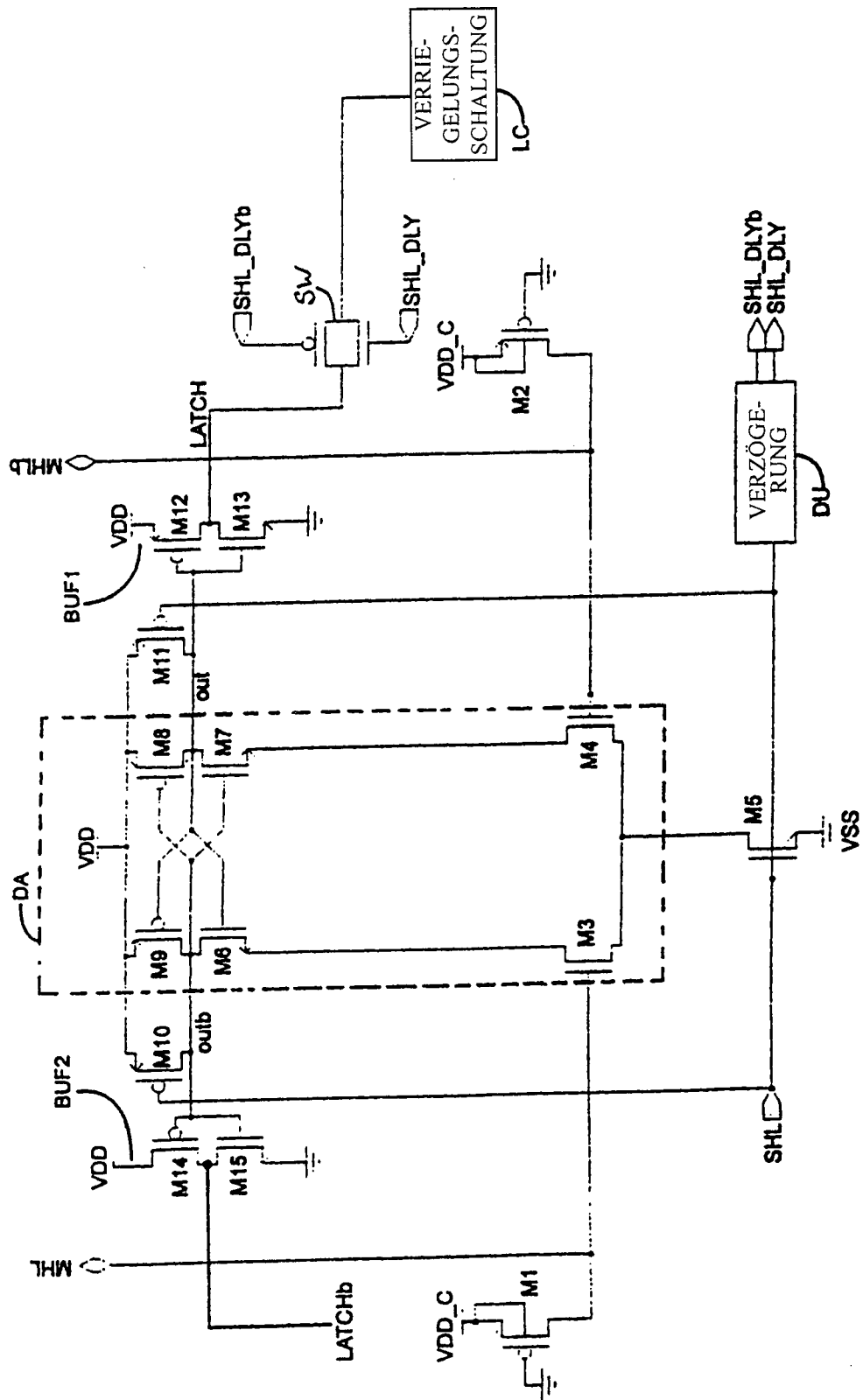




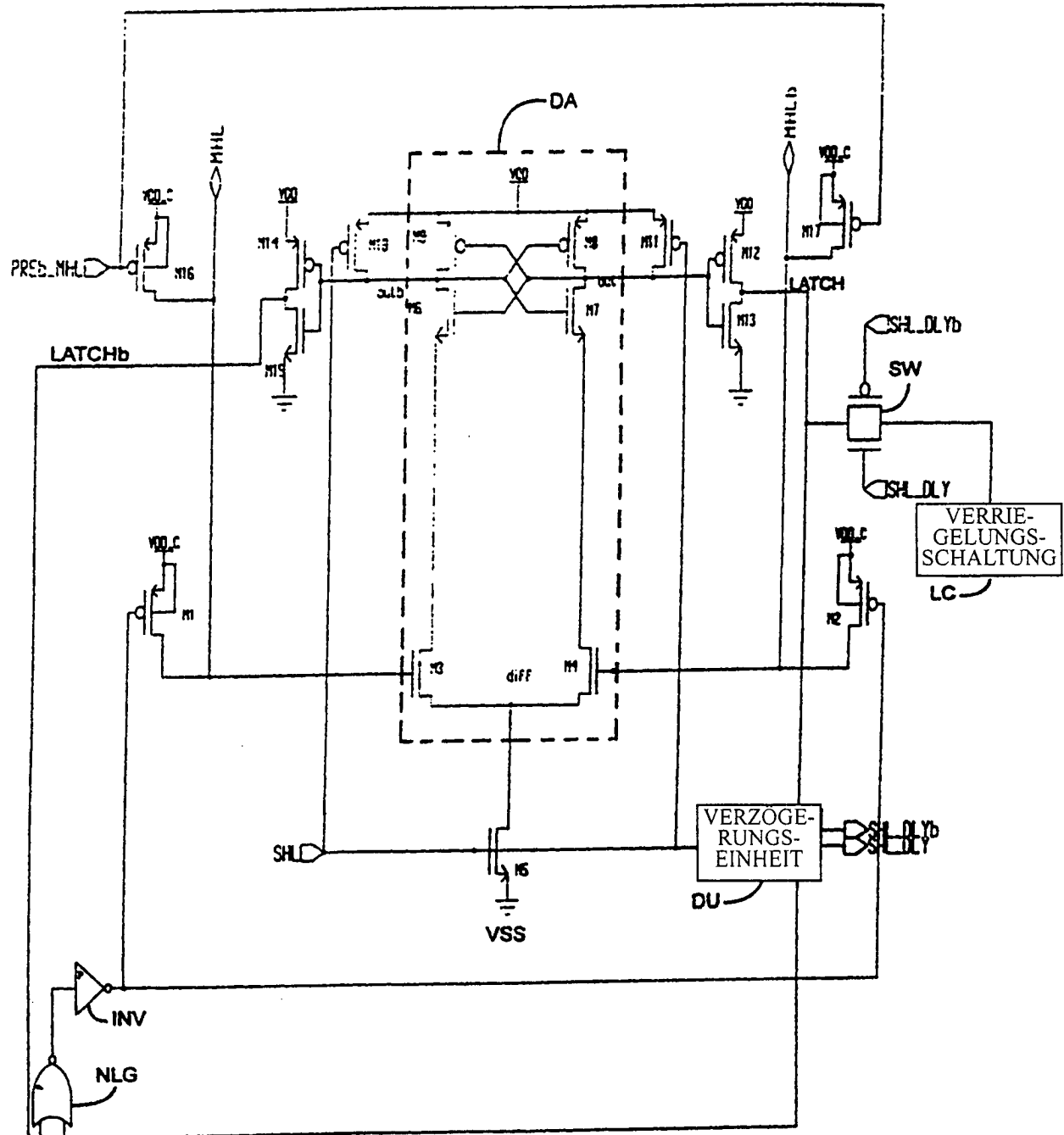
**Figur 2c** (STAND DER TECHNIK)



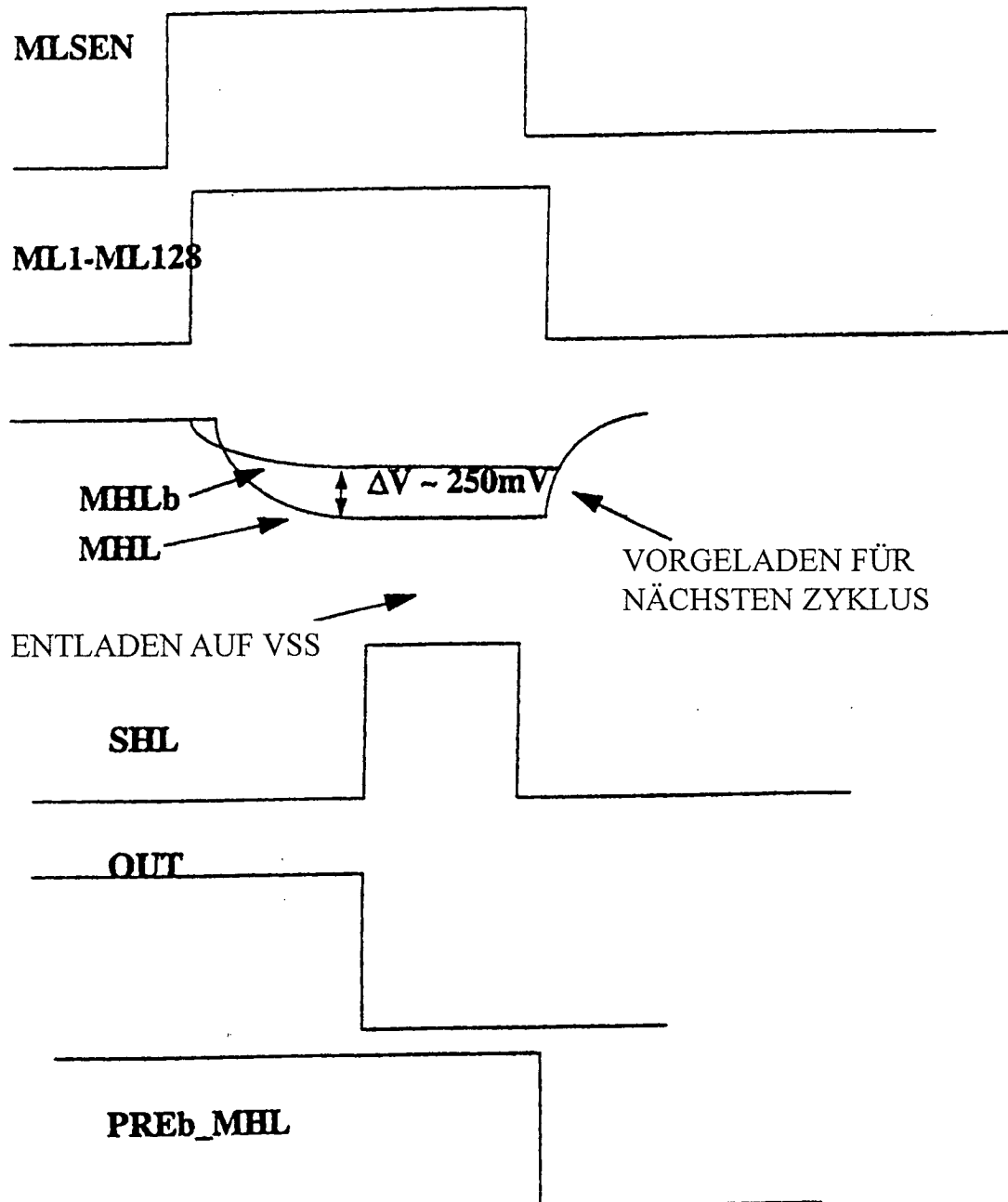
Figur 3



Figur 4

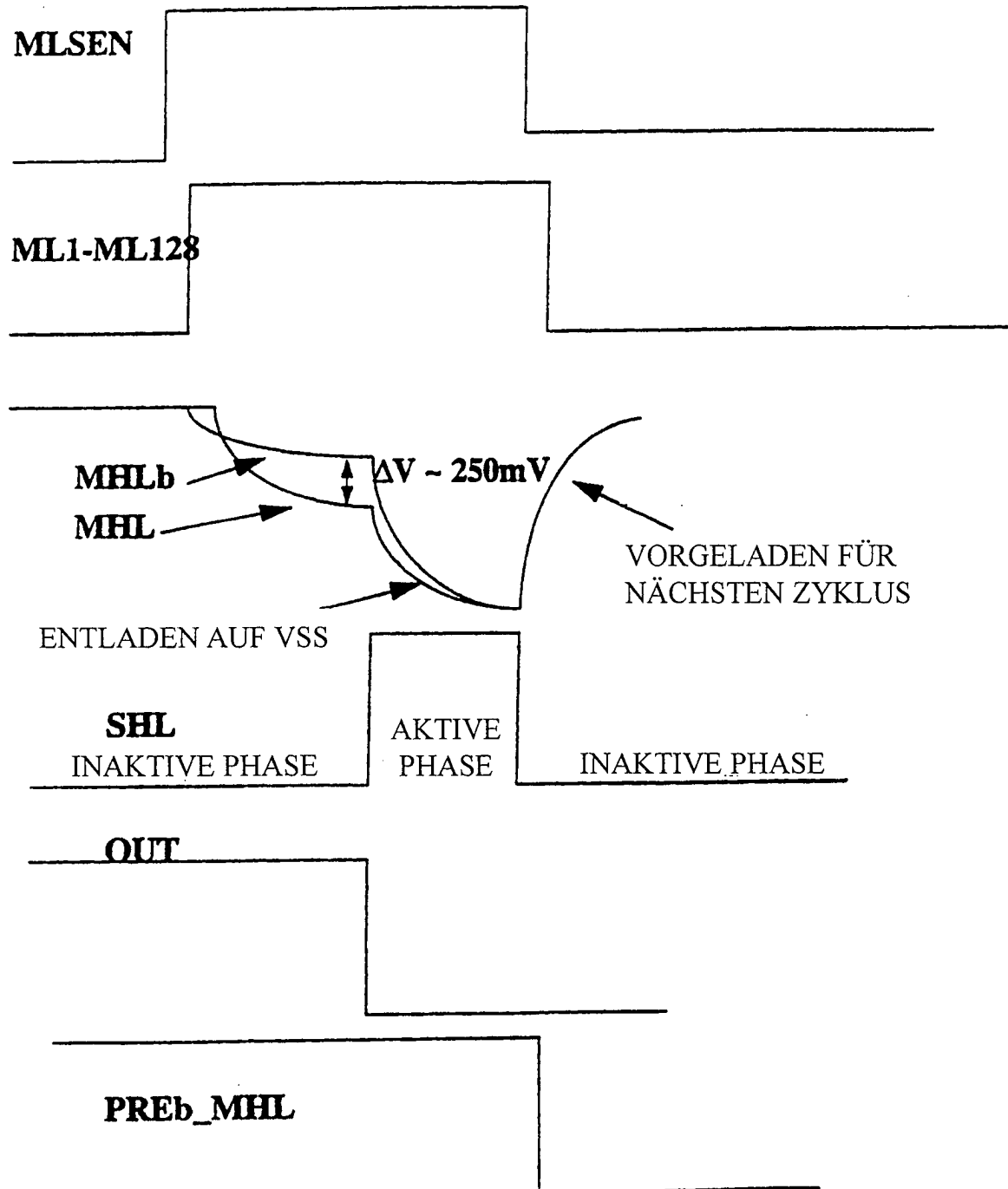


Figur 5

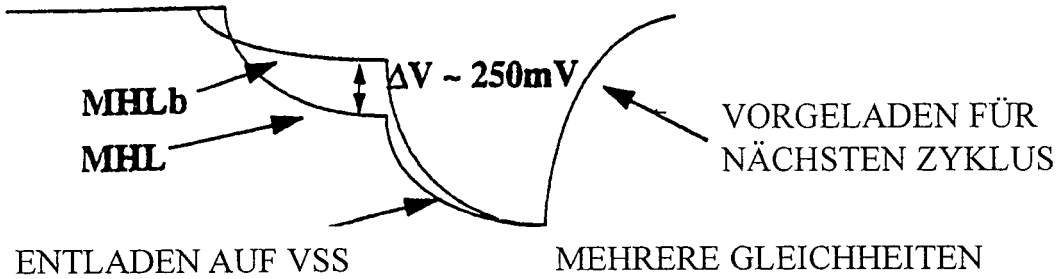


Figur 6

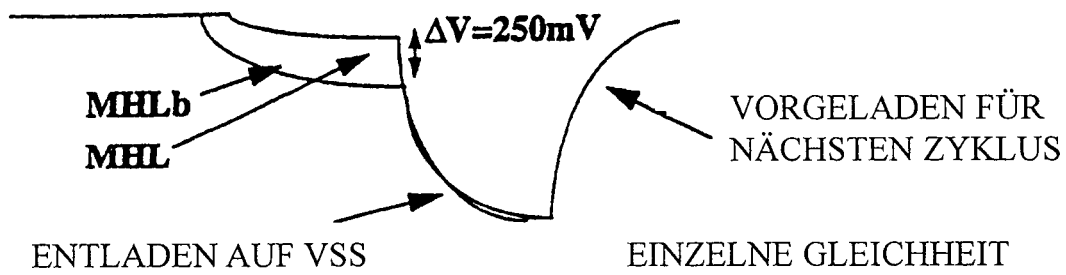




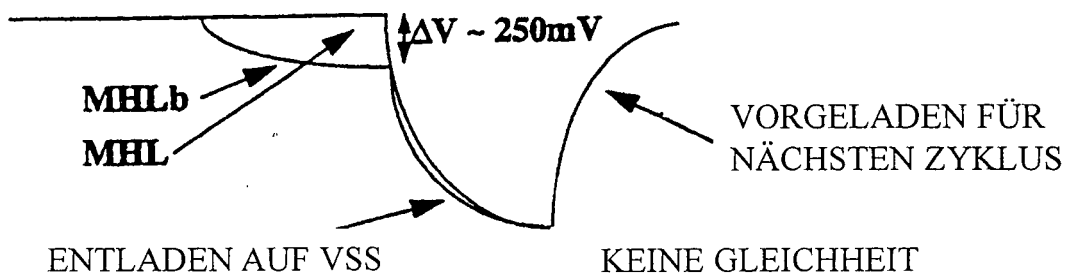
Figur 7



**Fig 8a**



**Fig 8b**



**Fig 8c**