

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 3 月 15 日 (15.03.2007)

PCT

(10) 国際公開番号
WO 2007/029289 A1

- (51) 国際特許分類:
H01L 21/8246 (2006.01) *H01L 27/105* (2006.01)
- (21) 国際出願番号: PCT/JP2005/016042
- (22) 国際出願日: 2005 年 9 月 1 日 (01.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 佐次田 直也 (SASHIDA, Naoya) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).

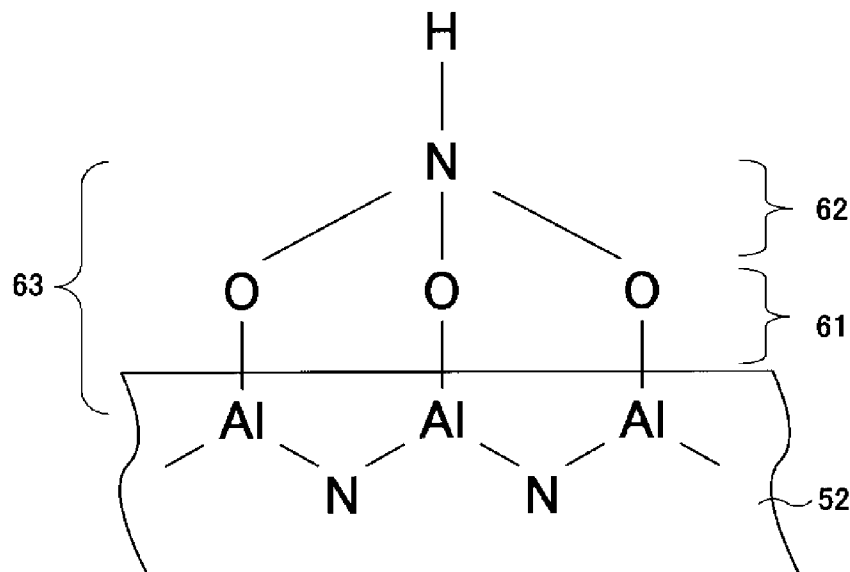
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: FERROELECTRIC MEMORY DEVICE, PROCESS FOR PRODUCING THE SAME, AND PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 強誘電体メモリ装置およびその製造方法、半導体装置の製造方法



(57) Abstract: A thin aluminum oxide film having a thickness of not more than 10 nm is formed between a self-aligning film formed under a lower electrode in a ferroelectric capacitor and an electrically conductive plug underlying the self-aligning film to block the influence of alignment of crystal grains in the electrically conductive plug on the self-aligning film. Further, a thin nitride film is formed on the aluminum oxide film to avoid a problem that a metal element in the self-aligning film is captured by oxygen on the surface of the oxide film making it impossible for the initial self-aligning property to be developed.

[続葉有]

WO 2007/029289 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 強誘電体キャパシタの下部電極下に形成される自己配向膜と、その下の導電性プラグとの間に、厚さが10nm以下の薄い酸化アルミニウム膜を形成し、前記自己配向膜に対する導電性プラグ中の結晶粒の配向の影響を遮断し、さらに前記酸化アルミニウム膜上に薄い窒化膜を形成し、自己配向膜中の金属元素が酸化膜表面の酸素に捕獲されて初期の自己配向性が発現しなくなる問題を回避する。

明 細 書

強誘電体メモリ装置およびその製造方法、半導体装置の製造方法 技術分野

[0001] 本発明は一般に半導体装置に係り、特に強誘電体キャパシタを有する半導体装置およびその製造方法に関する。

背景技術

[0002] 強誘電体メモリは電圧駆動される不揮発性半導体メモリ素子であり、高速で動作し、消費電力が小さく、しかも電源を遮断しても保持している情報が消失しない好ましい特性を有している。強誘電体メモリは、すでにICカードや携帯電子機器に使われている。

[0003] 図1は、いわゆるスタック型とよばれる強誘電体メモリ装置10の構成を示す断面図である。

[0004] 図1を参照するに、強誘電体メモリ装置10はいわゆる1T1C型の装置であり、シリコン基板11上に素子分離領域11Iにより画成された素子領域中11Aに二つのメモリセルトランジスタが、ビット線を共有して形成されている。

[0005] より具体的には、前記シリコン基板11中には前記素子領域11Aとしてn型ウェルが形成されており、前記素子領域11A上には、ポリシリコンゲート電極13Aを有する第1のMOSTランジスタとポリシリコンゲート電極13Bを有する第2のMOSTランジスタが、それぞれゲート絶縁膜12Aおよび12Bを介して形成されている。

[0006] さらに前記シリコン基板11中には、前記ゲート電極13Aの両側壁面に対応して p^- 型のLDD領域11a, 11bが形成されており、また前記ゲート電極13Bの両側壁面に対応して p^- 型のLDD領域11c, 11dが形成されている。ここで前記第1および第2のMOSTランジスタは前記素子領域11A中に共通に形成されているため、同一の p^- 型拡散領域が、LDD領域11bとLDD領域11cとして共用されている。

[0007] 前記ポリシリコンゲート電極13A上には、シリサイド層14Aが、またポリシリコンゲート電極13B上にはシリサイド層14Bが、それぞれ形成されており、さらに前記ポリシリコンゲート電極13Aの両側壁面および前記ポリシリコンゲート電極13Bの両側壁面

上には、それぞれの側壁絶縁膜が形成されている。

- [0008] さらに前記シリコン基板11中には、前記ゲート電極13Aのそれぞれの側壁絶縁膜の外側に、 p^+ 型の拡散領域11eおよび11fが形成されており、また前記ゲート電極13Bのそれぞれの側壁絶縁膜の外側には、 p^+ 型の拡散領域11gおよび11hが形成されている。ただし、前記拡散領域11fと11gは、同一の p^+ 型拡散領域より構成されている。
- [0009] さらに前記シリコン基板11上には、前記シリサイド層14Aおよび側壁絶縁膜を含めて前記ゲート電極13Aを覆うように、また前記シリサイド層14Bおよび側壁絶縁膜を含めて前記ゲート電極13Bを覆うように、SiON膜15が形成されており、前記SiON膜15上には SiO_2 よりなる層間絶縁膜16が形成されている。さらに前記層間絶縁膜16中には、前記拡散領域11e, 11f(従って拡散領域11g), 11hをそれぞれ露出するようにコンタクトホール16A, 16B, 16Cが形成され、前記コンタクトホール16A, 16B, 16Cには、Ti膜とTiN膜を積層した密着層17a, 17b, 17cを介して、W(タングステン)よりなるビアプラグ17A, 17B, 17Cが形成される。
- [0010] さらに前記層間絶縁膜16上には、前記タングステンプラグ17Aにコンタクトして、下部電極18Aと多結晶強誘電体膜19Aと上部電極20Aを積層した第1の強誘電体キャパシタC1が、また前記前記タングステンプラグ17Cにコンタクトして、下部電極18Cと多結晶強誘電体膜19Cと上部電極20Cを積層した第2の強誘電体キャパシタC2が形成されている。
- [0011] さらに前記層間絶縁膜16上には前記強誘電体キャパシタC1, C2を覆うように Al_2O_3 よりなる水素バリア膜21が形成され、さらに前記水素バリア膜21上には次の層間絶縁膜22が形成されている。
- [0012] さらに前記層間絶縁膜22中には、前記強誘電体キャパシタC1の上部電極20Aを露出するコンタクトホール22Aと、前記ビアプラグ17Bを露出するコンタクトホール22Bと、前記強誘電体キャパシタC2の上部電極20Bを露出するコンタクトホール22Cが形成され、前記コンタクトホール22AにはTi膜とTiN膜を積層した密着層23a, 23b, 23cをそれぞれ介してタングステンプラグ23A, 23B, 23Cがそれぞれ形成される。
- [0013] さらに前記層間絶縁膜22上には、前記タングステンプラグ23A, 23B, 23Cにそれ

それぞれ対応して、Ti/TiN積層構造のバリアメタル膜を伴って、Al配線パターン24A, 24B, 24Cが形成されている。

発明の開示

発明が解決しようとする課題

- [0014] さて、このような強誘電体メモリ装置では、強誘電体キャパシタC1, C2中における強誘電体膜19Aあるいは19Cの結晶配向が重要である。
- [0015] PZT($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)などのいわゆるペロブスカイト膜は正方晶系に属し、強誘電性を特徴づける自発分極は、結晶格子中、ZrやTi原子のc軸方向への変位により誘起される。そこで、このような多結晶ペロブスカイト膜を使って強誘電体キャパシタのキャパシタ絶縁膜を形成する場合、強誘電体膜を構成する個々の結晶粒のc軸方向は、電界が印加される方向に平行な方向、従ってキャパシタ絶縁膜の面に対して垂直な方向に配向するのが理想的である((001)配向)。これに対し、前記c軸が前記キャパシタ絶縁膜の面内に配向した場合には(100配向)、キャパシタに駆動電圧を印加しても、所望の自発分極を誘起することはできない。
- [0016] しかし、ペロブスカイト膜では、正方晶系とは言っても、c軸とa軸の差はわずかであり、このため通常の製法で形成したPZT膜では、(001)配向した結晶粒と(100)配向した結晶粒がほぼ同数発生し、その他の方位のものも発生することを考えると、実際に強誘電体キャパシタの動作に寄与する結晶の割合はわずかであった。このような事情から、従来、強誘電体メモリの技術分野では、強誘電体膜19A, 19Cを、全体として(111)配向膜として形成し、配向方向を $\langle 111 \rangle$ 方向にそろえることで、大きなスイッチング電荷量 Q_{sw} を確保することが行われている。
- [0017] このような強誘電体膜の配向制御を実現するには、下部電極18Aおよび18Cの結晶配向を制御することが重要であり、このため、前記下部電極18Aあるいは18Cでは、強い自己組織化作用を示すTi膜が配向制御膜として使われ、かかる配向制御膜上に(111)配向のIrやPt, IrOxやRuOxなどの金属あるいは導電性酸化物が形成されている。自己配向Ti膜は、(002)配向を示す。
- [0018] しかし、配向制御膜としてTi膜を使った場合、例えば図1の例のようにTi膜の堆積がシリコン酸化膜など、酸素原子が表面に露出した膜上において生じると、堆積した

反応性の高いTi原子は膜表面の酸素原子と、図2に示すように直ちに強固な結合を生じてしまい、Ti原子が膜表面を自由に移動することにより生じるTi膜の自己組織化が妨げられ、得られたTi膜では、所望の(002)配向した結晶粒の割合が減少してしまう。また図2に概略的に示したように、Ti膜を構成する結晶粒のc軸が酸化膜16の主面に対して斜めに配向する場合が生じ、その結果、所望の(002)配向以外の配向の結晶粒が多数生じてしまう。

[0019] そこで、特許文献1は、図3に示すように、図1の構造が前記コンタクトプラグ17A～17Cまで形成された時点で、前記層間絶縁膜16の表面を NH_3 プラズマで処理し、図4に示すように、層間絶縁膜16の表面の酸素原子にNH基を結合させる技術を記載している。

[0020] かかる構成によれば、前記層間絶縁膜上にTi原子がさらに堆積されても、図4に示すように堆積したTi原子は酸素原子に捕獲されてしまうことがなく、層間絶縁膜表面を自在に移動でき、その結果、前記層間絶縁膜16上には、(002)配向に自己組織化されたTi膜が形成される。

[0021] そこで、このようにして形成されたTi膜上に前記下部電極18A、18Bを形成し、さらにその上に強誘電体膜19Aあるいは19Bを形成することにより、(111)配向の結晶粒の割合の高い強誘電体膜が得られる。

[0022] しかし、上記特許文献1に記載の技術では、下部電極18Aあるいは18Cは、Wプラグ17Aあるいは17C上に直接に形成されるため、 NH_3 プラズマ処理を行ったとしても、多結晶タングステンなど、多結晶金属よりなるプラグ17Aあるいは17Cの表面の結晶方位の影響を遮断することはできず、従って、前記強誘電体膜19Aあるいは19Bの大部分では、Ti膜の自己組織化による配向制御を効果的に実現することができていない。

特許文献1:特開2004-153031号公報

特許文献2:特開2004-311470号公報

課題を解決するための手段

[0023] 一の側面によれば本発明は、半導体基板と、前記半導体基板上に形成された、第1および第2の拡散領域を含む電界効果トランジスタと、前記半導体基板上に、前記

電界効果トランジスタを覆うように形成された層間絶縁膜と、前記層間絶縁膜中に形成され、前記第1の拡散領域とコンタクトする導電性プラグと、前記層間絶縁膜上に、前記導電性プラグにコンタクトして形成される強誘電体キャパシタとよりなる強誘電体メモリ装置であって、前記強誘電体キャパシタは強誘電体膜と、強誘電体膜を上下に挟持する上部電極および下部電極よりなり、前記下部電極は前記導電性プラグに電氣的に接続されており、前記導電性プラグと前記下部電極との間にはAlと酸素を含む層が介在し、前記Alと酸素を含む層と前記下部電極との間には窒素を含む層が介在し、前記窒素を含む層と前記下部電極との間には、自己配向性を有する物質よりなる自己配向層が介在することを特徴とする強誘電体メモリ装置を提供する。

[0024] 他の側面によれば本発明は、強誘電体メモリ装置の製造方法であって、トランジスタが形成された半導体基板上に、前記トランジスタを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記トランジスタの拡散領域にコンタクトする導電性のコンタクトプラグを形成する工程と、前記コンタクトプラグ上に、下部電極と強誘電体膜と上部電極を順次積層して強誘電体キャパシタを形成する工程と、を含み、さらに前記コンタクトプラグを形成する工程の後、前記下部電極を形成する工程の前に、前記層間絶縁膜および前記コンタクトプラグの表面にAlと酸素を含む層を形成する工程と、前記Alと酸素を含む層の表面に、窒素を含む層を形成する工程と、前記窒素を含む層の上に自己配向性を有する膜を形成する工程を含むことを特徴とする強誘電体メモリ装置の製造方法を提供する。

[0025] 他の側面によれば本発明は、機能膜を有する半導体装置の製造方法であって、トランジスタが形成された半導体基板上に、前記トランジスタを覆うように層間絶縁膜を形成する工程と、前記層間絶縁膜中に、前記トランジスタの拡散領域にコンタクトする導電性のコンタクトプラグを形成する工程と、前記コンタクトプラグ上に、機能膜を形成する工程と、を含み、さらに前記コンタクトプラグを形成する工程の後、前記機能膜を形成する工程の前に、前記層間絶縁膜および前記コンタクトプラグの表面にAlと酸素を含む層を形成する工程と、前記Alと酸素を含む層の表面に、窒素を含む層を形成すると、前記窒素を含む層の上に自己配向性を有する膜を形成する工程を含むことを特徴とする半導体装置の製造方法を提供する。

発明の効果

[0026] 本発明によれば、導電性プラグ上に強誘電体キャパシタなどの、通常は多結晶構造の機能膜を有する半導体装置において、前記機能膜を形成するに先立って、前記導電性プラグの表面にAlと酸素を含む層を形成し、さらに前記Alと酸素を含む層を、窒素を含む層で覆い、前記窒素を含む層の上に自己配向層を形成することにより、前記導電性プラグを構成する結晶粒の結晶配向が、前記酸素を含む層により遮断され、前記自己配向性に対する導電性プラグの影響を排除することが可能になる。またこのような酸素を含む層を、窒素を含む層で覆うことにより、前記自己配向層を構成する例えばTiなどの元素が、前記酸素を含む層中の酸素に捕獲されてしまい、自己配向層が所期の自己配向性を実現できない問題が回避され、その結果、前記自己配向層の配向度が、導電性プラグ上においても向上する。これに伴い、かかる自己配向層上に形成される強誘電体キャパシタなどの機能膜の配向性が向上する。

図面の簡単な説明

- [0027] [図1]従来の強誘電体メモリ装置の構成を示す図である。
- [図2]従来技術の課題を説明する図である。
- [図3]本発明の関連技術を説明する図である。
- [図4]図3の関連技術の原理を説明する図である。
- [図5]本発明の第1の実施形態による強誘電体メモリ装置の構成を示す図である。
- [図6A]図5の強誘電体メモリ装置の製造工程を示す図(その1)である。
- [図6B]図5の強誘電体メモリ装置の製造工程を示す図(その2)である。
- [図6C]図5の強誘電体メモリ装置の製造工程を示す図(その3)である。
- [図6D]図5の強誘電体メモリ装置の製造工程を示す図(その4)である。
- [図6E]図5の強誘電体メモリ装置の製造工程を示す図(その5)である。
- [図6F]図5の強誘電体メモリ装置の製造工程を示す図(その6)である。
- [図6G]図5の強誘電体メモリ装置の製造工程を示す図(その7)である。
- [図6H]図5の強誘電体メモリ装置の製造工程を示す図(その8)である。
- [図6I]図5の強誘電体メモリ装置の製造工程を示す図(その9)である。
- [図6J]図5の強誘電体メモリ装置の製造工程を示す図(その10)である。

[図6K]図5の強誘電体メモリ装置の製造工程を示す図(その11)である。

[図6L]図5の強誘電体メモリ装置の製造工程を示す図(その12)である。

[図6M]図5の強誘電体メモリ装置の製造工程を示す図(その13)である。

[図6N]図5の強誘電体メモリ装置の製造工程を示す図(その14)である。

[図6O]図5の強誘電体メモリ装置の製造工程を示す図(その15)である。

[図7]図6G, 6Hの工程を説明する図である。

[図8]図6Iの工程で形成されたTi膜の配向特性を示す図である。

[図9]図6Kの工程で形成されたPZT膜のX線回折図形を示す図である。

[図10]図5の強誘電体メモリ装置で使われる強誘電体キャパシタのスイッチング電荷を示す図である。

[図11]図5の強誘電体メモリ装置で使われる強誘電体キャパシタのインプリント特性を示す図である。

[図12]図6Fの工程の処理条件を示す図である。

[図13]図6Fの工程の処理条件を示す別の図である。

符号の説明

- [0028] 41 シリコン基板
41A 素子領域
41I 素子分離領域
41a, 41b, 41c, 41d LDD領域
41e, 41f, 41g, 41h ソース・ドレイン領域
42A, 42B ゲート絶縁膜
43A, 43B ゲート電極
44A, 44B シリサイド層
45 SiONカバー膜
46, 48, 58 層間絶縁膜
46A, 46B, 46C コンタクトホール
47A, 47B, 47C コンタクトプラグ
47a, 47b, 47c 密着層

47 SiON酸素バリア膜
51A, 51C Ti密着層
52A, 53A TiAlN酸素バリア膜
53A, 53C 下部電極
54A, 54C PZT膜
55A, 55C 上部電極
56A, 56C 水素バリア膜
57 Al_2O_3 水素バリア膜
70A~70C 配線パターン
61A, 61C 酸化アルミニウム膜
62A, 62C 窒化膜
63A, 63C Ti配向膜

発明を実施するための最良の形態

[0029] 図5は、本発明の第1の実施形態による強誘電体メモリ40の構成を示す。

[0030] 図5を参照するに、強誘電体メモリ装置40はいわゆる1T1C型の装置であり、シリコン基板41上にSTI(シャロートレンチアイソレーション)型の素子分離領域41Iにより画成された素子領域中41Aに二つのメモリセルトランジスタが、ビット線を共有して形成されている。

[0031] より具体的には、前記シリコン基板41中には前記素子領域41Aとしてn型ウェルが形成されており、前記素子領域41A上には、ポリシリコンゲート電極43Aを有する第1のMOSTランジスタとポリシリコンゲート電極43Bを有する第2のMOSTランジスタが、それぞれゲート絶縁膜42Aおよび42Bを介して形成されている。

[0032] さらに前記シリコン基板41中には、前記ゲート電極43Aの両側壁面に対応して p^- 型のLDD領域41a, 41bが形成されており、また前記ゲート電極43Bの両側壁面に対応して p^- 型のLDD領域41c, 41dが形成されている。ここで前記第1および第2のMOSTランジスタは前記素子領域41A中に共通に形成されているため、同一の p^- 型拡散領域が、LDD領域41bとLDD領域41cとして共用されている。

[0033] 前記ポリシリコンゲート電極43A上には、シリサイド層44Aが、またポリシリコンゲー

ト電極43B上にはシリサイド層44Bが、それぞれ形成されており、さらに前記ポリシリコンゲート電極43Aの両側壁面および前記ポリシリコンゲート電極43Bの両側壁面上には、それぞれの側壁絶縁膜が形成されている。

[0034] さらに前記シリコン基板41中には、前記ゲート電極43Aのそれぞれの側壁絶縁膜の外側に、 p^+ 型の拡散領域41eおよび41fが形成されており、また前記ゲート電極43Bのそれぞれの側壁絶縁膜の外側には、 p^+ 型の拡散領域41gおよび41hが形成されている。ただし、前記拡散領域41fと41gは、同一の p^+ 型拡散領域より構成されている。

[0035] さらに前記シリコン基板41上には、前記シリサイド層44Aおよび側壁絶縁膜を含めて前記ゲート電極43Aを覆うように、また前記シリサイド層44Bおよび側壁絶縁膜を含めて前記ゲート電極43Bを覆うように、SiON膜45が形成されており、前記SiON膜45上には、 SiO_2 よりなる層間絶縁膜46と、SiNあるいはSiONよりなる第1の酸化防止膜47と、TEOS酸化膜よりなる層間絶縁膜48が、順次形成されている。

[0036] さらに前記層間絶縁膜46、48および酸化防止膜47を貫通して、前記拡散領域41e、41hを露出するようにコンタクトホール46A、46Cが形成され、前記コンタクトホール46Aおよび46Cには、Ti膜とTiN膜を積層した密着層47aおよび47cを介して、W(タングステン)よりなるビアプラグ47Aおよび47Cが、それぞれ形成される。また前記層間絶縁膜46には、前記拡散領域41f(したがって拡散領域41g)を露出するようにコンタクトホール46Bが形成され、前記コンタクトホール46Bには、Ti膜とTiN膜を積層した密着層47bを介して、Wよりなるビアプラグ47Bが形成される。

[0037] さらに前記層間絶縁膜48上には、前記タングステンプラグ47Aにコンタクトして、厚さが100nmのTiAlN膜52Aと厚さが100nmのIr膜53Aを積層した下部電極と、厚さが120nmのPZT膜よりなる多結晶強誘電体膜54Aと、厚さが200nmの IrO_2 膜55Aよりなる上部電極を積層した第1の強誘電体キャパシタQ1が、Ti密着層51Aを介して形成される。また同様に前記タングステンプラグ47Cにコンタクトして、厚さが100nmのTiAlN膜52Cと厚さが100nmのIr膜53Cを積層した下部電極と、厚さが120nmのPZT膜よりなる多結晶強誘電体膜54Cと、厚さが200nmの IrO_2 膜55Cよりなる上部電極を積層した第2の強誘電体キャパシタQ2が、Ti密着層51Cを介して形成さ

れる。前記TiAlN膜52A, 52Cは、酸素がビアプラグ47A, 47Cに侵入するのを阻止する酸素バリア膜として作用する。

[0038] その際、本実施形態では、前記TiAlN酸素バリア膜52Aと下部電極53Aの間に、酸素を含み、主として Al_2O_3 組成を有する厚さが1分子層以上、10nm以下の絶縁層61Aが介在し、さらに前記絶縁層61A上に、前記絶縁層61A中の酸素原子に結合した窒素原子を含む層62Aが形成されている。さらに本実施形態では、このような窒素を含む層62A上に(002)配向を有するTi膜63Aが、20nmの厚さに形成され、前記下部電極53Aは、かかる(002)配向Ti膜63A上に形成されている。

[0039] 同様に、本実施形態では、前記TiAlN酸素バリア膜52Cと下部電極53Cの間に、酸素を含み、主として Al_2O_3 組成を有する厚さが1分子層以上、10nm以下の絶縁層61Cが介在し、さらに前記絶縁層61C上に、前記絶縁層61C中の酸素原子に結合した窒素原子を含む層62Cが形成されている。さらに本実施形態では、このような窒素を含む層62C上に(002)配向を有するTi膜63Cが、20nmの厚さに形成され、前記下部電極53Cは、かかる(002)配向Ti膜63C上に形成されている。

[0040] かかる構成では、前記(002)配向したTi膜51A上に形成された前記下部電極膜53Aの配向が<111>方向に揃うため、その上に形成されたPZT膜54Aも、配向方向が<111>方向に揃う。同様に、(002)配向したTi膜51C上に形成された前記下部電極膜53Cの配向が<111>方向に揃うため、その上に形成されたPZT膜54Cも、配向方向が<111>方向に揃う。その結果、前記強誘電体キャパシタQ1, Q2は、いずれも大きなスイッチング電荷量 Q_{sw} を有する好ましい特徴を有する。

[0041] さらに前記層間絶縁膜48上には前記強誘電体キャパシタQ1, Q2を覆うように Al_2O_3 よりなる水素バリア膜57が、10nmの膜厚に形成され、さらに前記水素バリア膜57上には次の層間絶縁膜58が形成されている。

[0042] さらに前記層間絶縁膜58中には、前記強誘電体キャパシタQ1の上部電極55A上の水素バリアメタル56Aを露出するコンタクトホール58Aと、前記ビアプラグ46Bを露出するコンタクトホール58Bと、前記強誘電体キャパシタQ2の上部電極55C上の水素バリアメタル56C露出するコンタクトホール58Cが形成され、前記コンタクトホール58AにはTi膜とTiN膜を積層した密着層59aを介してタングステンプラグ59Aが、前

記コンタクトホール58BにはTi膜とTiN膜を積層した密着層59bを介してタングステンプラグ59Bが、さらに前記コンタクトホール58CにはTi膜とTiN膜を積層した密着層59cを介してタングステンプラグ59Cが、それぞれ形成される。

[0043] さらに前記層間絶縁膜58上には、前記タングステンプラグ59A, 59B, 59Cにそれぞれ対応して、Ti/TiN積層構造のバリアメタル膜を伴って、Al配線パターン70A, 70B, 70Cが形成されている。

[0044] なお、本実施例において導電性を反転させてもよいことは自明である。

[0045] 次に、図5の強誘電体メモリ装置40の製造工程を、図6A～6Nを参照しながら説明する。

[0046] 図6Aを参照するに、前記シリコン基板41はp型あるいはn型のシリコン基板であり、STI型素子分離構造41Iにより素子領域41Aが、n型ウェルの形で形成されている。

[0047] 前記素子領域41A上には、前記第1のMOSTランジスタのポリシリコンゲート電極43Aと前記第2のMOSTランジスタのポリシリコンゲート電極43Bが、それぞれゲート絶縁膜42Aおよび42Bを介して形成されている。

[0048] さらに前記シリコン基板41中には、前記ゲート電極43Aの両側壁面に対応してp⁻型のLDD領域41a, 41bが、また前記ゲート電極43Bの両側壁面に対応してp⁻型のLDD領域41c, 41dが、前記ゲート電極43Aおよび43Bを自己整合マスクとしたイオン注入工程により形成されている。前記第1および第2のMOSTランジスタは前記素子領域41A中に共通に形成されているため、前記LDD領域41bとLDD領域41cは、同一のp⁻型拡散領域により形成されている。

[0049] 前記ポリシリコンゲート電極43A上には、シリサイド層44Aが、またポリシリコンゲート電極43B上にはシリサイド層44Bが、それぞれ形成されており、さらに前記ポリシリコンゲート電極43Aの両側壁面および前記ポリシリコンゲート電極43Bの両側壁面上には、それぞれの側壁絶縁膜が形成されている。

[0050] さらに前記シリコン基板41中には、前記ゲート電極43Aのそれぞれの側壁絶縁膜の外側に、p⁺型の拡散領域41eおよび41fが、また前記ゲート電極43Bのそれぞれの側壁絶縁膜の外側には、p⁺型の拡散領域41gおよび41hが、前記ゲート電極43A, 43B、およびそれぞれの側壁絶縁膜を自己整合マスクとしたイオン注入法により

形成されている。その際、前記拡散領域41fと41gは、同一の p^+ 型拡散領域より構成されている。

[0051] 次に図6Bの工程において前記図6Aの構造上にSiON膜45がプラズマCVD法により、約200nmの厚さに形成される。

[0052] さらに図6Cの工程において、前記図6Bの構造上に厚さが20nmのシリコン酸化膜と厚さが80nmのシリコン窒化膜と厚さが1000nmのシリコン酸化膜を、いずれもプラズマCVD法により順次堆積し、さらにこれをCMP法により平坦化し、前記層間絶縁膜46を700nmの厚さに形成する。

[0053] さらに図6Cの工程では、このようにして形成された層間絶縁膜46中に前記拡散領域41f(41g)を露出するコンタクトホール46Bを、例えば $0.25\mu m$ の径で形成し、前記コンタクトホール46B中に、前記拡散領域41f(41g)と電氣的にコンタクトするWプラグ47Bを、厚さが30nmのTi膜と厚さが20nmのTiN膜を積層した密着膜47bを介してW膜をCVD法により充填し、余分なW膜をCMP法により除去することにより、形成する。

[0054] 次に図6Dの工程では、前記図6Cの構造上に、SiONよりなる第1の酸化防止膜47をプラズマCVD法により、例えば130nmの膜厚に形成され、さらにその上にTEOSを原料としたプラズマCVD法により、シリコン酸化膜48が、例えば200nmの膜厚に形成される。

[0055] さらに図6Dの構造では、前記層間絶縁膜48、46および間のSiON膜47を貫通して、前記拡散領域41eおよび41hを露出するコンタクトホール46Aおよび46Cが形成され、前記コンタクトホール46Aには、前記拡散領域41eと電氣的にコンタクトするWプラグ47Aが、前記密着層47bと同様な密着層47aを介して、前記Wプラグ47Bと同様に形成される。同様に前記コンタクトホール46Cには、前記拡散領域41hと電氣的にコンタクトするWプラグ47Cが、前記密着層47bと同様な密着層47cを介して、前記Wプラグ47Bと同様に形成される。

[0056] さて、本発明では、図6Dの構造上に強誘電体キャパシタQ1、Q2を形成するに当たり、図6Eの工程を行って、前記Wプラグ47A、47Cの結晶性が強誘電体キャパシタQ1、Q2に及ぼす影響を遮断する。

- [0057] すなわち図6Eの工程において、図6Dの層間絶縁膜48上にTi膜51が密着層として、スパッタにより、約20nmの厚さに形成され、その上に、図6Fの工程において、前記図6Eの構造上にTiAlN膜が、酸素バリア膜52として、TiおよびAlの合金化したターゲットを使った反応性スパッタにより、Ar40SCCMと窒素10SCCMの混合雰囲気中、253.3Pa(1.9Torr)の圧力下、400℃の基板温度で、1.0kWのスパッタパワーで100nmの厚さに形成され、前記TiAlN膜52上にIr膜が、第2の下部電極膜として、Ar雰囲気中、0.11Paの圧力下、500℃の基板温度で、0.5kWのスパッタパワーで100nmの厚さに形成される。
- [0058] 次に図6Gの工程において、前記図6FのTiAlN膜52の表面に、酸素プラズマ処理を適用することにより、図7に示すように、厚さが1分子層ないし数分子層の酸化アルミニウム膜61を形成する。
- [0059] 例えば図6Gの酸素プラズマ処理は、8インチプロセスの場合では、平行平板型のプラズマ処理装置を使い、0.67Pa(5Torr)の圧力下、Arガスを500SCCM、酸素ガスを100SCCMの流量で供給し、プラズマを750Wの高周波パワーで励起することにより、行うことができる。6インチプロセスの場合では、プラズマを500Wの高周波で励起することで、同様の処理を行うことができる。その他の条件は、8インチプロセスの場合と同様である。
- [0060] このようなTiAlN膜52のプラズマ処理の結果、前記TiAlN膜52の表面のAl原子に、図7に概略的に示すように、プラズマ励起された酸素ラジカルが結合し、少なくとも1層の酸素原子層を含む、1～数分子層の厚さの酸化膜が、前記酸化アルミニウム膜61として、形成される。
- [0061] このような酸化アルミニウム膜61は、後から形成されるコンタクトプラグ58A、58Cのコンタクト抵抗を増大させるように作用するため、電子のトンネルが可能なように、10nm以下の膜厚に形成するのが好ましい。
- [0062] このようなTiAlN膜52の酸素プラズマ処理は、平行平板型のプラズマ処理装置に限定されるものではなく、例えばプラズマ励起された酸素ラジカルを処理容器外部で形成し、これを被処理基板表面のプロセス空間に供給するリモートプラズマ処理装置により行うことも可能である。

- [0063] 前記導電性プラグ47A, 47Cの結晶性は、前記TiAlN膜52の表面を酸化アルミニウムの少なくとも1分子層、あるいは酸素の1原子層で覆うことで、十分に遮断することが可能である。
- [0064] 次に本発明では図6Hの工程において、図6Gの構造に対しアンモニア(NH₃)プラズマを作用させ、前記酸化アルミニウム膜61の表面をプラズマ窒化し、先に図7で説明したような、水素終端されたAl—O—N—H結合を形成する窒化膜62を形成する。
- [0065] このようなアンモニアプラズマ処理は、例えば6インチプロセスの場合、被処理基板に対して約9mm(350mils)離間した位置に対向電極を有する平行平板型のプラズマ処理装置を使い、266Pa(2Torr)の圧力下、前記図6Dの構造が400℃の基板温度で保持された処理容器中にアンモニアガスを350SCCMの流量で供給し、被処理基板側に13.56MHzの高周波を100Wのパワーで、また前記対向電極に350kHzの高周波を55Wのパワーで、60秒間供給することにより実行することができる。このようなアンモニアプラズマ処理では、プラズマ中にNHラジカルが形成され、かかるNHラジカルが前記酸化膜49の表面に作用することにより、先に図4で説明したように、前記酸化膜49の表面には前記窒化膜50が、水素終端された状態で形成される。このようにして形成された窒化膜50は、その下の酸化膜49の表面を、窒素の1原子層で覆っていれば充分であると考えられる。また8インチプロセスの場合は、周波数13.56MHzの高周波電源に400Wで、NH₃流量525SCCM、基板間距離400milsで、180秒間処理することが望ましい。
- [0066] あるいは、このようなプラズマ処理装置中に窒素ガスと水素ガスを別々に供給し、前記酸化膜49の表面に、窒素ラジカルおよび水素ラジカルを作用させることも可能である。
- [0067] また図6Hの窒化処理は、平行平板型のプラズマ処理装置に限定されるものではなく、例えばリモートプラズマ処理装置などにより行うことも可能である。
- [0068] 特にこのような酸化アルミニウム膜61とその窒化膜62の積層が原子層レベルで生じる場合、形成された酸化膜と窒化膜の積層構造は、全体として下部が酸素リッチで表面が窒素リッチなAlON膜63を形成する。

- [0069] 次に図6Iの工程において、図6Hの窒化膜62上にTi膜63がスパッタなど、前記酸化アルミニウム膜61と窒化膜62の間のO-N結合が切断されないような低温プロセスにより、約20nmの厚さに形成される。
- [0070] かかるTi膜51のスパッタは、6インチプロセスの場合、例えば被処理基板とターゲットの間の距離を60mmに設定したスパッタ装置中、0.15PaのAr雰囲気下、20℃の基板温度で2.6kWのスパッタDCパワーを7秒間供給することにより実行することができる。また8インチプロセスの場合には、例えば被処理基板とターゲットの間の距離を60mmに設定したスパッタ装置中、1Paの圧力下、150℃の基板温度において、Arガスを50SCCMで供給し、初期成膜を0.5kWのパワーで1秒間行い、引き続き、残りの成膜を、1.42kWのパワーで13秒間行うことにより、実行することができる。
- [0071] 図8は、先に説明したアンモニアプラズマ窒化処理されたシリコン酸化膜上に形成されたTi膜の(002)ピークの回折強度と、窒化時間との関係を示す。ただしこの実験は、シリコン基板上に500nmの厚さに形成されたプラズマTEOS膜表面を、先に説明した条件でプラズマ窒化し、このようにしてプラズマ窒化されたTEOS膜表面にTi膜を上記条件でスパッタすることにより行っている。
- [0072] 図8を参照するに、アンモニアプラズマ処理時間がゼロの場合には、Ti(002)の回折ピークは非常に弱い。アンモニアプラズマ処理を行うにつれてTi(002)のピークが大きく増大し、得られるTi膜の(002)配向の程度が増大しているのがわかる。先に図6Fで説明したアンモニアプラズマ窒化処理では、窒化処理を60秒間としているが、図8より、図6Hの工程でより長い窒化処理を行い、その後でTi膜を形成した場合、より大きな(002)配向性がTi膜51に対して得られるのがわかる。ただし(002)配向性の増加率は、処理時間が60秒を超えると減少する。
- [0073] このように、窒化膜上に形成されたTi膜は強い(002)配向を示すが、これは、窒化膜の下に酸化アルミニウム膜61が前記窒化膜62により覆われており、その結果、堆積したTi原子が酸化膜表面の酸素原子に捕獲されることなく、比較的自由に窒化膜表面を移動できることによるものと考えられる。
- [0074] 前記図6Iの構造においても、前記窒化膜62上に形成されたTi膜63は強い(002)

配向を示すが、本実施形態では、前記窒化膜62は層間絶縁膜48上のみならず、前記TiAlN膜52のうち、導電性プラグ47A、47Cを覆う部分にも形成されており、したがって、前記Ti膜63は、前記導電性プラグ47A、47C上においても強い(002)配向を示す。その際、前記窒化膜62とTiAlN膜52との間には酸化アルミニウム膜61が介在しているため、前記Ti膜51の(002)配向が、前記導電性プラグ47Aあるいは47Cを構成する結晶粒の配向性に、TiAlN膜52を介して影響されることはない。

[0075] なお、図6Iの工程ではTi膜63の堆積を300℃以下の温度、例えば20℃で行っているため、Ti膜63の堆積に際して前記窒化膜62を構成する窒素原子が脱離することはない。

[0076] 次に図6Jの工程において、前記図6Hの構造上にIr膜53が、第2の下部電極膜として、Ar雰囲気中、0.11Paの圧力下、500℃の基板温度で、0.5kWのスパッタパワーで100nmの厚さに形成される。

[0077] なお前記Ir膜53の代わりにPtなどの白金族の金属、あるいはPtO_x、IrO_x、SrRuO₃などの導電性酸化物を用いることもできる。さらに前記下部電極膜53は、上記の金属あるいは金属酸化物の積層膜とすることもできる。

[0078] 次に図6Kの工程において、前記図6Jの構造上にPZT膜を、強誘電体膜54として、MOCVD法により形成する。

[0079] より具体的には、Pb(DPM)₂、Zr(dmhd)₄およびTi(O-iOr)₂(DPM)₂をTHF溶媒中に、いずれも0.3mol/lの濃度で溶解し、Pb、ZrおよびTiの各液体原料を形成する。さらにこれらの液体原料を、MOCVD装置の気化器に、流量が0.474ml/分のTHF溶媒とともに、それぞれ0.326ml/分、0.200ml/分、および0.200ml/分の流量で供給し、気化させることにより、Pb、ZrおよびTiの原料ガスを形成する。

[0080] さらに前記図6Kの工程では、前記図6Jの構造をMOCVD装置中に、665Pa(5Torr)の圧力下、620℃の基板温度で保持し、このようにして形成されたPb、ZrおよびTiの原料ガスを、前記MOCVD装置中において図6Hの構造上に対し620秒間作用させる。これにより、前記下部電極53上には、所望のPZT膜54が、120nmの厚さに形成される。

- [0081] 次に図6Lの工程において、前記図6Kの構造を室温に保持し、その上に厚さが20nmの酸化イリジウム膜55をスパッタにより、Ar雰囲気中、0.8Paの圧力下、1.0kWのスパッタパワーで79秒間堆積し、さらにこのようにして得られた構造を、酸素雰囲気中、550℃の基板温度で260秒間熱処理し、前記PZT膜54を結晶化すると同時に、膜中の酸素欠損を解消する。ここで、前記酸化イリジウム膜55は IrO_2 の化学量論組成に近い組成を有し、水素に対して触媒作用を生じることがなく、強誘電体膜54が水素ラジカルにより還元されてしまう問題が抑制され、キャパシタQ1、Q2の水素耐性が向上する。
- [0082] さらに図6Mの工程において、前記図6Lの構造上に、水素バリア膜としてIr膜56を、スパッタにより、Ar雰囲気中、1Paの圧力下、1kWのスパッタパワーで100nmの厚さに堆積する。なお、前記水素バリア膜56としては、他にPt膜や SrRuO_3 膜を使うことも可能である。
- [0083] さらに図6Nの工程では、前記層51～56および61～63がパターニングされ、前記強誘電体キャパシタQ1と強誘電体キャパシタQ2が形成される。
- [0084] さらに前記図6Nの工程では、このようにして形成された強誘電体キャパシタQ1、Q2が、酸素雰囲気中、550℃の温度で熱処理され、前記PZT膜54A、54C中に前記パターニングにより生じた酸素欠損が回復される。
- [0085] さらに図6Oの工程では、前記図6Nの構造上に、前記層間絶縁膜48および強誘電体キャパシタQ1、Q2を覆うように、 Al_2O_3 膜が20nmの膜厚で、最初スパッタにより形成された後、600℃の温度で熱処理され、前記パターニングに伴い、強誘電体キャパシタQ1、Q2中に生じた酸素欠損が回復される。さらにこの酸素熱処理工程のうち、前記 Al_2O_3 膜57が、CVD法により、約20nmの膜厚に形成される。
- [0086] さらに図6Oの工程の後、前記図5に示した層間絶縁膜58が、前記 Al_2O_3 膜57上に、前記強誘電体キャパシタQ1、Q2を覆うように、高密度プラズマCVD法により堆積され、さらに前記層間絶縁膜58中には、CMP法による平坦化工程の後、それぞれのコンタクトホール58A、58Bおよび58Cを介して上記強誘電体キャパシタQ1の上部電極層56A、ビアプラグ47B、および前記強誘電体キャパシタQ2の上部電極層56Cとコンタクトするように、ビアプラグ59A、59Bおよび59Cが形成される。ただし前

記ビアプラグ59A, 59B, 59Cには、Ti/TiN構造の密着層59a, 59b, 59cがそれぞれ形成されている。

[0087] なお、図示はしないが、前記層間絶縁膜58中に、前記コンタクトホール58A～58Cを形成する際には、先にコンタクトホール58Aおよび58Cを形成し、前記キャパシタQ1およびQ2の上部電極を覆う水素バリア膜56Aあるいは56Cを露出した後、550℃の基板温度で酸素雰囲気中において熱処理し、前記コンタクトホール58A, 58Cの形成に伴い前記PZT54A, 54C膜中に生じた酸素欠損を回復させる。

[0088] 前記コンタクトホール58Aおよび58Cに導電性プラグ59A, 59Bおよび59Cを形成する際には、前記コンタクトホール58A, 58Bおよび58Cの表面にTiN膜を単層で、前記密着層59a, 59bおよび59cとして形成するのが好ましい。なお、前記密着層59a, 59bおよび59cは、Ti膜をスパッタにより形成し、その上にTiN膜をMOCVD法により形成することで形成することも可能である。この場合、TiN膜から炭素除去を行うため、窒素と水素の混合ガスプラズマ中での処理が必要になるが、本実施形態では、前記上部電極55Aおよび55C上にIrよりなる水素バリア膜56Aおよび56Cをそれぞれ形成しているため、前記上部電極が還元される問題は生じない。

[0089] さらに前記層間絶縁膜58上には、前記ビアプラグ58A, 58B, 58Cにそれぞれ対応して、配線パターン70A, 70B, 70Cが形成される。

[0090] 図9は、このようにして形成されたPZT膜54のX線回折図形を示す。

[0091] 図9を参照するに、このように前記TiAlN酸素バリア膜52Aのうち、導体プラグ47Aに対応した部分とTi膜63Aの間に酸化アルミニウム膜61Aと窒化膜62Aを、また前記TiAlN酸素バリア膜52Cのうち、導体プラグ47Cに対応した部分とTi膜63Cの間に酸化アルミニウム膜61Cと窒化膜62Cを介在させることにより、PZTの(111)面に対応した強い回折ピークを示し、またPZTの(100)面あるいは(101)面からの回折ピークが殆ど観測されない、実質的に(111)配向したPZT膜が、導体プラグ47A, 47B直上の部分も含めて、前記強誘電体膜54Aあるいは54Bとして得られるのがわかる。

[0092] 図10は、このように(111)配向したPZT膜とランダム配向したPZT膜のスイッチング電荷量 Q_{sw} を比較して示す。ただしスイッチング電荷量 Q_{sw} の測定は、 1.5×1.0

μm のサイズの強誘電体キャパシタを作成して行っている。

[0093] 図10を参照するに、スイッチング電荷量 Q_{sw} は、PZT膜が(111)配向を有する場合、ランダム配向のPZT膜と比べて大きく増大しているのがわかる。

[0094] 図11は、このように(111)配向したPZT膜とランダム配向したPZT膜のインプリント特性を比較して示す。ただし上記インプリント特性の測定も、 $1.5 \times 1.0 \mu\text{m}$ のサイズの強誘電体キャパシタを作成して行っている。

[0095] 図11を参照するに、(111)配向したPZT膜のスイッチング電荷量 Q_{sw} は、100時間経過しても2割程度しか低下しないのに対し、ランダム配向のPZT膜では、スイッチング電荷量 Q_{sw} は時間とともに急激に減少するのがわかる。

[0096] 先にも述べたように、本発明ではこのようなPZT膜54A, 54Bの電気特性の向上を、(002)配向するTi自己配向膜63の下に、前記図6Hの工程で窒化膜62を挿入し、前記Ti膜63中の窒素が、その下の酸化アルミニウム膜61中の酸素原子と強固に結合してしまうのを抑制することにより、得ている。

[0097] その際、前記図6Hの工程では、前記窒化処理を 400°C の基板温度で行っていたが、本発明は、このような特定の温度に限定されることはなく、図12に示すように、 $350 \sim 450^\circ\text{C}$ の範囲の温度で実行することができる。

[0098] さらにその際のプラズマパワーも、図13に示すように $100 \sim 500\text{W}$ の範囲で変化させることができる。

[0099] なお、以上の各実施形態において、自己配向膜63A, 63BはTi膜であるとして説明したが、他の自己配向性を有する例えばIr膜、Pt膜、PZT膜、 SrRuO_3 膜、Ru膜、TiN膜、TiAlN膜、Cu膜、IrOx膜などを使うことも可能である。

[0100] また以上の各実施形態において、導電性プラグ47A~47C、59A~59CはWプラグとして説明したが、前記導電性プラグとして、他にポリシリコン、Ti, TiN, TiAlN, Al, Cu, Ru, SrRuO_3 などを使うことも可能である。

[0101] さらに以上の各実施形態において、強誘電体膜54A, 54CはPZT膜であるとして説明したが、PLZT膜など、他のPZT固溶体組成の膜を使うことも可能である。さらに前記強誘電体膜54A, 54Cとしては、他のペロブスカイト膜、例えば BaTiO_3 , $(\text{Bi}_{1/2}\text{Na}_{1/2})\text{TiO}_3$, KNbO_3 , NaNbO_3 , LiNbO_3 などを使うことも可能である。

- [0102] さらに本発明において、前記強誘電体膜54A, 54Bをスパッタにより形成することも可能である。
- [0103] さらに本発明は、強誘電体メモリ装置以外にも、結晶配向を利用した機能膜を有する半導体装置の製造に有用である。
- [0104] 以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施形態に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

請求の範囲

- [1] 半導体基板と、
前記半導体基板上に形成された、第1および第2の拡散領域を含む電界効果トランジスタと、
前記半導体基板上に、前記電界効果トランジスタを覆うように形成された層間絶縁膜と、
前記層間絶縁膜中に形成され、前記第1の拡散領域とコンタクトする導電性プラグと、
前記層間絶縁膜上に、前記導電性プラグにコンタクトして形成される強誘電体キャパシタとよりなる強誘電体メモリ装置であって、
前記強誘電体キャパシタは強誘電体膜と、強誘電体膜を上下に挟持する上部電極および下部電極よりなり、前記下部電極は前記導電性プラグに電氣的に接続されており、
前記導電性プラグと前記下部電極との間にはAlと酸素を含む層が介在し、
前記Alと酸素を含む層と前記下部電極との間には窒素を含む層が介在し、
前記窒素を含む層と前記下部電極との間には、自己配向性を有する物質よりなる自己配向層が介在することを特徴とする強誘電体メモリ装置。
- [2] 前記Alと酸素を含む層は、少なくとも1層の酸素原子層を表面に有するTiAlN膜であることを特徴とする請求項1記載の強誘電体メモリ装置。
- [3] 前記TiAlN膜は、50～100nmの厚さを有することを特徴とする請求項2記載の強誘電体メモリ装置。
- [4] 前記窒素を含む層は、少なくとも1層の窒素原子層を含むことを特徴とする請求項1記載の強誘電体メモリ装置。
- [5] 前記窒素を含む層の表面は水素終端されていることを特徴とする請求項1記載の強誘電体メモリ装置。
- [6] 前記強誘電体膜は、(111)配向を有することを特徴とする請求項1記載の強誘電体メモリ装置。
- [7] 前記自己配向層は、Ti, Ir, Pt, PZT, SrRuO_3 , Ru, TiN, TiAlN, Al, Cu, IrO

xよりなる群から選ばれる一または複数の物質よりなることを特徴とする請求項1記載の強誘電体メモリ装置。

- [8] 前記導電性プラグは、Si, Ti, TiN, TiAlN, W, Al, Cu, Ru, SrRuO_3 よりなる群から選ばれる一または複数の物質よりなることをと特徴とする請求項1記載の強誘電体メモリ装置。

- [9] 強誘電体メモリ装置の製造方法であって、
トランジスタが形成された半導体基板上に、前記トランジスタを覆うように層間絶縁膜を形成する工程と、

前記層間絶縁膜中に、前記トランジスタの拡散領域にコンタクトする導電性のコンタクトプラグを形成する工程と、

前記コンタクトプラグ上に、下部電極と強誘電体膜と上部電極を順次積層して強誘電体キャパシタを形成する工程と、を含み、

さらに前記コンタクトプラグを形成する工程の後、前記下部電極を形成する工程の前に、前記層間絶縁膜および前記コンタクトプラグの表面にAlと酸素を含む層を形成する工程と、前記Alと酸素を含む層の表面に、窒素を含む層を形成すると、前記窒素を含む層の上に自己配向性を有する膜を形成する工程を含むことを特徴とする強誘電体メモリ装置の製造方法。

- [10] 前記酸素を含む層を形成する工程は、前記層間絶縁膜および前記コンタクトプラグの表面に、TiAlN膜を堆積する工程と、前記TiAlN膜に酸素ラジカルを作用させる工程を含むことを特徴とする請求項9記載の強誘電体メモリ装置の製造方法。

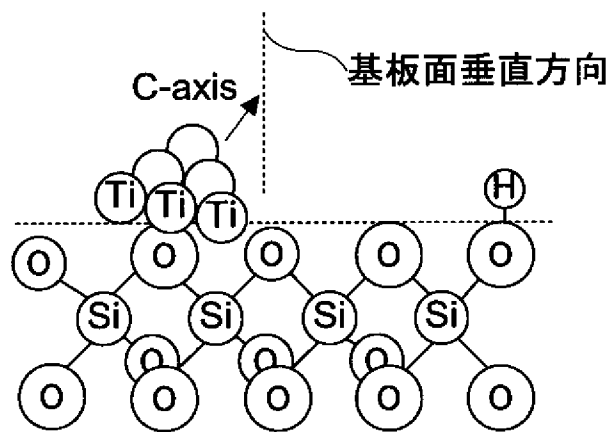
- [11] 前記窒素を含む層を形成する工程は、前記酸素を含む層の表面にNHラジカルを作用させることを含むことを特徴とする請求項9記載の強誘電体メモリ装置の製造方法。

- [12] 前記窒素を含む層を形成する工程は、前記酸素を含む層の表面に窒素ラジカルと水素ラジカルを作用させることを特徴とする請求項9記載の強誘電体メモリ装置の製造方法。

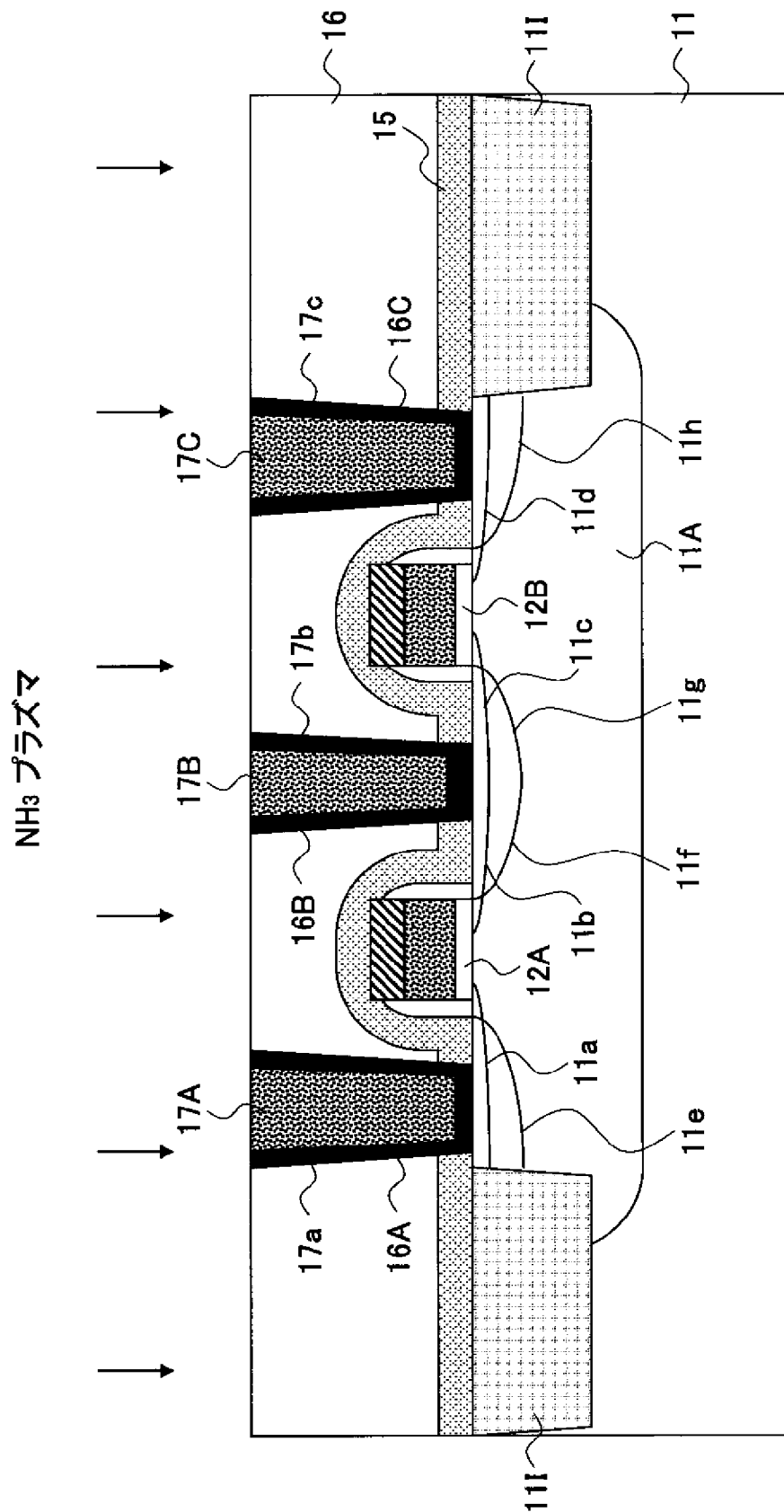
- [13] 前記自己配向性を有する膜を形成する工程は、300℃以下の温度で実行されることを特徴とする請求項9記載の強誘電体メモリ装置の製造方法。

- [14] 前記自己配向性を有する膜を形成する工程は、Ti膜をスパッタにより堆積する工程よりなることを特徴とする請求項9記載の強誘電体メモリ装置の製造方法。
- [15] 機能膜を有する半導体装置の製造方法であって、
トランジスタが形成された半導体基板上に、前記トランジスタを覆うように層間絶縁膜を形成する工程と、
前記層間絶縁膜中に、前記トランジスタの拡散領域にコンタクトする導電性のコンタクトプラグを形成する工程と、
前記コンタクトプラグ上に、機能膜を形成する工程と、を含み、
さらに前記コンタクトプラグを形成する工程の後、前記機能膜を形成する工程の前に、前記層間絶縁膜および前記コンタクトプラグの表面にAlと酸素を含む層を形成する工程と、前記Alと酸素を含む層の表面に、窒素を含む層を形成すると、前記窒素を含む層の上に自己配向性を有する膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

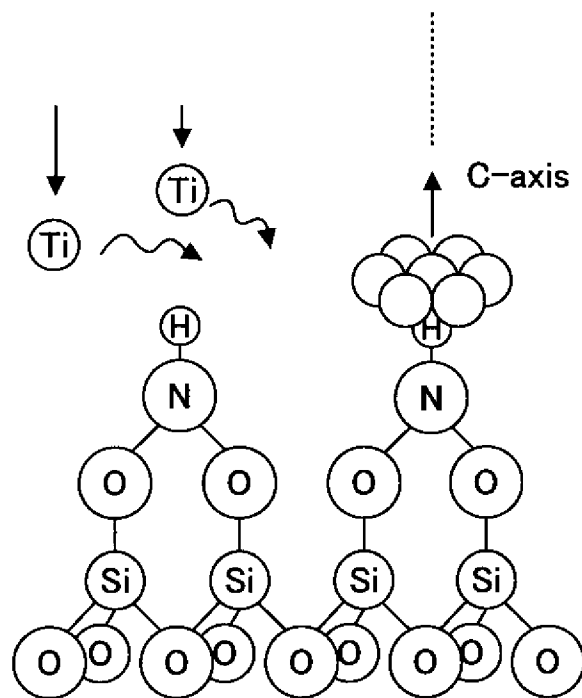
[図2]



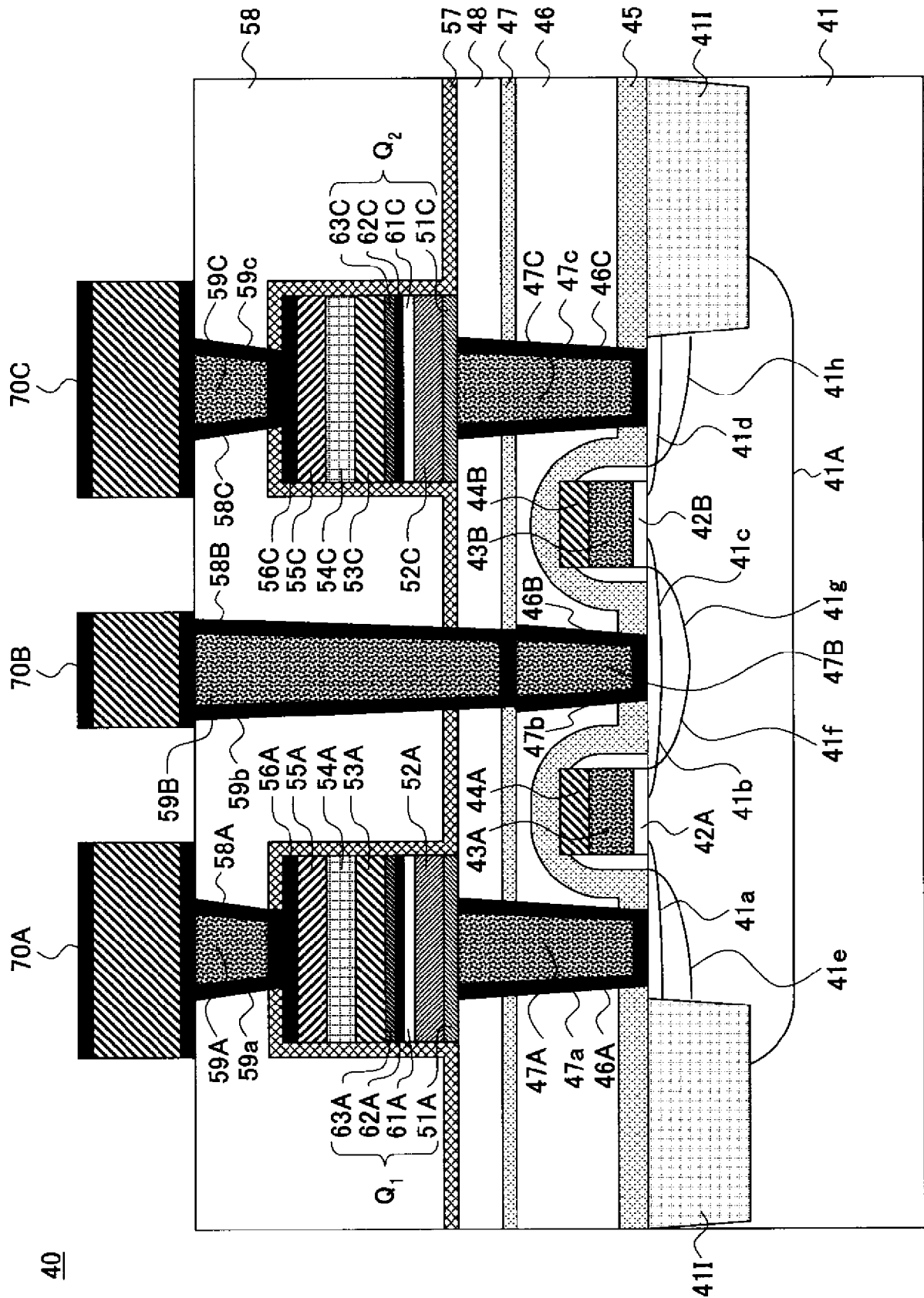
[図3]



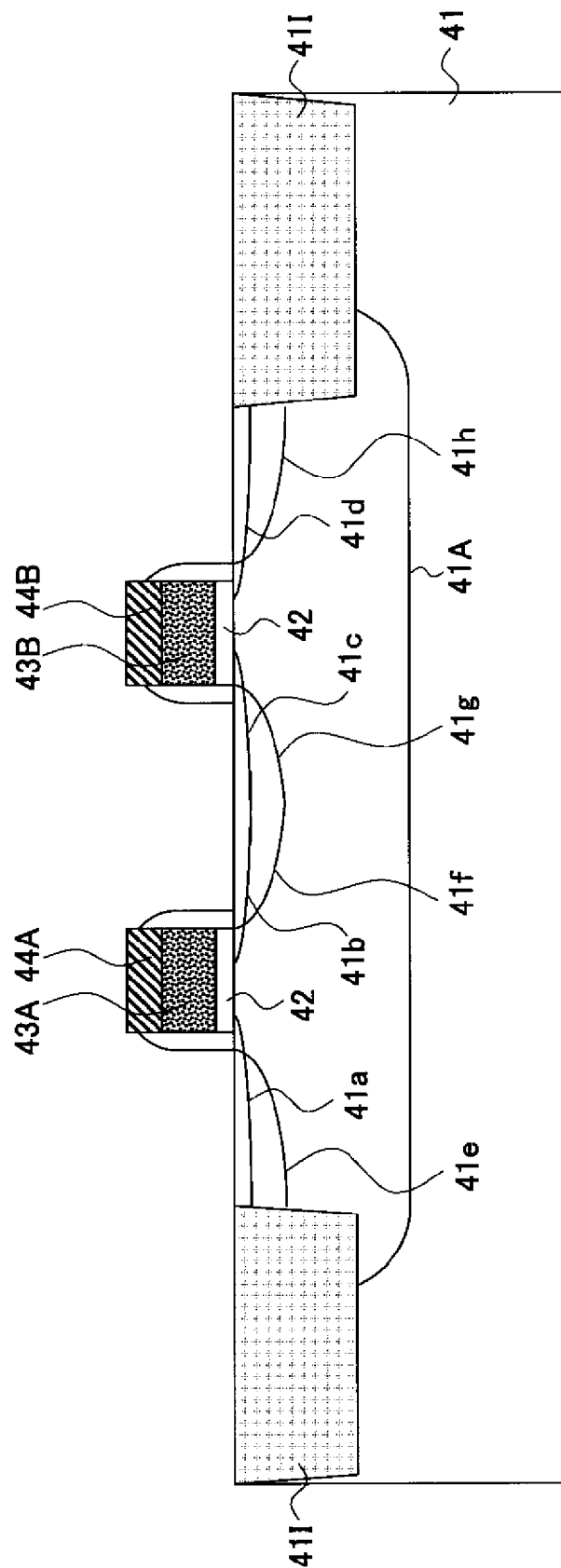
[図4]



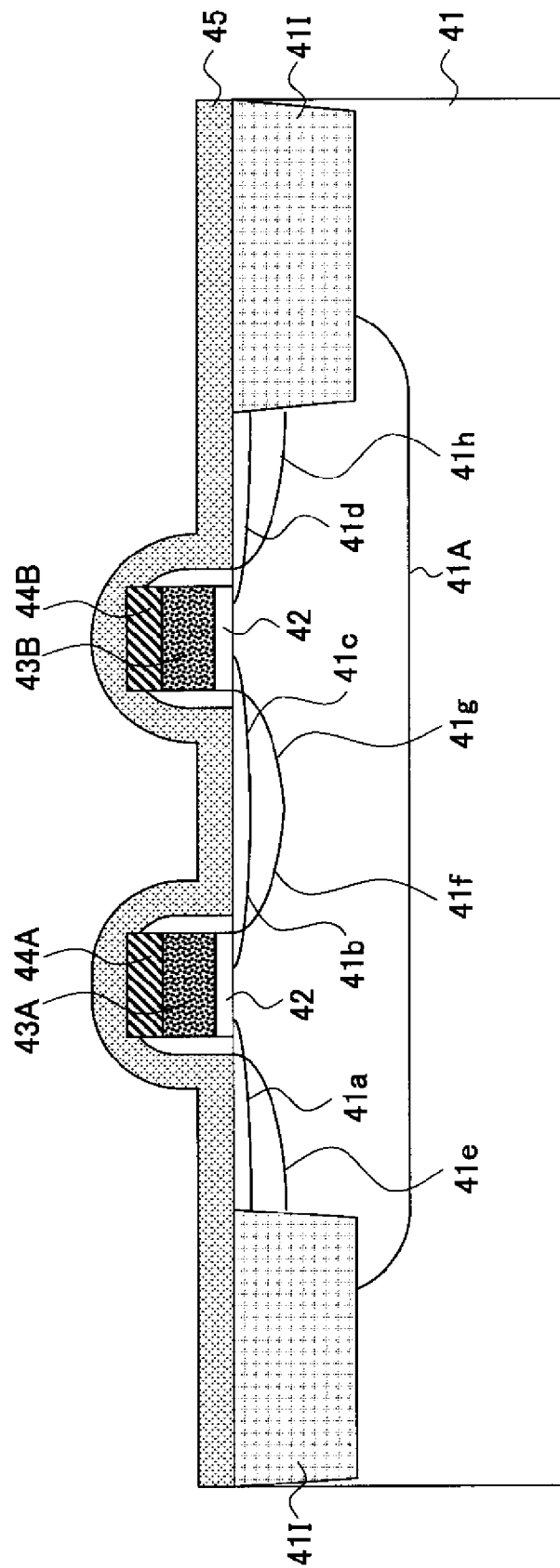
[図5]



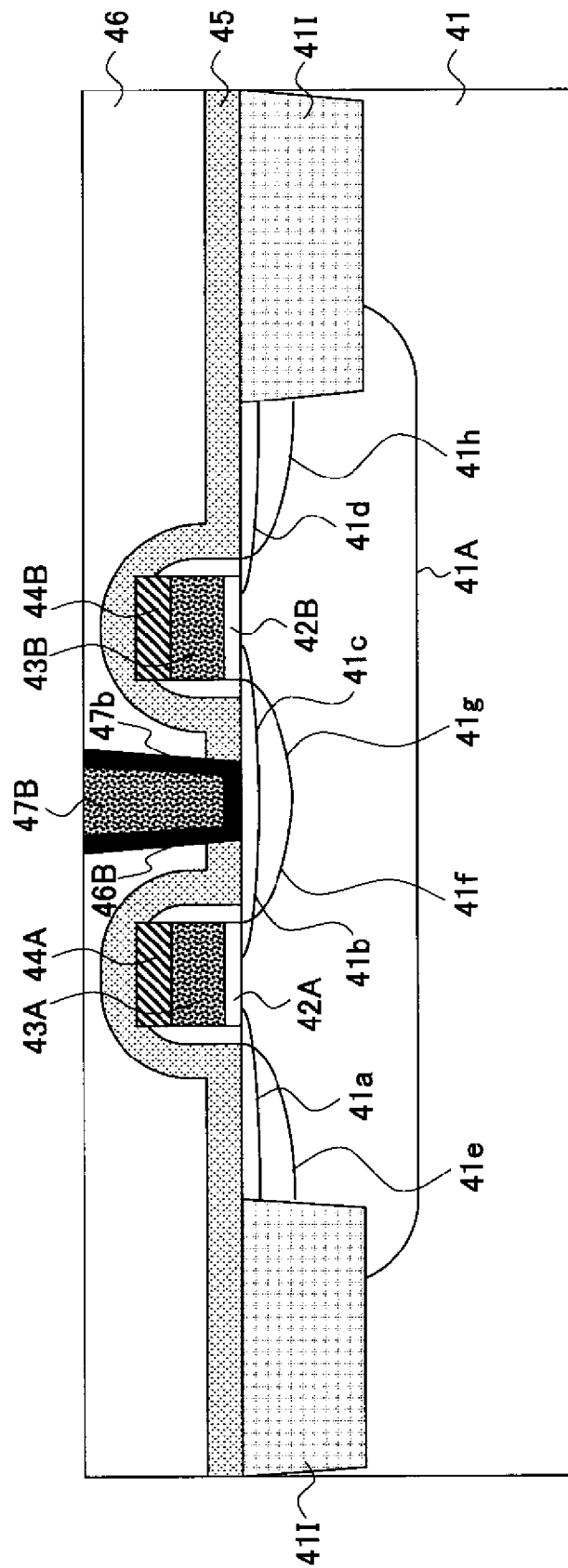
[図6A]



[図6B]



[図6C]



[図6D]

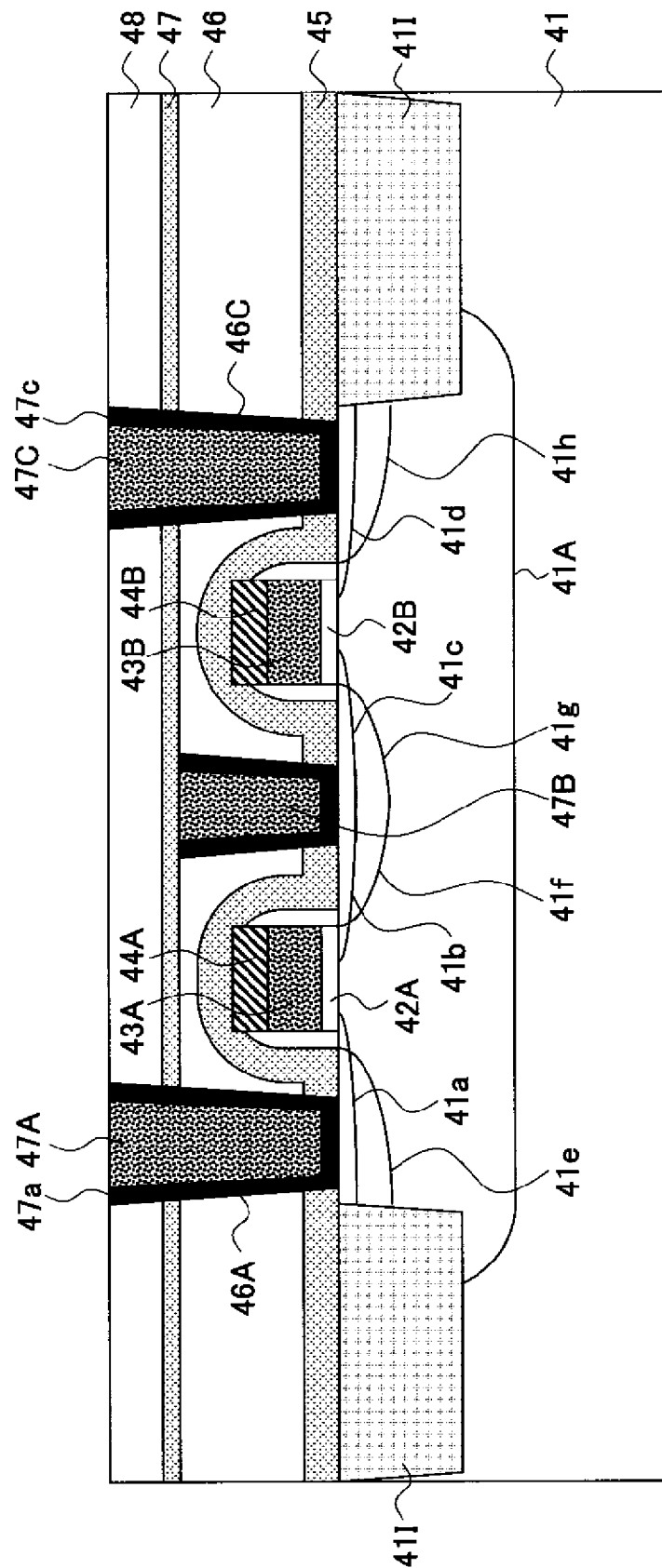
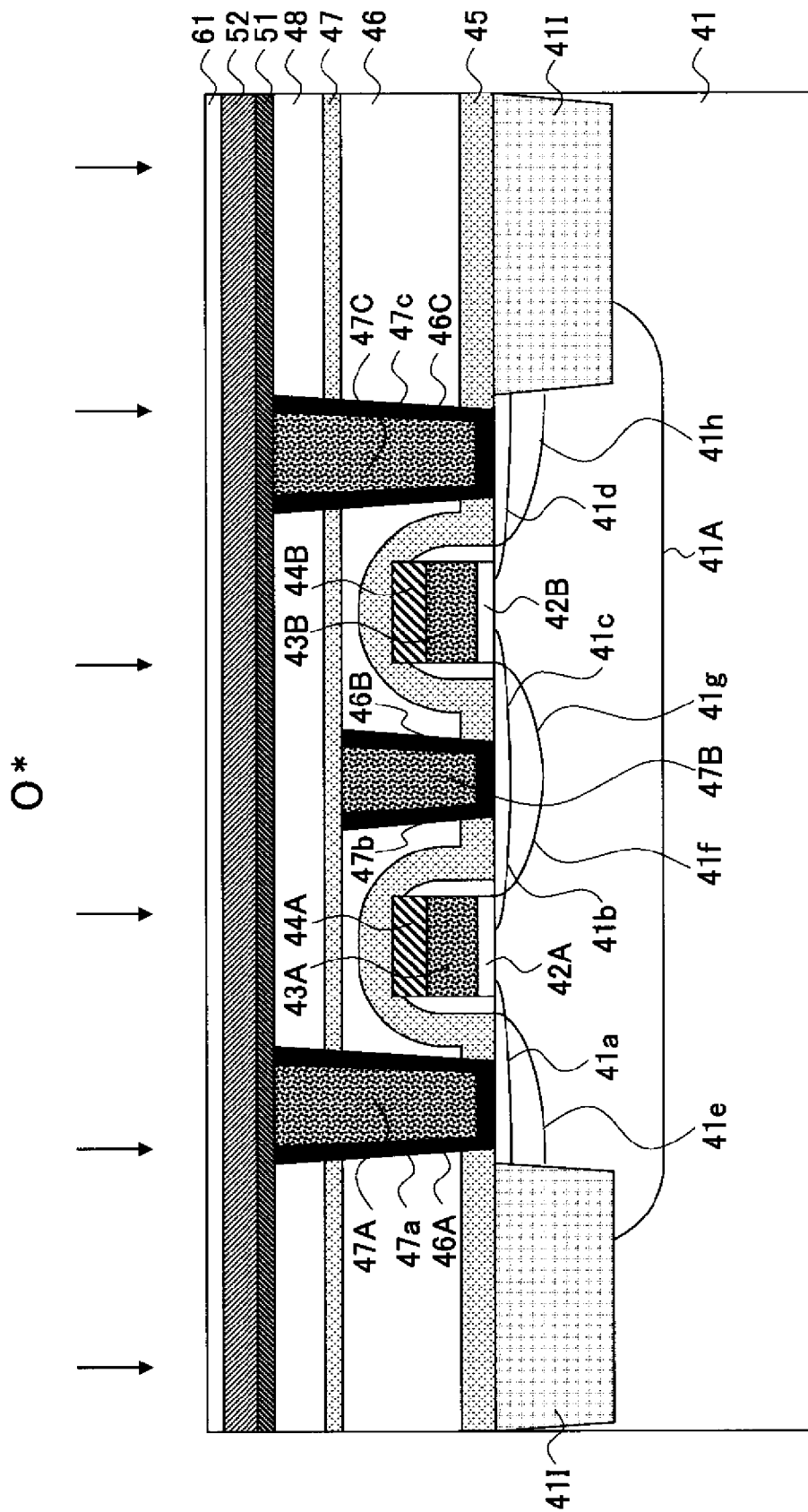


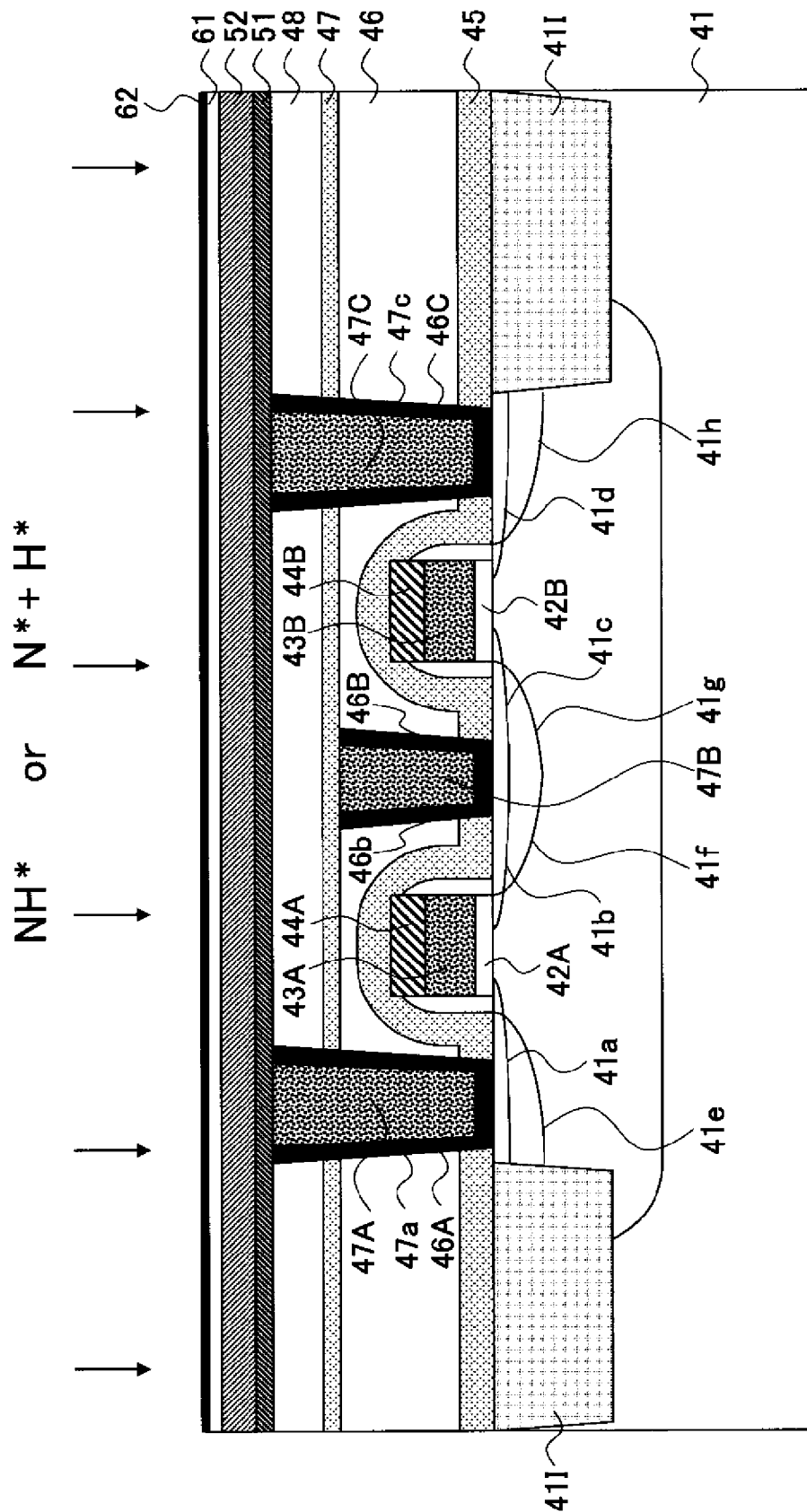
Fig. 1 is a cross-sectional view of a semiconductor device. The device is built on a substrate 41. A top layer 41a is formed on the substrate. A central region 41b contains a U-shaped structure 42A with a core 42B. This is flanked by regions 41c and 41d, which contain U-shaped structures 42B and 42A respectively. The top of the device is covered by a stack of layers 45, 46, 47, 48, and 51. Various other components are labeled with reference numerals.

This cross-sectional view shows a semiconductor device with a central channel 41. The channel is defined by a bottom layer 41a and side walls 41b, 41c, 41d, 41e, 41f, 41g, and 41h. The channel is filled with a material 41i. The channel is surrounded by a layer 42A and 42B. The channel is further surrounded by a layer 43A and 43B. The channel is further surrounded by a layer 44A and 44B. The channel is further surrounded by a layer 45. The channel is further surrounded by a layer 46A and 46B. The channel is further surrounded by a layer 47A and 47B. The channel is further surrounded by a layer 48. The channel is further surrounded by a layer 49. The channel is further surrounded by a layer 50. The channel is further surrounded by a layer 51. The channel is further surrounded by a layer 52.

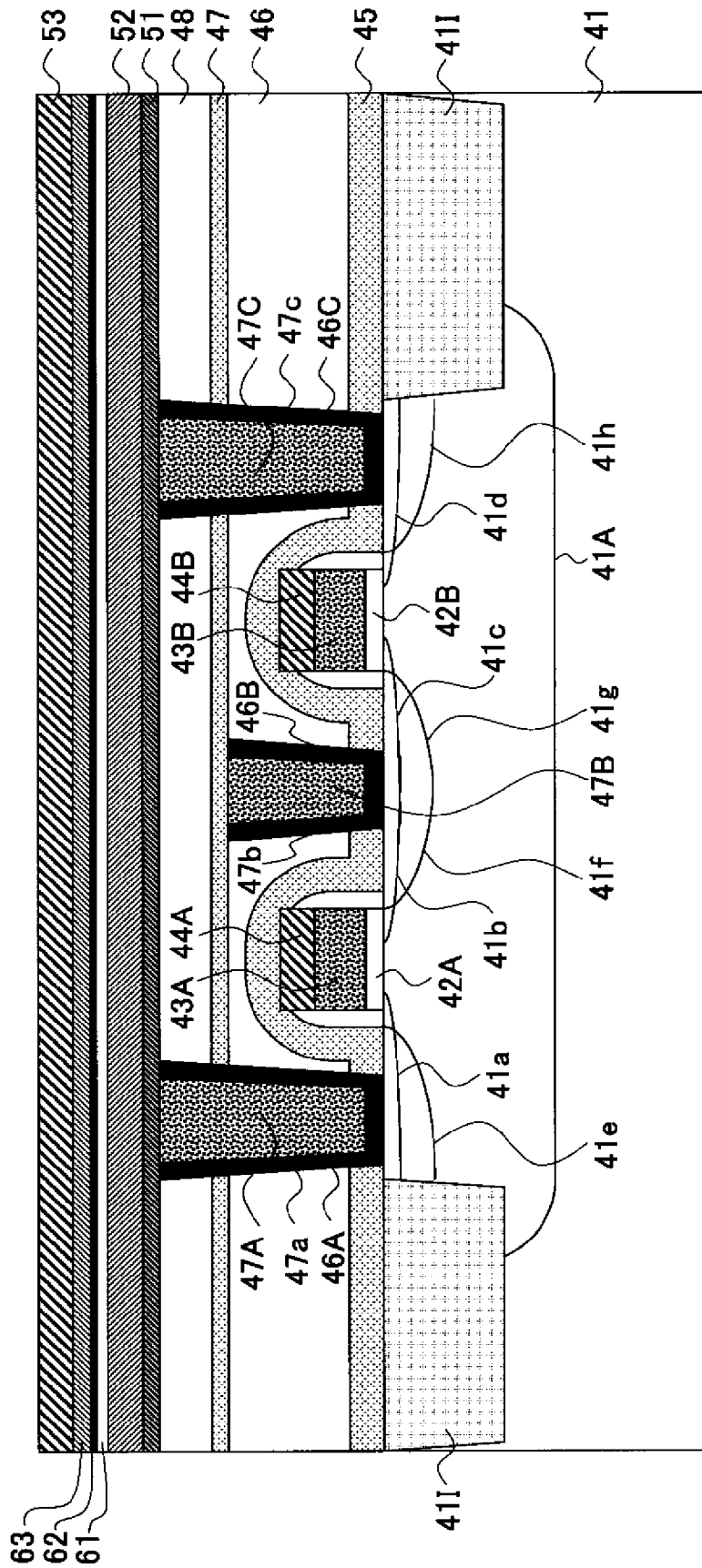
[図6G]



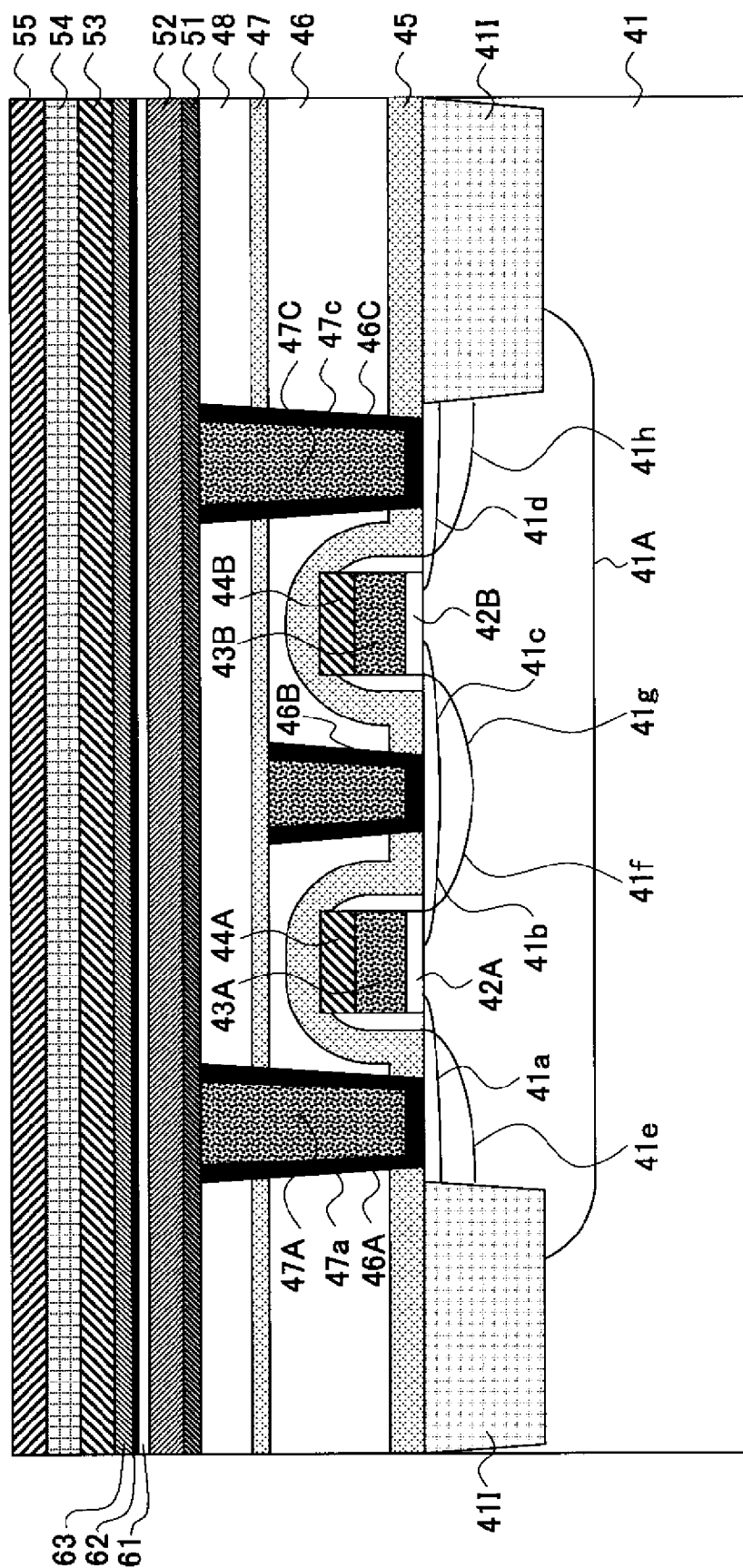
[図6H]



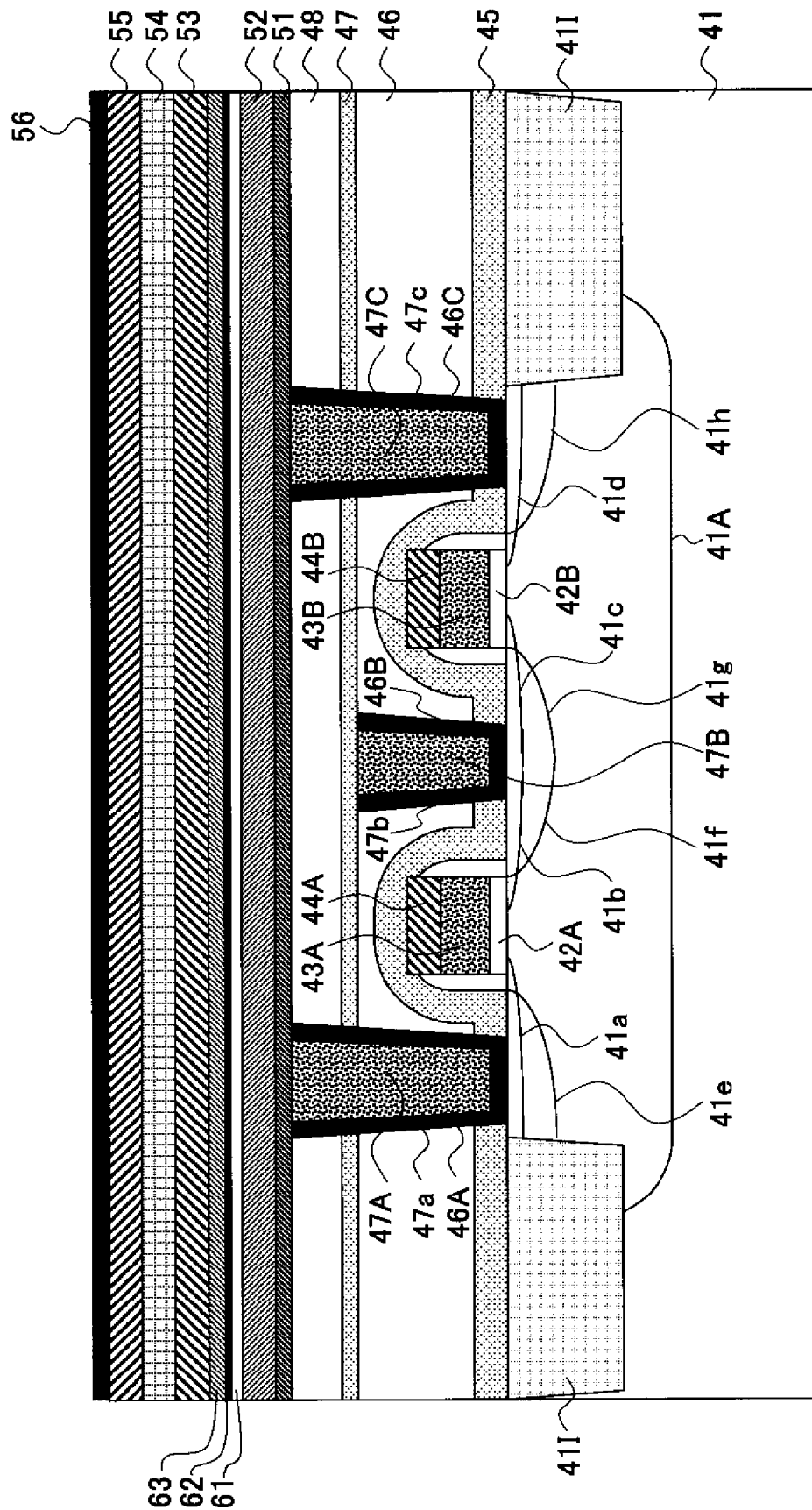
[図6.]



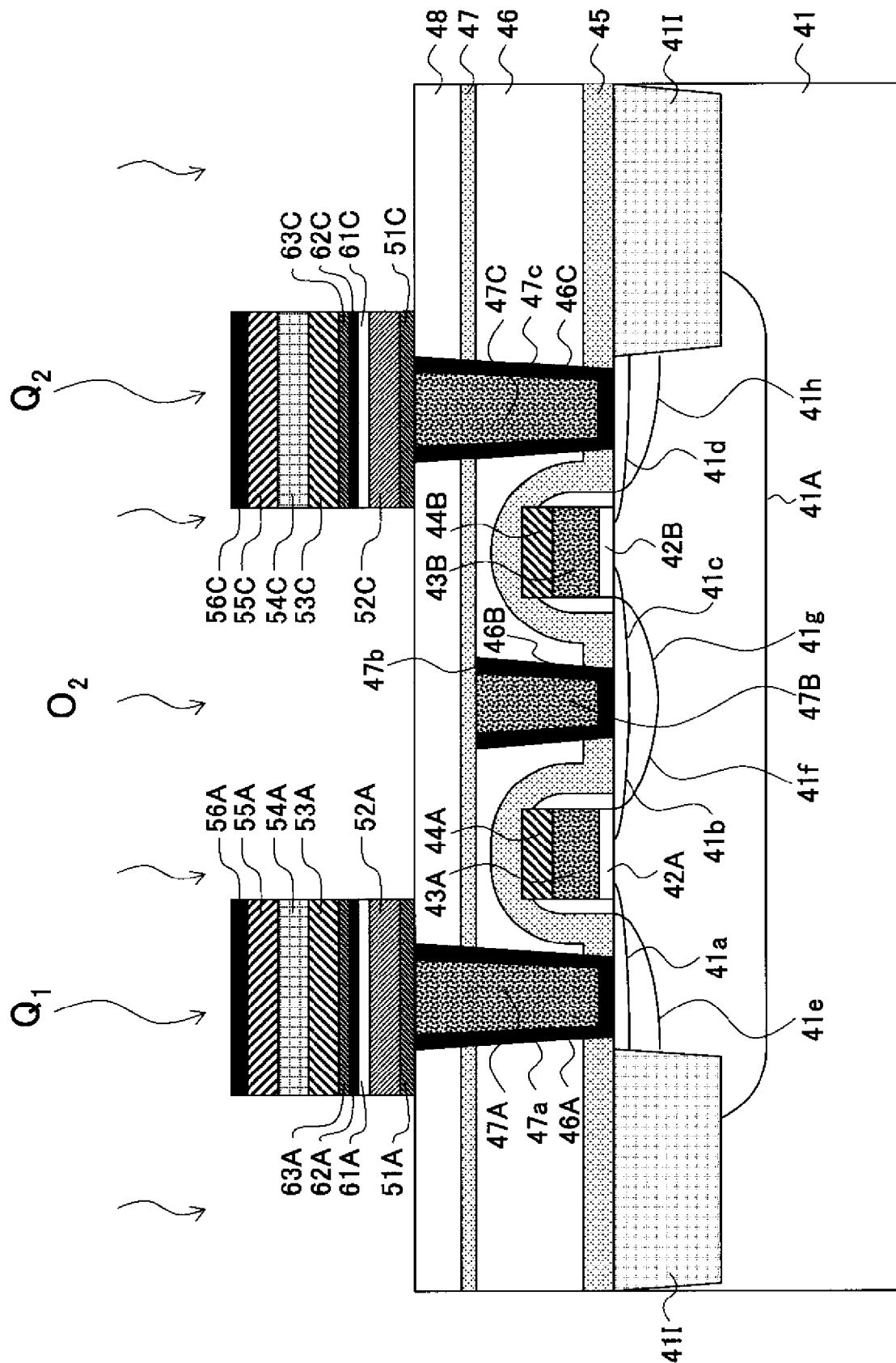
[illegible]

O_2 

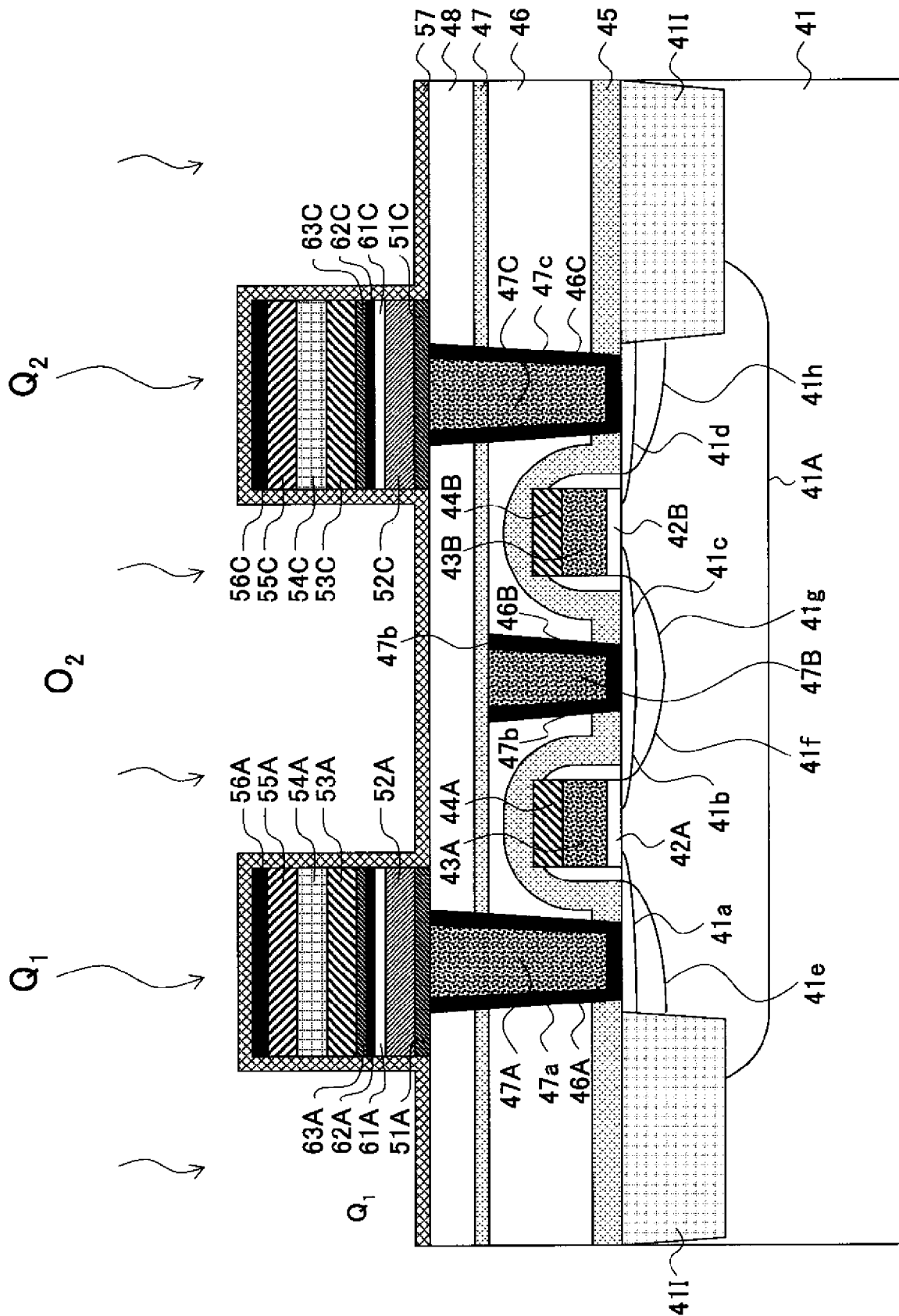
[図6M]



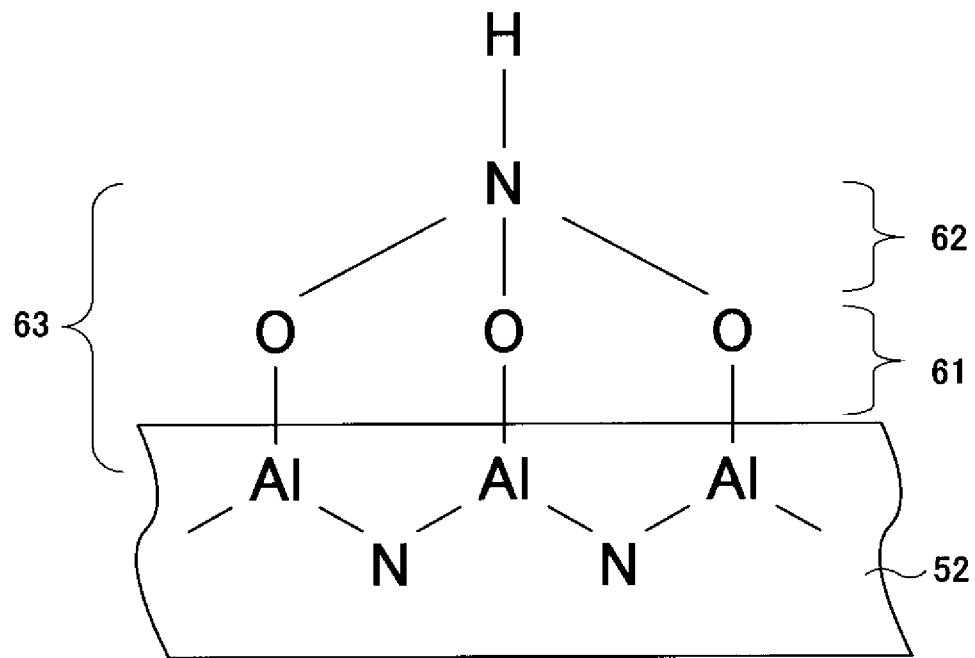
[図6N]



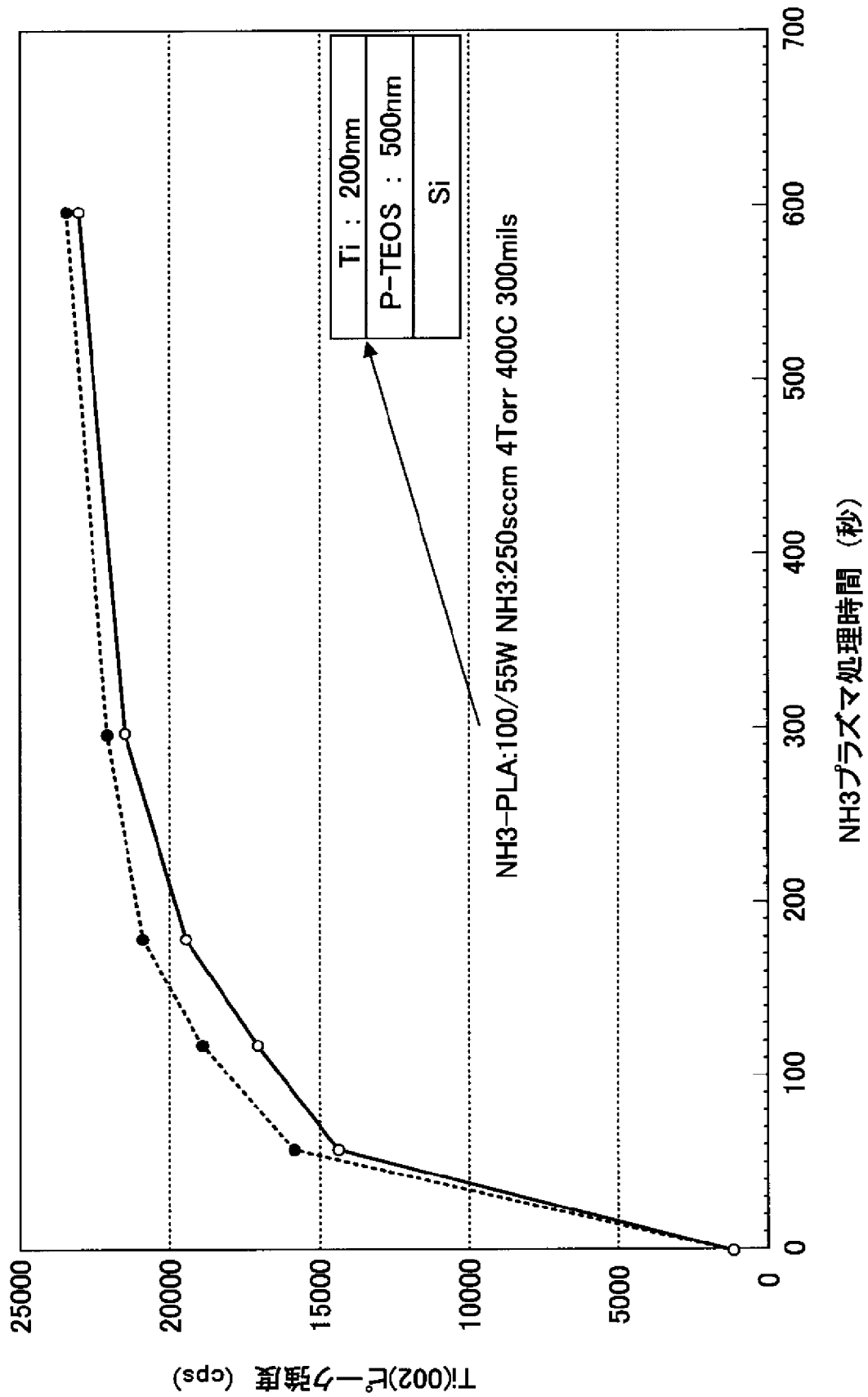
[図60]



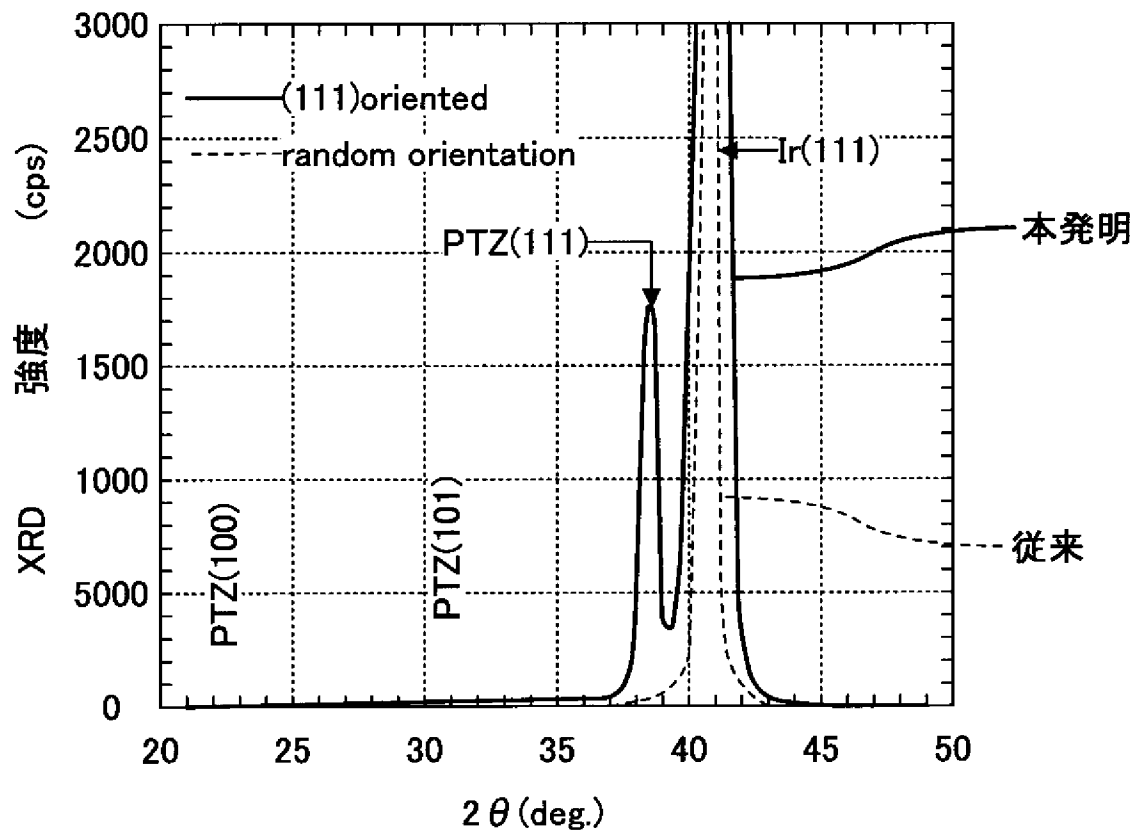
[図7]



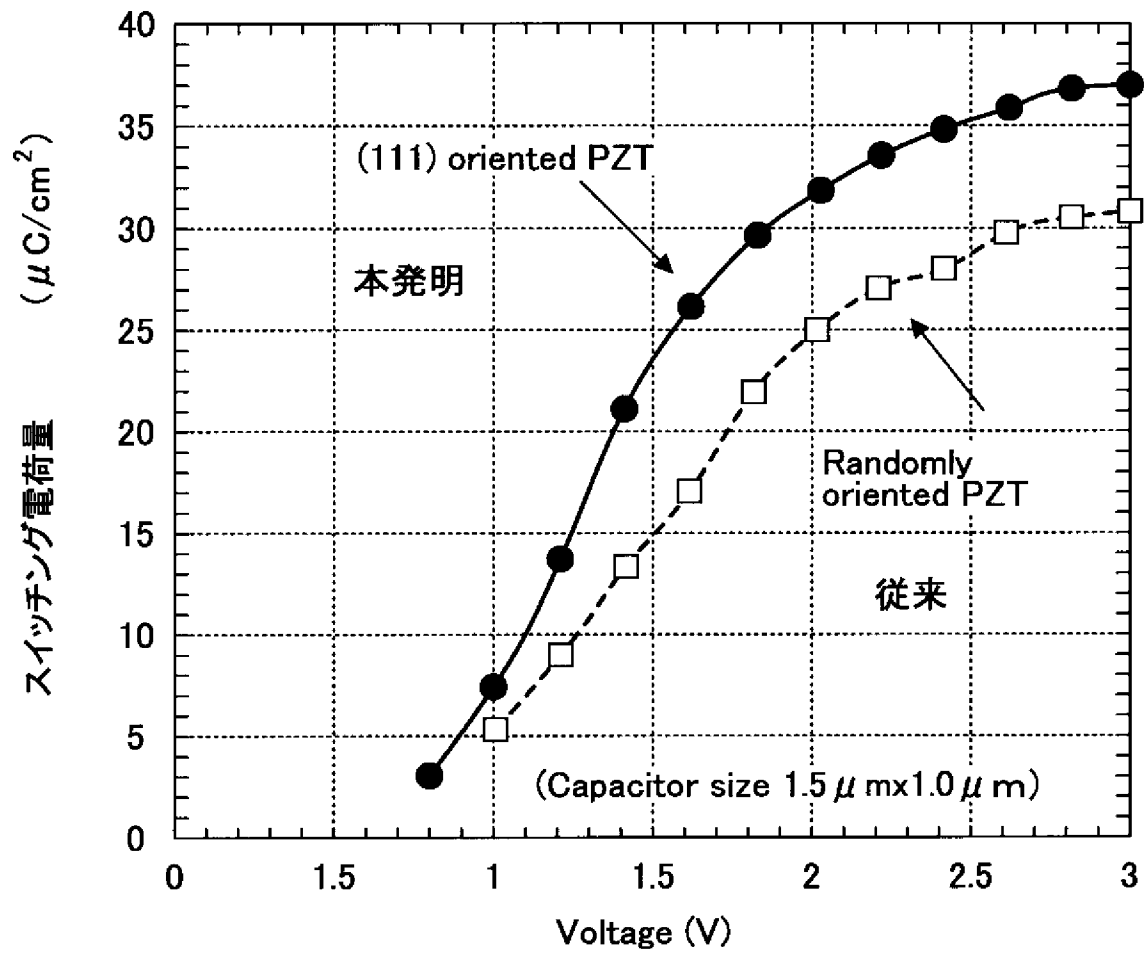
[図8]



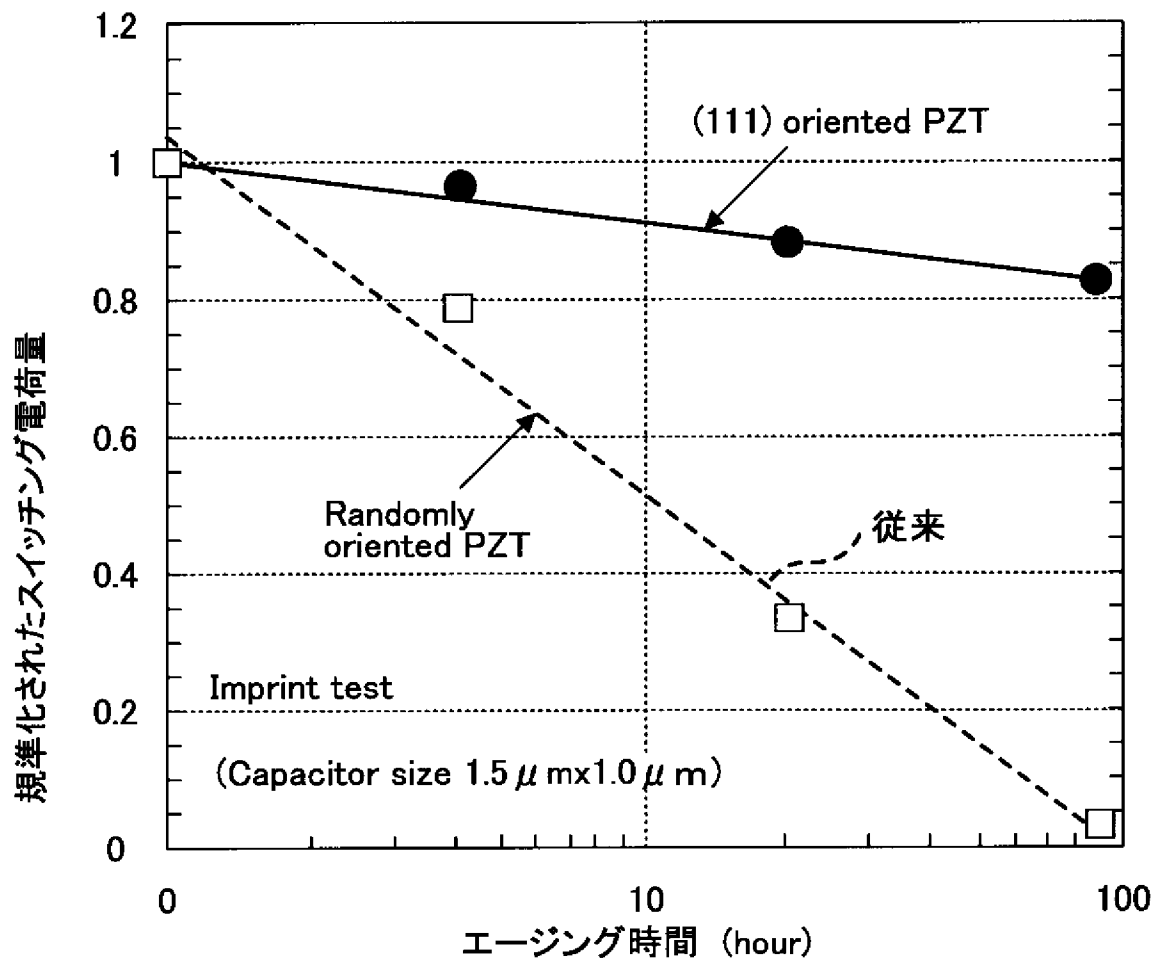
[図9]



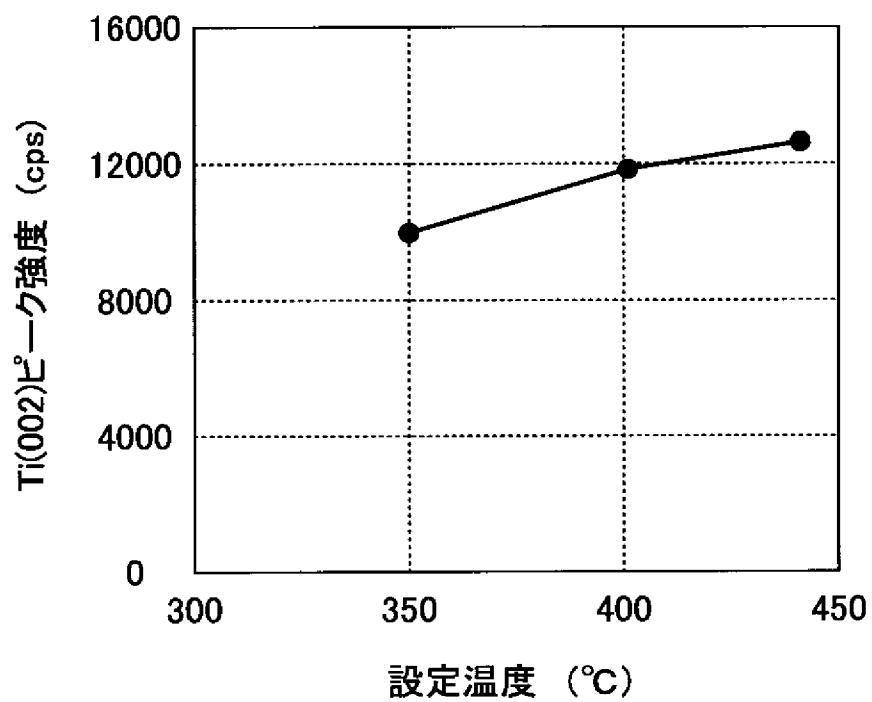
[図10]



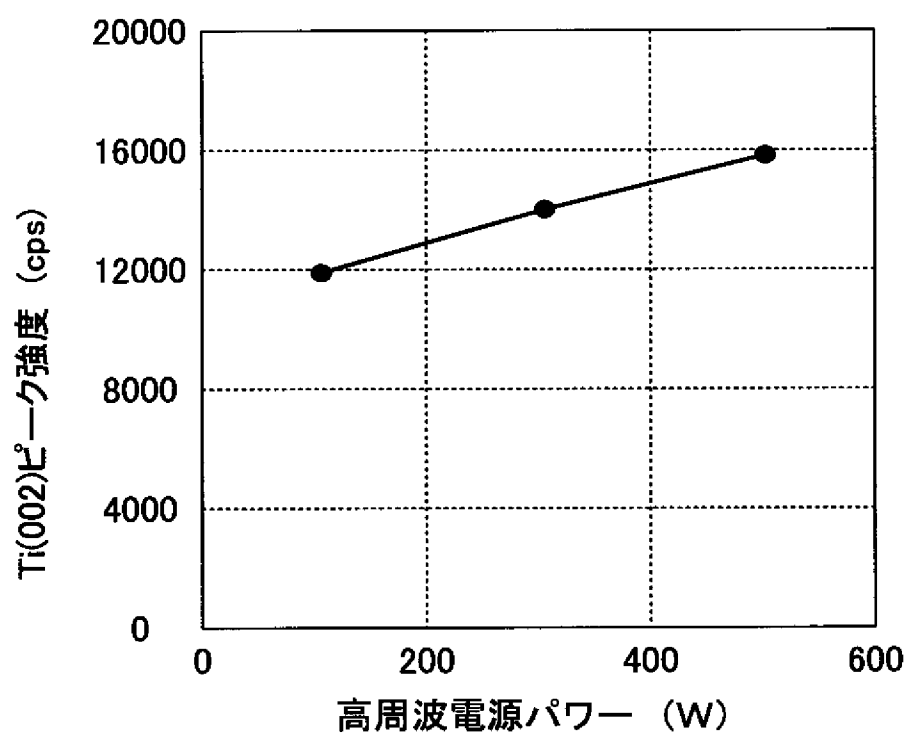
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/016042

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01), **H01L27/105**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246(2006.01), **H01L27/105**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-74488 A (Texas Instruments Inc.), 16 March, 1999 (16.03.99), Par. Nos. [0013] to [0016] & US 6600183 B1 & US 6555431 B1 & EP 889519 A2 & TW 421858 B	1, 4, 7, 8 2, 3, 5, 6, 9-15
E, X E, A	JP 2005-268801 A (Texas Instruments Inc.), 29 September, 2005 (29.09.05), Par. Nos. [0016] to [0018] & US 2005/0205911 A1 & US 2005/0205906 A1 & GB 2412239 A	1-4, 7-9, 15 5, 6, 10-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 November, 2005 (11.11.05)

Date of mailing of the international search report
22 November, 2005 (22.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int.Cl. **H01L21/8246** (2006.01), **H01L27/105** (2006.01)

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. **H01L21/8246** (2006.01), **H01L27/105** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 11-74488 A（テキサス インスツルメンツ インコーポレイテツ ド）1999.03.16, 【0013】 - 【0016】 & US 6600183 B1 & US 6555431 B1 & EP 889519 A2 & TW 421858 B	1, 4, 7, 8 2, 3, 5, 6, 9-15
E, X E, A	JP 2005-268801 A（テキサス インスツルメンツ インコーポレイ テツド）2005.09.29, 【0016】 - 【0018】 & US 2005/0205911 A1 & US 2005/0205906 A1 & GB 2412239 A	1-4, 7-9, 15 5, 6, 10-15

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
11. 11. 2005

国際調査報告の発送日
22. 11. 2005

国際調査機関の名称及びあて先
 日本国特許庁（ISA/JP）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）	4M	9354
井原 純		
電話番号 03-3581-1101 内線 3462		