

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
12 juillet 2007 (12.07.2007)

PCT

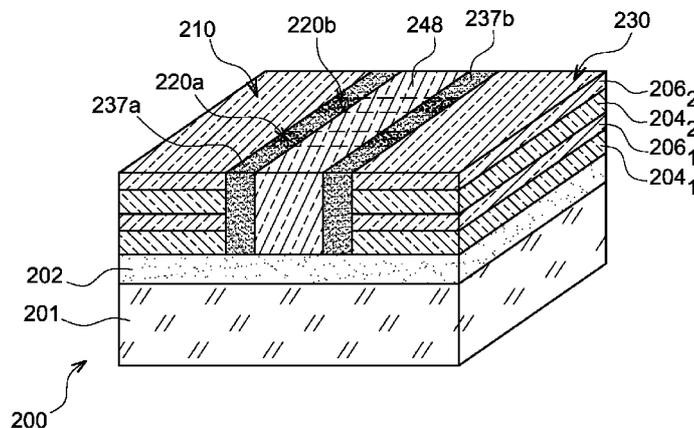
(10) Numéro de publication internationale
WO 2007/077194 A1

- (51) Classification internationale des brevets :
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
- (21) Numéro de la demande internationale :
PCT/EP2006/070255
- (22) Date de dépôt international :
28 décembre 2006 (28.12.2006)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
0554151 30 décembre 2005 (30.12.2005) FR
- (71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR]; 25
Rue Leblanc, Immeuble "le Ponant D", F-75015 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : ERNST,
Thomas [FR/FR]; 703, route de Moirans, F-38140
Charnecles (FR). ISHEDEN, Christian [SE/DE]; Hospi-
talstrasse 12, 01097 Dresde (DE).
- (74) Mandataire : POULIN, Gérard; BREVATOME, 3, rue
du Docteur Lancereaux, F-75008 Paris (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de
protection nationale disponible) : AE, AG, AL, AM, AT,
AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO,
CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU,
SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre
de protection régionale disponible) : ARIPO (BW, GH,
GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), eurasién (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT,
RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA,
GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Suite sur la page suivante]

(54) Title: PRODUCTION OF A TRANSISTOR GATE ON A MULTIBRANCH CHANNEL STRUCTURE AND MEANS FOR ISOLATING THIS GATE FROM THE SOURCE AND DRAIN REGIONS

(54) Titre : REALISATION SUR UNE STRUCTURE DE CANAL A PLUSIEURS BRANCHES D'UNE GRILLE DE TRANSISTOR ET DE MOYENS POUR ISOLER CETTE GRILLE DES REGIONS DE SOURCE ET DE DRAIN



(57) Abstract: The present invention relates to a process for producing a microelectronic device comprising: a support (100,200), an etched thin-film multilayer comprising: at least one first block (110,210) and at least one second block (130,230) resting on the support, in which blocks, respectively, at least one drain region and at least one source region are capable of being formed, several semiconductor bars connecting a first zone of the first block to another zone of the second block, and are capable of forming a multibranch transistor channel, or several transistor channels, the device further including: a gate (150,250) surrounding said bars and located between said first block (210) and said second block (230), the gate being in contact with first and second insulating spacers in contact with at least one sidewall of the first block and with at least one sidewall of the second block, respectively, and at least partially separated from the first and second blocks by means of said insulating spacers.

[Suite sur la page suivante]

WO 2007/077194 A1

**Publiée :**

— avec rapport de recherche internationale

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : La présente invention concerne un procédé de réalisation d'un dispositif microélectronique comprenant : un support (100,200), un empilement gravé de couches minces comprenant : au moins un premier bloc (110,210) et au moins un deuxième bloc (130,230) reposant sur le support, dans lesquels respectivement, au moins une région de drain et au moins une région de source sont aptes à être formées, plusieurs barreaux semi-conducteurs reliant une première zone du premier bloc et une autre zone du second bloc, et aptes à former un canal de transistor à plusieurs branches, ou plusieurs canaux de transistors, le dispositif comprenant en outre : une grille (150,250) enrobant lesdites barreaux et située entre ledit premier bloc (210) et ledit deuxième bloc (230), la grille étant en contact avec un premier et un deuxième espaceurs isolants en contact respectivement, avec au moins un flanc du premier bloc et avec au moins un flanc du deuxième bloc, et séparée au moins partiellement du premier bloc et du deuxième bloc, par l'intermédiaire desdits espaceurs isolants.

REALISATION SUR UNE STRUCTURE DE CANAL A PLUSIEURS BRANCHES D'UNE GRILLE DE TRANSISTOR ET DE MOYENS POUR ISOLER CETTE GRILLE DES REGIONS DE SOURCE ET DE DRAIN

5

DESCRIPTION**DOMAINE TECHNIQUE**

La présente invention se rapporte au domaine des circuits intégrés, et plus particulièrement à celui des transistors, et a pour but de présenter un dispositif microélectronique doté en particulier d'une structure de canal à plusieurs branches, ou d'une structure multi-canaux, et d'une grille dite « enrobante » de côte ou dimension critique uniforme ainsi que de moyens pour isoler cette grille des régions de source et de drain, le dispositif étant amélioré en termes de performances électriques, notamment en ce qui concerne les capacités parasites entre grille et région de source et de drain. L'invention comprend également un procédé de réalisation d'un tel dispositif.

ART ANTÉRIEUR

Une structure classique de transistor est généralement formée, sur un substrat, par exemple de type SOI (SOI pour « silicon on insulator » ou « silicium sur isolant »), d'une région de source et d'une région de drain, par exemple sous forme respectivement d'une première et d'une deuxième zones semi-conductrices, reliées entre elles par une troisième structure semi-conductrice destinée à jouer le rôle d'un canal ou de plusieurs canaux dans

le(s)quel(s) un courant est destiné à circuler, et qui peut avoir une forme d'un bloc ou d'un barreau, ou éventuellement de plusieurs barreaux semi-conducteurs disjoints. Ce barreau ou ces barreaux semi-conducteurs
5 sont recouverts d'une grille permettant de contrôler l'intensité d'un courant transitant dans le canal ou éventuellement dans les canaux entre la région de source et la région de drain.

Le document US 6 855 588 présente par
10 exemple un transistor doté d'une grille particulière, appelée « trigate ». La grille de ce transistor est formée au dessus ainsi que sur les flancs, d'un barreau semi-conducteur parallélépipédique, de manière à obtenir une zone de recouvrement de la grille sur le
15 canal plus importante par rapport à un transistor MOS classique, une zone de recouvrement importante permettant d'obtenir un contrôle amélioré de la conduction du canal, en particulier pour des grilles de dimensions nanométriques.

20 Il existe également des grilles de transistors dites « enrobantes » ou GAA (GAA pour « gate all around » ou grille tout autour) pour lesquelles le matériau de grille est formé tout autour d'une portion du bloc semi-conducteur de canal, et
25 réalise par exemple une bague autour de ce bloc. Le document US 2004/0063286 A1 présente par exemple un transistor comprenant un tel type de grille. Ce transistor est doté d'une structure de canal, formée de barreaux semi-conducteurs parallélépipédiques
30 superposés, et réalisée de sorte qu'une ouverture existe entre les barreaux. Les barreaux semi-

conducteurs parallélépipédiques sont également entourés sur une partie de leur longueur, d'un matériau de grille comblant les ouvertures situées entre les barreaux. La réalisation de la grille « enrobante » fait appel à un procédé microélectronique de type Damascène. La structure de grille obtenue à l'aide d'un tel procédé comporte des capacités parasites de chevauchement (« overlap » selon la terminologie anglo-saxonne) entre la grille et les régions de source et de drain, qui nuisent aux performances électriques du transistor.

Il se pose le problème de trouver un nouveau dispositif microélectronique comportant un transistor à structure de canal comportant plusieurs branches ou à structure multi-canaux, doté d'une grille dite « enrobante » ou « semi-enrobante », qui ne comporte pas les inconvénients évoqués ci-dessus, ainsi qu'un procédé permettant de mettre en œuvre un tel dispositif.

20 **EXPOSÉ DE L'INVENTION**

La présente invention a pour but de présenter un dispositif microélectronique doté en particulier d'une structure de canal à plusieurs branches, ou d'une structure multi-canaux, et d'une grille dite « enrobante » de côte uniforme ainsi que de moyens pour isoler la grille des régions de source et de drain.

L'invention concerne en particulier un dispositif microélectronique comprenant :

30 - un support,

- un empilement gravé de couches minces reposant sur le support et comprenant : au moins un premier bloc et au moins un deuxième bloc, dans lesquels respectivement, au moins une région de drain et au moins une région de source sont aptes à être formées, ainsi qu'un ou plusieurs barreaux semi-conducteurs reliant une première zone du premier bloc et une autre zone du deuxième bloc, les barreaux semi-conducteurs étant aptes à former un canal de transistor ou un canal de transistor à plusieurs branches, ou plusieurs canaux de transistors,

- une grille enrobant au moins partiellement lesdites barreaux et située entre ledit premier bloc et ledit deuxième bloc,

- au moins une première zone isolante formée contre au moins un flanc du premier bloc,

- au moins une deuxième zone isolante en regard de la première zone isolante, la deuxième zone isolante étant formée contre au moins un flanc du deuxième bloc, la grille étant en contact avec la première zone isolante et la deuxième zone isolante et séparée au moins partiellement ou totalement du premier bloc et du deuxième bloc, par l'intermédiaire desdites première et deuxième zones isolantes.

Selon une possibilité, la première zone isolante et la deuxième zone isolante peuvent reposer sur le support.

Les barreaux semi-conducteurs peuvent traverser la première zone isolante et la deuxième zone isolante.

L'empilement peut reposer sur une couche diélectrique d'un substrat de type semi-conducteur sur isolant, par exemple de type SOI (SOI pour « Silicon On Insulator » ou « Silicium sur Isolant »). Dans ce cas
5 la première zone isolante et la deuxième zone isolante peuvent éventuellement reposer sur la couche diélectrique du support.

Selon une possibilité, au moins un barreau parmi lesdits barreaux semi-conducteurs ou chacun des
10 barreaux semi-conducteurs, est suspendu au-dessus du support entre ledit premier bloc et ledit deuxième bloc, et/ou est séparé ou disjoint du support.

Selon une possibilité qui peut être combinée avec la précédente, au moins deux desdits
15 barreaux semi-conducteurs peuvent être alignés dans une direction parallèle au plan principal du support.

Selon une autre possibilité qui peut être combinée avec les précédentes, le dispositif peut comprendre, parmi lesdits barreaux semi-conducteurs, au
20 moins deux barreaux semi-conducteurs disjoints, et alignés dans une direction réalisant un angle non nul avec le plan principal du support.

L'empilement, et notamment ledit premier bloc et ledit deuxième bloc, peut être formé d'au moins
25 une couche à base d'un premier matériau semi-conducteur, et d'au moins une couche à base d'un deuxième matériau, différent du premier matériau semi-conducteur.

Selon une mise en œuvre particulière,
30 l'empilement et notamment le premier bloc et le deuxième bloc, peut être formé d'une alternance de

couches à base d'un premier matériau semi-conducteur et de couches à base d'un deuxième matériau, différent du premier matériau semi-conducteur.

Ledit deuxième matériau peut être choisi de manière à pouvoir être gravé sélectivement par rapport au premier matériau. Ledit deuxième matériau peut avoir un dopage différent du premier matériau ou/et être à base d'un semi-conducteur différent du premier matériau, ou/et avoir une stœchiométrie différente de celle du premier matériau.

Selon une possibilité, le deuxième matériau ou/et le premier matériau peut être un semi-conducteur donné comportant un additif, l'additif étant formé d'atomes de taille différente de celle dudit semi-conducteur, l'additif étant formé d'atomes plus petits que les atomes dudit semi-conducteur donné par exemple lorsque ledit semi-conducteur donné est contraint en compression biaxiale dans le plan du support, ou étant formé d'atomes plus grands que les atomes dudit semi-conducteur donné, par exemple lorsque ledit semi-conducteur donné est contraint en tension biaxiale dans le plan du support. Dans le cas où le matériau donné est du SiGe en compression biaxiale, l'additif peut être par exemple sous forme d'atomes de carbone ou de Bore. La présence d'un tel additif dans le premier matériau ou dans le deuxième matériau, peut permettre de compenser la contrainte que l'un desdits premier matériau et deuxième matériau applique sur l'autre desdits premier matériau et deuxième matériau, et permettre d'avoir un empilement doté d'un nombre de

couches minces élevé, sans que les propriétés électriques du dispositif soient altérées.

La première zone isolante et la deuxième zone isolante peuvent être séparées entre le premier bloc et le deuxième bloc d'une distance constante égale à la dimension critique de la grille. On entendra tout au long de la présente description par « dimension critique », la dimension minimale d'un motif géométrique réalisé dans une couche mince ou dans un empilement de couches minces, hormis la ou les dimensions définies par l'épaisseur de cette couche mince ou de cet empilement de couches minces.

Selon une première mise en oeuvre, l'invention concerne un procédé de réalisation d'un dispositif microélectronique comprenant les étapes de :

a) formation à partir d'un empilement de couches minces sur un support, l'empilement comportant au moins deux couches successives respectivement à base d'au moins un premier matériau semi-conducteur et d'au moins un deuxième matériau, différent du premier matériau, d'au moins un premier bloc destiné à former au moins une région de source de transistor, et d'au moins un deuxième bloc destiné à former au moins une région de drain de transistor et d'au moins une structure reliant ledit premier bloc et ledit deuxième bloc,

b) formation, dans une région située entre le premier bloc et le deuxième semi-conducteur d'au moins une première zone isolante contre un flanc dudit premier bloc et d'au moins une deuxième zone isolante contre un flanc du deuxième bloc, et d'au moins une

cavité comportant au moins un motif de grille entre la première zone isolante et la deuxième zone isolante,

5 c) retrait sélectif, dans la cavité, du deuxième matériau vis-à-vis du premier matériau semi-conducteur,

d) dépôt dans la cavité d'au moins un diélectrique grille et d'au moins un matériau de grille.

10 Ainsi, selon l'invention, on forme des zones isolantes destinés à jouer le rôle d'espaceurs contre un bloc de région de source et un autre bloc de région de drain, les zones isolantes étant séparées par une cavité en forme de grille, puis, on réalise une grille dans ladite cavité.

15 Le support peut comprendre par exemple une couche diélectrique d'un substrat de type semi-conducteur sur isolant.

Ledit deuxième matériau peut être différent dudit premier matériau et choisi de manière à pouvoir
20 être gravé sélectivement par rapport au premier matériau. Ledit deuxième matériau peut avoir un dopage différent du premier matériau ou/et être à base d'un semi-conducteur différent du premier matériau, ou/et avoir une stœchiométrie différente de celle du premier
25 matériau. Le premier matériau semi-conducteur peut être par exemple du Si, tandis que le deuxième matériau semi-conducteur peut être par exemple du SiGe.

Selon une possibilité, l'empilement de couches minces peut être réalisé par épitaxie.

30 Selon une possibilité de mise en œuvre, l'empilement de couches minces peut être formé d'une

alternance de couches à base du premier matériau semi-conducteur et de couches à base du deuxième matériau.

Selon une possibilité de mise en œuvre, ladite cavité peut comporter en outre au moins un motif
5 de contact de grille de transistor. Selon une variante, le procédé peut comprendre la formation d'au moins un contact de grille de transistor par gravure dudit matériau de grille.

Les zones isolantes formées à l'étape b)
10 peuvent reposer sur le substrat, par exemple sur la couche diélectrique du substrat lorsque ce dernier est de type semi-conducteur sur isolant. La grille formée dans la cavité peut être ainsi complètement isolée ou séparée des blocs semi-conducteurs de source et de
15 drain par l'intermédiaire des blocs isolants formés à l'étape b).

Selon une possibilité de mise en œuvre, la formation des zones isolantes à l'étape b) peut comprendre le dépôt d'une couche isolante, puis un
20 retrait d'une partie de la couche isolante, par exemple à l'aide d'au moins un faisceau d'électrons.

Selon cette première mise en œuvre, la formation des zones isolantes et de la cavité à l'étape b) peut comprendre :

25 - le dépôt d'une couche à base d'un matériau diélectrique sur le substrat,

- une exposition d'une partie de ladite couche de matériau diélectrique à l'aide d'un faisceau d'électrons. Cela peut permettre de former une cavité
30 de largeur ou de dimension critique uniforme. Ledit matériau diélectrique exposé au faisceau d'électrons

peut être un matériau diélectrique sensible aux faisceaux d'électrons, par exemple du HSQ (HSQ pour hydrogen silsesquioxane).

Selon une deuxième mise en oeuvre, l'invention concerne un procédé de réalisation d'un dispositif microélectronique comprenant les étapes de :

a) formation à partir d'un empilement de couches minces sur un substrat, l'empilement comportant au moins deux couches successives respectivement à base d'au moins un premier matériau semi-conducteur et d'au moins un deuxième matériau différent du premier matériau, d'au moins un premier bloc destiné à former au moins une région de source de transistor, et d'au moins un deuxième bloc destiné à former au moins une région de drain de transistor, et d'au moins une structure reliant ledit premier bloc et ledit deuxième bloc,

b) formation sur l'empilement d'un masquage isolant comprenant au moins une ouverture, ladite ouverture comportant au moins un motif de grille de transistor,

c) retrait sélectif, à travers ladite ouverture, du deuxième matériau vis-à-vis dudit premier matériau semi-conducteur,

d) dépôt dans l'ouverture d'au moins un diélectrique de grille et d'au moins un matériau de grille,

e) retrait partiel du masquage isolant, de manière à conserver des blocs isolants issus du masquage en contact avec la grille.

Le retrait à l'étape e) peut comprendre une gravure du masquage isolant au-dessus, du premier bloc et du deuxième bloc, ainsi que de la structure reliant ledit premier bloc et ledit deuxième bloc.

5 Ladite structure peut comprendre au moins deux blocs disjoints.

 Selon une mise en œuvre avantageuse, la couche de l'empilement qui est en contact avec le support, est une couche sacrificielle à base du
10 deuxième matériau. Cela peut permettre de former des barreaux semi-conducteurs qui ne sont pas en contact avec le support et une grille totalement enrobante, formant une bague autour de chacun desdits barreaux semi-conducteurs.

15 Selon une variante pour laquelle le support comprend une couche diélectrique sur laquelle ledit empilement est formé, le procédé peut comprendre en outre : après l'étape b), et préalablement à l'étape
20 d), un retrait partiel, de la couche diélectrique à travers la cavité. Cela peut également permettre de former des barreaux semi-conducteurs qui ne sont pas en contact avec le support et une grille totalement enrobante, formant une bague autour de chacun desdits barreaux semi-conducteurs.

25 Selon une possibilité, après l'étape c), et préalablement à l'étape d), le procédé peut comprendre un dépôt d'au moins un matériau diélectrique de grille à travers l'ouverture ou dans la cavité.

 Selon une mise en œuvre possible, l'étape
30 d) peut comprendre le dépôt d'au moins un premier matériau de grille métallique, puis le remplissage de

la cavité par au moins un deuxième matériau de grille semi-conducteur.

Selon une variante, l'étape b) de formation du masquage isolant doté d'au moins une cavité, peut
5 comprendre les étapes de :

- dépôt d'un premier matériau diélectrique,
- lithographie du premier matériau diélectrique à l'aide d'au moins un faisceau d'électrons, de manière à former au moins un motif de
10 grille de transistor,
- formation d'un deuxième matériau diélectrique, de part et d'autre du motif à base du premier matériau diélectrique,
- retrait du motif à base du premier
15 matériau diélectrique.

Selon cette variante, le procédé peut comprendre en outre : préalablement au dépôt du premier matériau diélectrique, le dépôt d'une couche de protection à base d'un autre matériau diélectrique, et
20 après retrait dudit motif à base du premier matériau diélectrique, le retrait d'une partie de la couche isolante de protection dans le prolongement dudit motif à base du premier matériau diélectrique.

Ledit premier matériau diélectrique peut
25 être par exemple du HSQ (HSQ pour hydrogen silsesquioxane).

Le procédé peut également comprendre en outre, au moins une étape de dopage du premier bloc et du deuxième bloc, de manière à former une région de source dans le premier bloc et une région de drain dans
30 le deuxième bloc.

La première zone isolante et la deuxième zone isolante formées, peuvent être séparées par une distance constante égale à la dimension critique de la grille que l'on forme notamment par remplissage de la
5 cavité.

BRÈVE DESCRIPTION DES DESSINS

La présente invention sera mieux comprise à la lecture de la description d'exemples de réalisation donnés, à titre purement indicatif et nullement
10 limitatif, en faisant référence aux dessins annexés sur lesquels :

- les figures 1A à 1G, 2A à 2G, 3A à 3G illustrent un premier exemple de procédé microélectronique selon l'invention, comprenant la
15 réalisation d'au moins une grille de transistor « enrobante » sur une structure de canal de transistor à plusieurs branches, et d'espaceurs isolants pour cette grille ;

- les figures 4A à 4G, 5A à 5G, 6A à 6G, illustrent un deuxième exemple de procédé microélectronique selon l'invention, comprenant la
20 réalisation d'espaceurs isolants pour une grille « enrobante » d'un transistor, puis la réalisation de la grille entre ces espaceurs isolants ;

- les figures 7A à 7G, 8A à 8G, 9A à 9G, illustrent un troisième exemple de procédé microélectronique selon l'invention, comprenant la
25 réalisation d'au moins une grille de transistor sur une structure de canal de transistor à plusieurs branches,
30 et d'espaceurs isolants pour cette grille ;

- les figures 10A à 10F, 11A à 11F, 12A à 12F, illustrent un quatrième exemple de procédé microélectronique selon l'invention comprenant la réalisation d'une grille de transistor sur une structure de canal de transistor à plusieurs branches, et d'espaceurs isolants pour cette grille ;

- la figure 13 illustre un exemple de dispositif microélectronique suivant l'invention ;

- les figures 14A et 14B, illustrent une variante du deuxième exemple de procédé ;

- les figures 15A à 15B, illustrent une variante du premier exemple de procédé ;

- les figures 16A à 16B, illustrent une autre variante du premier exemple de procédé.

Des parties identiques, similaires ou équivalentes des différentes figures portent les mêmes références numériques de façon à faciliter le passage d'une figure à l'autre.

Les différentes parties représentées sur les figures ne le sont pas nécessairement selon une échelle uniforme, pour rendre les figures plus lisibles.

EXPOSÉ DÉTAILLÉ DE MODES DE RÉALISATION PARTICULIERS

Un exemple de procédé suivant l'invention, de réalisation d'un dispositif microélectronique et en particulier d'une grille dite « enrobante » pour un transistor comportant une structure de canal à plusieurs branches ou une structure comportant plusieurs canaux ou « multi-canaux », va à présent être donné en liaison avec les figures 1A-1G ; 2A-2G ; 3A-3G

(les figures 1A-1G représentant une vue de dessus d'un dispositif microélectronique en cours de réalisation, tandis que les figures 2A-2G représentent des vues en coupes du dispositif microélectronique en cours de réalisation selon un plan de coupe passant par un axe X'X et parallèle à un plan $[0; \vec{i}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$, et que les figures 3A-3G représentent d'autres vues en coupes du dispositif microélectronique en cours de réalisation selon un autre plan de coupe passant par un axe Y'Y et parallèle à un plan $[0; \vec{j}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$).

On réalise tout d'abord un empilement 105 de couches minces sur un substrat 100, qui peut être de type semi-conducteur sur isolant, et comprendre une couche 101 dite « de support », par exemple à base de silicium, sur laquelle repose une couche diélectrique 102, par exemple une couche d'oxyde enterré (« buried oxide » selon la terminologie anglo-saxonne) à base de SiO_2 . La couche diélectrique 102 peut être recouverte d'une couche 104₁, à base d'un premier matériau, qui peut être semi-conducteur. Plusieurs autres couches 106₁, 104₂, 106₂, sont réalisées sur la couche 104₁ reposant sur la couche diélectrique 102, par exemple par plusieurs épitaxies successives, et forment avec cette dernière un empilement 105 de couches minces sur la couche isolante 102. L'empilement 105 peut être formé d'une alternance de couches 104₁, 104₂, à base du premier matériau et dans lesquelles respectivement, un canal de transistor est destiné à être formé, et de couches 106₁, 106₂, que l'on appellera « sacrificielles », et qui sont à base d'un deuxième

matériau, différent dudit premier matériau. Le deuxième matériau est un matériau choisi de manière à pouvoir être gravé sélectivement par rapport audit premier matériau. Le deuxième matériau peut être par exemple
5 semi-conducteur. Le premier matériau peut être par exemple du Si, tandis que le deuxième matériau peut être par exemple du SiGe. Les couches 104₁, 106₁, 104₂, 106₂, de l'empilement peuvent avoir chacune une épaisseur comprise par exemple entre 10 et
10 50 nanomètres.

Une fois l'empilement 105 réalisé, on grave ce dernier de manière à former, au moins un premier bloc destiné à jouer le rôle d'au moins une région de source 110 de transistor, au moins un deuxième bloc
15 destiné à jouer le rôle d'au moins une région de drain de transistor, ainsi qu'une structure 120 reliant le premier bloc 110 et le deuxième bloc 130. La structure 120 peut être sous forme de deux autres blocs 120a et 120b disjoints, reliant le premier bloc 110 et le
20 deuxième bloc, et formés chacun de barreaux superposés. La gravure de l'empilement 105 peut être de type anisotrope, et réalisée par exemple à l'aide d'un plasma à base de CF₄, HBr, O₂, à travers un masquage, par exemple à travers une résine, ou un masque dur
25 isolant à base de Si₃N₄ ou de SiO₂ qui peut avoir été formé par photolithographie puis gravure. Les figures 1A, 2A et 3A, représentent l'empilement 105 gravé, une fois ledit masquage retiré.

Ensuite, on recouvre l'empilement 105 gravé
30 et la couche diélectrique 102 du substrat 100 d'une première couche isolante 132, par exemple à base de

Si₃N₄. Cette première couche isolante 132 peut être réalisée par dépôt, avec une épaisseur supérieure à la hauteur de l'empilement 105, par exemple une épaisseur comprise entre 50 et 500 nanomètres, de manière à recouvrir entièrement ce dernier (figures 1B, 2B, 3B).

On peut ensuite effectuer une étape de polissage par exemple par CMP (CMP pour Chemical Mechanical Polishing ou polissage mécano-chimique) afin d'aplanir la couche isolante 132 et de réduire son épaisseur. Puis, on réalise au moins une ouverture ou une cavité 136 dans la première couche isolante 132. La cavité formée comporte ou réalise au moins un motif de grille 135a et éventuellement un motif de contact 135b de grille. Selon une possibilité (figures 1C, 2C, 3C), les motifs de grille 135a et de contact 135b peuvent être réalisés préalablement par lithographie ou photolithographie sous forme d'une ouverture dans une couche 134, par exemple de résine réalisée sur la couche isolante 132.

Puis, les motifs de grille 135a et de contact 135b sont reproduits dans la première couche isolante 132 sous forme de la cavité 136, par gravure anisotrope de la couche isolante 132 à travers la couche de résine 134. La gravure de la couche isolante 132 à travers la couche de résine 134 peut être réalisée par exemple à l'aide d'une gravure plasma. La gravure de la première couche isolante 132 à travers la couche de résine 134 est réalisée de manière à conserver une épaisseur de la première couche isolante 132 notamment contre les flancs ou faces latérales des blocs 110 et 130, et éventuellement sur ces blocs 110

et 130. La cavité 136 réalisée dans la première couche isolante 132 a une forme de motif de grille 135a et de motif de contact 135b de grille, et dévoile une partie de la structure semi-conductrice 120, ainsi que la
5 couche diélectrique 102 du substrat. Le long de l'axe Y'Y, entre le premier bloc semi-conducteur 110 et le deuxième bloc semi-conducteur 130, la cavité 136 a une dimension critique d_1 (mesurée dans une direction parallèle à l'axe X'X) uniforme. Cette dimension
10 critique d_1 définit la dimension critique d'une grille destinée à être formée dans la cavité 136 (figures 1D, 2D, 3D).

Ensuite, on retire dans la cavité 136 une partie de la structure 120, et en particulier les
15 parties des couches 106₁, 106₂, situées dans la cavité 136 et à base du deuxième matériau, par gravure sélective vis-à-vis du premier matériau. Les couches 104₁, 104₂, à base du premier matériau et situées dans la cavité 136 sont quant à elle conservées, totalement
20 ou au moins en partie, selon le degré de sélectivité de la gravure. Le retrait du deuxième matériau dans la cavité 136, peut être effectué à l'aide d'une gravure isotrope, par exemple, une gravure sèche à l'aide d'un plasma CF₄ ou une gravure humide à l'aide par exemple
25 de HNO₃:HF:CH₃COOH:H₂O, ou d'une solution communément appelée « Secco » et proposée par F. Secco d'Aragona Journal of Electrochem. Soc. 119 (1972) 948. Suite au retrait du deuxième matériau dans la cavité 136, des barreaux semi-conducteurs disjoints 104a, 104b, 104c,
30 104d, à base du premier matériau, et reliant le premier bloc 110 et le deuxième bloc 130 sont formés. Les

barreaux 104a et 104c formés à partir de la première couche semi-conductrice 104₁ reposent dans cet exemple de réalisation sur la couche diélectrique 102 du substrat 100, tandis que les barreaux 104b, 104d, 5 formés dans la couche semi-conductrice 104₂ de l'empilement 105 sont suspendus entre les blocs 110 et 130, au-dessus du substrat 100 et ne sont pas en contact avec ce dernier, ou sont séparés de ce dernier et en particulier de la couche diélectrique 102. Un 10 premier barreau 104a et un deuxième barreau 104b, sont alignés dans une direction réalisant un angle non-nul, par exemple de 90°, avec le plan principal de la couche de support 101 ou de la couche diélectrique 102 du substrat 100. Dans une direction sensiblement parallèle 15 au plan principal de la couche diélectrique 102 (passant par la couche diélectrique 102 et parallèle aux axes X'X et Y'Y), un troisième barreau 120c, et un quatrième barreau 120d, sont alignés respectivement, avec le premier barreau 120a et avec le deuxième 20 barreau 120b. Les barreaux semi-conducteurs 104a, 104b, 104c, 104d, sont destinés à jouer le rôle de branches, d'un canal de transistor à plusieurs branches, ou éventuellement d'une structure formant plusieurs canaux (figures 1E, 2E, 3E).

25 Une grille peut être ensuite réalisée dans la cavité 136 à l'aide d'un procédé de type Damascène. Pour réaliser cette grille, on effectue un dépôt d'un matériau diélectrique 142 dans la cavité 136, autour notamment des parties dévoilées des barreaux 104a, 30 104b, 104c, 104d. Ce dépôt peut être conforme, et à base par exemple d'un matériau de type communément

appelé « high-k » tel que du HfO_2 , d'épaisseur par exemple comprise entre 1 et 10 nanomètres. Puis, on réalise un dépôt d'un ou plusieurs matériaux de grille. On peut déposer par exemple un matériau métallique 146 de grille, par exemple du TiN, ou du WSi, ou du TaN, d'épaisseur comprise par exemple entre 3 et 12 nanomètres, de manière à recouvrir le diélectrique 142 de grille autour des barreaux 104a, 104b, 104c, 104d. Ensuite, la cavité 136 peut être remplie à base d'un autre matériau 148 de grille, par exemple semi-conducteur tel que du polysilicium. Dans le cas où le remplissage de la cavité 136 dépasse de l'embouchure de cette dernière et recouvre la première couche isolante 132, une étape de CMP (CMP pour « chemical mechanical polishing » ou polissage mécano-chimique) peut être prévue pour ne conserver le matériau 148 de grille 150, dans la cavité 136 que jusqu'au niveau de l'embouchure de cette dernière. Le polissage peut être réalisé avec un arrêt sur la première couche isolante 132. Une grille « enrobante » 150, pour laquelle le diélectrique de grille et le matériau de grille sont formés tout autour d'une portion respective des barreaux semi-conducteurs 104b, 104d, ou forme une bague autour d'une portion de chacun des barreaux semi-conducteurs 104b, 104d, est ainsi réalisée (figures 1F, 2F, 3F). On complète ensuite la formation d'espaces 170a, 170b, pour la grille 150, à partir des parties restantes de la première couche isolante 132 de masquage dans laquelle a été formée la cavité 136. Pour cela on effectue un deuxième retrait partiel de cette couche isolante 132, par exemple à l'aide d'une gravure

anisotrope qui peut être effectuée à l'aide d'un plasma. Ce retrait partiel peut être par exemple une gravure sèche sélective du Si_3N_4 vis-à-vis du Si. Le deuxième retrait partiel, est effectué de sorte que la
5 couche isolante 102 est supprimée au dessus de l'empilement. Les zones restantes de la couche isolante 132 qui étaient situées sur les blocs 110 et 130 de régions de source et de drain, et sur la structure 120 sont ainsi retirées. Le deuxième retrait partiel de la
10 couche isolante 132 est également réalisé de manière à conserver des zones isolantes contre les flancs des blocs 110 et 130 et en contact avec la grille 150 (figures 1G, 2G, 3G).

A la suite de cette gravure, une première
15 zone isolante ou un premier espaceur 170a issu de la couche isolante 132 gravée, est en contact avec au moins un flanc du premier bloc 110 situé en regard de la grille, de préférence sur toute la hauteur de flanc (la hauteur des blocs étant définie dans une direction
20 parallèle au vecteur \vec{k} du repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$. Le premier espaceur 170a est également en contact avec la grille 150 et sépare ou/et isole, de préférence entièrement, cette dernière du premier bloc 110. Une deuxième zone isolante ou un deuxième espaceur
25 170b issu de la couche isolante 132 gravée, est en contact avec au moins un flanc du deuxième bloc 130 situé en regard de la grille, de préférence sur toute la hauteur de ce flanc. Le deuxième espaceur 170b est également en contact avec la grille 150 et sépare ou/et
30 isole, de préférence entièrement, cette dernière du deuxième bloc 130 de drain. Les barreaux semi-

conducteurs 104a, 104b, 104c, 104d traversent le premier espaceur 107a et le deuxième espaceur 170b. Une partie du masquage isolant dans lequel on a formé la grille, a ainsi été réduit pour former des espaceurs
5 170a, 170b, sans qu'un matériau diélectrique supplémentaire ait été déposé (figures 1G, 2G, 3G).

Une fois les espaceurs 170a, 170b, réalisés, on peut compléter la formation d'un transistor, par exemple en effectuant un dopage d'au
10 moins une région des blocs 110 et 130. Ensuite, une siliciuration des blocs 110 et 130 et éventuellement de la grille 150 peut être avantageusement réalisée. Cette siliciuration peut comprendre une étape de dépôt d'un métal tel que par exemple du nickel, une étape de
15 recuit de siliciuration, puis de retrait sélectif du métal non consommé.

Selon une variante de l'exemple de procédé précédemment décrit, un autre empilement 1005, peut être réalisé. Cet autre empilement 1005 peut être
20 également formé d'une alternance de couches 106₀, 106₁, 106₂, « sacrificielles », à base dudit deuxième matériau, et de couches 104₁, 104₂, semi-conductrices à base dudit premier matériau, mais agencées de manière différente par rapport à l'empilement 105 précédemment
25 décrit. Dans cet autre empilement 1005, la couche diélectrique 102 du substrat 100 est cette fois recouverte par, et en contact avec, une couche 106₀ sacrificielle à base du deuxième matériau, elle-même recouverte par une couche 104₁ à base du premier
30 matériau, elle-même recouverte par une alternance de couches à base du deuxième matériau et de couches à

base du premier matériau. Une fois cet autre empilement 1005 réalisé on peut effectuer les mêmes étapes de procédé que celles décrites précédemment en liaison avec les figures 1, 2, 3. On peut obtenir avec cette
5 variante de procédé, des barreaux semi-conducteurs 104a, 104b, 104c, 104d, séparés de la couche diélectrique 102 du substrat 100 et une grille 151, totalement enrobante, pour laquelle le diélectrique de grille et le matériau de grille sont formés tout autour
10 d'une portion respective des barreaux semi-conducteurs 104a, 104b, 104c, 104d, ou forme une bague autour d'une portion de chacun des barreaux semi-conducteurs 104a, 104b, 104c, 104d (figures 15A, 15B).

Selon une autre variante de l'exemple de
15 procédé qui a été décrit précédemment en liaison avec les figures 1, 2, 3, après par exemple le retrait du deuxième matériau dans la cavité 136 (qui a été décrit en liaison avec les figures 1E, 2E, 3E), pour former les barreaux semi-conducteurs disjoints 104a, 104b,
20 104c, 104d, à base du premier matériau, on peut effectuer un retrait d'une épaisseur de la couche diélectrique 102 du substrat 100. Ce retrait peut être effectué par gravure isotrope du matériau diélectrique de la couche 102, par exemple par gravure humide à
25 l'aide de HF, de manière à séparer les barreaux 104a, 104c de la couche diélectrique 102 substrat 100, et former un espace entre les barreaux 104a, 104c, et cette couche diélectrique 102. Les barreaux 104a, 104b, 104c, 104d, ainsi formés sont tous suspendus au-dessus
30 du substrat 100 et ne sont pas en contact avec ce dernier (figure 16A). On peut ensuite effectuer les

mêmes étapes de procédé que celles décrites précédemment en liaison avec les figures 1F-1G, 2F-2G, 3F-3G, de formation d'une grille puis de formation des espaceurs 170a, 170b. On peut obtenir avec cette
5 variante, une grille « totalement enrobante » 152, pour laquelle le diélectrique de grille et le matériau de grille sont formés tout autour d'une portion respective des barreaux semi-conducteurs 104a, 104b, 104c, 104d, ou forme une bague autour d'une portion de chacun des
10 barreaux semi-conducteurs 104a, 104b, 104c, 104d, est ainsi réalisée (figure 16B).

Selon une variante (non représentée) des exemples de procédé qui viennent d'être décrits, une couche tampon ou de protection de l'empilement 105 peut
15 être déposée sur ce dernier, avant de former le premier bloc 110 le deuxième bloc 130 et la structure 120. Cette couche « tampon » peut être à base de SiO_2 , et d'épaisseur par exemple comprise entre 5 et 50 nanomètres, et est recouverte ensuite par la
20 première couche isolante 132, par exemple à base Si_3N_4 .

Un autre exemple de procédé microélectronique, va à présent être donné en liaison avec les figures 4A-4G ; 5A-5G ; 6A-6G (les figures A-4G représentant une vue de dessus d'un dispositif
25 microélectronique en cours de réalisation, tandis que les figures 5A-5G représentent respectivement, des vues en coupe du dispositif microélectronique en cours de réalisation selon un plan de coupe passant par un axe $X'X$ et parallèle à un plan $[0; \vec{i}; \vec{k}]$ d'un repère
30 orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$, et que les figures 6A-6G représentent d'autres vues en coupe du dispositif

microélectronique en cours de réalisation selon un autre plan de coupe passant par un axe Y'Y et parallèle à un plan $[0; \vec{j}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$.

Pour cette variante, on réalise sur un substrat 200, par exemple de type semi-conducteur sur isolant, un empilement 205 de couches 204₁, 206₁, 204₂, 206₂, comprenant une alternance de couches 204₁, 204₂, à base d'un premier matériau, semi-conducteur, par exemple du Si, et de couches 206₁, 206₂, à base d'un deuxième matériau différent du premier matériau et apte à être gravé sélectivement par rapport au premier matériau. Le deuxième matériau peut être par exemple un matériau semi-conducteur tel que du SiGe. L'empilement 205 peut être réalisé par exemple en effectuant plusieurs épitaxies successives. On dépose ensuite au moins une première couche isolante 232, par exemple à base Si₃N₄, par-dessus l'empilement 205. Puis, on réalise un masquage (non représenté), par exemple à l'aide d'un procédé de photolithographie, ou par exemple à l'aide d'un faisceau d'électrons (« e-beam » selon la terminologie anglo-saxonne) ou à l'aide d'un procédé hybride dans lequel on utilise un faisceau d'électrons et un rayonnement ultraviolet lointain (« deep UV » selon la terminologie anglo-saxonne) ou d'un procédé de moulage de motifs nano-métriques (communément appelé « nano-imprint » selon la terminologie anglo-saxonne) sur la couche première couche isolante 232. On grave ensuite la couche isolante 232 à travers le masquage, de manière à former dans la première couche isolante 232, au moins un premier motif 232a de région de source de transistor,

au moins un deuxième motif 232b de région de drain de transistor, ainsi qu'un ou plusieurs motifs reliant le premier motif 232a et le deuxième motif 232b, par exemple un troisième motif 232c et un quatrième motif 5 232d, reliant le premier motif 232a et le deuxième motif 232b, sous forme de deux bandes parallèles et disjointes. On grave ensuite l'empilement 205 à travers le masquage et la couche isolante 232, par exemple par gravure anisotrope à l'aide d'un plasma de manière à former sous le premier motif 232a, au moins un premier 10 bloc 210 destiné à jouer le rôle d'au moins une région de source de transistor, et sous le deuxième motif 232b, au moins un deuxième bloc 230 destiné à jouer le rôle d'au moins une région de drain de transistor, ainsi que sous les troisième et quatrième motifs 232c, 15 232d respectivement, un premier empilement 220a de barreaux et un deuxième empilement 220b de barreaux, reliant le premier bloc 210 et le deuxième bloc 230. Dans les empilements 220a et 220b de barreaux, des 20 branches d'un canal de transistor sont destinées à être formées. Sur l'empilement 205 gravé ainsi réalisé, les blocs 210 et 230 ainsi que les empilements de barreaux 220a et 220b, sont recouverts par la couche isolante 232. Le masquage est ensuite retiré (figures 4A, 5A, 25 6A).

Puis, on forme des zones isolantes contre les flancs ou faces latérales du premier bloc 210 et du deuxième bloc 230.

Pour cela, on peut déposer une couche de 30 matériau diélectrique 234 apte à réagir à une exposition à un faisceau d'électrons (« e-beam » selon

la terminologie anglosaxonne) ou sensible à l'action d'un faisceau d'électrons, par exemple un matériau HSQ (HSQ pour « hydrogen silsesquioxane » ou hydrogène silsesquioxane) sur et autour de l'empilement 205 gravé. On effectue ensuite un retrait partiel, de la couche de matériau diélectrique 234, de manière à conserver une épaisseur isolante contre les faces latérales ou flancs des blocs 210 et 230. La lithographie est réalisée à l'aide d'un faisceau d'électrons. Les parties de la couche 234 de matériau diélectrique qui ne sont pas exposées au faisceau d'électrons sont retirées chimiquement par exemple à l'aide de TMAH dilué (TMAH pour « tétra méthyl ammonium hydroxyde »). Le matériau diélectrique 234 est notamment retiré partiellement dans une région située entre les blocs de source 210 et de drain 230, de manière à former dans cette région, une cavité 236 dont les parois sont à base de matériau diélectrique 234, et dont la forme est celle d'un motif 235a de grille de transistor. Les zones du matériau diélectrique 234 qui ont été exposées au faisceau d'électrons, sont quant à elle transformées au moins partiellement en des zones à base d'un matériau diélectrique de nature différente du matériau 234, par exemple du SiO_2 . Les zones conservées de la couche de matériau diélectrique 234, forment des espaceurs isolants 237a et 237b, situés contre les flancs des blocs 210 et 230. Dans une zone située entre les blocs 210 et 230, la distance d_2 séparant les espaceurs 237a et 237b ou la largeur d_2 de la cavité 236 est uniforme (d_2 étant mesurée dans une direction parallèle à l'axe X'X indiqué sur la figure 4B). Cette

distance ou largeur d_2 peut être par exemple comprise entre 5 et 50 nanomètres, et correspond à la dimension critique d'une grille destinée à être formée dans la cavité 236, entre les blocs 210 et 230 (figures 4B, 5B, 5 6B).

Ensuite, on retire une partie de la structure 220 dévoilée par la cavité 236, et en particulier des parties des couches 206₁, 206₂, à base du deuxième matériau situées dans la cavité 236. Ce retrait est effectué, à l'aide d'une gravure du deuxième matériau, sélective vis-à-vis du premier matériau, par exemple une gravure isotrope, de manière à former des barreaux semi-conducteurs distincts ou/et disjoints 204a, 204b, 204c, 204d, à base du premier 10 matériau. La gravure du deuxième matériau peut être une gravure sèche réalisée par exemple à l'aide de CF₄ ou une gravure humide réalisée par exemple à l'aide de HNO₃:HF:CH₃COOH:H₂O, ou d'une solution communément appelée « Secco » (figures 4C, 5C, 6C). 15

Une grille 250 est ensuite réalisée dans la cavité 236 à l'aide d'un procédé de type Damascène, lors duquel on effectue tout d'abord un dépôt d'un matériau diélectrique 242 de grille, autour des barreaux 204a, 204b, 204c, 204d, dévoilés par la cavité 25 236, puis, un dépôt d'au moins un premier matériau 246 de grille, par exemple métallique tel que du TiN ou TaN ou du WSi, de manière à former une épaisseur, par exemple comprise entre 3 et 12 nanomètres recouvrant la couche de diélectrique 242 de grille autour des 30 barreaux 204a, 204b, 204c, 204d. Ensuite, la cavité 236 est remplie à base d'un deuxième matériau 248 de

grille, qui peut être semi-conducteur tel que par exemple du polysilicium. Le remplissage peut être éventuellement suivi d'une étape de polissage par CMP, avec un arrêt sur la première couche isolante 232
5 (figures 4D, 5D, 6D).

On réalise ensuite un masquage 260, qui peut être à base d'un polymère ou une résine photosensible, ou un masque dur réalisé par photogravure. Le masquage 260 est formé de manière à recouvrir et protéger les zones à base de matériau 246,
10 248 de grille situées entre le premier bloc semi-conducteur 210 et le deuxième bloc semi-conducteur 230. Le masquage 260 comprend également un motif 260b de contact de grille. Le masquage 260 peut être réalisé
15 par exemple par dépôt d'une couche de résine puis insolation, par écriture directe ou à travers un masque (figures 4E, 5E, 6E).

Une gravure, par exemple anisotrope, et sélective des matériaux 246, 248, de grille vis-à-vis du diélectrique 242 de grille, de manière à reproduire
20 le motif 260a, est ensuite effectuée. Cette gravure peut être anisotrope et réalisée par exemple à l'aide d'un plasma. On retire ensuite le masquage 260.

Puis, on effectue un retrait partiel de la première couche isolante 232, de manière à retirer cette couche 232 sur les blocs 210 et 230 ainsi qu'au-dessus des blocs 220a, et 220b. Ce retrait peut être réalisé par gravure anisotrope, par exemple à l'aide de H_3PO_4 (figures 4G, 5G, 6G).

30 Un dispositif microélectronique comprenant sur un substrat, un premier bloc 210 dans lequel une

région de source de transistor est destinée à être réalisée, un deuxième bloc 230 dans lequel une région de drain de transistor est destinée à être réalisée, plusieurs barreaux disjoints, reliant le premier bloc 210 et le deuxième bloc 230, dont un ou plusieurs barreaux 204c, 204d, qui ne sont pas en contact avec le substrat, une grille 250 enrobant au moins partiellement les barreaux 204a, 204b, 204c, 204d, et des zones isolantes 237a, 237b, ou espaceurs reposant sur la couche diélectrique 202 du substrat 200 et formés sur les flancs ou faces latérales des blocs 210 et 230, est ainsi réalisé. La grille 250 a une dimension critique ϕ uniforme entre les blocs 210 et 230. Les espaceurs isolants 237a et 237b sont en contact avec la grille 250 et séparent totalement cette dernière des blocs de source et de région de drain. Les barreaux 204a, 204b, 204c, 204d, reliant le premier bloc 210 et le deuxième bloc 230 traversent les espaceurs 237a, 237b et la grille 250. Un tel dispositif microélectronique est illustré selon une vue en perspective sur la figure 13.

Une fois les espaceurs 237a, 237b, réalisés, on peut compléter la formation d'un transistor, par exemple en effectuant un dopage des blocs 210 et 230. Une siliciuration des blocs 210 et 230 et de la grille 250 peut être ensuite réalisée. Cette siliciuration peut comprendre une étape de dépôt d'un métal tel que par exemple du nickel, une étape de recuit de siliciuration, puis de retrait sélectif du métal non consommé.

Selon une variante de l'exemple de procédé qui vient d'être décrit, après avoir déposé la couche de matériau diélectrique 234 apte à réagir aux faisceaux d'électrons, par exemple de type HSQ sur et
5 autour de l'empilement 205 gravé, on effectue ensuite un retrait partiel, du matériau 234 diélectrique, de manière à former, dans une région située entre les blocs de source 210 et de drain 230, une cavité 536 dont les parois sont à base de matériau diélectrique
10 234, et dont la forme est celle d'un motif 235a de grille de transistor et d'un motif 235b de contact de grille dans le prolongement du motif 235a de grille (figure 14A). Ensuite, comme pour l'exemple de procédé précédent, on forme les barreaux distincts ou/et
15 disjoints 204a, 204b, 204c, 204d. Puis, on forme une grille 250 et un contact 252 de grille dans la cavité 236 par dépôt dans cette dernière d'au moins un diélectrique de grille et d'au moins un matériau de grille (figure 14B).

20 Une autre variante de l'exemple de procédé microélectronique décrit en liaison avec les figures 1, 2 et 3, va à présent être donnée en liaison avec les figures 7A-7G ; 8A-8G ; 9A-9G (les figures 7A-7G représentant des vues de dessus du dispositif
25 microélectronique en cours de réalisation, tandis que les figures 8A-8G représentent des vues en coupes du dispositif microélectronique en cours de réalisation selon un plan de coupe passant par un axe X'X et parallèle à un plan $[0; \vec{i}; \vec{k}]$ d'un repère orthogonal
30 $[0; \vec{i}; \vec{j}; \vec{k}]$, et que les figures 9A-9G représentent d'autres vues en coupes du dispositif microélectronique

en cours de réalisation selon un autre plan de coupe passant par un axe $Y'Y$ et parallèle à un plan $[0; \vec{j}; \vec{k}]$ d'un repère orthogonal $(0; \vec{i}; \vec{j}; \vec{k})$. Comme pour l'exemple de procédé donné en liaison avec les figures 1, 2 et 3, on forme tout d'abord l'empilement 105 de couches minces 104_1 , 106_1 , 104_2 , 106_2 , sur le substrat 100, puis on grave cet empilement 105, de manière à former le premier bloc 110 de région de source, le deuxième bloc 130 de région de drain et la structure 120, formée de deux autres blocs disjoints reliant le premier bloc 110 et le deuxième bloc 130. On effectue ensuite un dépôt d'une première couche isolante 332, à base d'un premier matériau diélectrique, par exemple à base de Si_3N_4 sur et autour de l'empilement 105 gravé. Selon cette variante, on forme ensuite au moins un motif de grille 335a et éventuellement un motif de contact 335b de grille dans une couche de masquage 333, déposée sur la première couche isolante 332. Les motifs 335a et 335b peuvent être formés par exemple par photolithographie. Dans ce cas, la couche de masquage 333 peut être par exemple une couche de résine photosensible (figures 7A, 8A, 9A).

Ensuite, on grave la première couche isolante 332 à travers les motifs 335a et 335b de la couche de masquage 333, de manière à reproduire ces derniers dans la première couche isolante 332. La première couche isolante 332 est de préférence, conservée uniquement sous les motifs 335a et 335b. Cette gravure peut être effectuée par exemple à l'aide d'une gravure plasma (figures 7B, 8B, 9B).

On retire ensuite la couche de résine 333, par exemple à l'aide de l'enchaînement suivant $H_2SO_4 + H_2O_2$ puis $H_2O_2 + NH_4OH + H_2O$ puis par plasma $O_2+H_2+N_2$. Ensuite, on effectue un dépôt d'une deuxième
5 couche isolante 334 à base d'un deuxième matériau diélectrique, par exemple à base d'un diélectrique de type HTO (HTO pour « High Thermal Oxide » selon la terminologie anglo-saxonne) sur et autour des motifs de grille 335a et de contact 335b de grille réalisés dans
10 la première couche isolante 332. On effectue ensuite un retrait des parties de la deuxième couche isolante 334 situées au dessus des motifs 335a et 335b réalisés dans la première couche isolante 332. Ce retrait peut être réalisé par polissage CMP, et de manière à dévoiler les
15 motifs 335a et 335b (figures 7C, 8C, 9C).

Ensuite, on effectue un retrait de la première couche isolante 332 et en particulier des motifs 335a et 335b. Ce retrait peut être réalisé par gravure sélective, par exemple par gravure humide à
20 base de H_3PO_4 , de manière à former une cavité 336 dans la deuxième couche isolante 334 ayant la forme des motifs de grille 335a et de contact de grille 335b, la cavité 336 dévoilant la couche diélectrique 102 du substrat 100 et une partie des empilements 120a et 120b
25 de la structure 120 reliant les blocs semi-conducteurs 110 et 130 (figures 7D, 8D, 9D).

Puis on effectue un retrait de parties des couches 106₁, 106₂ de l'empilement 105 qui sont à base du deuxième matériau et situées dans la cavité 336. Ce
30 retrait peut être effectué par exemple à l'aide d'une gravure sèche à l'aide d'un plasma à base de CF_4 ou par

gravure humide à l'aide de $\text{HNO}_3:\text{HF}:\text{CH}_3\text{COOH}:\text{H}_2\text{O}$ ou d'une solution appelée « Secco ». Suite au retrait du deuxième matériau dans la cavité 336, des barreaux semi-conducteurs disjoints 104a, 104b, 104c, 104d, à base du premier matériau, et reliant le premier bloc 110 et le deuxième bloc 130 sont formés. Certains barreaux 104b, 104d, sont suspendus entre le premier bloc 110 et le deuxième bloc 130 et situés au-dessus du substrat 100, sans être en contact avec la couche diélectrique 102 (figures 7E, 8E, 9E).

Une grille 350 est ensuite réalisée dans la cavité 336 à l'aide d'un procédé Damascène, lors duquel on effectue tout d'abord un dépôt d'un matériau diélectrique 342 de grille, autour des barreaux 104a, 104b, 104c, 104d, dévoilées par la cavité 336, puis, un dépôt d'un matériau métallique 346, par exemple du TiN, ou du TaN, ou du WSi de manière à recouvrir la couche de diélectrique 342 de grille autour des barreaux 104a, 104b, 104c, 104d. Ensuite, dans la cavité 336 on dépose un matériau 348 de grille, qui peut être semi-conducteur tel que par exemple du polysilicium. Le remplissage peut être éventuellement suivi d'une étape de polissage par CMP avec un arrêt sur la première couche isolante 132 (figures 7F, 8F, 9F).

Puis, on réalise ensuite des espaceurs 370a, 370b, pour la grille 350 à partir de la deuxième couche isolante 334, dans laquelle la cavité 336 a été réalisée. Pour cela on effectue un retrait partiel de la couche 334, par exemple à l'aide d'une gravure anisotrope à l'aide d'un plasma, de manière à conserver des zones isolantes 370a et 370b issues de la deuxième

couche isolante 334, de part et d'autre de la grille 350 et séparant cette dernière des blocs 110 et 130 destinés à jouer le rôle respectivement de région de source et de région de drain (figures 7G, 8G, 9G). Les zones isolantes 370a et 370b sont en contact avec les flancs des blocs semi-conducteurs 110 et 130 de source et de drain, éventuellement sur toute la hauteur de ces derniers, de manière à séparer totalement la grille 350 de ces blocs 110 et 130.

Un autre exemple de procédé microélectronique va à présent être donnée en liaison avec les figures 10A-10F ; 11A-11F ; 12A-12F (les figures 10A-10F représentant une vue de dessus d'un dispositif microélectronique en cours de réalisation, tandis que les figures 11A-11F représentent des vues en coupes du dispositif microélectronique en cours de réalisation selon un plan de coupe passant par un axe X'X et parallèle à un plan $[0; \vec{i}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$, et que les figures 12A-12F représentent d'autres vues en coupes du dispositif microélectronique en cours de réalisation selon un autre plan de coupe passant par un axe Y'Y et parallèle à un plan $[0; \vec{j}; \vec{k}]$ d'un repère orthogonal $[0; \vec{i}; \vec{j}; \vec{k}]$).

Dans cet exemple, on réalise l'empilement 105 de couches minces tel qu'illustré sur les figures 1, 2, et 3, comprenant une alternance de couches 104₁, 104₂, à base d'un premier matériau semi-conducteur tel que par exemple du Si et de couches 106₁, 106₂, à base d'un deuxième matériau, par exemple semi-conducteur tel que du SiGe. On grave ensuite cet empilement 105, de manière à former le premier bloc 110 de région de

source, le deuxième bloc 130 de région de drain, et la structure 120. On dépose ensuite une couche isolante, par exemple à base d'un premier matériau diélectrique 433, apte à réagir sous l'effet d'un faisceau d'électrons, par exemple un matériau HSQ. Puis, on réalise une fausse grille, ou un masquage isolant ayant la forme d'un motif de grille 435a et d'un motif de contact 435b de grille, dans le matériau 433, par exemple par lithographie à l'aide d'un faisceau d'électrons. (figure 10A, figure 11A, figure 12A). L'utilisation du faisceau d'électrons peut permettre de former un motif de grille 435a précis, de dimension critique, par exemple inférieure à 50 nanomètres, et uniforme.

On dépose ensuite un deuxième matériau diélectrique 434 de part et d'autre, et éventuellement sur, le masquage. Le deuxième matériau diélectrique 434 peut être par exemple à base de Si_3N_4 ou de SiO_2 . Puis, on peut réduire l'épaisseur du deuxième matériau diélectrique 434 et éventuellement l'épaisseur du masquage, par exemple à l'aide d'un polissage mécano-chimique. Le polissage peut être réalisé de sorte que l'épaisseur du masquage à base du premier matériau diélectrique 433 et l'épaisseur du deuxième matériau diélectrique 434 sont égales ou sensiblement égales (figure 10B, figure 11B, figure 12B).

Ensuite, on effectue un retrait du masquage à base du premier matériau diélectrique 433, de manière à former une cavité 436 dans la couche à base du deuxième matériau diélectrique 434. Le retrait du premier matériau diélectrique 433 peut être réalisé par

exemple par gravure sélective vis-à-vis du deuxième matériau diélectrique 434, par exemple une gravure isotrope à l'aide de HF dilué et de concentration inférieure à 1 %. La cavité 436 formée, reproduit les motifs de grille 435a et de contact de grille 435b, et dévoile une partie des empilements 120a et 120b de la structure 120 destinée à servir de canal ainsi que la couche isolante 102 du substrat 100 (figure 10C, figure 11C, figure 12C).

10 Ensuite, on retire une partie de la structure 120 dévoilée par la cavité, et en particulier des parties des couches 106₁, 106₂, à base dudit deuxième matériau situées dans la cavité. Ce retrait peut être effectué à l'aide d'une gravure isotrope du deuxième matériau, sélective vis-à-vis du premier matériau, de manière à former des barreaux semi-conducteurs disjoints 104a, 104b, 104c, 104d. La gravure peut être une gravure sèche réalisée par exemple à l'aide de CF₄ ou une gravure humide réalisée par exemple à l'aide de HNO₃:HF:CH₃COOH:H₂O, ou SECCO (figures 10D, 11D, 12D).

20 Une grille 350 est ensuite réalisée dans la cavité 436 à l'aide d'un procédé de type Damascène, lors duquel on effectue tout d'abord un dépôt d'un matériau diélectrique 442 de grille, autour des barreaux 104a, 104b, 104c, 104d, dévoilées par la cavité 436, puis, un dépôt d'un matériau métallique 446, par exemple du TiN, de manière à recouvrir la couche de diélectrique 442 de grille autour des barreaux 104a, 104b, 104c, 104d. Ensuite, la cavité 436 est remplie à base d'un matériau 448 de grille, qui

peut être semi-conducteur tel que par exemple du polysilicium (figures 10E, 11E, 12E). Le remplissage peut être éventuellement suivi d'une étape de polissage par CMP.

5 On forme ensuite des espaceurs 470a, 470b, (figures 10F, 11F, 12F) pour la grille 450. Pour cela, on effectue un retrait partiel de la couche 434, notamment sur le premier bloc 110 et sur le deuxième bloc 130 ainsi que sur la structure 120. Ce retrait partiel peut être effectué par exemple par gravure anisotrope à l'aide d'un plasma, de manière à conserver des zones isolantes 470a, 470b, à base du deuxième matériau diélectrique, de part et d'autre de la grille 450, séparant cette dernière des blocs 110 et 130 semi-conducteurs destinés à jouer le rôle respectivement de région de source et de région de drain. Les zones isolantes 470a, 470b, reposent sur le substrat et sont formés contre les flancs des blocs 110 et 130. Les zones isolantes 470a, 470b, peuvent être formées contre les flancs des blocs 110 et 130 sur toute la hauteur de ces derniers, de manière à former une séparation isolante totale entre la grille et les blocs semi-conducteurs 110 et 130.

 L'invention n'est pas limitée aux exemples de matériaux qui viennent d'être donnés pour former les empilements 105, 205, 1005. Le premier matériau à base duquel les couches 104₁, 104₂, 204₁, 204₂, sont formées peut être éventuellement différent des exemples donnés précédemment. Selon des variantes, ledit premier matériau semi-conducteur tel que par exemple du SiGe ou du Ge, ou/et un matériau semi-conducteur contraint par

exemple du Ge contraint ou/et un semi-conducteur donné comportant un additif tel que du carbone, par exemple du SiGeC ou du SiC ledit additif étant sous forme d'atomes placés en substitution dans le réseau dudit
5 semi-conducteur donné et en proportion par exemple comprise entre 1 % et 2 %.

Le deuxième matériau à base duquel les couches sacrificielles 106₀, 106₁, 106₂, 206₁, 206₂, sont formées peut être éventuellement différent des exemples
10 donnés précédemment. Ledit deuxième matériau est différent dudit premier matériau, par exemple dopé différemment ou/et à base d'un semi-conducteur différent, ou/et de stœchiométrie différente du premier matériau, et choisi de manière à pouvoir être gravé
15 sélectivement par rapport au premier matériau.

Dans un premier cas, par exemple où ledit premier matériau est du Si ou du Si comportant un additif tel que du carbone, ledit deuxième matériau peut être éventuellement à base de SiGe ou de SiGe
20 comportant un additif tel que du carbone, ou du SiGe comportant un additif tel que du Bore, ou du Si dopé.

Dans un deuxième cas, par exemple où ledit premier matériau est du SiGe ou du SiGe comportant un additif tel que du carbone, ledit deuxième matériau
25 peut être éventuellement à base de SiGe dopé ou de Si dopé ou de SiGe de stœchiométrie différente de celle du premier matériau.

Dans un troisième cas, par exemple où ledit premier matériau est du Ge ou du Ge contraint, ledit
30 deuxième matériau peut être éventuellement à base de SiGe ou de SiGe dopé ou de Si contraint.

REVENDICATIONS

1. Dispositif microélectronique comprenant :

5

- un support,

- un empilement gravé de couches minces comprenant au moins une couche (204₁, 204₂) à base d'un premier matériau semi-conducteur, et au moins une couche (206₁, 206₂) à base d'un deuxième matériau, semi-conducteur et différent du premier matériau, 10 l'empilement reposant sur le support et comprenant au moins un premier bloc et au moins un deuxième bloc, dans lesquels respectivement, au moins une région de drain et au moins une région de source sont aptes à être formées, un ou plusieurs barreaux semi-conducteurs 15 reliant une première zone du premier bloc et une autre zone du deuxième bloc, et aptes à former un canal de transistor ou un canal de transistor à plusieurs branches, ou plusieurs canaux de transistors,

20

- une grille située entre ledit premier bloc (210) et ledit deuxième (230) bloc, enrobant au moins partiellement lesdits barreaux,

- au moins une première zone isolante (170a, 237a, 370a, 470a) formée contre au moins un 25 flanc dudit premier bloc,

- au moins une deuxième zone isolante (170b, 237b, 370b, 470b) en regard de la première zone isolante, et formée contre au moins un flanc dudit deuxième bloc, la grille étant en contact avec la 30 première zone isolante et la deuxième zone isolante et séparée au moins partiellement dudit premier bloc et

du dit deuxième bloc, par l'intermédiaire des dites première et deuxième zones isolantes.

2. Dispositif microélectronique selon
5 la revendication 1, au moins un barreau
(104c,104d,204c,204d) parmi lesdits barreaux étant
suspendu au-dessus du support (100,200) entre le
premier bloc (110,210) et le deuxième bloc (130,230)
et/ou étant séparé du support (100-102,200-202).

10

3. Dispositif microélectronique selon
l'une des revendications 1 ou 2, au moins deux desdits
barreaux semi-conducteurs (104a,104b,204a,204b) étant
alignés dans une direction parallèle au plan principal
15 du support (100-102,200-202).

4. Dispositif microélectronique selon
l'une des revendications 1 à 3, au moins deux
desdits barreaux semi-conducteurs (204a,204d) étant
20 disjoints, et alignés dans une direction réalisant
un angle non nul avec le plan principal du support
(100-102,200-202).

5. Dispositif microélectronique selon
25 l'une des revendications 1 à 4, ledit empilement
(105,205,1005) étant formé d'une alternance de couches
(204₁,204₂) à base d'un premier matériau semi-conducteur
et de couches (206₁,206₂) à base d'un deuxième matériau,
différent du premier matériau semi-conducteur.

30

6. Dispositif microélectronique selon l'une des revendications 1 à 5, la première zone isolante et la deuxième zone isolante étant espacées, entre le premier bloc et le deuxième bloc, d'une distance constante égale à la dimension critique de la grille.

7. Dispositif microélectronique selon l'une des revendications 1 à 6, le premier matériau ou le deuxième matériau étant à base d'un semi-conducteur comportant un additif.

8. Procédé de réalisation d'un dispositif microélectronique comprenant les étapes de :

a) formation à partir d'un empilement (205) de couches minces sur un support (200-202), l'empilement comportant au moins deux couches successives (204₁, 206₁, 204₂, 206₂) respectivement à base d'au moins un premier matériau, semi-conducteur, et d'au moins un deuxième matériau, semi-conducteur et différent du premier matériau semi-conducteur : d'au moins un premier bloc (210) destiné à former au moins une région de source de transistor, d'au moins un deuxième bloc destiné à former au moins une région de drain (230) de transistor, et d'au moins une structure (220, 220a, 220b) reliant le premier bloc et le deuxième bloc,

b) formation, dans une région située entre le premier bloc et le deuxième bloc d'au moins un première zone isolante (237a) contre au moins un flanc du premier bloc et d'au moins une deuxième zone

isolante (237b) contre au moins un flanc du deuxième bloc, et d'au moins une cavité (236, 536) entre la première zone isolante (237a) et la deuxième zone isolante (237b), la cavité comportant ou formant au moins un motif (235a) de grille,

c) retrait, dans la cavité, dudit deuxième matériau, sélectif vis-à-vis dudit premier matériau,

d) dépôt dans la cavité d'au moins un diélectrique (242) de grille et d'au moins un matériau (246,248) de grille.

9. Procédé selon la revendication 8, dans lequel la cavité (536) comporte en outre au moins un motif de contact (235b) de grille de transistor.

10. Procédé selon la revendication 8, comprenant en outre après l'étape d), la formation d'au moins un contact de grille de transistor par gravure dudit matériau (246,248) de grille.

11. Procédé selon l'une des revendications 8 à 10, la formation des zones isolantes à l'étape b) comprenant :

- le dépôt d'une couche à base d'un matériau diélectrique (234) sur le support (200),

- une exposition d'une partie de ladite couche de matériau diélectrique (234) à l'aide d'un faisceau d'électrons.

12. Procédé selon la revendication 11, ladite couche (234) de matériau diélectrique étant à

base d'un diélectrique HSQ, la formation des zones isolantes comprenant en outre après ladite exposition : le retrait des zones du matériau diélectrique HSQ non exposées au faisceau d'électrons.

5

13. Procédé de réalisation d'un dispositif microélectronique comprenant les étapes de :

a) formation à partir d'un empilement (105,1005) de couches minces sur un support (100),
10 l'empilement comportant au moins deux couches successives (106₀, 104₁, 106₁, 104₂, 106₂) respectivement à base d'au moins un premier matériau, semi-conducteur, et d'au moins un deuxième matériau, différent du premier matériau, d'au moins un premier bloc (110)
15 destiné à former au moins une région de source de transistor, et d'au moins un deuxième bloc destiné à former au moins une région de drain (130) de transistor, et d'au moins une structure (120) reliant le premier bloc et le deuxième bloc,

20 b) formation sur l'empilement (105,1005), d'un masquage isolant (132,334,434) comprenant au moins une cavité (136,336,436), la cavité comportant au moins un motif (135a,335a,435a) de grille de transistor,

c) retrait à travers la cavité
25 (136,336,436) dudit deuxième matériau, sélectif vis-à-vis du premier matériau semi-conducteur,

d) dépôt dans la cavité d'au moins un diélectrique de grille (142,342,442) et d'au moins un matériau de grille (146,148,346,348,446,448),

30 e) retrait partiel du masquage isolant (132,334,432,434), de manière à conserver au moins une

première zone isolante (170a,170b,370a,370b,470a,470b)
issue du masquage, en contact avec le matériau de
grille et avec au moins un flanc du premier bloc, ainsi
qu'au moins une deuxième zone isolante (170b,370b,470b)
5 issue du masquage, en contact avec le matériau de
grille et avec au moins un flanc du deuxième bloc, le
matériau de grille étant séparé au moins partiellement
du premier bloc et du deuxième bloc par
l'intermédiaire, respectivement de la première zone
10 isolante et de la deuxième zone isolante.

14. Procédé selon la revendication 13, le
retrait partiel à l'étape e), comprenant une gravure
partielle du masquage isolant (132,334,432,434), au-
15 dessus du premier bloc, du deuxième bloc, ainsi que de
la structure (120,120a,120b) reliant ledit premier bloc
et ledit deuxième bloc.

15. Procédé selon la revendication 14, dans
20 lequel l'étape b) de formation d'un masquage isolant
(432,434) doté d'au moins une cavité (436), comprend
les étapes de :

- dépôt d'un premier matériau diélectrique,
- lithographie du premier matériau
25 diélectrique à l'aide d'au moins un faisceau
d'électrons, de manière à former au moins un motif de
grille de transistor,
- formation d'un deuxième matériau, de part
et d'autre du motif à base du premier matériau
30 diélectrique,

- retrait du motif à base du premier matériau diélectrique.

16. Procédé selon la revendication 15, ledit premier matériau diélectrique étant un matériau HSQ.

17. Procédé selon l'une des revendications 8 à 16, ladite structure étant formée d'au moins deux blocs disjoints (120a, 120b).

18. Procédé selon l'une des revendications 8 à 17, dans lequel le support comprend une couche diélectrique (102,202) sur laquelle ledit empilement (105,205) est formé le procédé comprenant en outre : après l'étape b), et préalablement à l'étape d), un retrait partiel, de la couche diélectrique (102,202) du support à travers la cavité.

19. Procédé selon l'une des revendications 8 à 18, l'empilement étant formé d'une alternance de couches (106₀,106₁,106₂) à base du deuxième matériau et de couches (104₁,104₂) à base du premier matériau.

20. Procédé selon l'une des revendications 8 à 19, l'empilement (1005) comprenant une couche (106₀) à base du deuxième matériau en contact avec le support (100-102).

21. Procédé selon l'une des revendications 8 à 20, l'étape d) comprenant le dépôt d'au moins une

couche d'un premier matériau de grille (146,246,346,446) métallique sur le diélectrique (142,242,342,442) de grille, puis le remplissage de la cavité (136,336,436,236) par au moins un deuxième
5 matériau de grille semi-conducteur (148,248,348,448).

22. Procédé selon l'une des revendications 8 à 21, le premier matériau ou le deuxième matériau étant à base d'un semi-conducteur comportant un
10 additif.

23. Procédé selon l'une des revendications 8 à 22, la première zone isolante (237a, 170a, 370a, 470a) et la deuxième zone isolante (237b, 170b, 370b, 470b) étant séparées, entre le premier bloc (210) et le
15 deuxième bloc (230) d'une distance constante égale à la dimension critique (d_1 , d_2) d'une grille destinée à être formée dans la cavité (136,236,336,436).

24. Procédé selon l'une des revendications 8 à 23, dans lequel les zones isolantes formées (237a, 237b, 170a, 170, 370a, 370b, 470a, 470b) reposent sur le support (100-102,200-202).

25. Procédé selon l'une des revendications 8 à 24, comprenant en outre, au moins une étape de dopage du premier bloc (110,210) et du deuxième bloc (130,230).

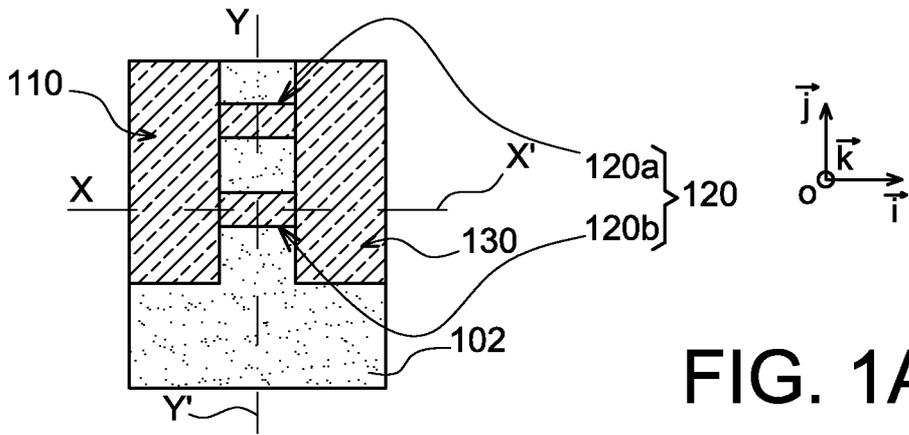


FIG. 1A

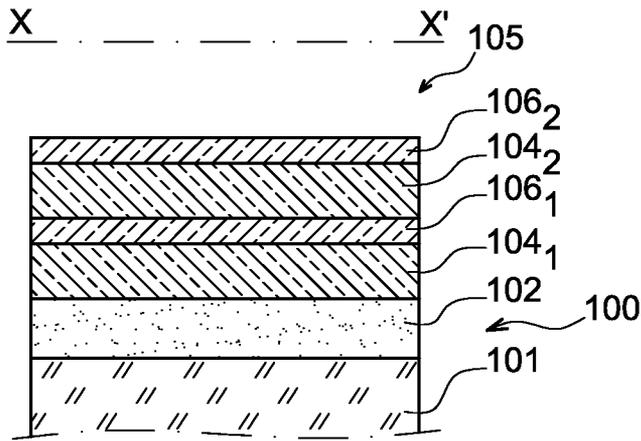


FIG. 2A

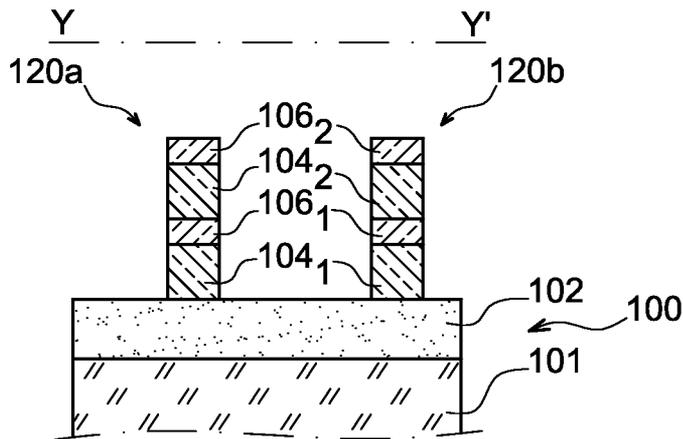


FIG. 3A

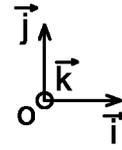
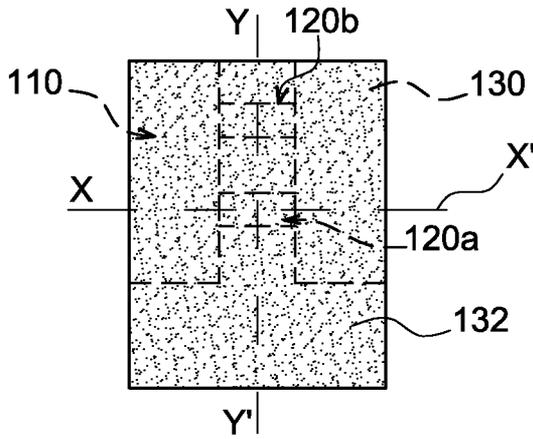


FIG. 1B

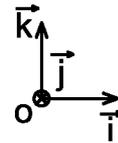
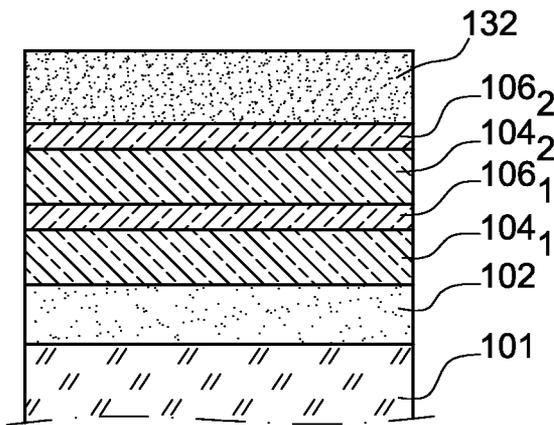


FIG. 2B

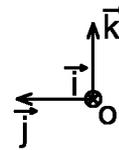
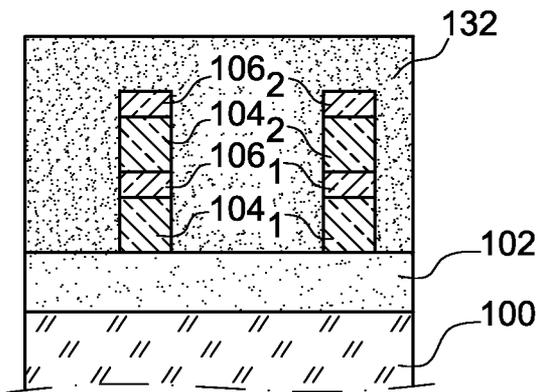


FIG. 3B

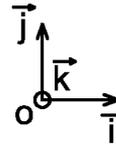
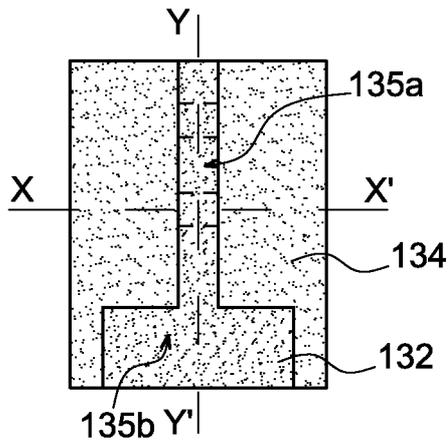


FIG. 1C

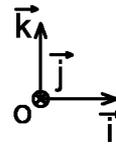
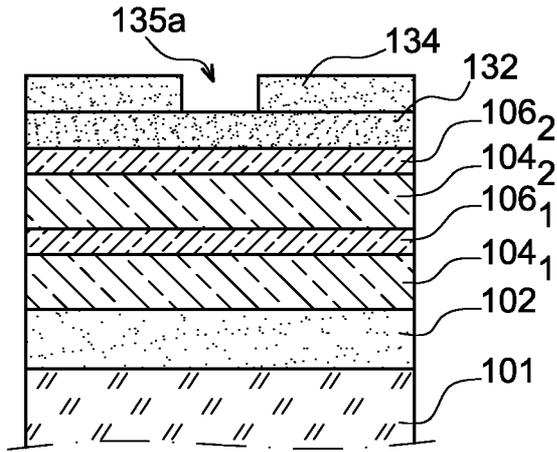


FIG. 2C

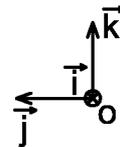
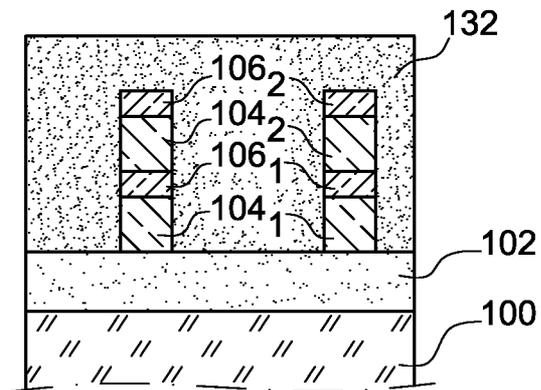


FIG. 3C

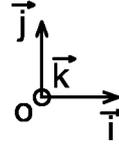
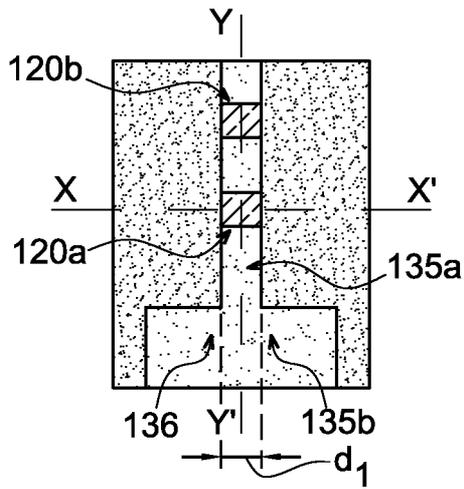


FIG. 1D

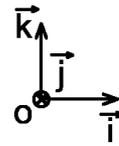
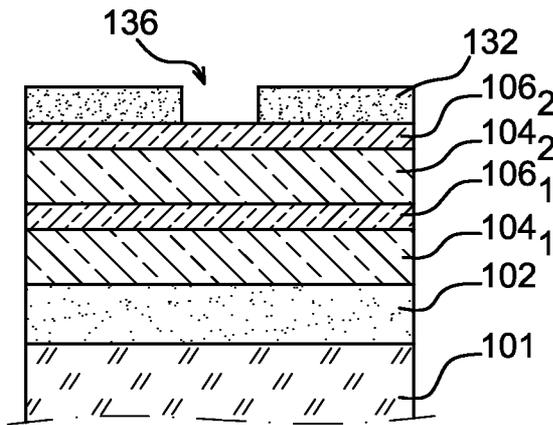


FIG. 2D

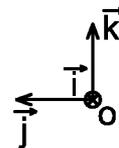
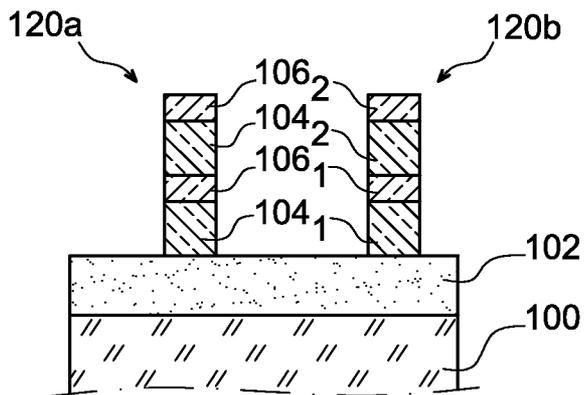


FIG. 3D

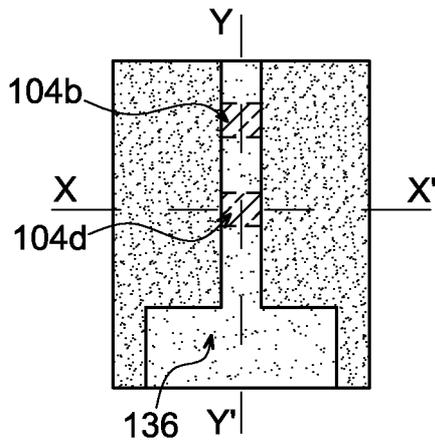


FIG. 1E

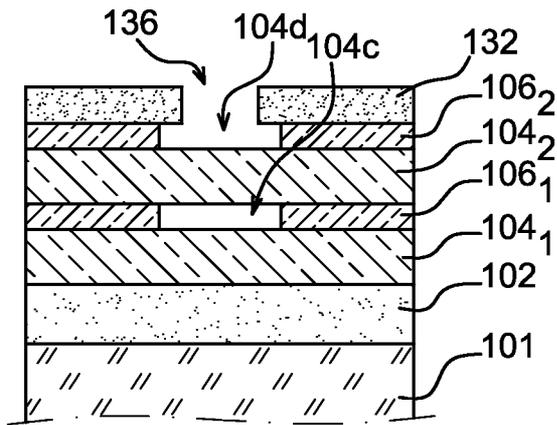


FIG. 2E

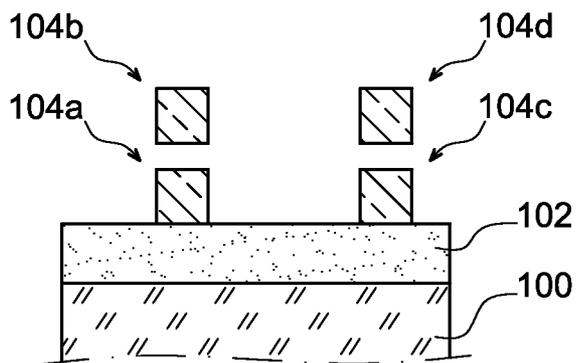


FIG. 3E

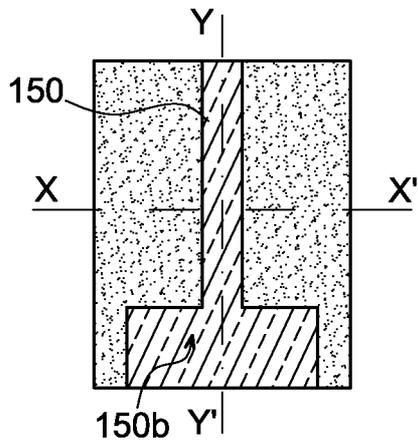


FIG. 1F

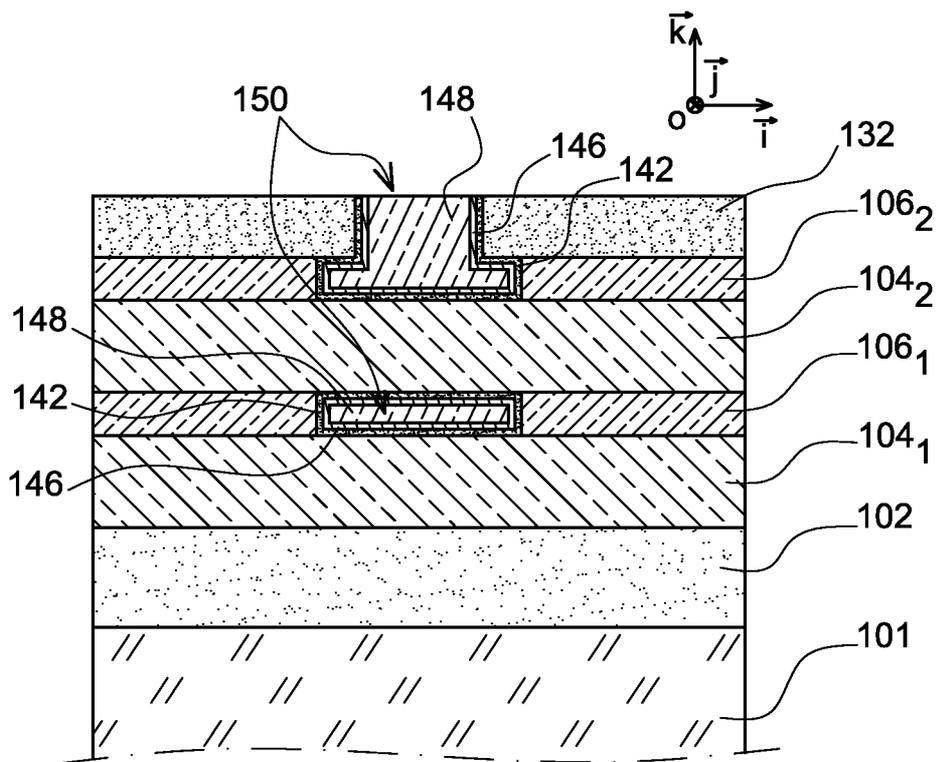


FIG. 2F

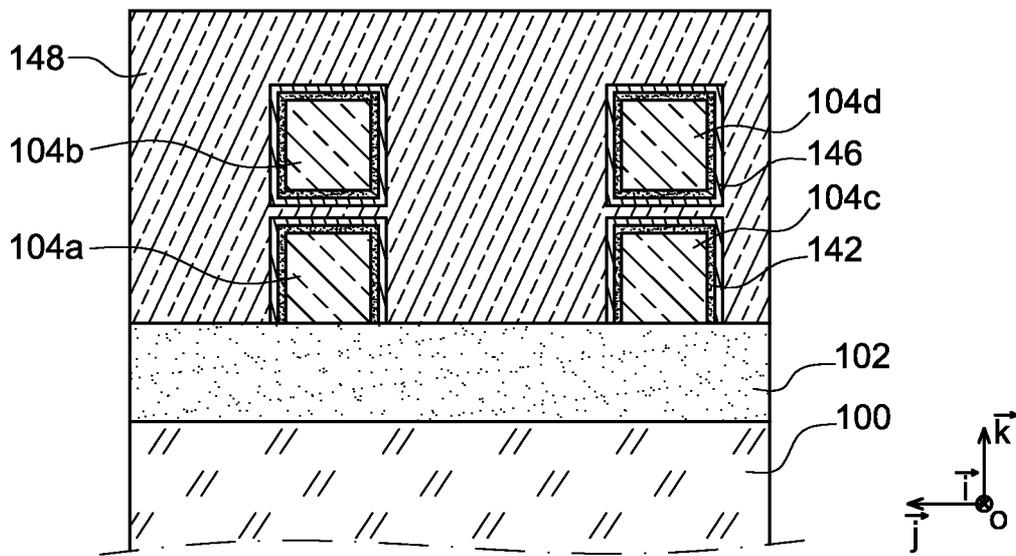


FIG. 3F

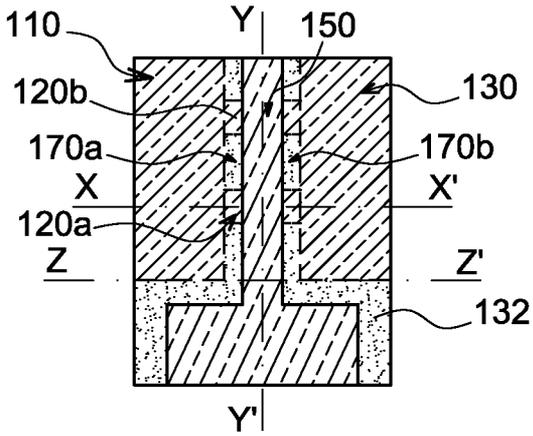


FIG. 1G

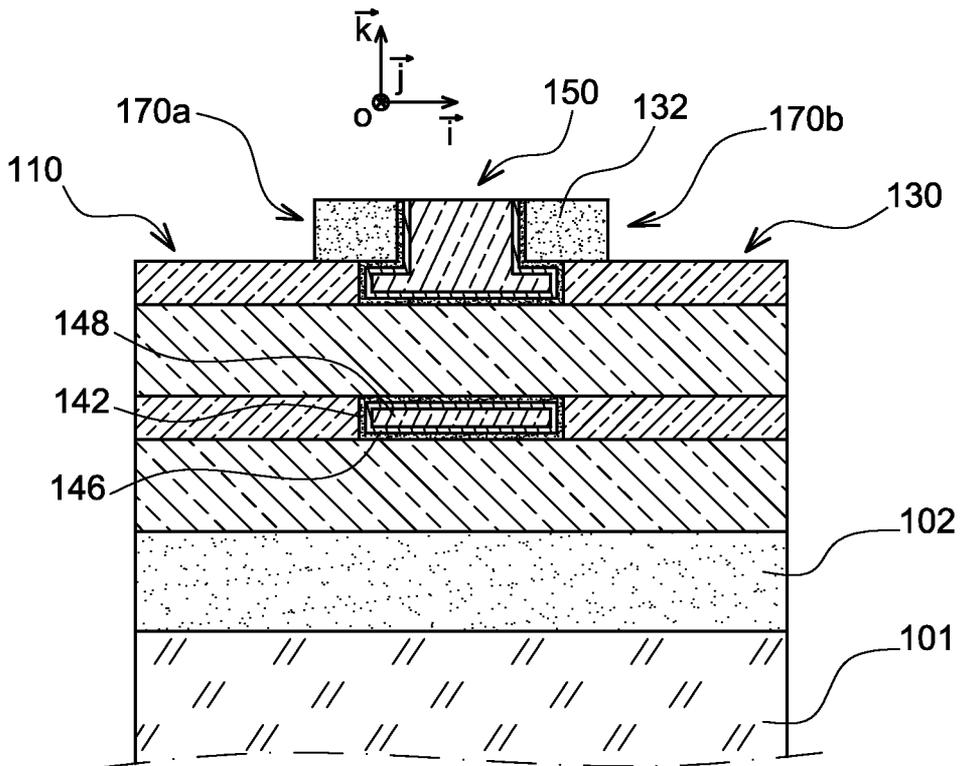


FIG. 2G

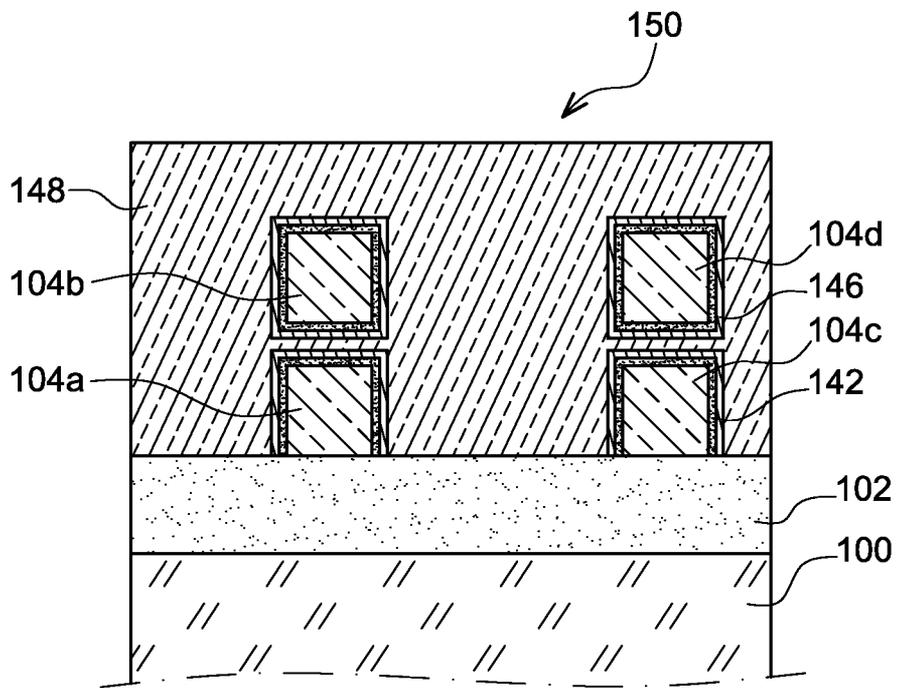
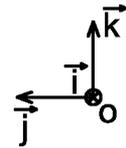


FIG. 3G



10/41

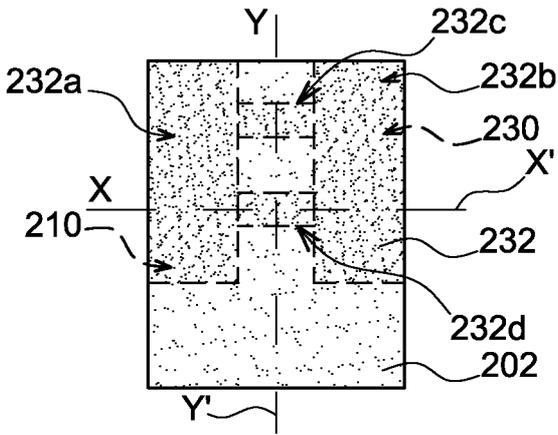


FIG. 4A

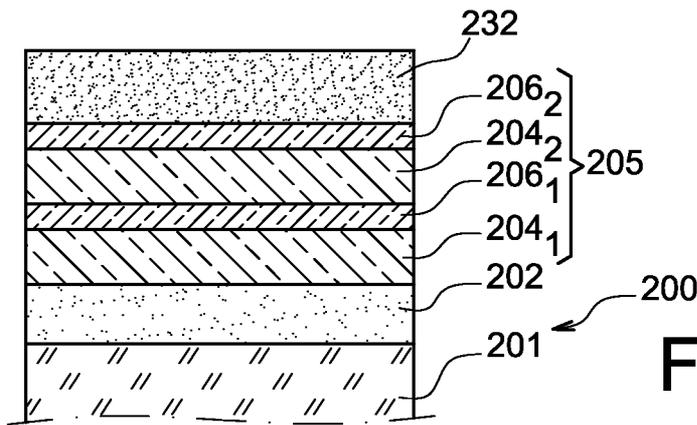


FIG. 5A

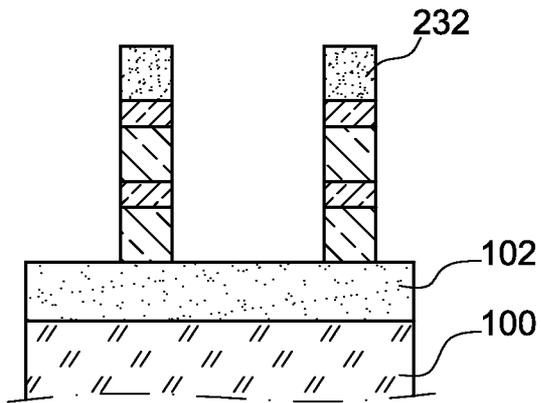


FIG. 6A

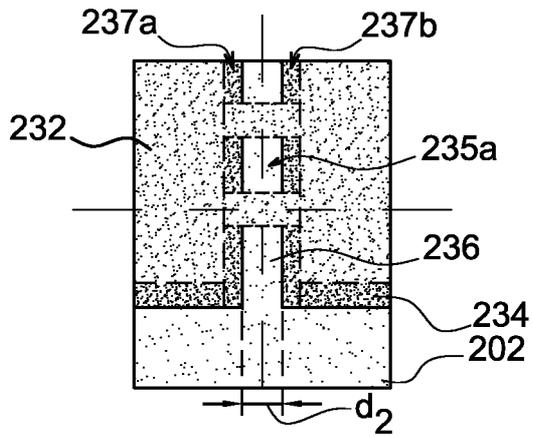


FIG. 4B

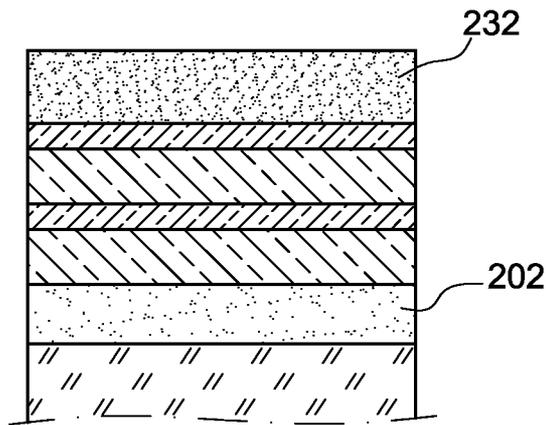


FIG. 5B

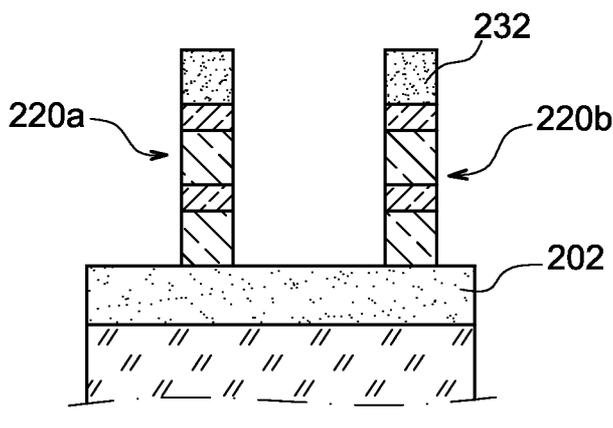


FIG. 6B

12/41

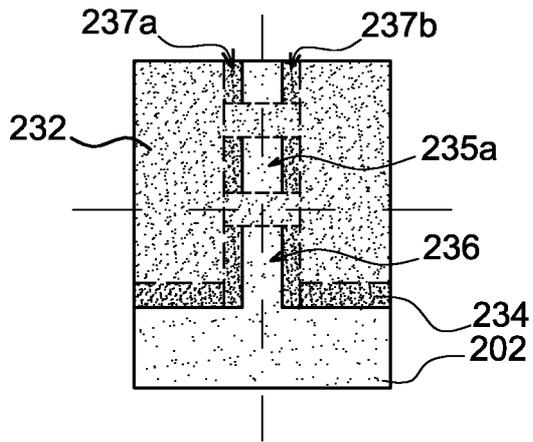


FIG. 4C

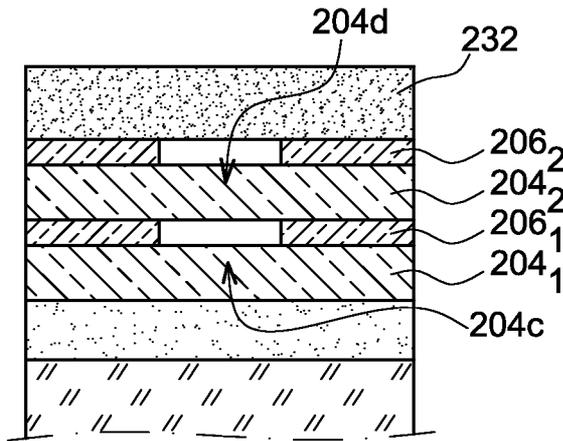


FIG. 5C

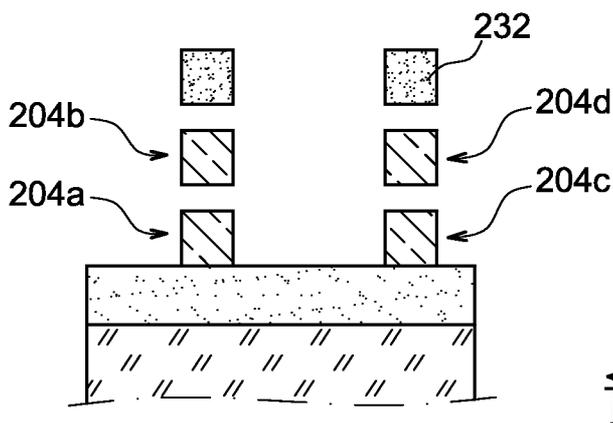


FIG. 6C

13/41

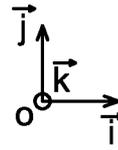
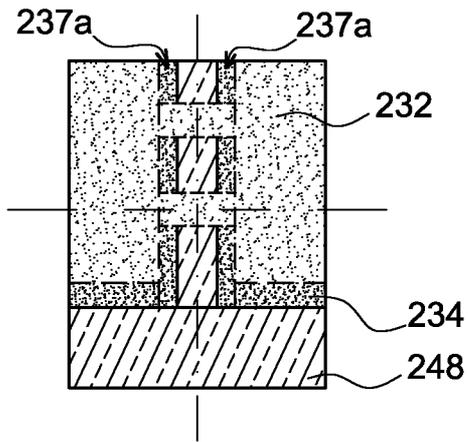


FIG. 4D

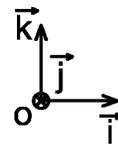
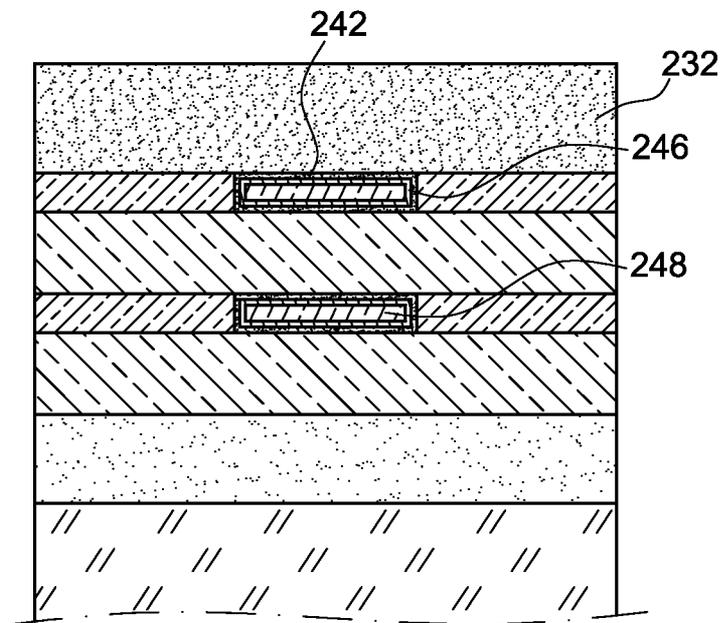


FIG. 5D

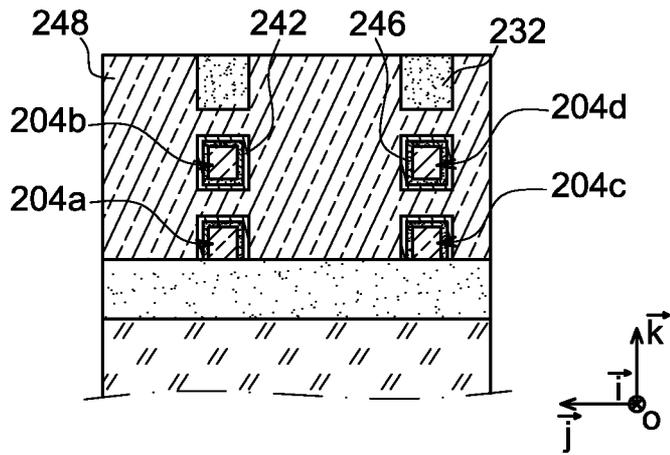
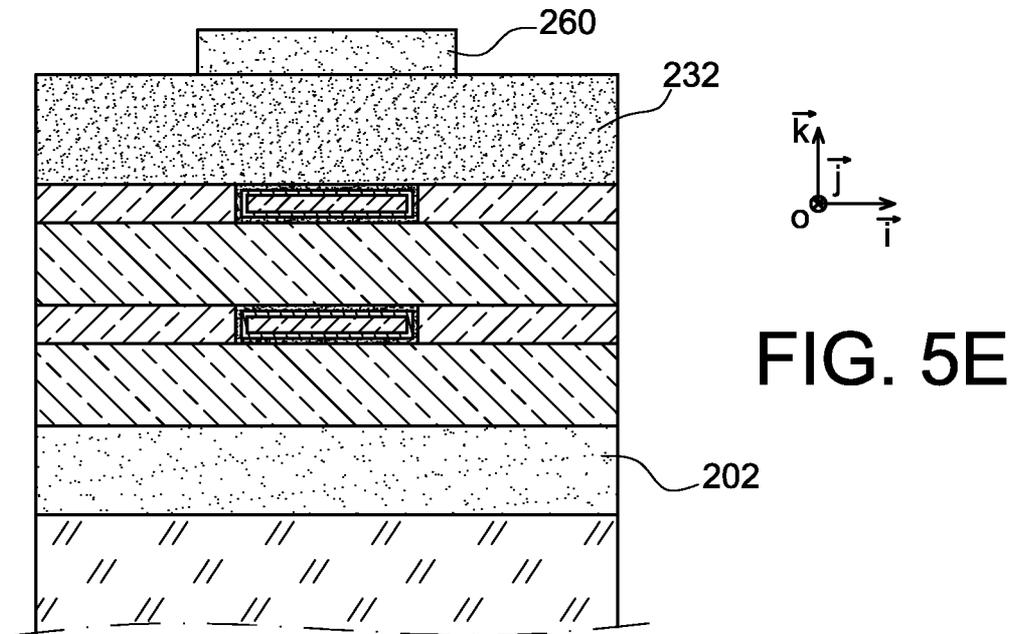
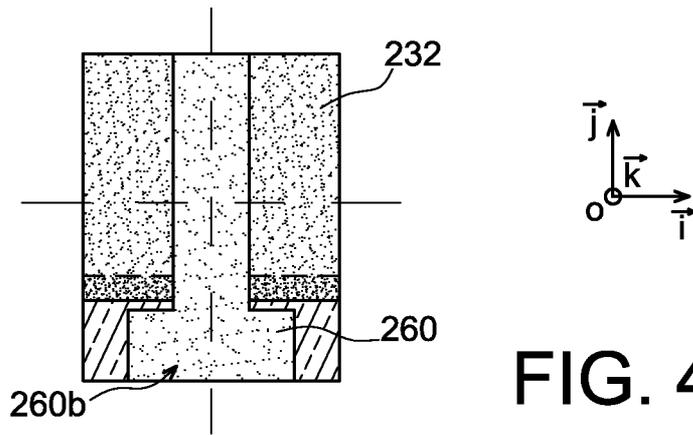


FIG. 6D

15/41



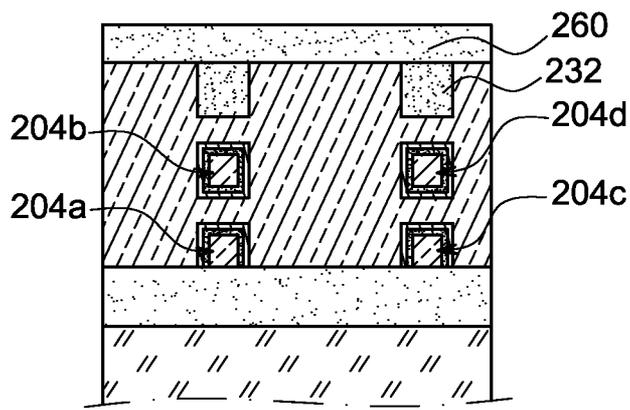
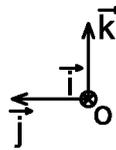


FIG. 6E



17/41

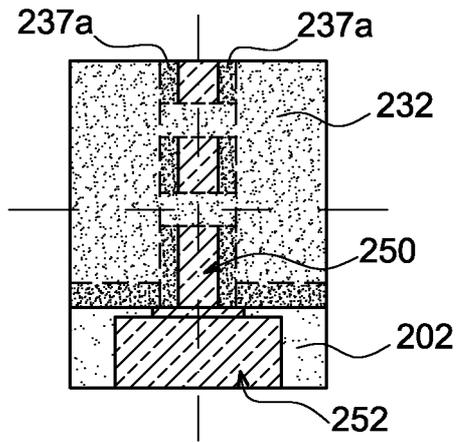


FIG. 4F

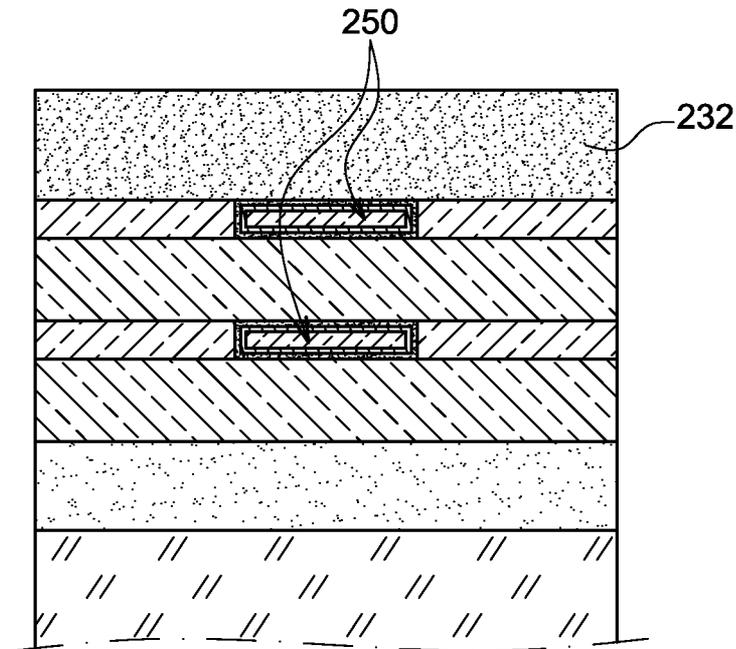


FIG. 5F

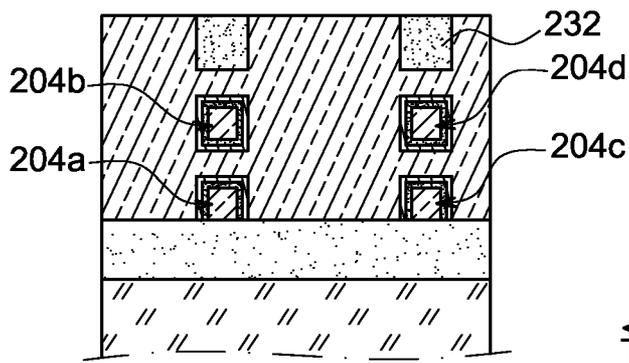
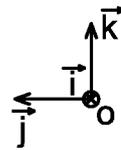


FIG. 6F



19/41

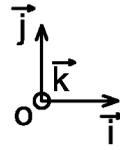
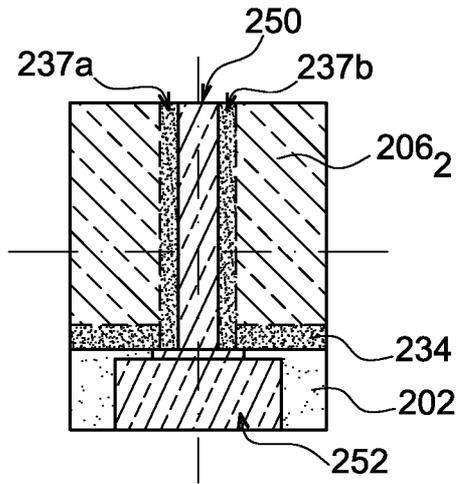


FIG. 4G

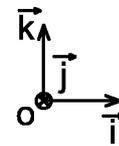
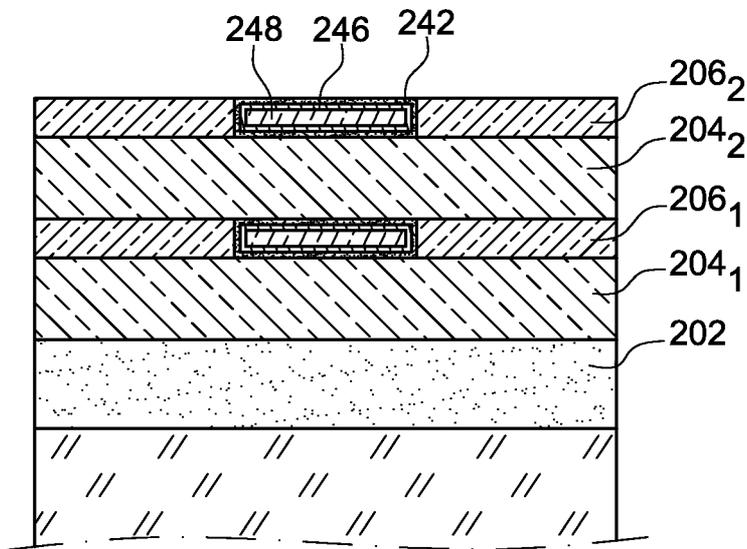


FIG. 5G

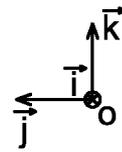
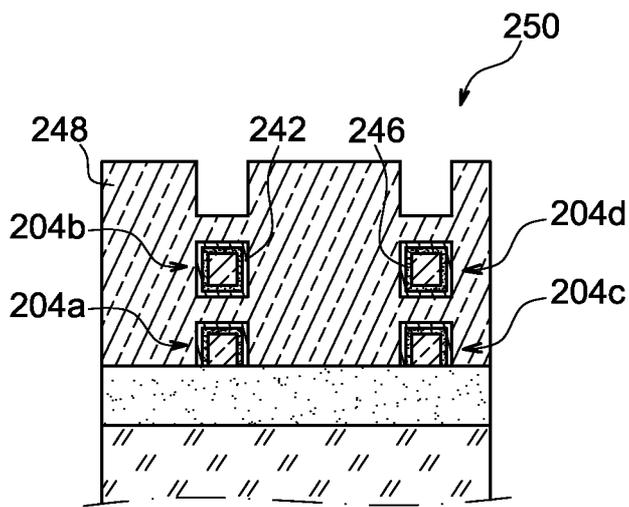


FIG. 6G

21/41

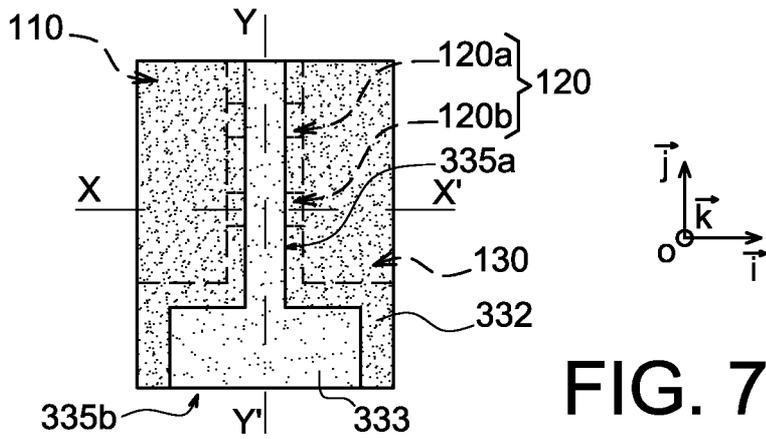


FIG. 7A

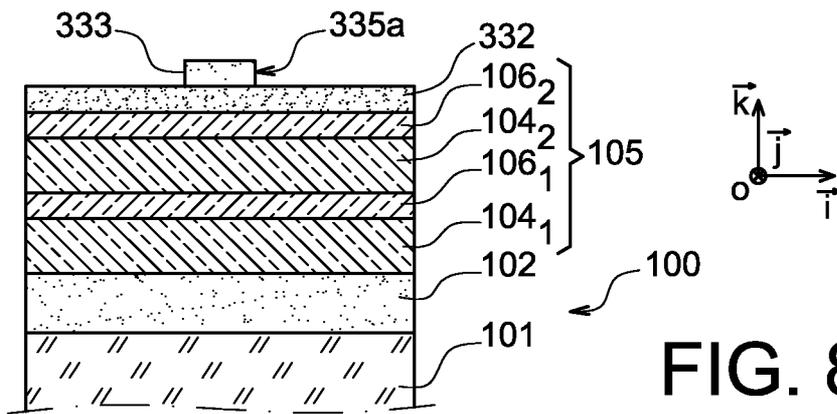


FIG. 8A

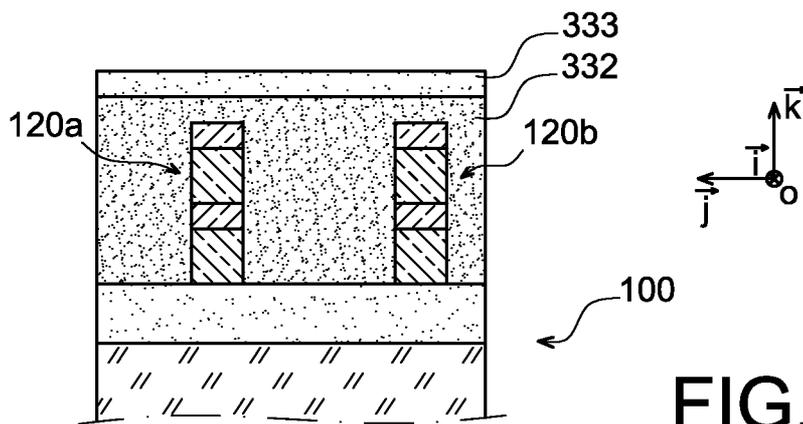


FIG. 9A

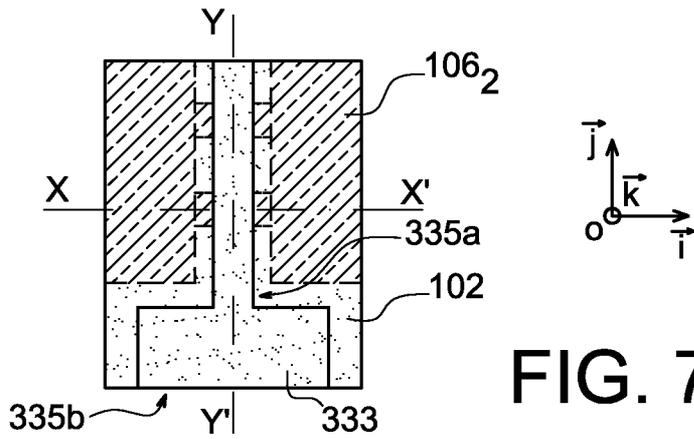


FIG. 7B

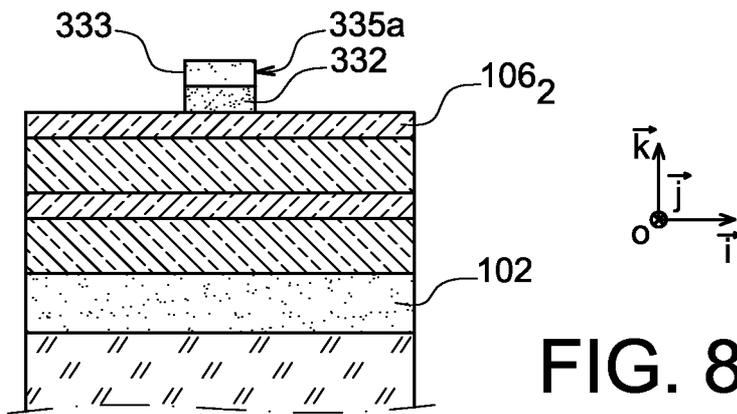


FIG. 8B

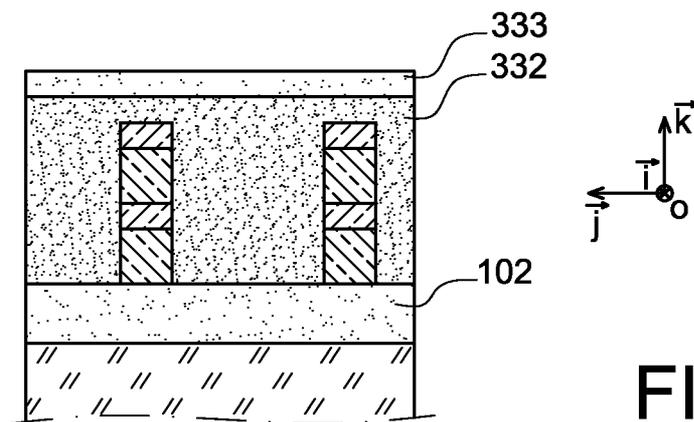


FIG. 9B

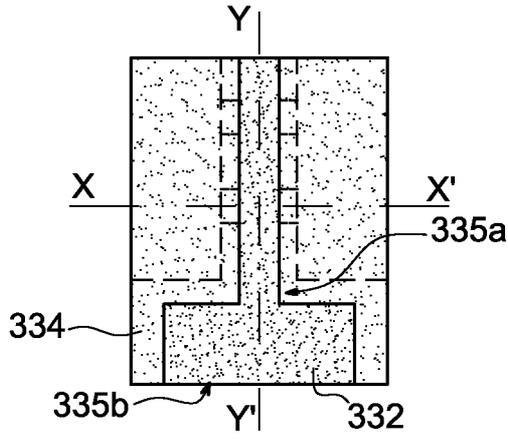


FIG. 7C

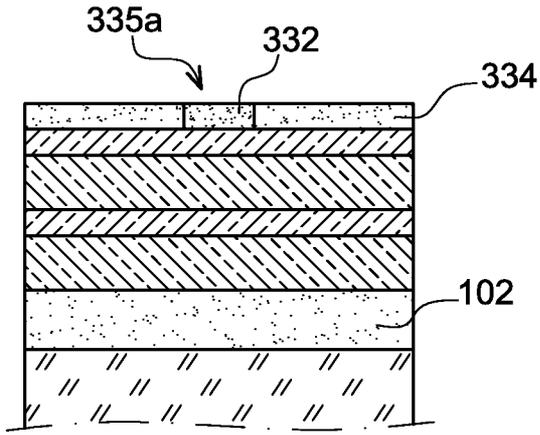


FIG. 8C

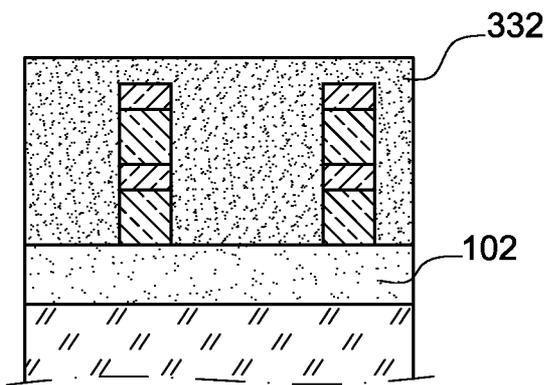


FIG. 9C

24/41

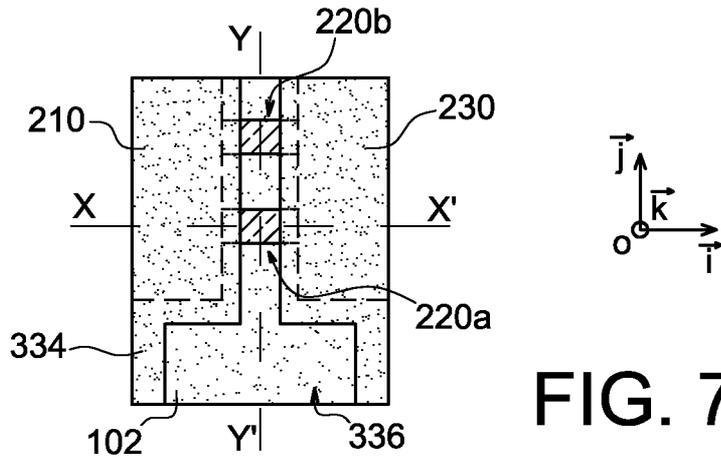


FIG. 7D

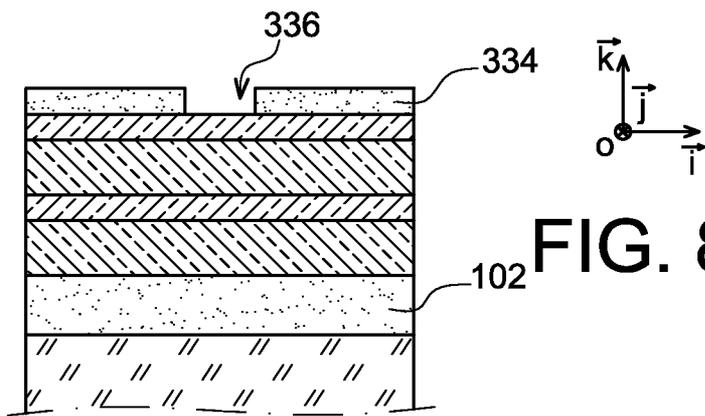


FIG. 8D

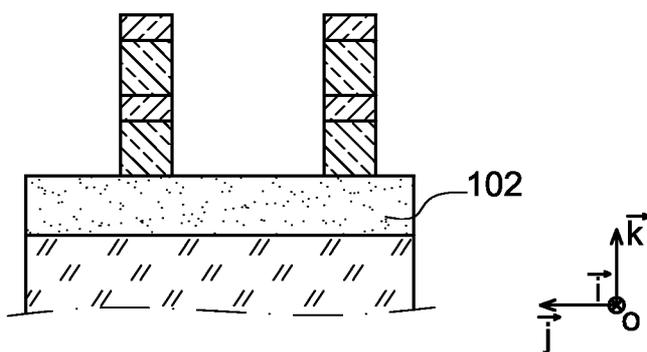
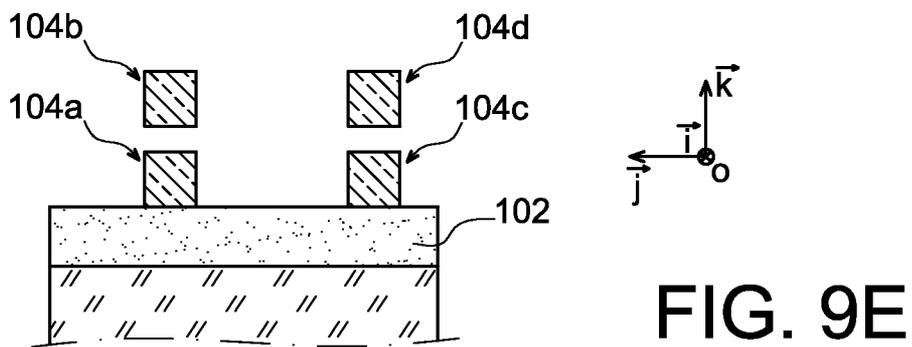
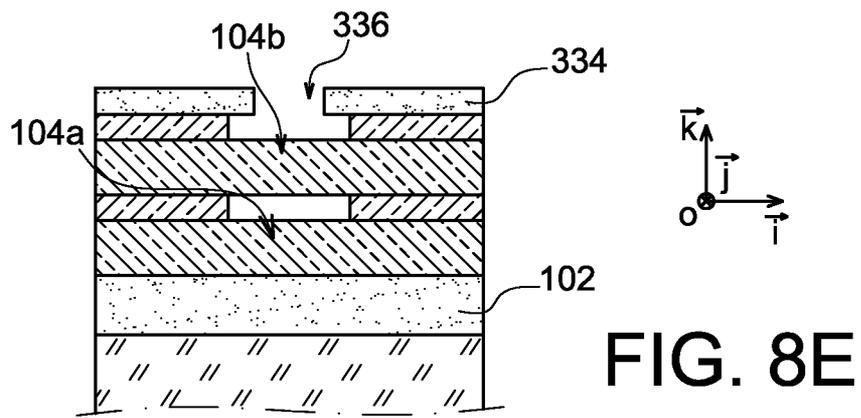
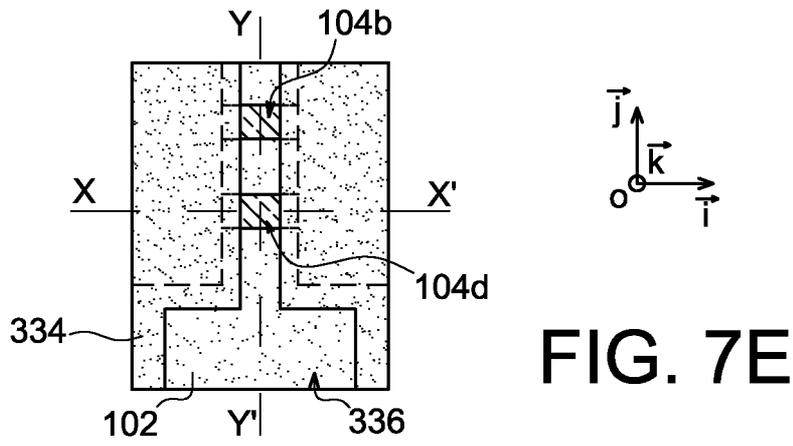
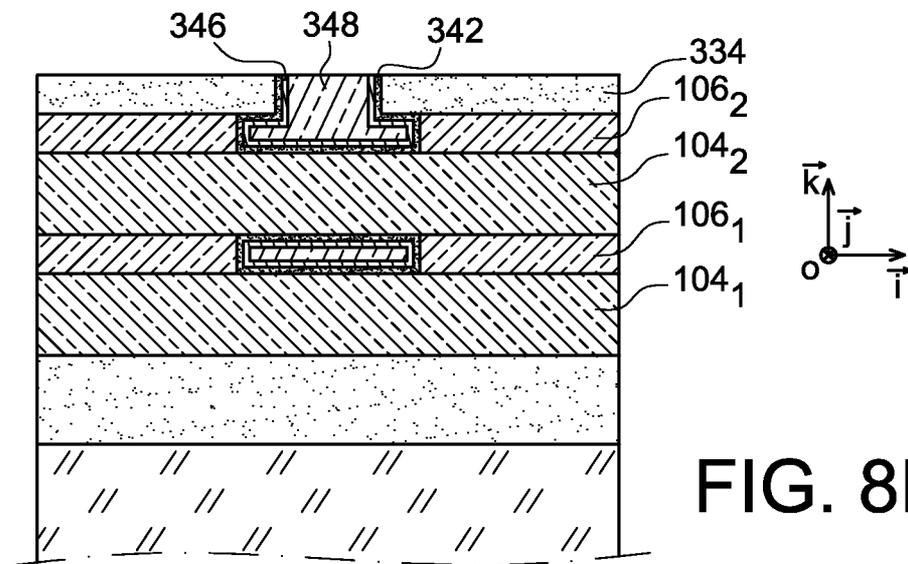
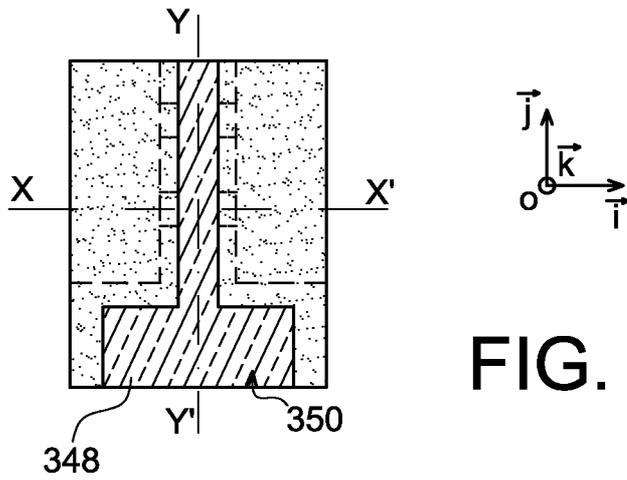


FIG. 9D





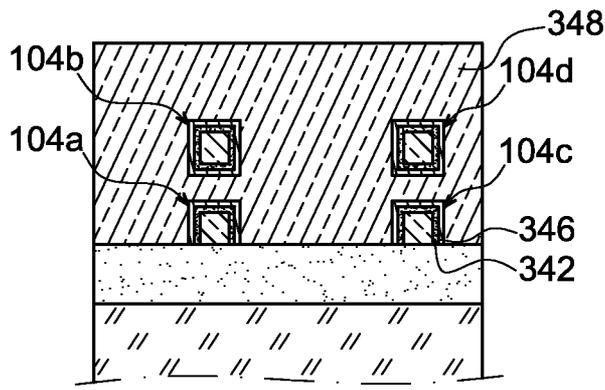


FIG. 9F

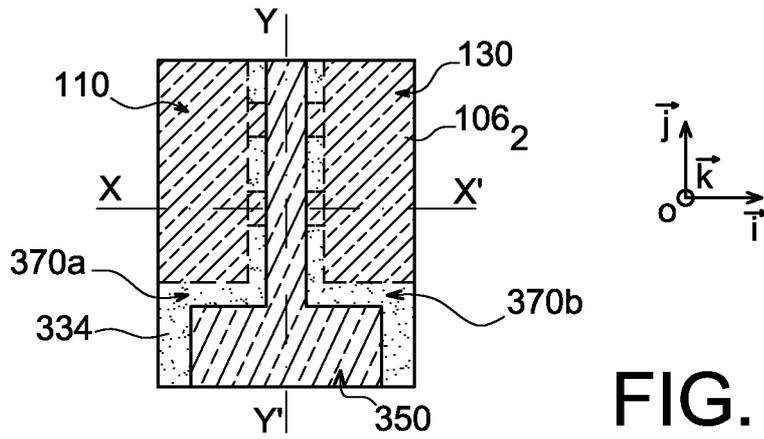


FIG. 7G

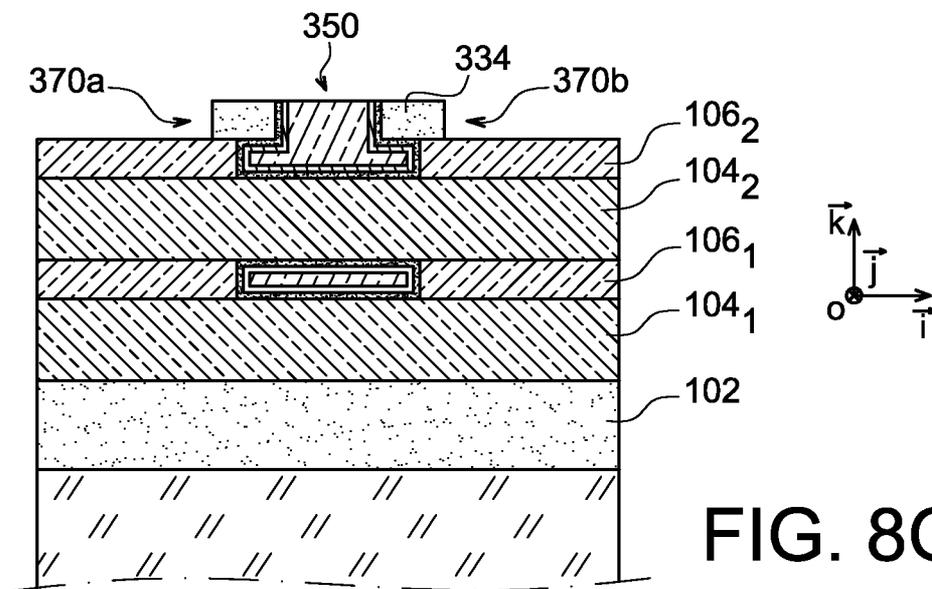


FIG. 8G

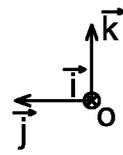
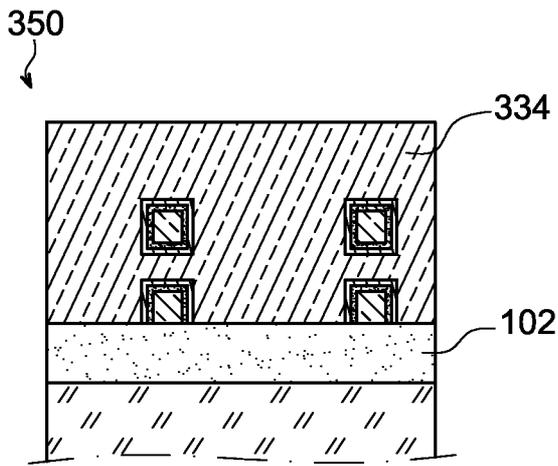


FIG. 9G

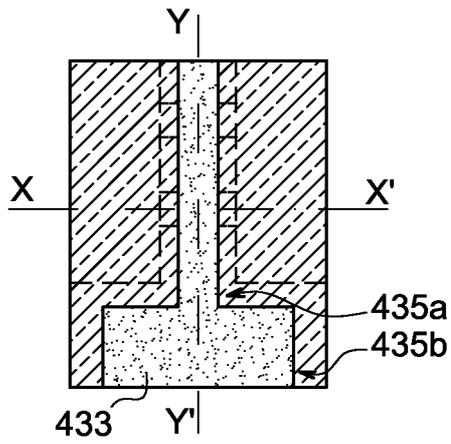
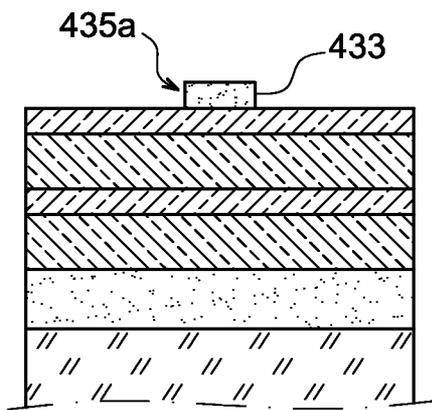
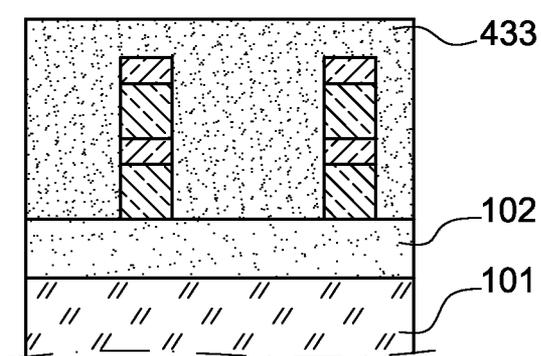


FIG. 10A



100 FIG. 11A



100 FIG. 12A

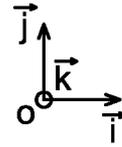
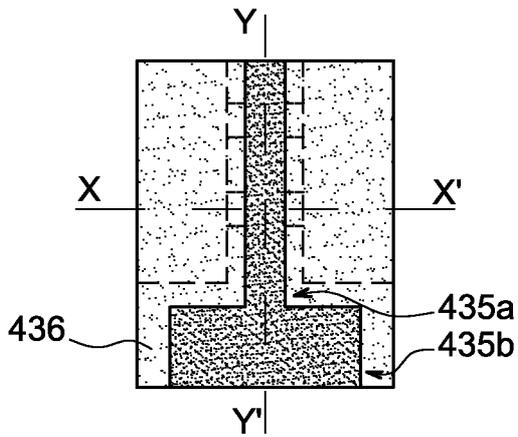


FIG. 10B

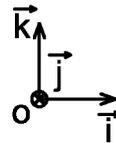
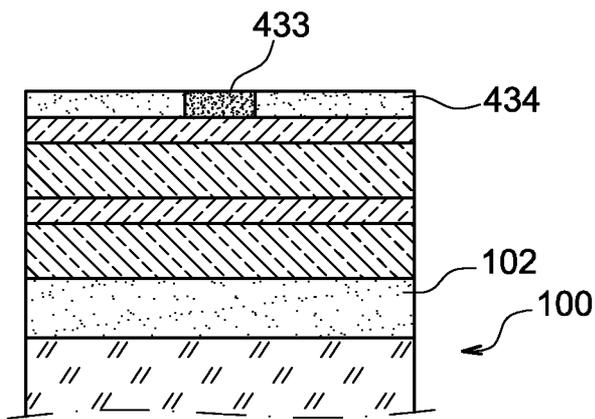


FIG. 11B

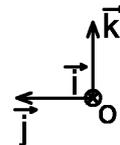
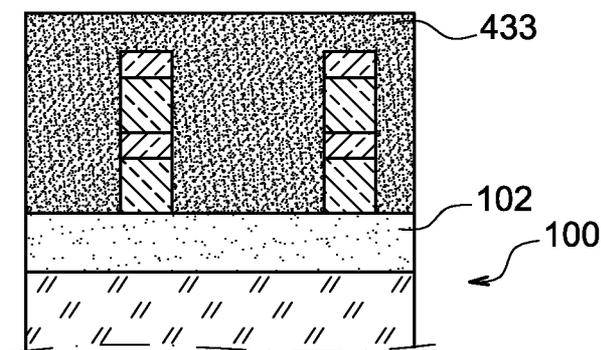


FIG. 12B

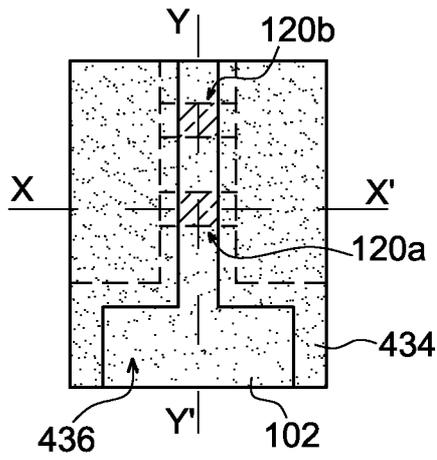


FIG. 10C

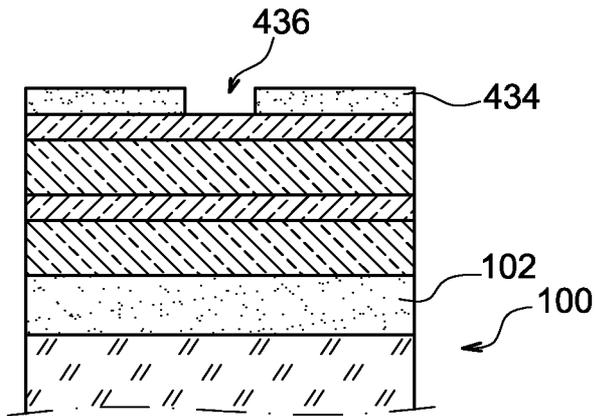


FIG. 11C

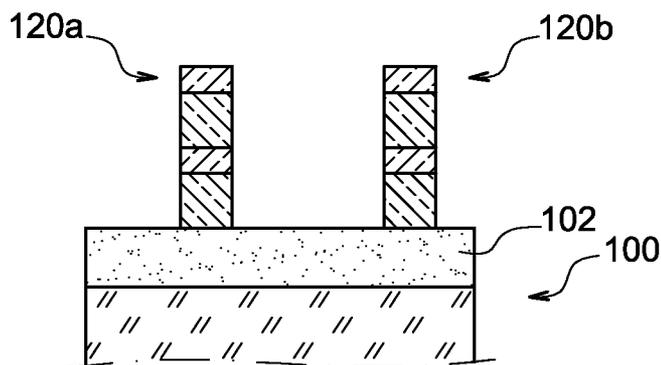
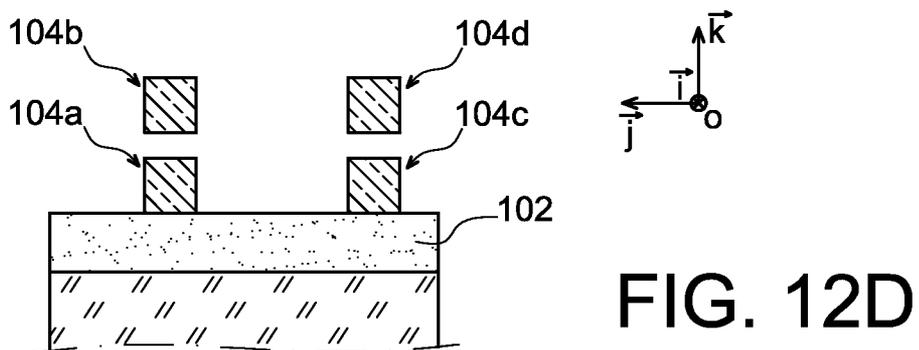
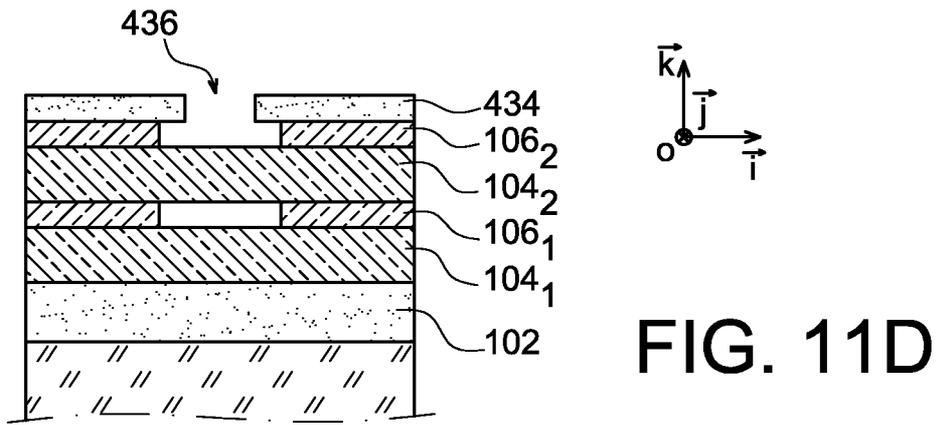
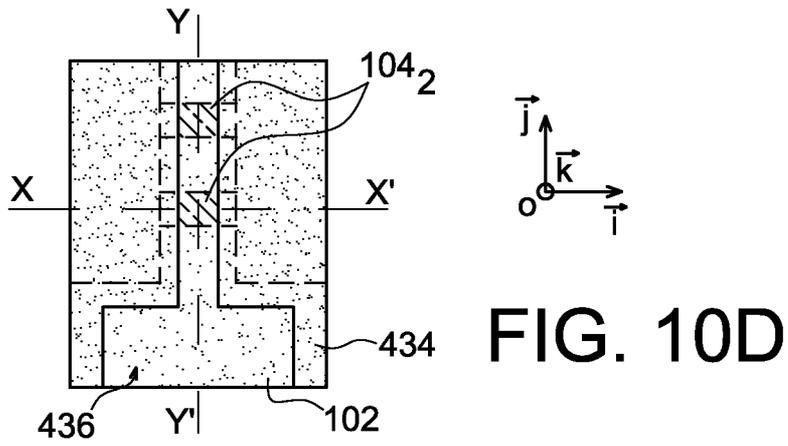


FIG. 12C



34/41

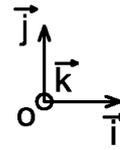
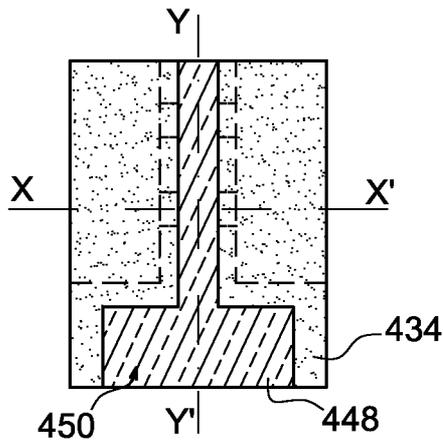


FIG. 10E

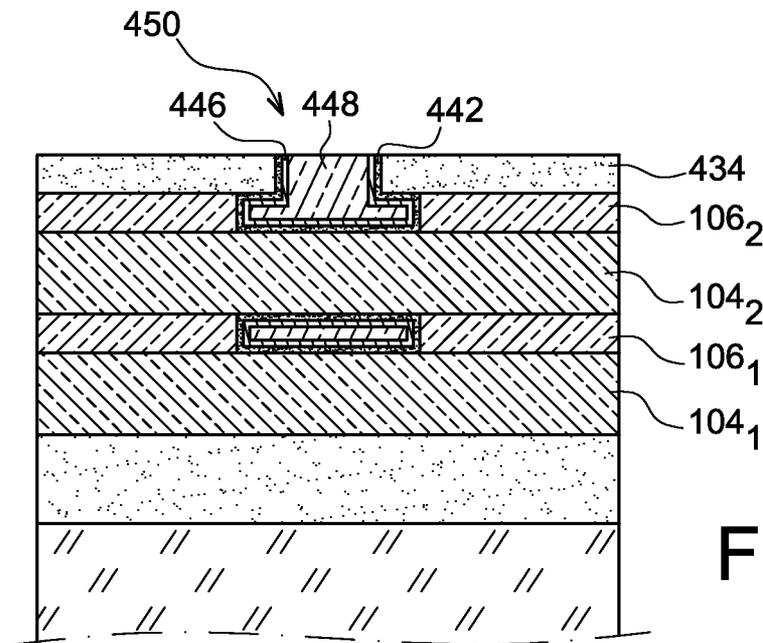


FIG. 11E

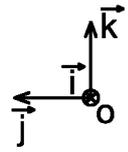
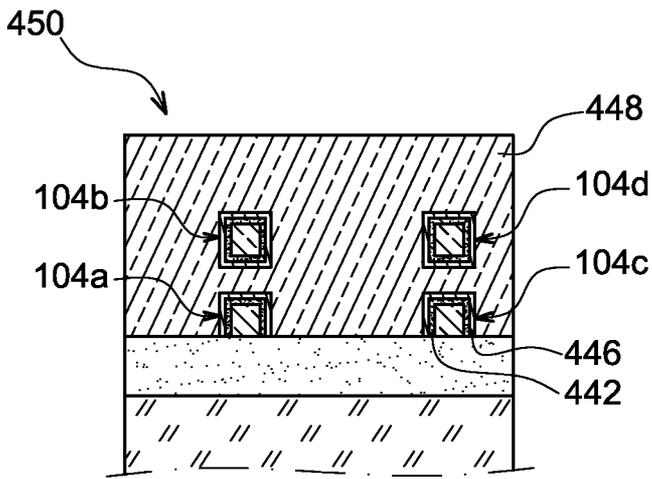


FIG. 12E

36/41

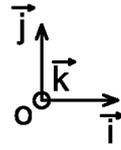
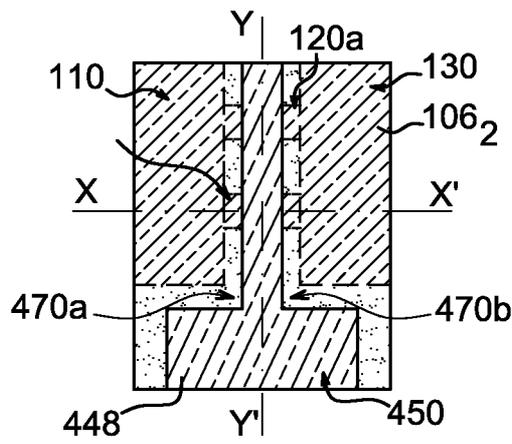


FIG. 10F

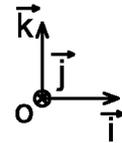
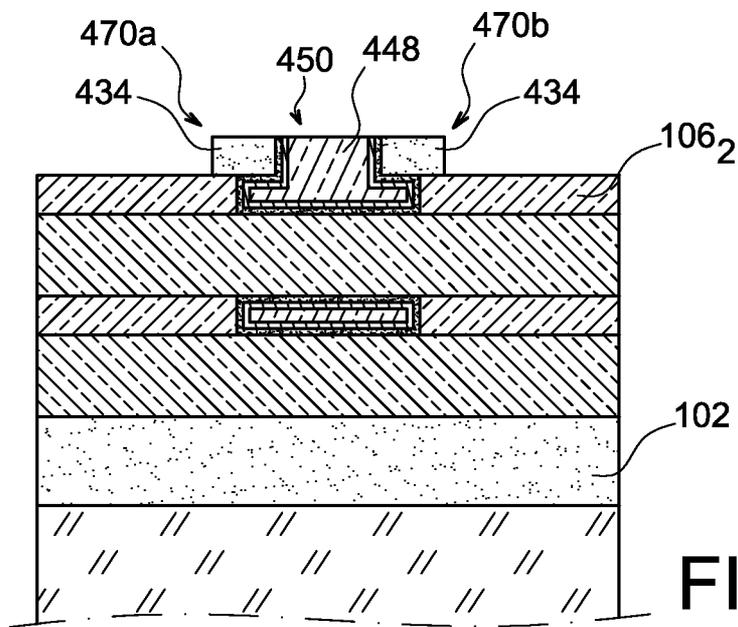


FIG. 11F

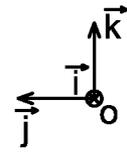
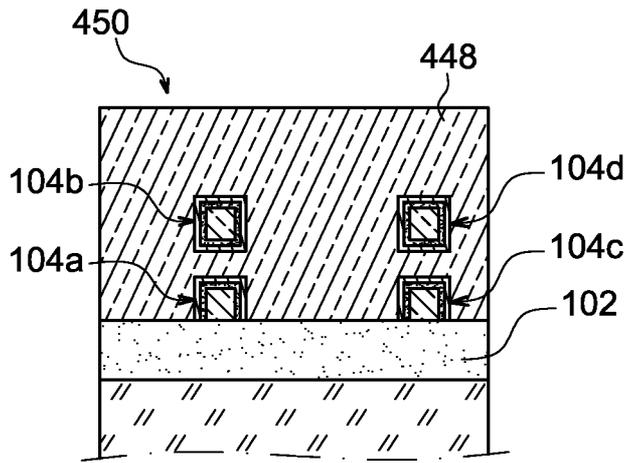


FIG. 12F

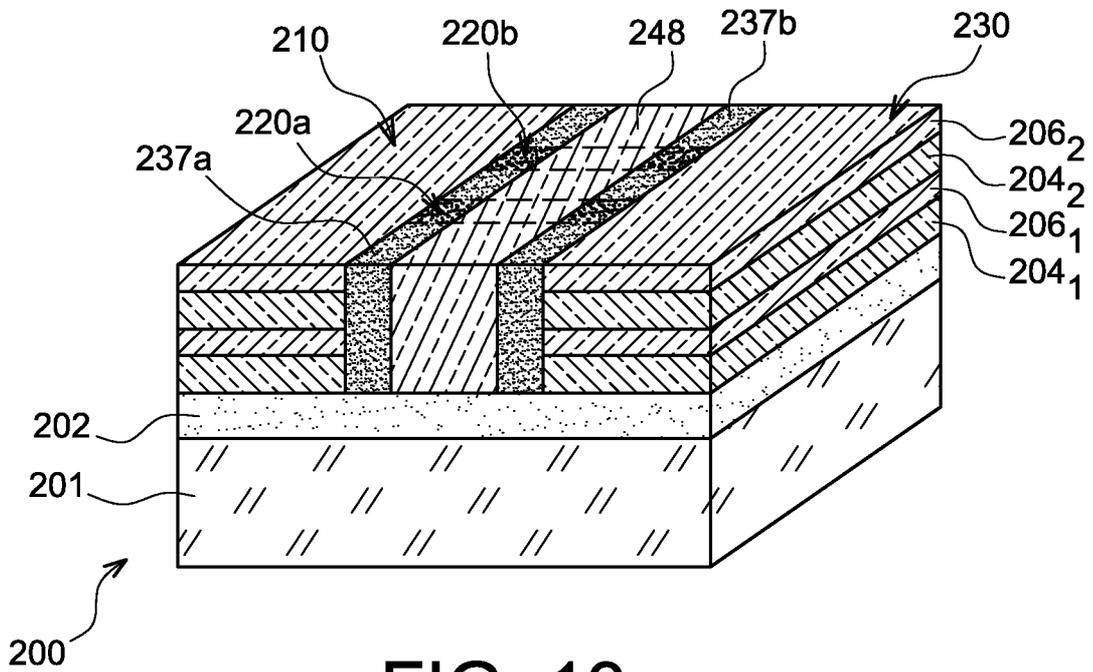


FIG. 13

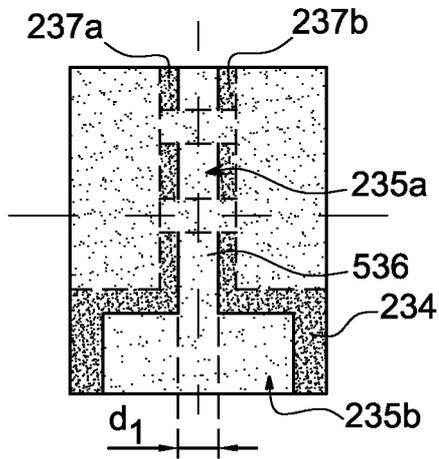


FIG. 14A

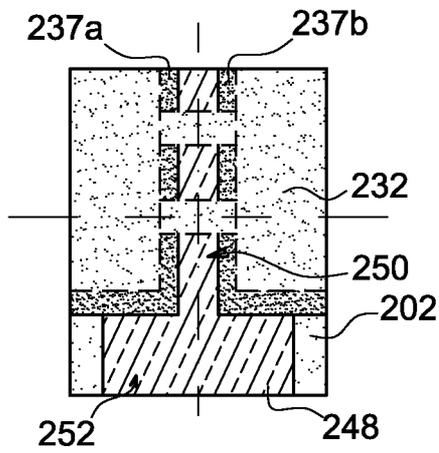
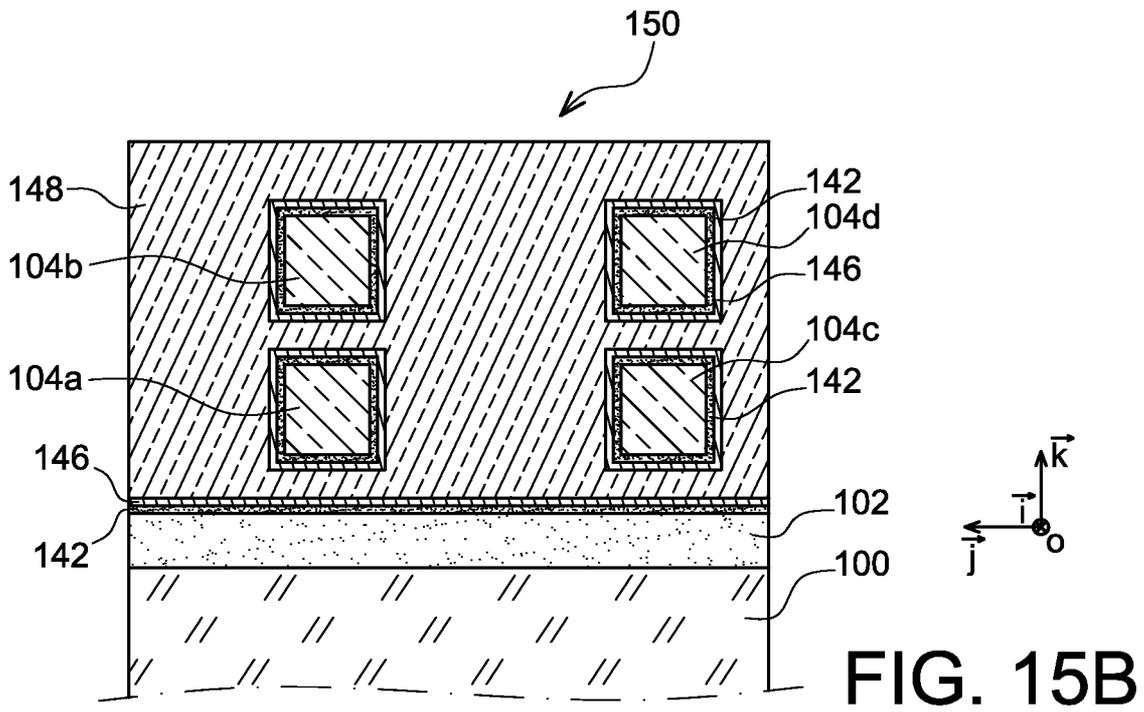
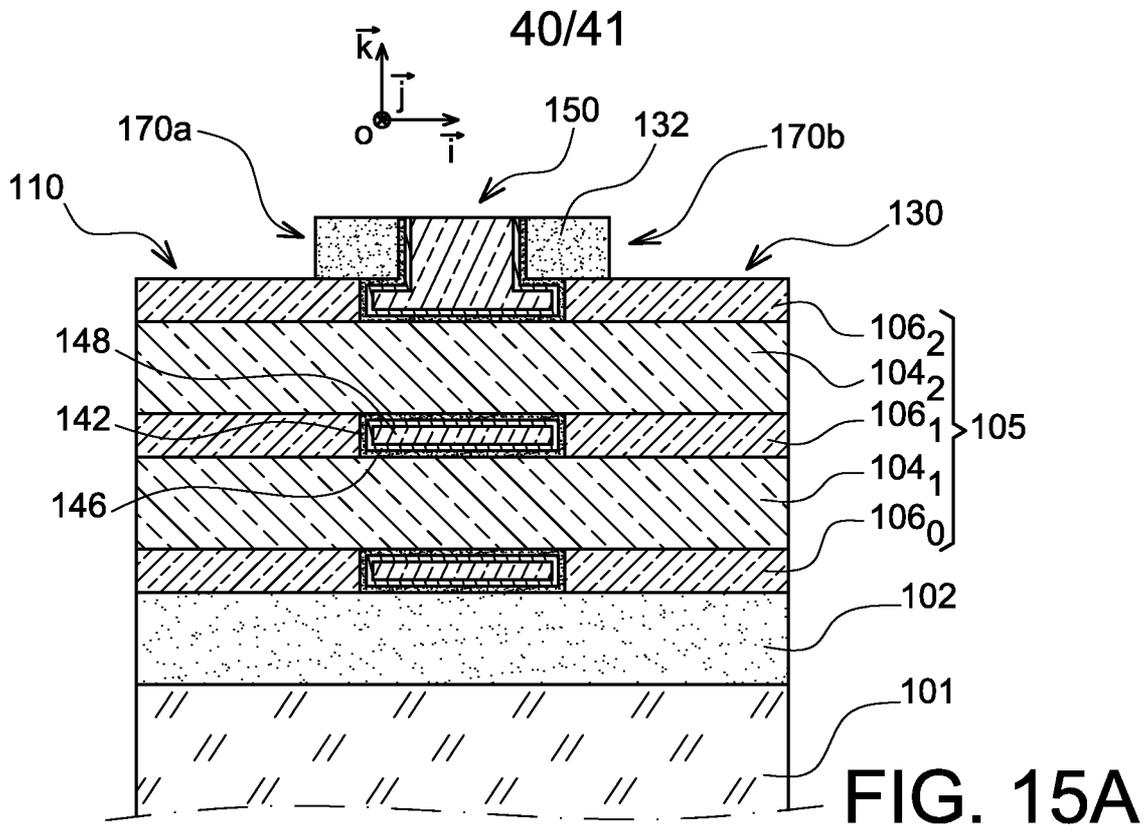


FIG. 14B



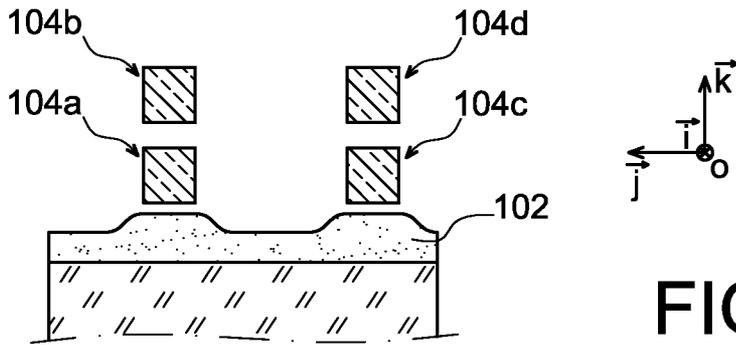


FIG. 16A

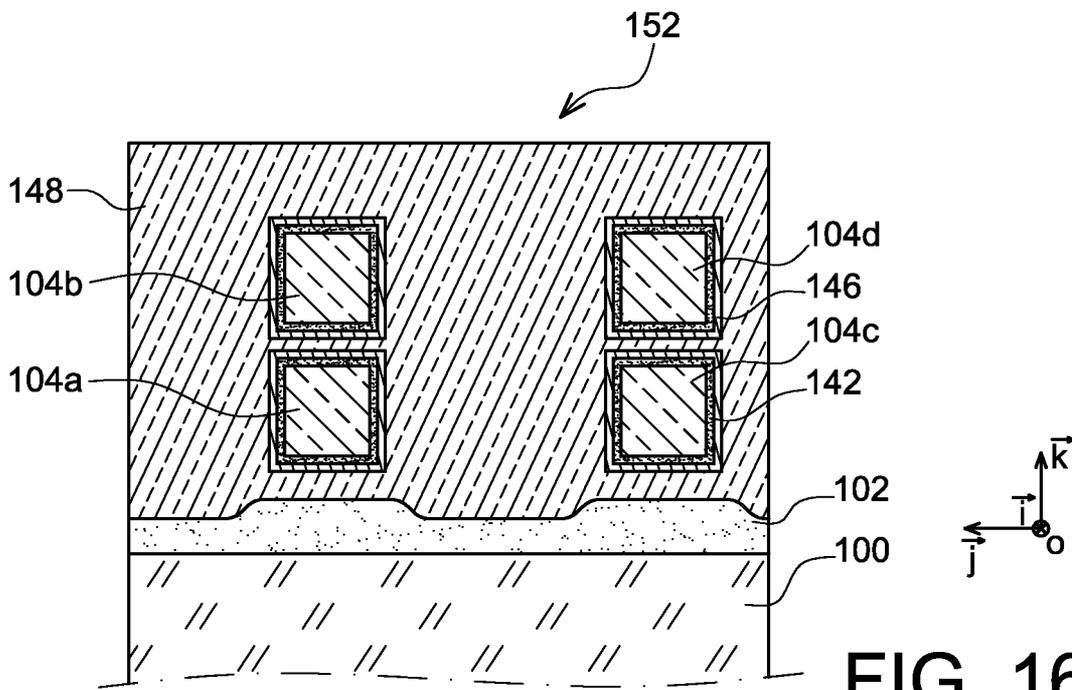


FIG. 16B

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/070255

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L21/336 H01L29/786		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2005/010994 A (INTEL CORP [US]) 3 February 2005 (2005-02-03) page 27, paragraph 55 - page 32, paragraph 65 figures 8A-8G	1-25
X	US 2004/092060 A1 (GAMBINO JEFFREY P [US] ET AL) 13 May 2004 (2004-05-13) page 3, paragraph 45 page 4, paragraphs 49,52 figure 11b	1-4, 6-12,17, 21-25
A	----- -/--	5,13-16, 18-20
<input checked="" type="checkbox"/>	Further documents are listed in the continuation of Box C.	<input checked="" type="checkbox"/>
<input checked="" type="checkbox"/>	See patent family annex.	
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family	
Date of the actual completion of the international search <p align="center">5 April 2007</p>		Date of mailing of the international search report <p align="center">16/04/2007</p>
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer <p align="center">Ekoué, Adamah</p>

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/070255

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/285186 A1 (FUJIWARA MAKOTO [JP]) 29 December 2005 (2005-12-29) page 3, paragraph 52 figures 2,7-12	1-7
A	-----	8-25
A	US 2004/063286 A1 (KIM SUNG-MIN [KR] ET AL) 1 April 2004 (2004-04-01) cited in the application figures 4C,4D,7M	1-25
A	----- US 2004/262690 A1 (CORONEL PHILIPPE [FR] ET AL) 30 December 2004 (2004-12-30) page 2, paragraph 29 page 3, paragraph 42 figures 4A,8A -----	1-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2006/070255

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2005010994 A	03-02-2005	AU 2003301042 A1	14-02-2005
		CN 1577850 A	09-02-2005
		EP 1639649 A1	29-03-2006
		TW 241718 B	11-10-2005
		US 2006172497 A1	03-08-2006
US 2004092060 A1	13-05-2004	US 2003057486 A1	27-03-2003
US 2005285186 A1	29-12-2005	JP 2006013303 A	12-01-2006
US 2004063286 A1	01-04-2004	CN 1487599 A	07-04-2004
		DE 10339920 A1	22-04-2004
		FR 2845203 A1	02-04-2004
		GB 2395603 A	26-05-2004
		JP 2004128508 A	22-04-2004
		KR 20040029582 A	08-04-2004
		TW 251343 B	11-03-2006
US 2004262690 A1	30-12-2004	FR 2853454 A1	08-10-2004

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2006/070255

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/336 H01L29/786		
Selon la classification Internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche Internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2005/010994 A (INTEL CORP [US]) 3 février 2005 (2005-02-03) page 27, alinéa 55 - page 32, alinéa 65 figures 8A-8G	1-25
X	US 2004/092060 A1 (GAMBINO JEFFREY P [US] ET AL) 13 mai 2004 (2004-05-13) page 3, alinéa 45 page 4, alinéas 49,52 figure 11b	1-4, 6-12,17, 21-25
A	----- -/--	5,13-16, 18-20
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
A document définissant l'état général de la technique, non considéré comme particulièrement pertinent *E* document antérieur, mais publié à la date de dépôt international ou après cette date *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		*T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier *&* document qui fait partie de la même famille de brevets
Date à laquelle la recherche internationale a été effectivement achevée 5 avril 2007		Date d'expédition du présent rapport de recherche internationale 16/04/2007
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Ekoué, Adamah

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2006/070255

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 2005/285186 A1 (FUJIWARA MAKOTO [JP]) 29 décembre 2005 (2005-12-29) page 3, alinéa 52 figures 2,7-12	1-7
A	-----	8-25
A	US 2004/063286 A1 (KIM SUNG-MIN [KR] ET AL) 1 avril 2004 (2004-04-01) cité dans la demande figures 4C,4D,7M	1-25
A	US 2004/262690 A1 (CORONEL PHILIPPE [FR] ET AL) 30 décembre 2004 (2004-12-30) page 2, alinéa 29 page 3, alinéa 42 figures 4A,8A	1-25

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2006/070255

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 2005010994 A	03-02-2005	AU 2003301042 A1	14-02-2005
		CN 1577850 A	09-02-2005
		EP 1639649 A1	29-03-2006
		TW 241718 B	11-10-2005
		US 2006172497 A1	03-08-2006
US 2004092060 A1	13-05-2004	US 2003057486 A1	27-03-2003
US 2005285186 A1	29-12-2005	JP 2006013303 A	12-01-2006
US 2004063286 A1	01-04-2004	CN 1487599 A	07-04-2004
		DE 10339920 A1	22-04-2004
		FR 2845203 A1	02-04-2004
		GB 2395603 A	26-05-2004
		JP 2004128508 A	22-04-2004
		KR 20040029582 A	08-04-2004
		TW 251343 B	11-03-2006
US 2004262690 A1	30-12-2004	FR 2853454 A1	08-10-2004