

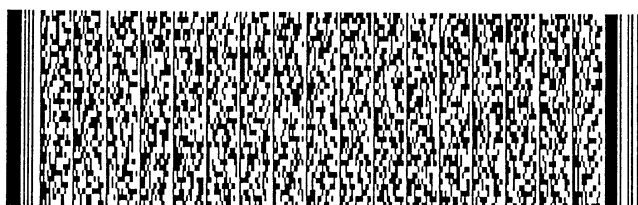
申請日期： 公告本 88.02.09	案號：88101964	修正 本
類別： C23C 16/00, H01L 21/00	年 月 日 修正 89.12.20 補充	

(以上各欄由本局填註)

發明專利說明書

482826

一、 發明名稱	中文	金屬導體之超薄單相擴散阻擋層
	英文	ULTRA THIN, SINGLE PHASE, DIFFUSION BARRIER FOR METAL CONDUCTORS
二、 發明人	姓名 (中文)	1. 史提芬 A. 柯漢 2. 費登 R. 麥菲利 3. 塞迪特 I. 諾亞 4. 肯尼斯 P. 羅德貝爾
	姓名 (英文)	1. STEPHAN A. COHEN 2. FENTON R. MCFEELY 3. CEVDET I. NOYAN 4. KENNETH P. RODBELL
	國籍	1. 美國 2. 美國 3. 土耳其 4. 美國
	住、居所	1. 美國紐約州瓦皮格佛爾市撒布拉巷2號 2. 美國紐約州歐士尼市唐納德巷25號 3. 美國紐約州約克唐海茲市翠羅街2485號 4. 美國紐約州派夫奎格市李歐巷3號
三、 申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 費羅普
	代表人 姓名 (英文)	1. MARSHALL C. PHELPS, JR.



申請日期：	案號：88101964
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 約翰 J. 尤卡斯 6. 羅伯 羅塞伯格
	姓 名 (英文)	5. JOHN J. YURKAS 6. ROBERT ROSENBERG
	國 籍	5. 美國 6. 美國
	住、居所	5. 美國康乃迪克州史坦福特市海格街94號 6. 美國紐約州西皮克基爾市湖景街67號
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	

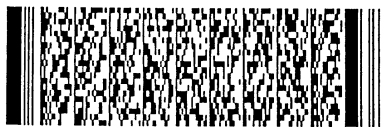


本案已向

國(地區)申請專利	申請日期	案號	主張優先權
美國 US	1998/04/30	09/070,394	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五 發明說明 (1)

相關申請案

本案係關美國專利申請案第08/739,765號，申請日1996年10月30日及第09/021,262號，申請日1998年2月10日，二案同屬本案受讓人擁有。

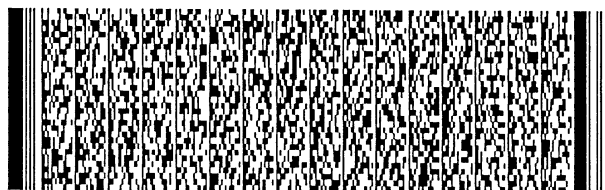
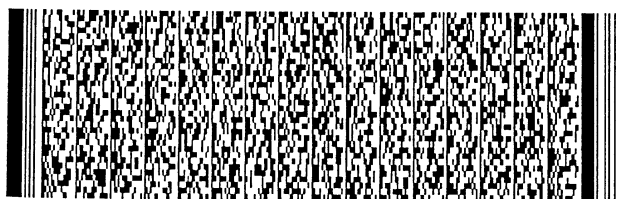
發明領域

本發明係關於互連半導體結構，特別係關於 α 相W阻擋層，其係使用低溫/低壓化學蒸氣沈積技術形成於此種互連結構之壕溝或通孔，其中使用鎢六羰基 $W(CO)_6$ 作為前驅物或來源材料。本發明之 α 相W阻擋層為超薄（小於15毫微米），大致不可透過導電材料，對互連結構之介電材料及導電材料具有良好黏著性，及其服貼連續地覆蓋高縱橫比壕溝（大於3：1深度/寬度）。因此本發明之 α 相W阻擋層可用於多種需要此種阻擋層之互連結構。包括但非限於：鑲嵌結構，記憶體儲存格電容器及全部其它布線應用用於邏輯、記憶體及輸入/輸出用途。本發明之阻擋層也可用於多晶矽與金屬化層亦即導電層間之閘極堆疊應用。

發明背景

為了製造用於半導體器件業界之高性能互連結構，需要埋置導電材料如銅於其中形成有壕溝或通孔之介電材料。有機及無機介電材料為已知且目前用於此等用途。有機介電物實例包括：聚醯亞胺類，對炔聚合物，矽聚合物，亦即聚矽氧烷類，鑽石，仿鑽石碳等；而 SiO_2 ， Si_3N_4 ，矽氧化物/氮化物混合物或交替氧化物/氮化物成為已知之無機介電物。

雖然目前銅由本案受讓人開發用於半導體製造，但銅有



五、發明說明 (2)

多種非期望的性質。一種高度非期望的性質為銅通常於隨後製程步驟期間遭遇的中等升高溫度時擴散通過介電材料。銅之向外擴散對正在製造的互連結構有多種有害影響。例如銅之向外擴散造成導線短路，或劣化MOS器件性能。

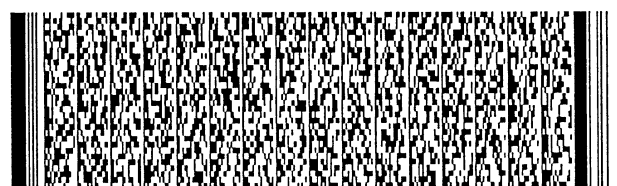
為了克服此種銅具有的向外擴散問題，通常介於銅與介電材料間形成一層阻擋層。先前例中，用於形成阻擋層之材料未曾與介電材料相容，亦即其無法良好黏著於介電材料。如此需要額外黏著層俾便達到阻擋層材料與介電物之滿意的黏合。

典型先前技術之互連結構含有介電物、額外黏著層、阻擋層及銅顯示於圖1。特別此種圖1所示之先前技術互連結構包含介電物10其中成形有至少一壕溝或通孔，黏著層12，阻擋層14及銅區16。壕溝或通孔係使用標準微影術圖樣化技術於介電物10表面形成，該技術為業界人士眾所周知。須強調雖然圖1顯示多層為服貼層，但實際上各層非服貼，原因為用於形成多層之先前技術處理技術無法提供服貼的壕溝覆蓋。

如前述，當阻擋層14與介電物10不相容時，才需要黏著層。適當黏著層材料包括：鈦，鉻及其它類似材料。黏著層係使用標準沈積技術如濺散形成。銅區係使用鍍敷、化學蒸氣沈積、電漿蒸氣沈積等業界眾所周知之技術形成。

圖1先前技術結構之阻擋層典型係由金屬如鈹組成。先前技術阻擋層可使用濺散或其它已知之沈積技術形成。

雖然廣泛多種材料可用作阻擋層14，但先前技術阻擋層



五、發明說明 (3)

無法滿足今日視為製造互連結構需要的全部下列要求。

(1) 阻擋層於進一步處理時裝置將遭遇之條件下以及於工作條件下必須不可滲透銅；

(2) 阻擋層需對包含互連結構之介電物具有良好黏著性；如此免除額外黏著層的需求；

(3) 阻擋層之形成方式需可服貼且連續地覆蓋高縱橫比壕溝。「高縱橫比」一詞表示其中深度對寬度比大於3:1之壕溝；

(4) 阻擋層需儘可能薄，因此可使壕溝之可以銅布線填補的截面積部份增至最大，如此使導線之導電係數增至最高；

(5) 阻擋層於整鉤結構需具有均勻厚度，亦即互連壕溝之覆蓋需為服貼。阻擋層故障可由結構最薄區決定，厚度不均勻必然浪費壕溝的截面積；

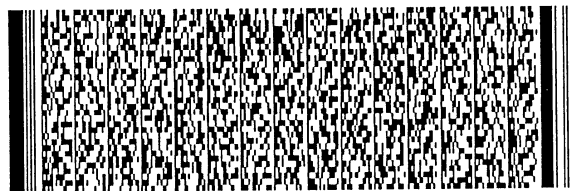
(6) 阻擋層需由具有最低可能之電阻率之材料製備，如此輔助使總導線之電阻率降至最低；及

(7) 阻擋層具有氧化抗性，如此有助於以最少的前處理步驟或製程使用銅填補殘餘壕溝容積。

雖然先前技術阻擋層可滿足前述一種或多種標準，但先前技術方法提供之阻擋層並無任一種已知可滿足全部要求。如此需要開發一種新阻擋層其可滿足前述各種及每一種標準。此等阻擋層用於銅或其它導電金屬之全部半導體互連用途上極為有用。

發明概述

本發明之目的系提供一種可用於互連壕溝或通孔結構且



五、發明說明 (4)

可滿足前述1-7項列舉標準之阻擋層。

本發明提供之特定目的為其提供一種阻擋層其可與介電材料及導電材料相容亦即黏著，因而免除互連結構之額外黏著層的需求。

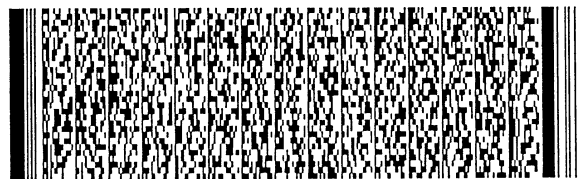
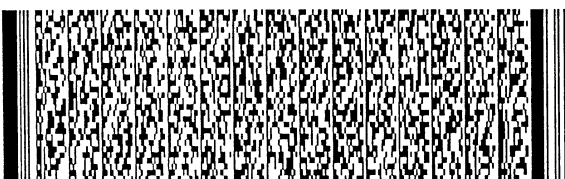
本發明滿足之第二特定目的為其提供一種阻擋層其為超薄(小於15毫微米)且可服貼覆蓋高縱橫比壕溝或通孔。

此等及其它方面及優點於本發明利用 α 鎢作為阻擋層可達成，其中 α 鎢係藉低溫/低壓化學蒸氣沈積(CVD)方法使用鎢六羰基 $W(CO)_6$ 作為前驅物亦即來源材料形成。特別本發明之阻擋層包含 α 相 W ，其為單相材料且係由 $W(CO)_6$ 利用低溫/低壓CVD方法形成。利用本發明方法不會形成其它相例如 β - W 。

本發明之另一方面係有關一種於先前形成於介電材料的壕溝或通孔側壁及底部形成 α 鎢阻擋層之方法。特別，本發明形成之 α 鎢阻擋層係經由沈積厚度小於15微米之 α 鎢服貼層於先前形成於介電材料之壕溝或通孔區的側壁或底部上形成，其中該沈積係藉化學蒸氣沈積(CVD)，使用 $W(CO)_6$ 作為來源材料進行。

本發明之又另一方面係有關一種結構包含至少一層半導體如多晶矽或介電材料層，於半導體或介電材料部份上具有一層 α 鎢層；及導電材料形成於 α 鎢層上。 α 鎢係根據前述方法於形成 α 鎢阻擋層時形成於材料上。

本發明之又另一方面係有關互連結構，其含有本發明之 α 鎢阻擋層於壕溝或通孔結構內部。特別本發明之互連結構包含一或多層介電材料其中含有至少一壕溝或通孔；一



五、發明說明 (5)

α 鎢阻擋層覆蓋該至少一壕溝或通孔區之側壁及底部，其中該 α 鎢阻擋層為連續單相材料，具有厚度小於15毫微米；及導電材料形成於至少一壕溝或通孔區之 α 鎢阻擋層上方。通孔也可於個別介電物形成，由壕溝底部伸展至下方之互連布線壕溝。

本發明涵蓋之適當互連結構包括但非限於：記憶體儲存格電容器，包括板電容器，冠電容器，堆疊電容器及其它類似電容器；鑲嵌結構包括雙重及單一者；多重布線階含有多個通孔及金屬線；及其它類似的互連結構。

圖式之簡單說明

圖1為先前技術互連結構之剖面圖。

圖2為本發明之壕溝電容器結構之剖面圖，其含有 α 鎢作為阻擋層。

圖3為本發明之雙重鑲嵌結構之剖面圖，其含有 α 鎢作為阻擋層。

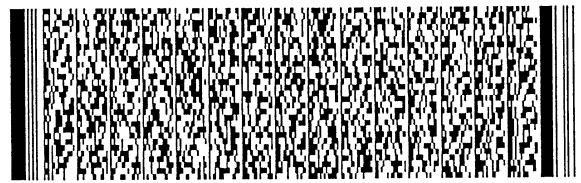
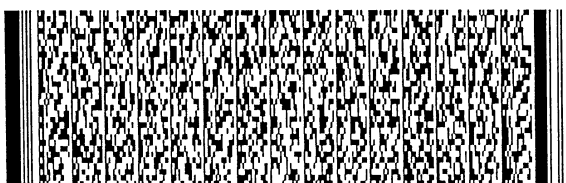
圖4為CVD裝置之示意圖，其係用於本發明沈積 α 鎢阻擋層。

圖5為二氧化矽/矽基材之三角形電壓掃拂線圖(電容相對於電壓)且含有根據本發明形成之 α 鎢阻擋層。

圖6(a)及(b)為(a)根據本發明製備之 α 鎢及(b)濺散W其含有 α 相W及 β 相W之X光晶相學資料。

發明之詳細說明

以下將參照附圖說明本發明之細節，其係針對包含 α 鎢之阻擋層。須注意附圖中，類似之元件及組件係以相同或對應之參考編號標示。進一步須強調雖然本發明係示例說



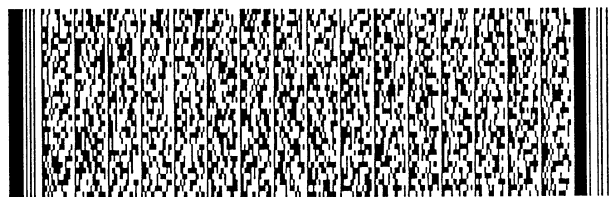
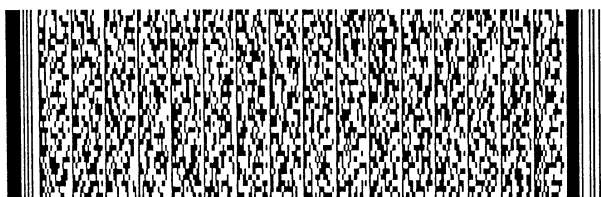
五、發明說明 (6)

明板電容器及雙重鑲嵌互連結構，但本發明可用於其它用途，其中導電材料如銅係用作電極或布線裝置。本案之 α 鎢阻擋層之另一種可能用途係用於閘極堆疊，其中 α 鎢係使用本發明方法介於多晶矽與外金屬化層間形成。

參照附圖之進一步細節，特別參照圖2及3，其中顯示兩型互連結構可含有本發明之阻擋層，亦即藉CVD使用 $W(CO)_6$ 作為來源材料形成的連續 α 鎢層。圖2表示平行板電容器，而圖3為雙重鑲嵌互連結構。須強調雖然本發明僅以前述兩種結構舉例說明但絕非圍限於此。反而本發明之 α 鎢阻擋層可用於任一種用途，其中導電金屬如銅填補介電材料之壕溝或通孔內部。也須強調本發明之附圖僅顯示說明本發明所需之各層及各種材料；其它業界人士已知之各層及材料意圖也涵蓋於本發明之範圍。

特別，圖2示例說明一平行板電容器，其包含半導體基材20，表面有一開口亦即壕溝或通孔之介電物22，根據本發明製備之 α 鎢阻擋層24，選擇性金屬種晶層26，導電材料28， α 鎢阻擋層25，介電物30及電極32。圖2電容器結構也包括阻擋層36，其可由 α 鎢或其它材料如氮化矽組成，阻擋層防止導電材料28與介電物22接觸。當使用 α 鎢作為阻擋層36時，可使用本發明方法。當使用其它阻擋層材料時，採用習知沈積技術用於形成阻擋層36。

此種電容器結構係利用業界人士眾所周知之習知製程步驟進行，但 α 鎢阻擋層24及25之沈積除外，其係利用後述低溫/低壓CVD方法形成。須注意阻擋層36也可利用本發明方法形成。因全部其它製程步驟皆為業界人士已知，故於



五、發明說明 (7)

此處未做詳細說明。

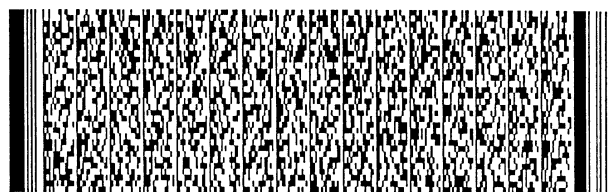
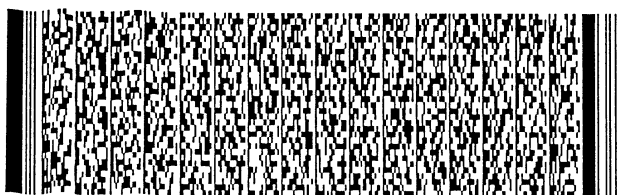
半導體基材20含有適當擴散區及隔離區來形成埋置於半導體基材20之電子器件。為求清晰起見，此等區及其它區未顯示於本發明之各圖。任何適當半導體性之材料皆可用於本發明作為半導體基材20。此等材料包括但非限於矽(Si)，Ge，SiGe，GaAs，InAs，InP及所有其它III/V化合物。此等半導體材料中，高度較佳半導體基材20係由Si或SiGe組成。

本發明使用之半導體基材依據製造之電子器件類型而定可屬於p型或n型。

含有壕溝區形成於表面之介電物22包括任何絕緣材料包括無機材料及有機材料。可用於本發明之適當介電物包括但非限於： SiO_2 ， Si_3N_4 ，聚醯亞胺類，鑽石，仿鑽石碳，矽聚合物，對炔聚合物及氟化仿鑽石碳。此等介電物可經攪雜或未經攪雜。當攪雜時攪雜劑可為硼，氟，磷，矽，鍍或其它攪雜材料。

介電物22可含有字線、位元線及其它典型存在於圖2舉例說明之該型電容器結構之組件。為求清晰起見，此等組件未顯示於本發明之附圖。可參考同在審查中且讓與相同受讓人之美國專利申請案第08/636,457號，申請日1996年4月23日，申請人Andricacos等及第08/886,459號，申請日1997年5月30日，申請人Grill等，二案皆並述於此以供參考，提供電容器結構以及其製造方法之細節說明。

如前述用於形成圖2所示結構之多種製程步驟為已知。例如該結構係使用習知技術製造其包括：例如藉CVD，旋



五、發明說明 (8)

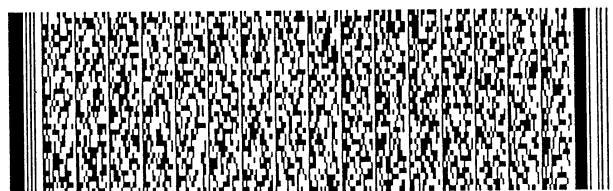
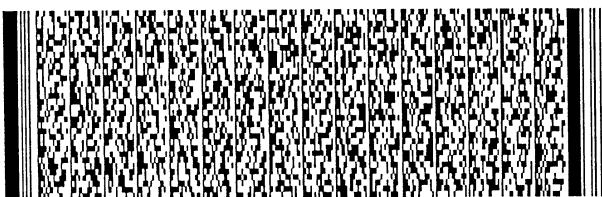
塗及電漿蒸氣沈積形成介電物22於半導體基材20上，及然後利用業界人士眾所周知之標準微影術技術形成壕溝於介電物22。

其次 α 鎢阻擋層24利用本發明方法形成於結構之壕溝，容後詳述。

圖2結構也包括一選擇性金屬種晶層26。金屬種晶層及其形成方法實例可參考同在審查中且同樣讓與之代理人檔案編號Y0996-262，申請日1998年4月27日，申請人Edelstein等，其內容併述於此以供參考。可用於本發明之金屬種晶層包括但非限於：銅及鋁。種晶層當存在時係藉習知手段包括濺散、CVD及鍍敷形成。

除選擇性種晶層26外，由導電材料如銅、鋁或銅或鋁合金形成之導電區28經形成而使導電區28至少填補壕溝區內側。導電區28之較佳材料為銅。參考同在審查中且同樣讓與之美國專利申請案第08/768,107號，申請日1996年12月16日，申請人Andricacos等，其內容併述於此以供參考，說明於壕溝區形成導電材料之多種手段。圖2中，導電區28延伸出壕溝外側，導電區被圖樣化為預定形狀。本發明也涵括一平面化導電區其未伸展至壕溝外側。可由或未由 α 鎢製成之阻擋層36，可防止導電區28接觸介電物22。

圖2結構進一步包括一 α 鎢阻擋層25使用本發明方法形成於導電區28上，介電物30利用習知沈積技術如CVD形成於阻擋層25上。適當介電物30材料包括但非限於： Si_3N_4 ，氧氮化物，金屬氧化物如 Ta_2O_5 及 TiO_2 ， $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 及 $(\text{Pb}, \text{La}, \text{Zr})\text{TiO}_3$ (PLZT)。圖2所示板電容器之最末組



五、發明說明 (9)

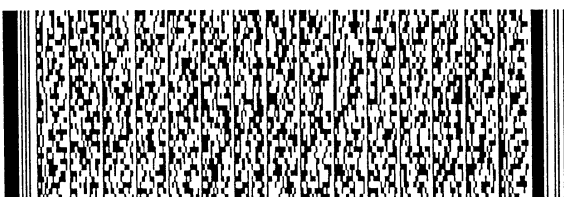
件為電極32，電極係利用習知沈積技術包括鍍敷形成。用於形成電極32之材料包括但非限於鎢，銅，鋁，鈦，多晶矽及鉑。

於解決圖2如何形成 α 鎢阻擋層24及25前，先注意圖3所示互連結構。特別，圖3示例說明雙重鑲嵌結構，其包含一下部互連階層40及一上部互連階層42。各階包括一通孔區及一金屬區。通孔區與金屬區之差別在於其比金屬區開口更窄。下部互連階層40包括介電物22，其中有一開口或壕溝係以 α 鎢阻擋層24、選擇性金屬種晶層26及導電區28填補。於下部互連階層40頂部為一上部互連階層42，其包括介電物44具有壕溝區暴露經填補的下部互連階層40之壕溝。上部互連階層42之壕溝區係以 α 鎢阻擋層24，選擇性種晶層26及導電材料28填補。介於各互連階之間形成阻擋層36。當 α 鎢用作阻擋層36時係採用本發明方法。另外當使用 α 鎢以外之其它阻擋層材料時係採用習知沈積技術形成阻擋層。

如同圖2所示之電容器結構案例，圖3所示鑲嵌結構係使用業界已知之標準鑲嵌製程步驟進行，但 α 鎢阻擋層係利用本發明方法於壕溝側壁及底部形成，容後詳述。

多種圖3示例說明之元件係同圖2所示，如此前文說明係有關此處應用於本圖之該等元件。唯一先前未曾說明之元件為介電物44，其可由介電物22之相同或相異材料製成。

圖2及3形成 α 鎢阻擋層及其它互連結構，其中含有壕溝或通孔區及導電區將詳細說明如後。也參考美國專利申請案第08/739,765號，申請日1996年10月30日及第



五、發明說明 (10)

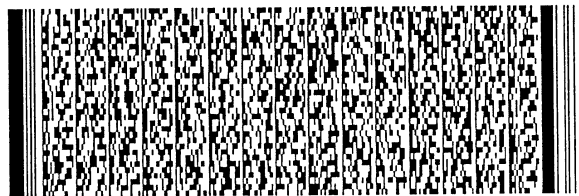
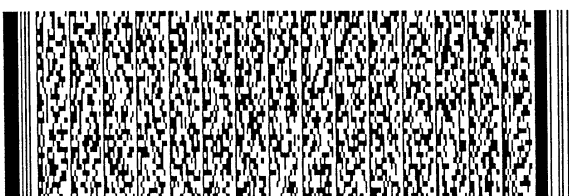
09/021,262 號，申請日1998年2月10日，其內容併述於此以供參考，揭示藉CVD使用 $W(CO)_6$ 作為來源材料沈積形成的鎢阻極材料。

特別 α 鎢阻擋層如層24係形成於介電物22及/或44之壕溝內側因而提供一服貼層，其係於如下定義之溫度及壓力條件下採用CVD使用 $W(CO)_6$ 作為來源材料連續覆蓋壕溝側壁及底部形成，使用之條件足夠於介電物22或44之壕溝內側形成 α 鎢阻擋層24。須強調該等條件也可用於形成圖2所示之 α 鎢阻擋層25，但阻擋層25係成形於導電區28上方。

現在參照圖4，其顯示可用於本發明形成 α 鎢阻擋層之CVD裝置。特別此種CVD裝置包括載荷閘室不鏽鋼埠口50，其包含一石墨樣本夾持卡匣(未顯示於圖4)，其中設置含開放壕溝或通孔之互連結構。CVD裝置進一步包括一艙室52其含有加熱器(圖中未顯示)用於沈積期間加熱樣本，及超高真空泵54其用於沈積前控制基本壓力，及一第二超高真空泵56用於沈積期間控制反應器壓力。

來源材料58鎢六羰基 $W(CO)_6$ 由槽64透過不鏽鋼閥60引進艙室52內部，且被導向開放的壕溝互連結構，其係含於CVD裝置內部。

圖4所示CVD裝置之特定操作包含首先設置互連結構於埠口50內部，其中系統之基本壓力利用超高真空泵54下降至預定程度。於達到預定基本壓力後，管62用於將互連結構推入艙室52內部，其中真空泵56及加熱器用於控制沈積條件。來自槽64之來源材料58前進經由閥60進入艙室52內部



五、發明說明 (11)

且用於沈積過程。

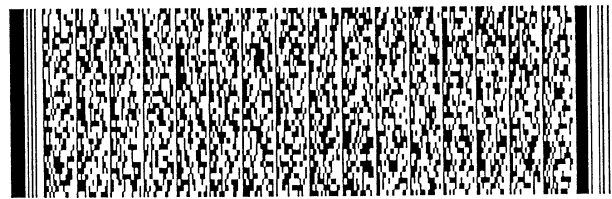
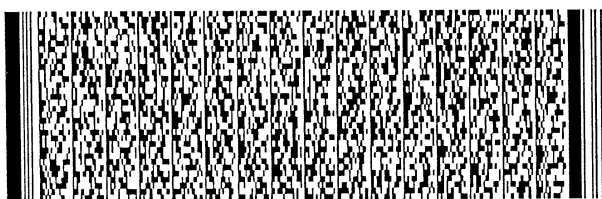
任何等級之 $W(CO)_6$ 皆可用於本發明用於形成 α 鎢阻擋層。若使用低純度級 $W(CO)_6$ ，則於引進艙室52之前可使用業界人士眾所周知之純化技術純化。

進行沈積步驟前，反應器基本壓力被抽真空至約 1×10^{-8} 托耳或低於 1×10^{-8} 托耳壓力。此種基本壓力為本發明所需俾便於沈積前去除任何可能存在於來源材料或系統的污染物例如氧氣。存在有此種污染物可能妨礙純 α 鎢的形成。

$W(CO)_6$ 之CVD係於約 $250^\circ C$ 至約 $600^\circ C$ 之溫度進行。較佳鎢之CVD沈積係於約 $275^\circ C$ 至約 $500^\circ C$ 之溫度進行。為了獲得最佳導電性，當於低於 $450^\circ C$ 之沈積溫度操作時需要添加氫氣至鎢來源材料。沈積過程中反應器壓力為 1×10^{-6} 至約 3×10^{-3} 托耳。更特別 $W(CO)_6$ 之沈積係於約 1×10^{-4} 至約 2×10^{-3} 托耳壓力進行。

CVD方法進行約3分鐘至約4小時時間。但也包括比前述規定更長或更短的沈積時間。

須注意此等條件足夠於互連結構之壕溝內部形成 α 相 W 阻擋層24。相同條件也可於導電區28上方形成 α 相阻擋層25，如圖2所示。「 α 相」一詞用於此處表示鎢，其特徵為具有體心立方(bcc)結構，亦即晶體結構其中鎢原子係位在一立方陣列之各角隅及一鎢原子係位在該立方陣列中央。進一步須強調CVD條件足夠形成具有單相之鎢。此點對互連結構具有關鍵重要性，原因為多相可能引起阻擋層之曲線形成，結果導致阻擋層失敗無法防止銅之向外擴散。可能發生於當加熱時，熱力學方面較不穩定之相(β



五、發明說明 (12)

鎢)轉變成較為穩定之相(α 鎢)伴以比容改變。此種容積變化導致沿銅之行經路徑材料之顯微裂縫。此種阻擋層故障最終導致器件劣化或器件故障。

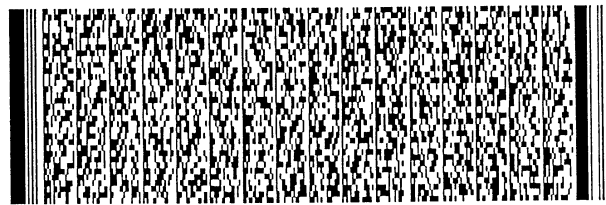
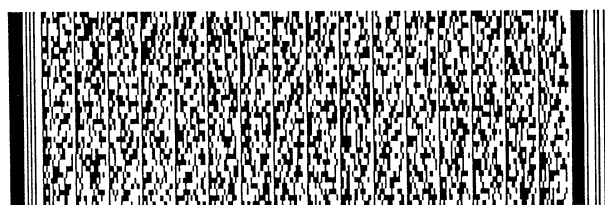
也須注意於前述條件下，包含 α 鎢且具有厚度小於15毫微米之服貼連續阻擋層提供於壕溝內部。特別前述條件足夠形成厚度不大於7.0毫微米之 α 鎢阻擋層。只要可藉沈積方法形成連續膜，則較低或較高厚度亦屬可能。於特定平坦面上，CVD沈積 α 鎢之典型器件維度之平均厚度變化不超過5%。

進一步須注意本發明之 α 鎢阻擋層可滿足全部7種本案背景乙節所述之標準。因此 α 鎢阻擋層提供例如不可透過銅擴散，良好黏著性及服貼連續地覆蓋高縱橫比壕溝等性質，此等性質乃先前技術阻擋層所無法滿足者。

也須注意使用CVD或濺散技術沈積鎢為業界眾所周知，一般可應用於封裝用途作為布線裝置。先前CVD應用中，六氟化鎢 WF_6 典型用作來源材料而非使用 $W(CO)_6$ 。極少注意使用鎢羰基作為布線用途，原因為需要相對高溫才能生產合理純鎢膜。

使用 WF_6 CVD化學形成鎢層先前揭示於先前技術。但此種方法基本上與本發明有別，在於 WF_6 無法用於將鎢直接沈積於介電材料上。反而首先必須於化學活化步驟沈積厚矽層於介電材料上，然後反應去除矽(形成 SiF_4)留下鎢取而代之。

此外，業已決定即使相當厚的氧化物膜(250毫微米)暴露於 WF_6 也毫無例外地造成器件完全故障，亦即氧化物變



五、發明說明 (13)

成太容易漏電流。其它CVD以外的技術也曾使用，例如濺散物，但先前技術方法皆無法將 α 鎢直接沈積於介電材料上而達到本發明之目的。

下列實例係供舉例說明本發明之範圍。因此例僅供舉例說明之用，故此處具體實施之本發明絕非囿限於此例。

實例

進行一系列實驗俾便驗證本發明之 α 鎢阻擋層的用途。

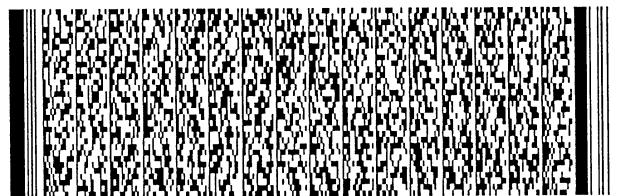
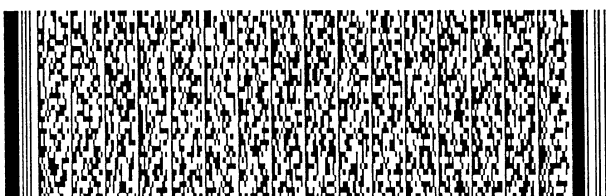
I. 不透性之驗證

一基材包含厚300毫微米之銅平面層形成於矽表面上，基材根據前述CVD製程條件暴露於 $W(CO)_6$ 。特別鎢沈積係於CVD裝置於約450℃溫度及約 5×10^{-4} 托耳沈積壓力進行。沈積於此等條件進行約8分鐘時間，該時間足夠形成厚度約7毫微米之連續 α 鎢阻擋層。

所得結構藉X光光電發射光譜術(XPS)分析確定表面不存在有銅。此種表面不含銅之樣本隨後於真空於500℃退火70小時。試驗條件比正常製程條件(於450℃，3小時)更為嚴苛，此種條件典型於先前技術阻擋層即可能誘發故障。退火後樣本再度藉XPS分析是否任何銅經由 α 鎢阻擋層擴散出，但無任何發現。

另一實驗中， α 鎢藉CVD沈積於二氧化矽層上，該層係事先使用前述相同條件形成於矽基材上。隨後，鋁及銅點沈積於CVD α 鎢層頂上，接著用作金屬阻罩同時金屬阻罩間之鎢被研磨去除。

然後研磨後的樣本接受偏壓溫度施加應力(BTS)，BTS係於300℃溫度及2 MV/cm壓力進行5小時。此等條件通常足



五、發明說明 (14)

夠將銅推入二氧化矽介電層內部。隨後樣本藉由於預定電壓改變電壓及測量電容接受三角形電壓掃拂(TVS)。圖5顯示TVS實驗結果。特別圖5顯示樣本存在有2峰。2峰測得為原先存在於樣本之鈉峰。未見鋁或銅峰，顯然於銅典型存在之負電壓範圍未見任何峰。如此TVS資料顯示存在有本發明之 α 鎢阻擋層可防止銅擴散入二氧化矽介電層。

前述二實驗結果驗證CVD沈積 α 鎢乃一種強而有力之擴散阻擋層。

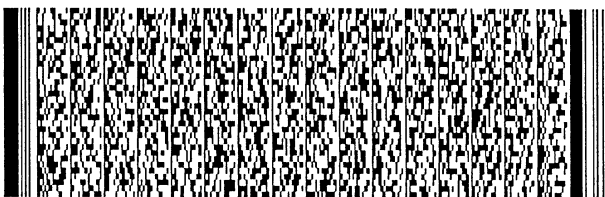
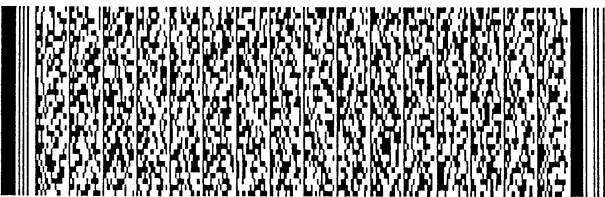
II. 黏著之驗證

無數鎢於事先形成於矽基材上之二氧化矽層之樣本係藉前述CVD方法以多種厚度(3-100毫微米)形成，結構包括全面性薄膜及長導線結構。使用業界人士已知之3M膠帶技術試驗黏著性，試驗結果顯示黏著性一層不變地絕佳(藉膠帶試驗)；且於高達750℃溫度老化後仍保持絕佳。

比較研究中，鎢沈積於事先藉濺散形成於矽基材之二氧化矽層上。於如同CVD沈積 α 鎢之相同高溫下老化，含濺散鎢之布線結構離層。

III. 服貼覆蓋之驗證

目前實務中僅需塗布典型寬約0.3微米且具3：1縱橫比之壕溝。為了提供服貼遮蓋之激烈試驗，製造懸吊結構，其具有底寬僅約0.05微米及縱橫比約5：1。由SEM資料可知，藉CVD生長的 α 鎢之服貼性絕佳，故此等結構可以 α 鎢完全填補。如此表示比較單純提供塗層於壁上遠更困難沈積。如此該方法之服貼生長特性遠超過目前實務之服貼需求。

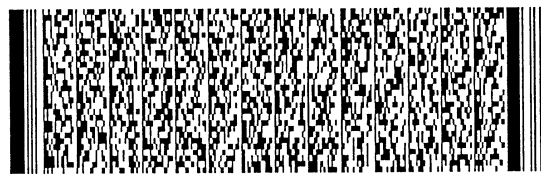


五、發明說明 (15)

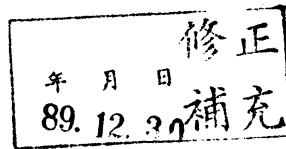
IV. 根據本發明形成之 α 鎢與濺散鎢間之結構差異之驗證

X光晶相學用於特徵化第一樣本其含有50毫微米濺散鎢於事先形成於矽基材上之二氧化矽層上，及第二樣本含有 α 鎢其係使用本發明之低溫/壓CVD方法形成於先前形成於矽基材之二氧化矽層上。首先參考圖6(a)，其顯示CVD沈積鎢之X光資料。特別此圖顯示於 2θ 圖之對稱峰，此乃110 α 鎢之特徵。至於濺散鎢，可參考圖6(b)所示X光資料。特別圖6(b)顯示濺散鎢含有 α 鎢及 β 鎢，顯然該峰為非對稱峰，其含有兩個對稱峰。此資料明白顯示濺散鎢可形成鎢之 α 及 β 相。如前述，存在有二相為獲得阻擋層而希望滿足本案背景乙節陳述之全部7種標準時乃非期望者。

雖然已經就較佳具體例特別顯示及說明本發明，但業界人士顯然易知可未背離本發明之精髓及範圍就形式及細節上做出前述及其它變化。



第 88101964 號專利申請案
中文補充說明書(89 年 12 月)



圖式符號說明：

圖中，

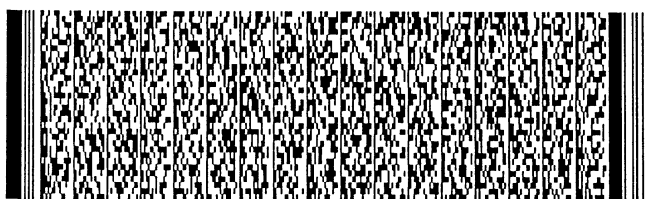
- 10 代表介電物
- 12 代表黏著層；
- 14 代表阻擋層；
- 16 代表銅區；
- 20 代表半導體基材；
- 22 代表介電物；
- 24 代表 α -W 阻擋層；
- 25 代表 α -W 阻擋層；
- 26 代表金屬種晶層；
- 28 代表導電材料；
- 30 代表介電物；
- 32 代表電極；
- 36 代表阻擋層；
- 40 代表下部互連階層；
- 42 代表上部互連階層；
- 44 代表介電物；
- 50 代表載荷閘室不鏽鋼埠口；
- 52 代表一艙室；
- 54 代表一超高真空泵；
- 56 代表第二超高真空泵；
- 58 代表來源材料；
- 60 代表不鏽鋼閥；
- 62 代表管；及
- 64 代表槽。

四、中文發明摘要 (發明之名稱：金屬導體之超薄單相擴散阻擋層)

本發明係針對一種 α 鎢層，其係用於互連結構如壕溝電容器或鑲嵌布線階作為擴散阻擋層。 α 鎢層為單相材料，其係藉低溫/壓化學蒸氣沈積方法使用六羰基鎢 $W(CO)_6$ 作為來源材料加以製備。

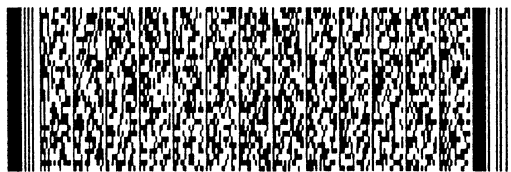
英文發明摘要 (發明之名稱：ULTRA THIN, SINGLE PHASE, DIFFUSION BARRIER FOR METAL CONDUCTORS)

The present invention is directed to an alpha-W layer which is employed in interconnect structures such as trench capacitors or damascene wiring levels as a diffusion barrier layer. The alpha-W layer is a single phased material that is formed by a low temperature/pressure chemical vapor deposition process using tungsten hexacarbonyl, $W(CO)_6$, as the source material.



六、申請專利範圍

1. 一種互連半導體結構，其包含至少一層材料且部份材料上具有一 α -W 層，以及包含於該 α -W 層上所形成之導電材料，其中，該材料係介電材料或半導體材料；該 α -W 層具有小於15毫微米之厚度；且該 α -W 層係藉由化學蒸汽沉積法使用 $W(CO)_6$ 作為來源材料所形成者。
2. 如申請專利範圍第1項之結構，其進一步包含一金屬種晶層，其介於 α 鎢層與導電材料間。
3. 如申請專利範圍第1項之結構，其中該材料為一種選自由聚醯亞胺，對炔聚合物，矽聚合物，鑽石，仿鑽石碳，氟化仿鑽石碳，二氧化矽及四氮化三矽組成之介電材料。
4. 如申請專利範圍第3項之結構，其中該介電材料為二氧化矽。
5. 如申請專利範圍第1項之結構，其中該 α 鎢層為單相層。
6. 如申請專利範圍第1項之結構，其中該 α 鎢層之最小厚度不小於7.0毫微米。
7. 如申請專利範圍第3項之結構，其中該介電材料係經攪雜或未經攪雜。
8. 如申請專利範圍第7項之結構，其中該攪雜劑係選自由氟，硼，矽，鍺及磷組成者。
9. 如申請專利範圍第1項之結構，其中該導電材料係選自由銅，鋁及銅或鋁之合金組成者。
10. 如申請專利範圍第9項之結構，其中該導電材料為



六、申請專利範圍

銅。

11. 如申請專利範圍第2項之結構，其中該選用金屬種晶層大致包含銅或鋁。

12. 如申請專利範圍第1項之結構，其中該半導體材料為多晶矽。

13. 如申請專利範圍第1項之結構，其中該 α 鎢層進一步包含氫。

14. 一種互連半導體結構，其包含至少一介電材料層，且該介電材料層中具有至少一壕溝或通孔區，其中該壕溝或通孔區包括側壁及一底壁；覆蓋該壕溝或通孔區之側壁及底部之 α -W服貼阻擋層；以及於該 α -W層上所形成之導電材料，其中，該 α -W層具有小於15毫微米之厚度；且該 α -W層係藉由化學蒸汽沉積法使用 $W(CO)_6$ 作為來源材料所形成者。

15. 如申請專利範圍第14項之互連結構，其進一步包含一金屬種晶層，其介於 α 鎢阻擋層與導電材料間。

16. 如申請專利範圍第14項之互連結構，其中該介電材料為選自由電容器，鑲嵌結構及多數通孔與布線階所組成之互連結構之一部份。

17. 如申請專利範圍第14項之互連結構，其中該 α 鎢阻擋層為單相材料。

18. 如申請專利範圍第14項之互連結構，其中該 α 鎢阻擋層之最小厚度不小於7.0毫微米。

19. 如申請專利範圍第14項之互連結構，其中該介電材



六、申請專利範圍

料為無機或有機介電材料。

20. 如申請專利範圍第19項之互連結構，其中該介電材料係選自由聚醯亞胺，對炔聚合物，矽聚合物，鑽石，仿鑽石碳，氟化仿鑽石碳，二氧化矽及四氯化三矽之介電材料組成者。

21. 如申請專利範圍第20項之互連結構，其中該介電材料為二氧化矽。

22. 如申請專利範圍第14項之互連結構，其中該介電材料係經攪雜或未經攪雜。

23. 如申請專利範圍第22項之互連結構，其中該攪雜劑係選自由氟，硼，矽，鍺及磷組成者。

24. 如申請專利範圍第14項之互連結構，其中該導電材料係選自由銅，鋁及銅或鋁合金組成者。

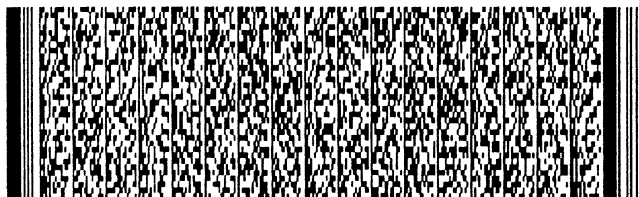
25. 如申請專利範圍第24項之互連結構，其中該導電材料為銅。

26. 如申請專利範圍第15項之互連結構，其中該選用金屬種晶層大致為銅或鋁。

27. 如申請專利範圍第14項之互連結構，其中該 α 鎢阻擋層進一步包括氫。

28. 一種互連結構中之阻擋層，該阻擋層包含一單相 α 鎢層，其中該 α 鎢層之厚度係小於15毫微米，其基本上避免選自由銅，鋁及銅與鋁合金組成者之導電材料向外擴散至近處介電或半導體材料層。

29. 如申請專利範圍第28項之阻擋層，其中該 α 鎢之最



六、申請專利範圍

小厚度不小於7毫微米。

30. 如申請專利範圍第28項之阻擋層，其中該 α 鎢係藉化學蒸氣沈積方法使用 $W(CO)_6$ 作為來源材料形成。

31. 如申請專利範圍第28項之阻擋層，其中該 α 鎢阻擋層進一步包括氫。

32. 一種於互連結構之壕溝或通孔區中形成 α -W阻擋層之方法，其包括：

於該互連結構之該壕溝或通孔區中沉積一 α -W層，其中該沉積包括使用 $W(CO)_6$ 作為來源材料之化學蒸汽沉積(CVD)；該 α -W阻擋層具有小於15毫微米之厚度；且該沉積步驟係於250℃至600℃之溫度與 1×10^{-6} 至 3×10^{-3} 托耳之壓力下進行。

33. 如申請專利範圍第32項之方法，其中該 α 鎢為單相材料。

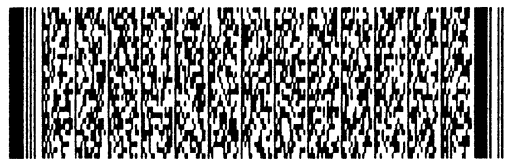
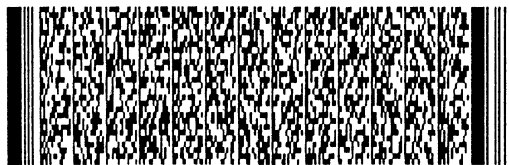
34. 如申請專利範圍第32項之方法，其中該 α 鎢於沈積後具有最小厚度不小於7毫微米。

35. 如申請專利範圍第32項之方法，其中該沈積步驟係於 1×10^{-4} 至 2×10^{-3} 托耳之壓力下進行。

36. 如申請專利範圍第32項之方法，其中該沈積步驟係進行3分鐘至4小時時間。

37. 如申請專利範圍第32項之方法，其中該來源材料進一步包括氫。

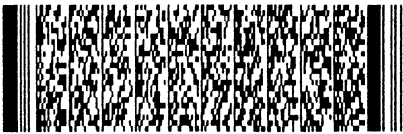
38. 如申請專利範圍第32項之方法，其中於進行沈積步驟前，基本壓力被抽真空至 1×10^{-8} 托耳或以下之壓力。



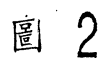
六、申請專利範圍

39. 如申請專利範圍第32項之方法，其中沈積步驟提供平均厚度變化不大於5%。

修正
其
補充



本 告 公



圖式

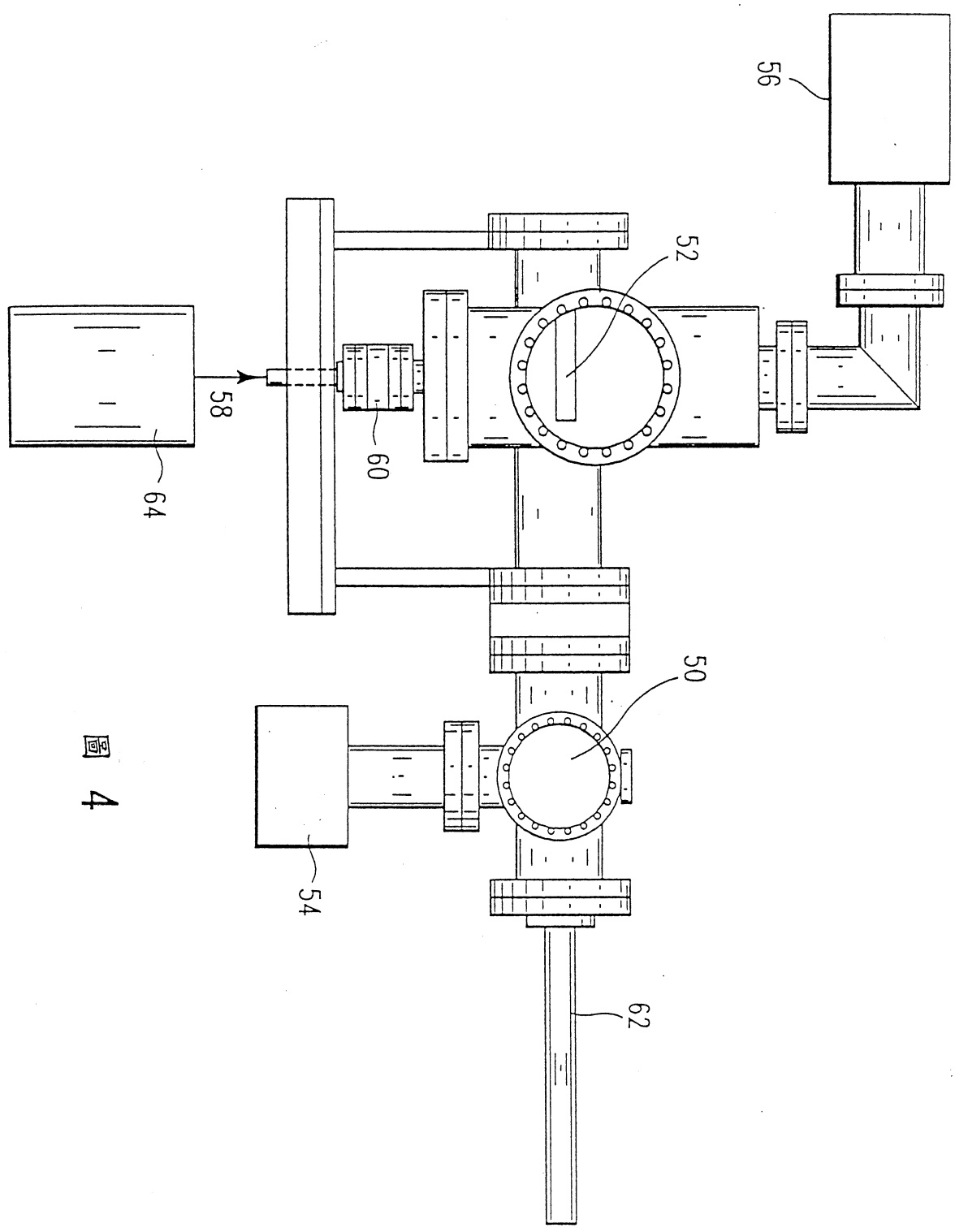


圖 4

圖式

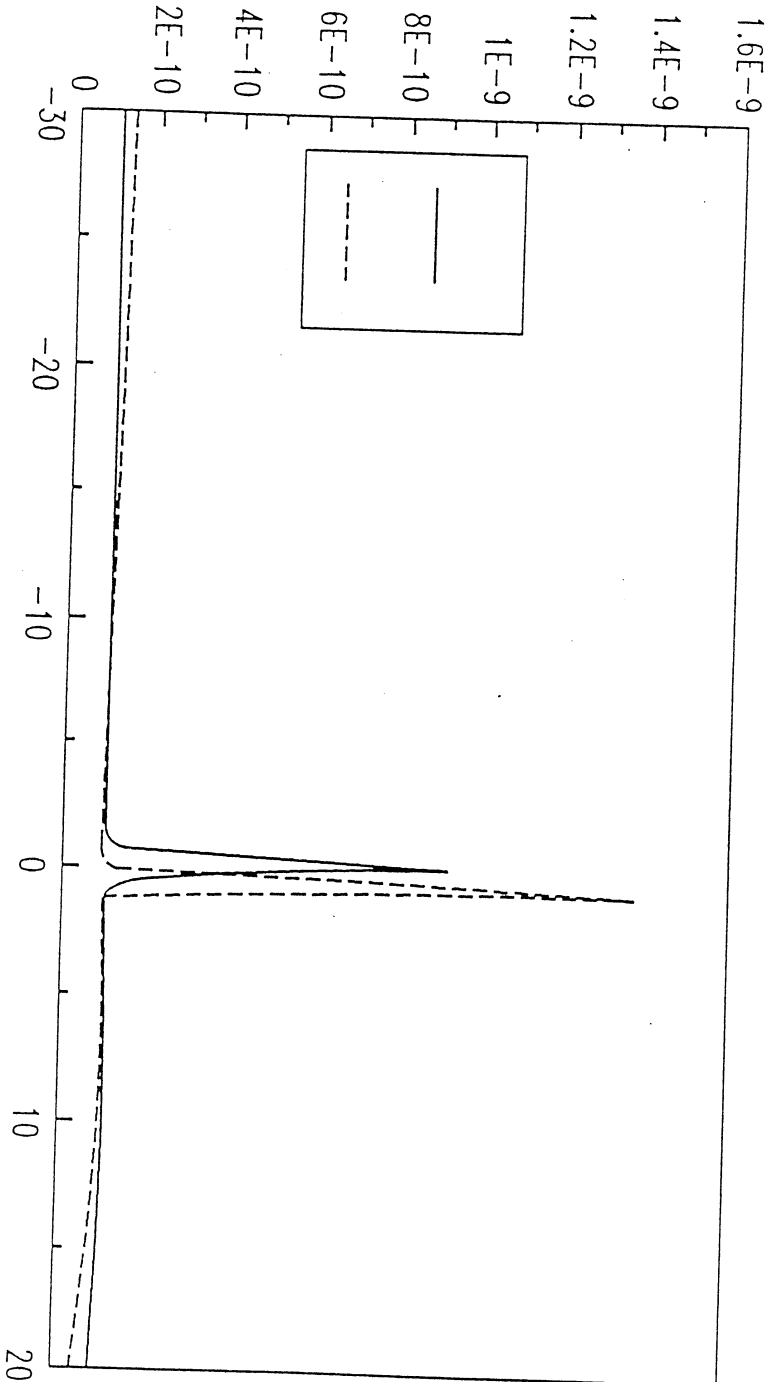


圖 5

圖式

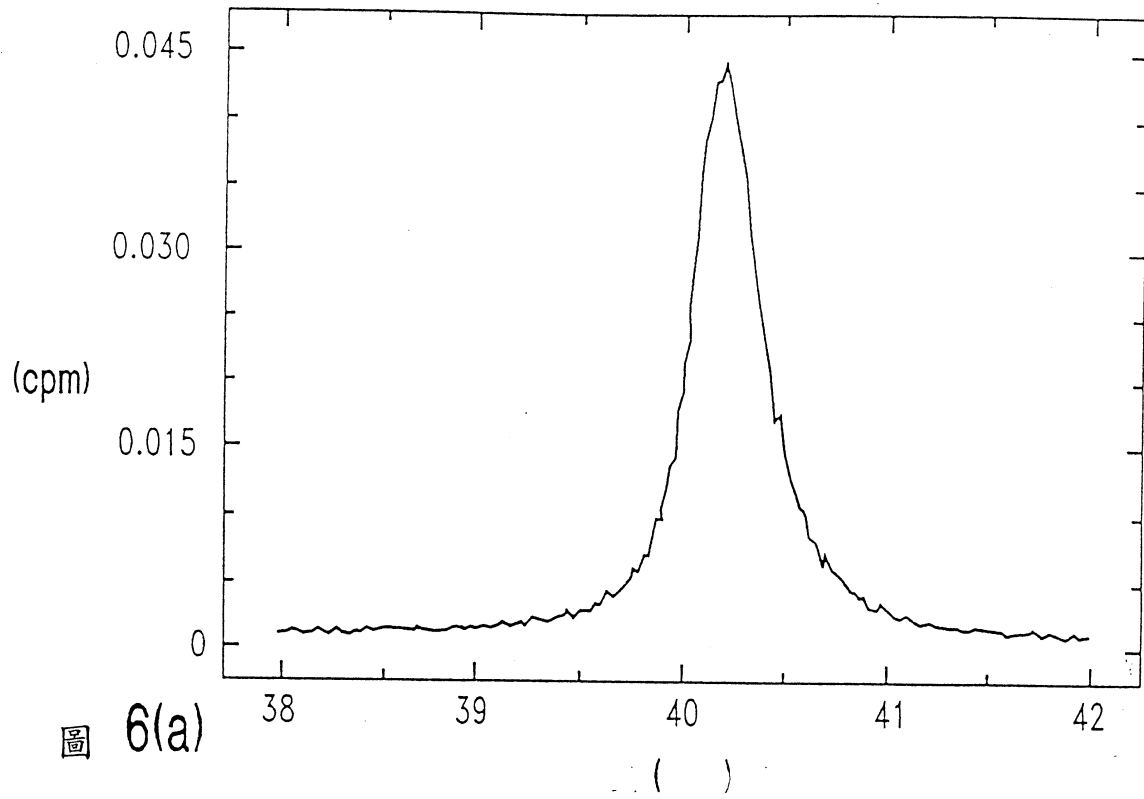


圖 6(a)

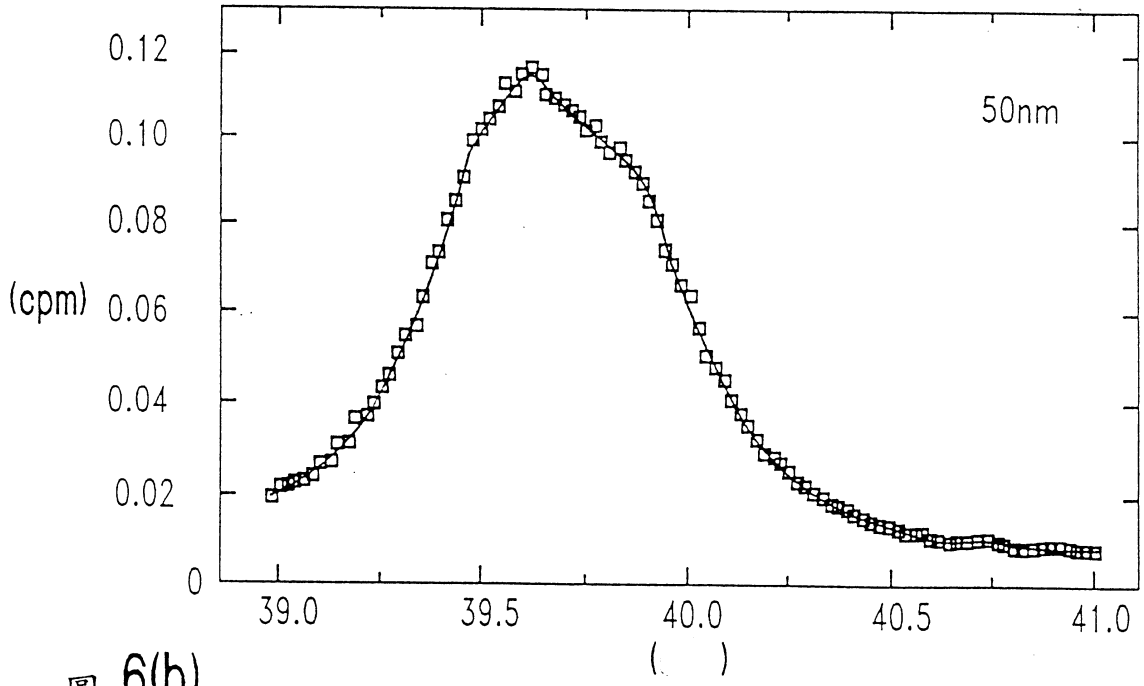


圖 6(b)