



(12)发明专利

(10)授权公告号 CN 104601275 B

(45)授权公告日 2020.04.21

(21)申请号 201410592783.7

(51)Int.Cl.

(22)申请日 2014.10.29

H04L 1/00(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104601275 A

(56)对比文件

US 4596014 A, 1986.06.17,

US 2003192006 A1, 2003.10.09,

(43)申请公布日 2015.05.06

审查员 李致远

(30)优先权数据

61/898,415 2013.10.31 US

14/338,109 2014.07.22 US

(73)专利权人 三星显示有限公司

地址 韩国京畿道

(72)发明人 J.卡马利 胡肯

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽 贾洪菠

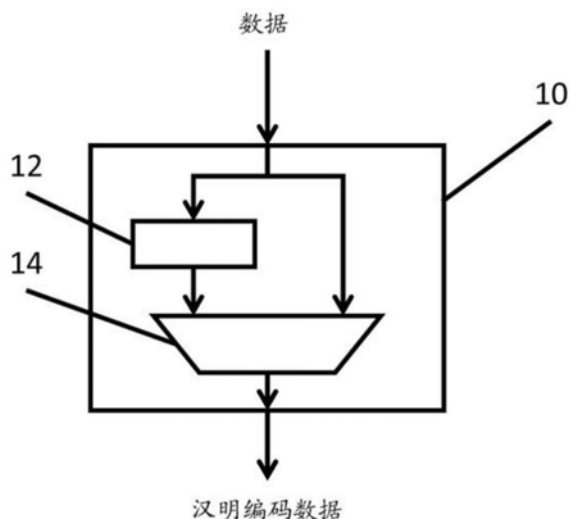
权利要求书2页 说明书9页 附图14页

(54)发明名称

用于编码数据的方法、编码器、解码器及通信系统

(57)摘要

本发明涉及用于编码数据的方法、编码器、解码器及通信系统。根据本发明的一个实施例，一种编码器包括：输入部，被配置为接收多个数据位；处理器，被配置为利用汉明编码操作对数据位编码以生成多个编码位；以及输出部，被配置为输出多个编码位，其中，所述处理器被配置为相比于与标准汉明码相应的编码位，缩减多个编码位的最大运程。



1. 一种编码器,包括:

输入部,被配置为接收多个数据位;

处理器,被配置为利用汉明编码操作对数据位编码以生成多个编码位;以及

输出部,被配置为输出所述多个编码位,

其中,所述处理器被配置为相比于与标准汉明码相应的编码位,缩减所述多个编码位的最大运程,

其中,所述处理器被配置为重新排列所述多个编码位以缩减所述多个编码位的最大运程,

其中,通过将开头的所述多个编码的数据位中的一些数目的编码的数据位移到最后一个编码位之后的位置来重新排列所述多个编码位,

其中,所述处理器被配置为对所述多个数据位使用汉明编码操作来计算多个奇偶校验位,奇偶校验位中的第一奇偶校验位利用偶奇偶校验计算,并且奇偶校验位中的第二奇偶校验位利用奇奇偶校验计算。

2. 如权利要求1所述的编码器,其中,所述多个编码位包括数据位和所计算的奇偶校验位。

3. 如权利要求1所述的编码器,其中,所述汉明编码操作相应于HC (127,120),并且在开头的所述多个编码的数据位中的一些数目的编码的数据位包括32位。

4. 一种解码器,包括:

输入部,被配置为接收包括多个数据位和多个奇偶校验位的多个编码位;以及

处理器,被配置为:

修改接收到的编码位以生成多个汉明编码位;以及

利用汉明解码操作对汉明编码位解码以生成多个解码位;以及

输出部,被配置为输出所述多个解码位,

其中,相比于与标准汉明码相应的编码位,接收到的多个编码位具有缩减的运程,

其中,所述处理器被配置为通过将在开头的所述多个编码位中的一些数目的编码位移到最后一个编码位之后的位置来重新排列所述多个接收到的编码位,来修改接收到的编码位,

其中,在所述多个编码位的多个奇偶校验位中,通过利用偶奇偶校验的计算得到第一奇偶校验位,并且通过利用奇奇偶校验的计算得到第二奇偶校验位。

5. 如权利要求4所述的解码器,其中,所述处理器被配置为通过将所述多个奇偶校验位中的奇偶校验位的值翻转来修改所接收到的编码位。

6. 一种通信系统,包括:

数据源;

串行链路;

编码器,耦接在数据源与串行链路之间,包括:

输入部,被配置为从数据源接收多个数据位;

处理器,被配置为利用汉明编码操作对数据位编码以生成多个编码位;以及

输出部,被配置为输出所述多个编码位到串行链路,

其中,所述处理器被配置为相比于与标准汉明码相应的编码位,缩减多个编码位的最

大运程，

其中，所述处理器被配置为通过将开头的所述多个编码位中的一定数目的编码位移到最后一个编码位之后的位置来重新排列所述多个编码位，以缩减所述多个编码位的最大运程，

其中，所述处理器被配置为对所述多个数据位使用汉明编码操作来计算多个奇偶校验位，奇偶校验位中的第一奇偶校验位利用偶奇偶校验计算，并且奇偶校验位中的第二奇偶校验位利用奇奇偶校验计算。

7. 如权利要求6所述的通信系统，其中，所述多个编码位包括数据位和所计算的奇偶校验位。

用于编码数据的方法、编码器、解码器及通信系统

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年10月31日向美国专利商标局提交的美国临时专利申请61/898,415“Maximal Transition Hamming Codes”的优先权和权益,其全部公开内容通过引用的方式合并于此。

技术领域

[0003] 本发明的实施例涉及用于缩减或最小化数字数据的运程的系统和方法。

背景技术

[0004] 在数据通信中,发射机与接收机之间的传输可以使用汉明码(Hamming Code, HC)验证和校正。一般说来,汉明码通过包括多个奇偶校验位(parity bit)提供对于多个数据位的错误检测和校正,其中奇偶校验位混入数据位当中。

[0005] 另外,在诸如串行数据链路之类的电子数据通信中,可以使用时钟恢复或时钟数据恢复(CDR)过程来同步发射机与接收机之间的通信。例如,接收机可以使用锁相环(PLL)从近似频率参考生成时钟,然后使用CDR将所生成的信号相位对准数据流中的变换。但是,如果数据运程(data run length)(例如,联贯的1或0的流)超过特定长度,由于接收机检测变化的数目存在不足,因此时钟信号的恢复可能失败。

发明内容

[0006] 本发明的实施例的方面教导用于缩减或最小化数字数据的运程的系统和方法。在一些实施例中,经修改的汉明编码操作被应用于数字数据。

[0007] 根据本发明的一个实施例,一种用于编码数据的方法包括:对多个数据位使用汉明编码操作来计算多个奇偶校验位,奇偶校验位中的第一奇偶校验位使用偶校验来计算,奇偶校验位中的第二奇偶校验位使用奇奇偶校验计算;以及输出数据位和所计算的奇偶校验位。

[0008] 第二奇偶校验位可以是多个奇偶校验位序列中的最后的奇偶校验位。

[0009] 第一奇偶校验位可以是多个奇偶校验位序列中的后数第二的奇偶校验位。

[0010] 所述汉明编码操作可以相应于HC(127,120),第一奇偶校验位可以是第6奇偶校验位,第二奇偶校验位可以是第7奇偶校验位。

[0011] 根据本发明的一个实施例,一种用于编码数据的方法包括:对于多个数据位利用汉明编码操作计算多个奇偶校验位;将所计算的奇偶校验位与多个数据位交织以生成多个编码的数据位;以及重新排列多个编码的数据位以缩减多个数据位的数据序列的最大运程。

[0012] 所述重新排列多个编码的数据位可以包括将在多个编码的数据位的开头的所述多个编码的数据位中的一些数目的编码的数据位移到最后一个编码的数据位之后的位置。

[0013] 所述汉明编码操作可以相应于HC(127,120),并且在开头的所述多个编码的数据

位中的一些数目的编码的数据位可以包括32位。

[0014] 所述汉明编码操作可以利用奇奇偶校验。

[0015] 根据本发明的一个实施例,一种编码器包括:输入部,被配置为接收多个数据位;处理器,被配置为利用汉明编码操作对数据位编码以生成多个编码位;以及输出部,被配置为输出多个编码位,其中,所述处理器被配置为相比于与标准汉明码相应的编码位,缩减多个编码位的最大行程。

[0016] 所述处理器可以被配置为对多个数据位利用汉明编码操作计算多个奇偶校验位,所述奇偶校验位中的第一奇偶校验位利用偶奇偶校验计算,所述奇偶校验位中的第二奇偶校验位利用奇奇偶校验计算,其中,所述多个编码位可以包括数据位和所计算的奇偶校验位。

[0017] 所述处理器可以被配置为重新排列多个编码位以缩减多个编码位的最大行程。

[0018] 可以通过将开头的所述多个编码位中的一些数目的编码位移到最后一个编码位之后的位置来重新排列所述多个编码位。

[0019] 所述汉明编码操作可以相应于HC (127,120),并且在开头的所述多个编码位中的一些数目的编码位包括32位。

[0020] 根据本发明的一个实施例,一种解码器包括:输入部,被配置为接收包括多个数据位和多个奇偶校验位的多个编码位;以及处理器,被配置为:修改接收到的编码位以生成多个汉明编码位;以及利用汉明解码操作对汉明编码位编解码以生成多个解码位;以及输出部,被配置为输出多个解码位,其中,接收到的多个编码位相比于与标准汉明码相应的编码位,具有缩减的行程。

[0021] 所述处理器可以被配置为通过将开头的所述多个编码位中的一些数目的编码位移到最后一个编码位之后的位置来重新排列所述多个接收到的编码位,来修改接收到的编码位。

[0022] 所述处理器可以被配置为通过将所述多个奇偶校验位中的奇偶校验位值翻转来修改所接收到的编码位。

[0023] 根据本发明的一个实施例,一种通信系统包括:数据源;串行链路;编码器,耦接在数据源与串行链路之间,包括:输入部,被配置为从所述数据源接收多个数据位;处理器,被配置为利用汉明编码操作对数据位编码以生成多个编码位;以及输出部,被配置为输出多个编码位到所述串行链路,其中,所述处理器被配置为相比于与标准汉明码相应的编码位,缩减多个编码位的最大行程。

[0024] 所述处理器可以被配置为对多个数据位利用汉明编码操作计算多个奇偶校验位,所述奇偶校验位中的第一奇偶校验位利用偶奇偶校验计算,所述奇偶校验位中的第二奇偶校验位利用奇奇偶校验计算,其中,所述多个编码位包括数据位和所计算的奇偶校验位。

[0025] 所述处理器可以被配置为通过将开头的所述多个编码位中的一些数目的编码位移到最后一个编码位之后的位置来重新排列所述多个编码位,以缩减所述多个编码位的最大行程。

附图说明

[0026] 与说明书一起,附图示出本发明的示范性实施例,并且与描述一起,用来说明本发

明的原理。

[0027] 图1是示出被配置为接收输入数据以及生成汉明编码数据的组件的示意框图。

[0028] 图2示意地示出利用7个奇偶校验位汉明编码120个数据位(或HC(127,120))。

[0029] 图3示意地示出根据本发明的一个实施例的使用修改的汉明码进行编码的数据。

[0030] 图4是示出根据本发明的一个实施例的被配置为使用修改的汉明码进行编码数据的系统的框图。

[0031] 图5是根据本发明的一个实施例编码的数据的方法的流程图。

[0032] 图6是示出根据本发明的一个实施例的被配置为使用修改的汉明码进行解码数据的系统的框图。

[0033] 图7是根据本发明的一个实施例的解码数据的方法的流程图。

[0034] 图8A以及图8B示意地示出根据本发明的另外的实施例的使用修改的汉明码进行编码的数据。

[0035] 图9是示出根据本发明的另外的实施例的被配置为使用修改的汉明码进行编码数据的系统的框图。

[0036] 图10是根据本发明的另一实施例的编码数据的方法的流程图。

[0037] 图11是示出根据本发明的实施例的被配置为输出修改的汉明编码位的发射机的示意框图。

[0038] 图12是示出根据本发明的实施例的用于从输入数据计算修改的汉明编码位的方法的流程图。

[0039] 图13是示出根据本发明的一个实施例的被配置为接收修改的汉明编码位的接收机的框图。

[0040] 图14是示出根据本发明的一个实施例的用于解码修改的汉明码中的位的方法的流程图。

具体实施方式

[0041] 在下面的详细说明中,仅仅通过图解示出和描述了本发明的某些示范性实施例。如本领域技术人员将认识到的那样,本发明可以以许多不同的形式具体实现,并且应当不被释为限制于这里阐述的实施例。同样的参考标记贯穿说明书指定同样的元素。

[0042] 本发明的实施例的一些方面教导用于在通信系统中缩减或最小化数字数据的运程的系统和方法。

[0043] 在电子数据通信中,可以使用时钟恢复或时钟数据恢复(CDR)过程来同步发射机与接收机。使用CDR过程的接收机一般通过检测电压电平之间的变换的时间以及基于检测到的变换对接收机的时钟进行相位对准来操作。

[0044] 但是,如果接收信号包含极长的运程(例如,具有相同电压电平的长序列数据码元),则CDR过程可能由于接收信号的变换数目存在不足而失败,这可能引起时钟的恢复方面的问题。

[0045] 另外,在一般的数据通信中,发射机和接收机之间的传输中的误差可以被检测到并且通过对位流进行编码而校正。一种这样的编码技术被称作汉明码(HC),其通过将多个奇偶校验位包括(或交织)在通信流中提供对于多个数据位的一位误差检测与校正。在标准

汉明码系统中,这些奇偶校验位被混入数据位当中。

[0046] 图1是示出被配置为计算汉明码的设备10的示意框图。设备10包括奇偶校验发生器12和多路复用器14,它们被配置为经由耦接到数据源的输入部接收数据位。奇偶校验发生器12使用对数据位的汉明编码操作来计算奇偶校验位,而且多路复用器14将所生成的奇偶校验位与接收到的数据位组合以生成汉明编码数据。奇偶校验发生器12可以是偶奇偶校验发生器(even parity generator)或可以是奇奇偶校验发生器(odd parity generator)。多路复用器14可以是,例如,被配置为在输出汉明编码数据到输出部(例如,耦接到串行链路的串行通信设备)之前存储所生成的奇偶校验位和数据位的缓存器。

[0047] 奇偶校验位的数目(M)取决于位流中的数据位的数目(N)。具体地说,对于N个数据位来说,奇偶校验位的数目M满足:

$$[0048] \quad 2^{M-1}-M+1 \leq N \leq 2^M-M-1, \text{ 对于 } M=2, 3, \dots (1)$$

[0049] 图2示出通过七个奇偶校验位编码一百二十个数据位(称为HC(127,120))。如图2所示,七个奇偶校验位 p_j (其中 $j=1, 2, \dots, 7$)混入到120个数据位 d_k 当中(其中 $k=1, 2, \dots, 120$)。具体来说,在标准汉明码中,奇偶校验位位于二的幂的位置。例如,如图2所示,奇偶校验位位于标准(127,120)汉明码20中的位置1,2,4,8,16,32和64处。翻转位(toggle bit) T (或 b_T)也可以包括在最末,其中翻转位是最后一位的反转。例如,在HC(127,120)中,如果 $d_{120}=0$,则 $T=1$,并且如果 $d_{120}=1$,则 $b_T=0$ 。

[0050] 在汉明编码操作中,基于对数据位的特定集合的XOR(异或)操作来计算奇偶校验位中的每一个。例如,可以根据对位流中的每隔一位进行XOR操作计算 p_1 如下。

$$[0051] \quad p_1 \oplus d_1 \oplus d_2 \oplus d_4 \oplus d_5 \oplus d_7 \dots = f$$

[0052] 其中 \oplus 是XOR操作,而且 f 对于偶奇偶校验是0,对于奇校验是1。为了找出 p_2 ,通过保留两位和丢弃两位来执行类似的XOR操作如下。

$$[0053] \quad p_2 \oplus d_1 \oplus d_3 \oplus d_4 \oplus d_6 \oplus d_7 \dots = f$$

[0054] 其它奇偶校验位以类似的方式找出。

[0055] 在一些情况下,利用汉明码编码的数据的传输可能导致长运程。例如,在使用偶奇偶校验的HC(127,120)中,如果对于 $k=1, 2, \dots, 120$ 来说, $d_k=0$,则对于 $j=1, 2, \dots, 7$ 来说 $p_j=0$ 。因此,使用偶奇偶校验的该序列将具有127个联贯的0的运程(其中,翻转位 b_T 提供中断1)。另外,如果先前帧的翻转位是0,则运程将是128。如使用奇奇偶校验的HC(127,120)的另一示例中那样,对于 $k=1, 2, \dots, 119$ 来说 $d_k=0$ 并且 $d_{120}=1$,则对于 $j=1, 2, \dots, 7$ 来说 $p_j=0$ 。因此,使用奇奇偶校验的该序列将具有126个联贯的0的运程(其中,数据位 d_{120} 提供中断1)。另外,如果先前帧的翻转位是0,则运程将是127。

[0056] 本发明的实施例教导了基于修改的汉明码(HC)使用修改的误差校正系统的系统和方法,其中,发射机的输出的变换的数目增加或最大化(例如,其中数据码元的最大运程缩减)。

[0057] 图3是依照本发明的一个实施例的、生成经HC(127,120)编码的位的经修改的输出编码位22的示意图。参照图3,可以通过重新排列原始编码位来缩减运程。例如,原始编码位20的头L位可以移到序列的末尾以使得经修改的编码位22从原始编码位20的后K-L($K=M+N$ 是帧中的位的总数)位开始。对于汉明码HC(127,120)来说, $K=127$, $L=32$ 。一般说来,L是在 p_{M-1} 的位置之前(并且包括 p_{M-1} 的位置)的位的数目。(在HC(127,120)中,因为 $M=7$,所以 p_{M-1}

= p_6 在位置32处,并且因此 $L=32$ 。)

[0058] 例如,当使用奇偶校验时,可以以常规方法利用HC (127,120) 计算奇偶校验位以生成编码位20。然后,输出的头32位可以被移到末尾(例如, $b_1, b_2, \dots, b_{32}, b_{33}, \dots, b_{127} = > b_{33}, \dots, b_{127}, b_1, b_2, \dots, b_{32}$) 以生成修改的输出编码位22。(在一些实施例中,翻转位在最后位置。)) 使用该技术,当对于 $k=1, 2, \dots, 120$ 来说 $d_k=0$ 时,可以实现最大95位的运程(例如, b_{33} 至 b_{127} 是九十五个0,而 b_T 是 b_{127} 的反转,所以 $b_T=1$),这是对标准126位的HC (127,120) 的最大运程的缩减。

[0059] 图4是示出根据本发明的一个实施例的、被配置为缩减发送数据的运程的编码系统或发送系统(或发射机) 100的示意框图。编码系统100包括:汉明编码器10(例如,本领域技术人员公知的合适的汉明编码器),被配置为从输入部接收数据位,以对接收到的数据位执行汉明编码操作,以及生成汉明编码输出;缓存器102,被配置为存储从汉明编码器输出的头 L 位(例如,当使用HC (127,120), $L=32$ 时);和选择器104,被配置为选择性地将汉明编码器10的输出的头 L 位存储到缓存器102,输出在头 L 位之后的剩余位(例如,当使用HC (127,120) 时接下来的96位),以及在输出剩余位之后输出所存储的 L 位。例如,选择器104可以包括计数器,用于对从汉明编码器10接收到的位的数目计数(或者对时钟周期的数目计数),以确定何时将输出位保存到缓存器102中(例如,在HC (127,120) 中的头32位),何时直接输出从汉明编码器10接收到的位(例如,在HC (127,120) 中接下来的95位),以及何时输出所存储的位(例如,在输出HC (127,120) 中的95位之后)。图4的框图的各种元件可以使用例如处理器、专用集成电路(ASIC)、现场可编程门阵列(FPGA) 以及其组合(例如,实现框图不同部分的不同类型的元件)实现。

[0060] 图5是示出根据本发明的一个实施例从编码位20生成经修改的编码位22的方法200的流程图,经修改的编码位22具有缩减的运程。在操作202中,从对接收到的数据位执行汉明编码操作的汉明编码器10接收长度为 K 的汉明编码位20。然后,在操作204中,编码位20的头 L 位被缓存到缓存器102中。然后,在操作206中,编码位20的接下来的 $K-L$ 位被输出作为经修改的编码位22的第一部分,并且,在操作208中,被缓存的 L 位被输出为经修改的编码位22的第二部分。所述位可以直接输出或者可以在从发射机100输出之前输出到第二缓存器。

[0061] 图6是示出根据本发明的一个实施例的接收系统(或接收机) 150的框图。接收机150包括选择器154,用于识别哪些位将存储到缓存器152中,并且被配置为输出位到汉明解码器40,其中汉明解码器40输出解码数据。

[0062] 图7是示出根据本发明的一个实施例的、接收并且解码经修改的编码位22以恢复原始编码位20的方法250的流程图。在操作252中,接收长度为 K 的经修改的编码位。在操作254中,将接收到的经修改的编码位的头 $K-L$ 位缓存到缓存器152中。然后,在操作256中输出接收到的经修改的编码位的接下来的 L 位,接着在操作258中输出缓存的 $K-L$ 位。输出的位可以在被提供给汉明解码器40执行汉明解码操作之前被缓存。

[0063] 根据本发明的另一实施例,通过对最后两个奇偶校验位使用不同的奇偶校验类型(例如,奇对偶)来缩减或最小化最大运程。换句话说,在使用 M 个奇偶校验位的序列的汉明码中,使用第一奇偶校验来计算奇偶校验位的序列的最后(或最终)奇偶校验位 p_M ,使用不同于第一奇偶校验的第二奇偶校验来计算奇偶校验位的序列的后数第二的(或倒数第二的)奇偶校验位 p_{M-1} 。图8A是示出依照本发明的一个实施例的HC (127,120) 编码位的经修改

的输出编码位24的示意图,其中,使用奇奇偶校验来计算最终的奇偶校验位 p_M (在本情况下, p_7) (例如, p_7 =位 d_{58} 至 d_{120} 的异或加1,或者,更精确地说, $p_7 = \text{XOR}(d_{58}:d_{120}) \oplus 1$),并且使用偶奇偶校验计算倒数第二的奇偶校验位 p_{M-1} (在本情况下, p_6) (例如, p_6 =位 d_{27} 至 d_{57} 和位 d_{89} 至 d_{120} 的异或,或者,更精确地说, $p_6 = \text{XOR}(d_{27}:d_{57}, d_{89}:d_{120})$)。通过使用偶奇偶校验和奇奇偶校验的混合来计算经修改的编码位的奇偶校验位,可以实现94位的最大运程。

[0064] 图8B是示出依照本发明的又一个实施例的HC(127,120)编码位的经修改的编码位24的示意图,其中,使用偶奇偶校验计算奇偶校验位序列的最终的奇偶校验位(在本情况下, p_7) (例如, $p_7 = \text{XOR}(d_{58}:d_{120})$),并且使用奇奇偶校验计算奇偶校验位序列的倒数第二的奇偶校验位(在本情况下, p_6) (例如, $p_6 = \text{XOR}(d_{27}:d_{57}, d_{89}:d_{120}) \oplus 1$)。通过使用偶奇偶校验和奇奇偶校验的混合来计算经修改的编码位的序列,可以实现94位的最大运程。

[0065] 根据本发明的实施例,奇偶校验位序列的其它奇偶校验位 p_1 到 p_{M-2} (例如, p_1 到 p_5)可以具有偶奇偶校验或奇奇偶校验。可以利用不同的(偶或奇)奇偶校验计算奇偶校验位 p_1 到 p_{M-2} 的不同的奇偶校验位。

[0066] 图9是示出根据本发明的实施例的被配置为输出修改的汉明编码位24或26的发射机300的示意框图。发射机300包括修改的汉明编码器310,被配置为计算修改的汉明码,修改的汉明编码器310包括奇偶校验选择器16、第一奇偶校验发生器12a、第二奇偶校验发生器12b和多路复用器14。在一个实施例中,第一奇偶校验发生器和第二奇偶校验发生器被配置为分别计算偶奇偶校验和奇奇偶校验(或执行汉明编码操作)。奇偶校验选择器16依照计算特定的奇偶校验位需要的数据位,识别并且提供输入数据的数据位给第一奇偶校验发生器和第二奇偶校验发生器。

[0067] 例如,在使用奇奇偶校验计算奇偶校验位 p_7 以及使用偶奇偶校验计算奇偶校验位 p_6 的实施例中,奇偶校验选择器16提供数据位 $d_{58}:d_{120}$ 给第二奇偶校验发生器12b(其被配置为计算奇奇偶校验)以计算 p_7 ,并且提供数据位 $d_{27}:d_{57}$ 和 $d_{89}:d_{120}$ 给第一奇偶校验发生器12a以计算奇偶校验位 p_6 。

[0068] 图10是示出根据本发明的实施例的用于从输入数据计算修改的汉明编码位的方法的流程图。在操作402中,接收数据20(例如,从输出将通过串行链路发送的数据的设备或元件)。在操作404中,位组被识别以计算奇偶校验位。例如,在HC(127,120)中,位 $d_{58}:d_{120}$ 被识别为与奇偶校验位 p_7 关联,并且数据位 $d_{27}:d_{57}$ 和 $d_{89}:d_{120}$ 被识别为用于计算奇偶校验位 p_6 。在操作406中,正在计算的特定奇偶校验位的奇偶性被识别为偶或奇。例如,在一个实施例中,使用偶奇偶校验计算 p_6 ,使用奇奇偶校验计算 p_7 。基于识别的用于特定奇偶校验位的奇偶性,在操作408中使用偶奇偶校验或者在操作410中使用奇奇偶校验来计算与奇偶校验位相应的数据位。例如,当使用偶奇偶校验计算奇偶校验位 p_6 时,在操作408中使用数据位 $d_{27}:d_{57}$ 和 $d_{89}:d_{120}$ 来计算奇偶校验位 p_6 的值。在操作412中,在输出的经修改的汉明编码位24或26中(例如,奇偶校验位 p_a 位于 2^{a-1} 位置处)所计算的奇偶校验位与数据位20组合(或交织)。

[0069] 图11是示出根据本发明的另一实施例的被配置为输出修改的汉明编码位24或26的发射机330的示意框图。发射机330包括标准汉明编码器10,被配置为计算标准汉明编码操作(例如,给定一组输入数据位 d ,计算一组 M 个奇偶校验位 p),其中,使用相同的奇偶性计算最后两个奇偶校验位 p_{M-1} 和 p_M (例如,使用偶奇偶校验计算两者或使用奇奇偶校验计算两者)。系统330还包括奇偶校验位修改器332(或发送奇偶校验位修改器),其被配置为通过计

算 p_{M-1} 和1的XOR (例如,将倒数第二的奇偶校验位设置为 $p_{M-1} \oplus 1$) 来修改倒数第二的奇偶校验位 p_{M-1} 的奇偶性 (例如,从偶到奇或从奇到偶)。然后,修改的位流被输出作为修改的汉明编码位24或26。

[0070] 根据本发明的其它实施例,奇偶校验位修改器332被配置为通过计算 p_M 和1的XOR (例如,将最后的奇偶校验位设置为 $p_M \oplus 1$) 来修改最后的奇偶校验位 p_M 的奇偶性。

[0071] 图12是示出根据本发明的另一实施例的用于从输入数据计算修改的汉明编码位的方法430的流程图。在操作432中,接收长度为K的汉明编码位流,其包括M个奇偶校验位p和N个数据位d。在操作434中,识别倒数第二的奇偶校验位 p_{M-1} ,并且,在操作436中,将倒数第二的奇偶校验位 p_{M-1} 转换或替换为 $p_{M-1} \oplus 1$ (换句话说,将它的值从0翻转或反转为1或从1翻转或反转为0)。然后,将具有被反转的倒数第二的奇偶校验位的修改的汉明编码位流输出作为修改的编码位24或26。

[0072] 在本发明的其它实施例中,在操作434中,识别最后的奇偶校验位 p_M ,并且,在操作436中,将最后的奇偶校验位 p_M 反转或替换为 $p_M \oplus 1$ 。

[0073] 图13是图解根据本发明的一个实施例的接收机的框图。参照图13,接收系统350包括接收奇偶校验位修改器352,其被配置为通过计算 p_{M-1} 和1的XOR来修改倒数第二的奇偶校验位 p_{M-1} 的奇偶性 (例如,将倒数第二的奇偶校验位设置为 $p_{M-1} \oplus 1$) (例如,从偶到奇或从奇到偶)。然后,接收奇偶校验位修改器352将位流提供给标准汉明解码器40,标准汉明解码器40将位流解码以生成解码的数据。在一些实施例中,最后的奇偶校验位 p_M 而不是倒数第二的奇偶校验位 p_{M-1} ,被反转。

[0074] 图14是示出根据本发明的一个实施例的用于解码修改的汉明码中的位的方法450的流程图。在操作452中,接收长度为K的经修改的汉明编码位流。在操作454中,识别倒数第二的奇偶校验位 p_{M-1} ,并且在操作456中将倒数第二的奇偶校验位 p_{M-1} 反转或替换为 p_{M-1} 和1的XOR的值 (例如,将倒数第二的奇偶校验位设置为 $p_{M-1} \oplus 1$)。操作的结果是恢复能够提供给标准汉明解码器的标准汉明编码位流24或26。在一些实施例中,最后的奇偶校验位 p_M 而不是倒数第二的奇偶校验位 p_{M-1} ,被修改。

[0075] 可以通过将奇奇偶校验位和偶奇偶校验位混合来实现缩减运程的证据可以在附录在本申请的向美国专利商标局提交的“Reduction of Run Length by mixing Odd and Even Parities in Hamming Code”中找到,全部附录通过引用合并于此。

[0076] 本发明的实施例可以通过本领域普通技术人员将理解的那样的各种方法来实现,并且如这里所使用的术语“处理器”可以指代能够执行所述操作的任何计算设备,诸如具有指令存储在连接到通用处理器的存储器中的编程通用处理器 (例如,ARM处理器)、现场可编程门阵列 (FPGA) 和定制专用集成电路 (ASIC)。本发明的实施例可以集成到串行通信控制器 (例如,通用串行总线或USB控制器)、图形处理单元 (GPU)、板内接口及其他使用汉明编码信号的硬件或软件系统。

[0077] 虽然已经结合某些示范性实施例描述了本发明,但是将理解,本发明不局限于所公开的实施例,而是相反地,意图是包括在所附权利要求的精神和范围内的各种修改和等效的布置。

[0078] 附录A

[0079] 通过混合汉明码中的奇奇偶校验和偶奇偶校验来缩减运程

[0080] 我们提出了在汉明编码器中混合奇奇偶校验和偶奇偶校验来提高帧中变换的数目(或者等效地,缩减对于时钟数据恢复(Clock Data Recovery,CDR)不利的运程)。为了说明该方法,我们使用HC(127,120)作为例子。但是,本方法可以类似地应用于任何其它汉明码。

[0081] 考虑大小为127的汉明编码帧,其由120个数据位和位于位置1,2,4,8,16,32和64处的7个奇偶校验位组成。我们提出使用奇奇偶校验用于 p_7 (位于位64),偶奇偶校验用于 p_6 (位于位32),并且我们断言在本例中最大运程将是94位。

[0082] 为了证明该断言,注意,127位的一帧内的94个联贯的且相同的位(本报告中称为运行位(run bit))可以属于以下类别中之一。

[0083] 1. 占用位位置34到127

[0084] 2. 占用位位置33到126

[0085] 3. 占用位位置 k 到 $k+93$,其中 $k=1,2,\dots,32$ 。

[0086] 让我们用 b 表示在94个相同位的运行中的重复位(b 可以明显是0或1)。现在我们来检查这些类别中的每一个。

[0087] 类别(1):如果我们对 p_{64} 使用奇奇偶校验,则我们得到

$$[0088] \quad p_7 = \text{XOR}(b_{65}, b_{66}, \dots, b_{127}) = \begin{cases} 1 & b = 0 \\ 0 & b = 1 \end{cases}$$

[0089] 因此,位置64中断运行并且因此,在类别(1)中长度94的运行位是不可能的。

[0090] 类别(2):我们看到, p_6 从左边连接运行位。如我们将看到的那样,如果 $p_7=b$ (位置64不中断运行),则 $p_6=b \oplus 1$,这意味着位置32将中断运行。因此,运程不可能超过94。

[0091] 类别(3):在这种情况下, p_6 在运行位的中间,并且因此利用这样的事实:如果 $p_7=b$,则 $p_6=b \oplus 1$,我们将看到,在该类别中,我们也不能得到多于94的运程(事实上,在这种情况下连94也不能实现)。

[0092] 基于以上描述,我们只需要证明在上面的类别(2)和(3)中的断言:如果 $p_7=b$,则 $p_6=b \oplus 1$ 。为了证明该断言,注意,类别(2)和(3)中的运行位占用位置 $34-A$ 到 $127-A$,其中, $1 \leq A \leq 33$ 。定义 S 为最后 A 位的异或XOR。那我们将有

$$[0093] \quad p_7 = \overbrace{(b \oplus b \oplus \dots \oplus b)}^{63-A} \oplus S \oplus 1$$

[0094] 为了简单起见,我们将三种概率区别如下。

[0095] $b=1$ 且 A 是偶数。在这种情况下,63- A 是奇数,并且从而 $\overbrace{(b \oplus b \oplus \dots \oplus b)}^{63-A} = 1$ 。因此,对于将是1的 p_7 来说, $S \oplus 1 = 0$ 并且从而 $S = 1$ 。在这种情况下,我们得到

$$[0096] \quad p_6 = \overbrace{(1 \oplus 1 \oplus \dots \oplus 1)}^{31} \oplus \overbrace{(1 \oplus 1 \oplus \dots \oplus 1)}^{32-A} \oplus S = 1 \oplus 0 \oplus 1 = 0$$

[0097] 注意32- A 是偶数。因此,在这种情况下,断言被证明,因为 $p_6 \neq b$ 。

[0098] $b=1$ 且 A 是奇数。在这种情况下,63- A 是偶数,并且从而 $\overbrace{(b \oplus b \oplus \dots \oplus b)}^{63-A} = 0$ 。因此,对于将是1的 p_7 来说, $S \oplus 1 = 1$ 并且从而 $S = 0$ 。在这种情况下,我们得到

$$[0099] \quad p_6 = \overbrace{(1 \oplus 1 \oplus \dots \oplus 1)}^{31} \oplus \overbrace{(1 \oplus 1 \oplus \dots \oplus 1)}^{32-A} \oplus S = 1 \oplus 1 \oplus 0 = 0$$

[0100] 注意32-A是奇数。因此,在这种情况下,断言被证明,因为 $p_6 \neq b$ 。

[0101] $b=0$ 。在这种情况下, $\overbrace{(b \oplus b \oplus \dots \oplus b)}^{63-A} = 0$ 。因此,对于将是0的 p_7 来说, $S \oplus 1 = 0$ 并且从而 $S=1$ 。在这种情况下,我们得到

$$[0102] \quad p_6 = \overbrace{(0 \oplus 0 \oplus \dots \oplus 0)}^{31} \oplus \overbrace{(0 \oplus 0 \oplus \dots \oplus 0)}^{32-A} \oplus S = 0 \oplus 0 \oplus 1 = 1$$

[0103] 因此,在这种情况下,断言被证明,因为 $p_6 \neq b$ 。

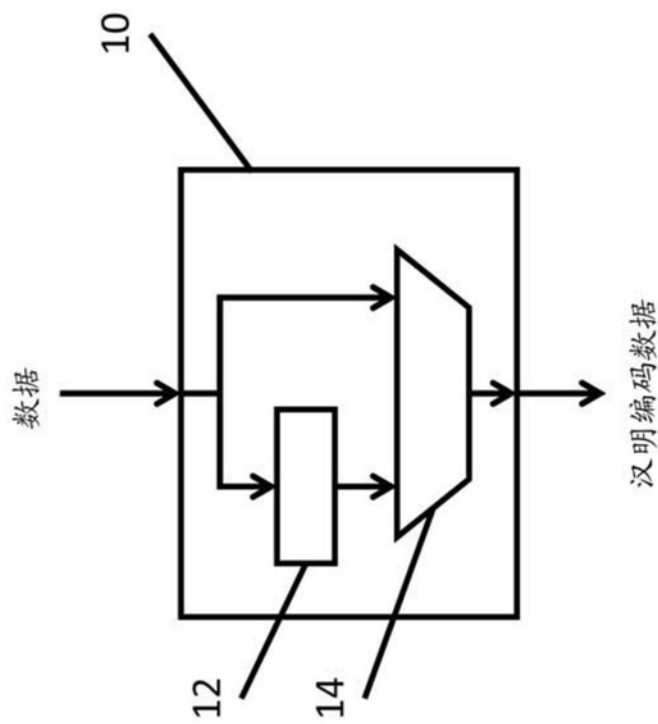


图1

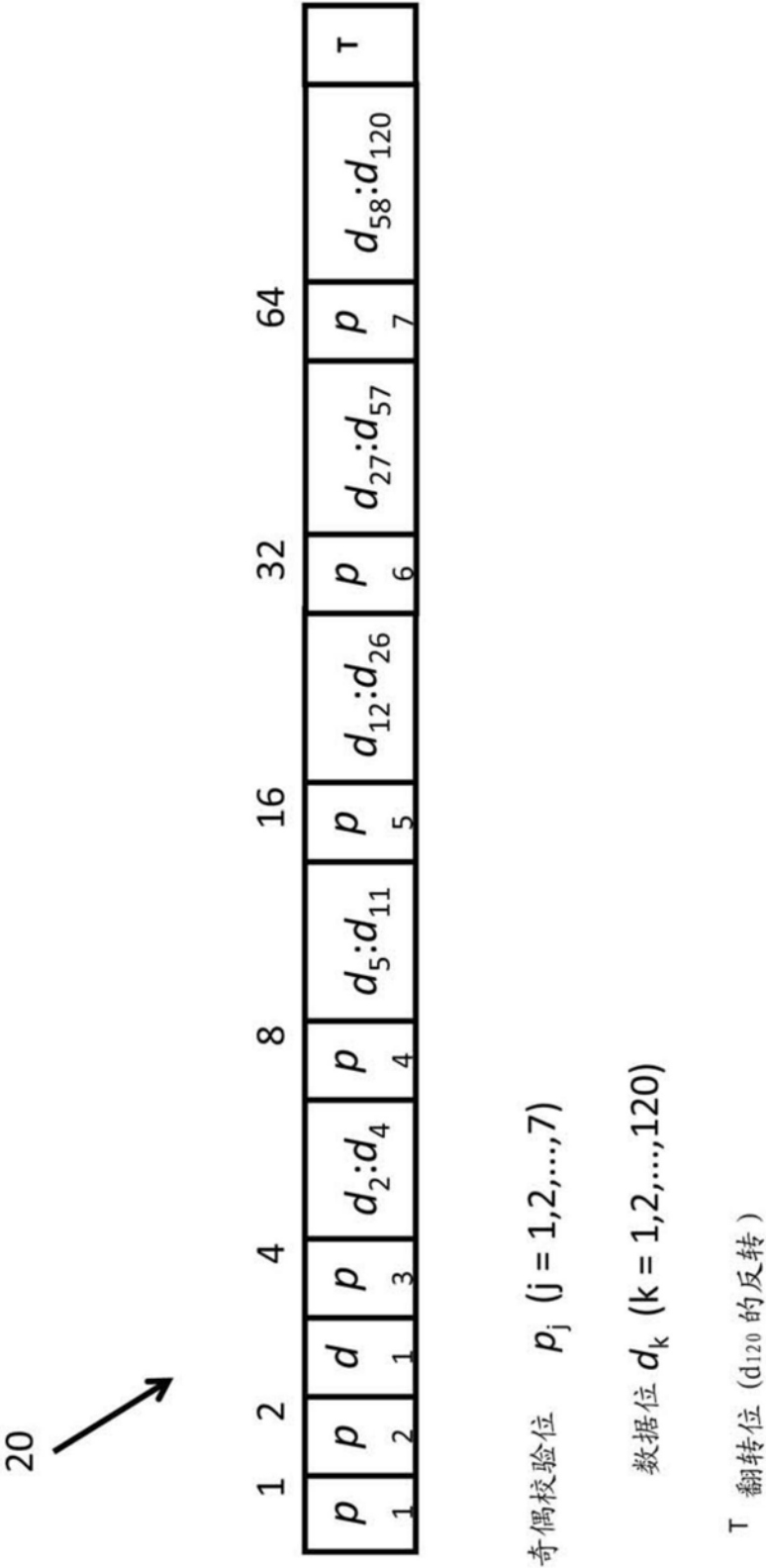


图2

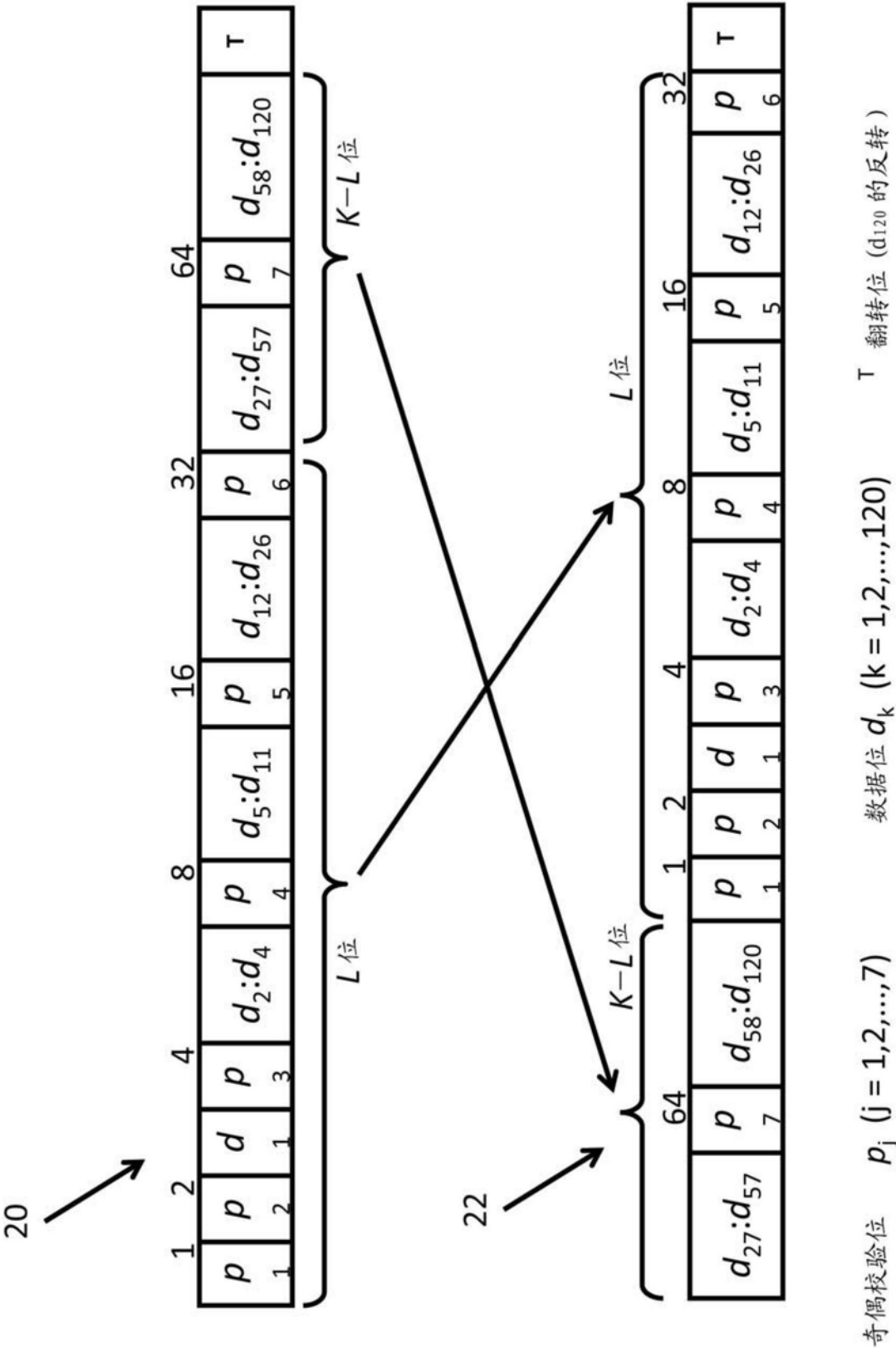


图3

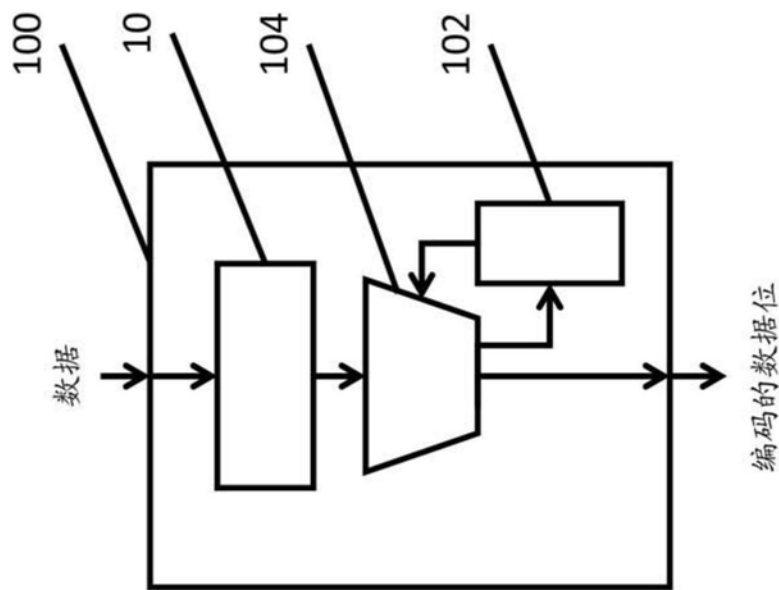


图4

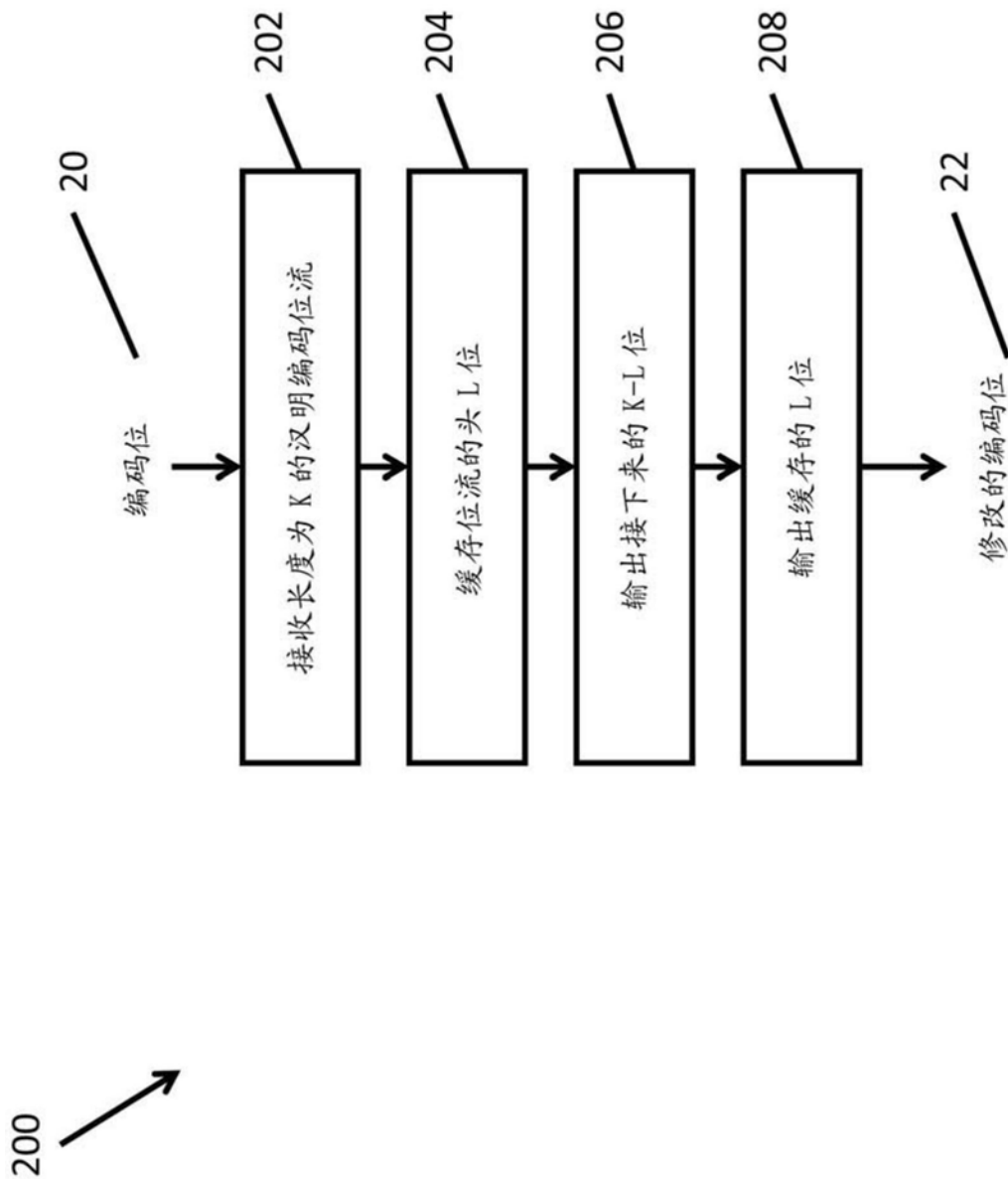


图5

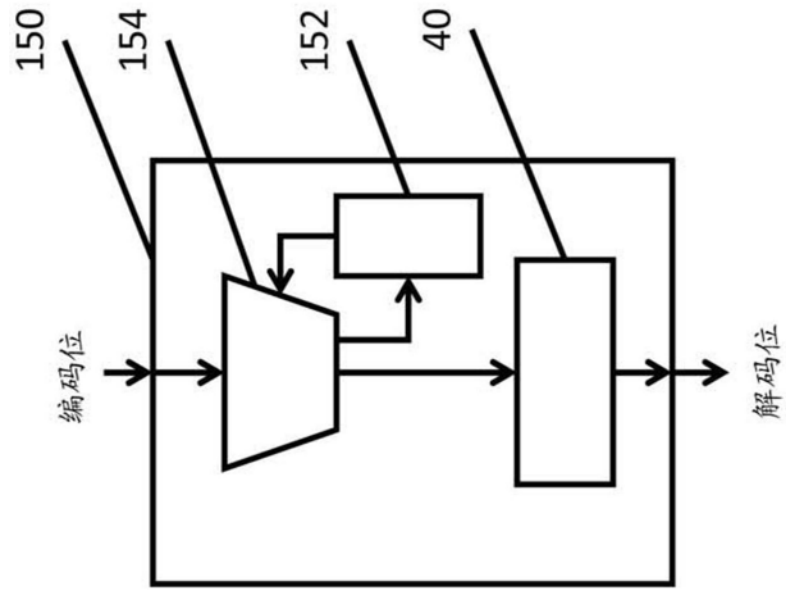


图6

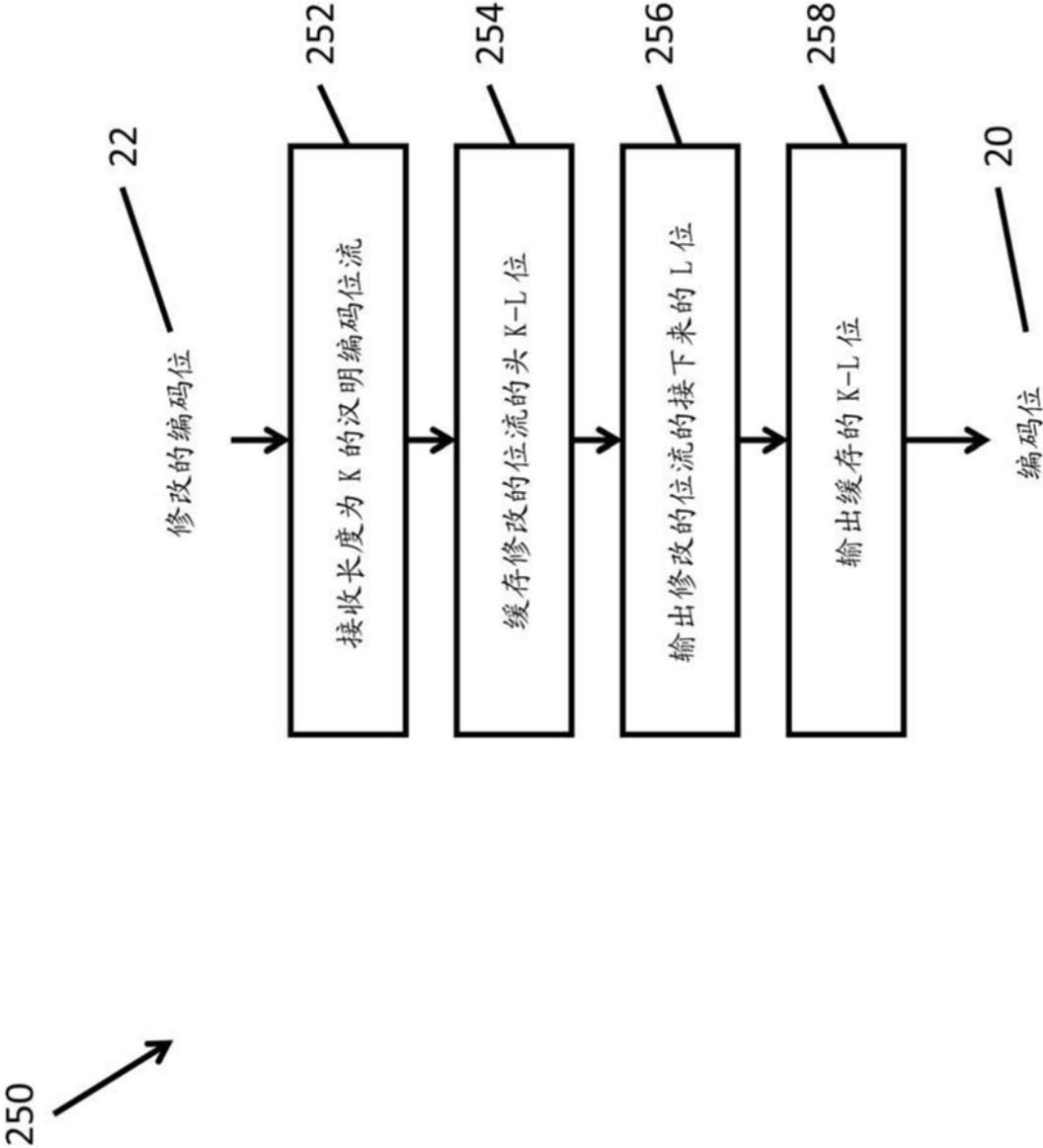


图7

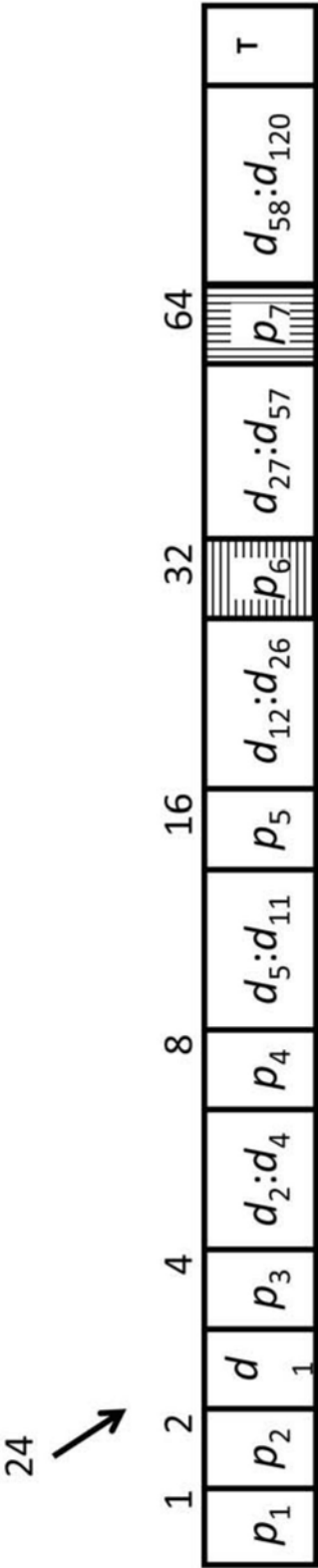


图 8A

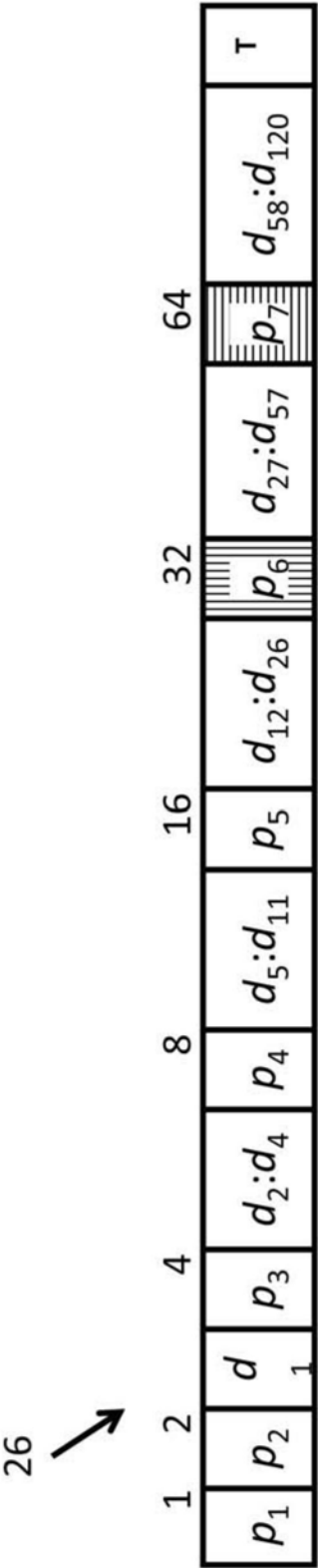


图 8B



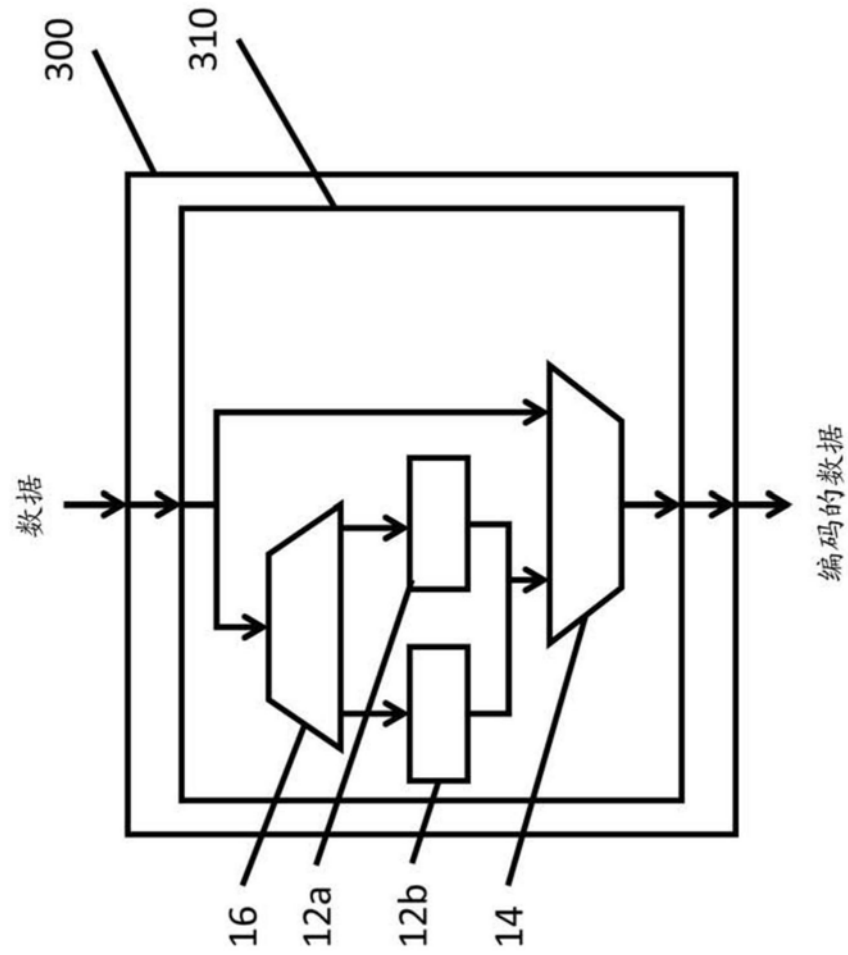


图9

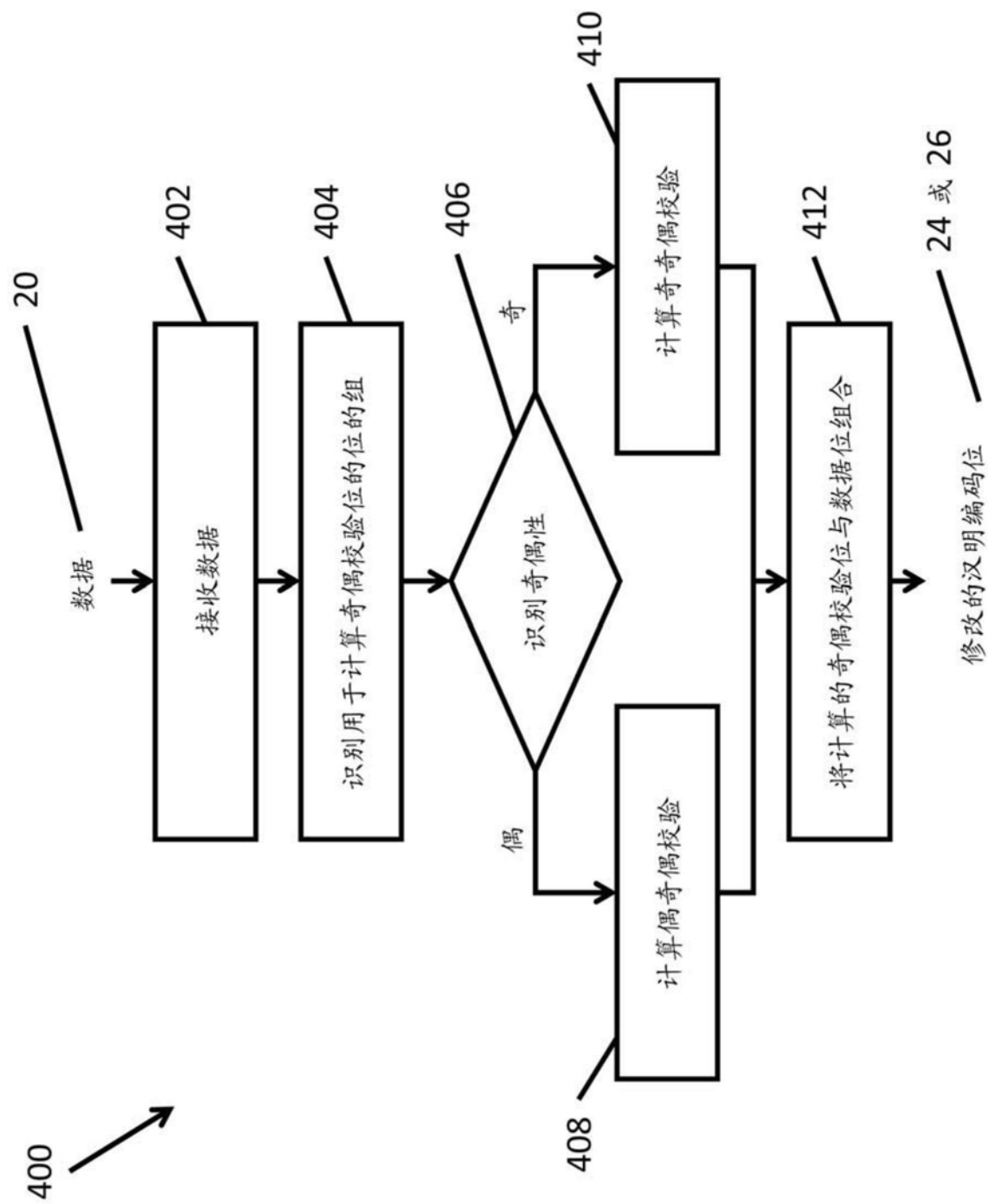


图10

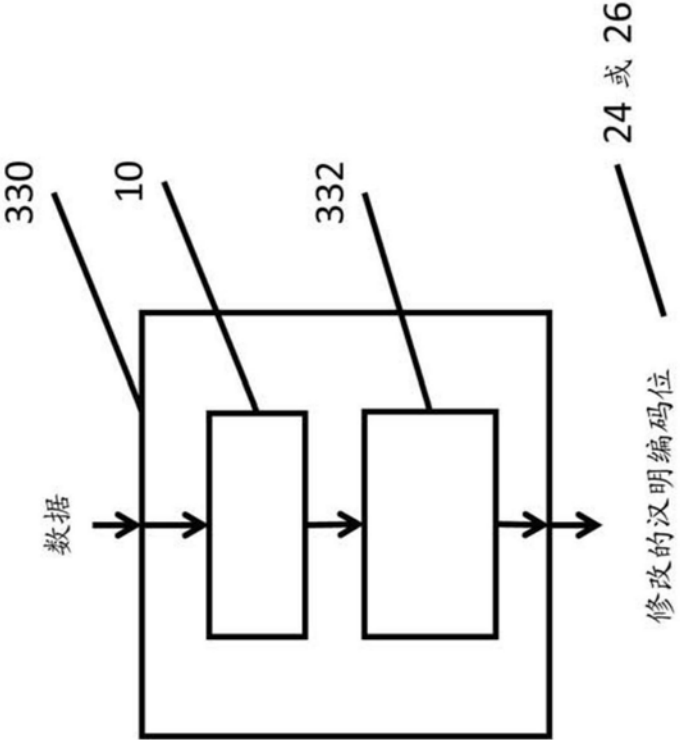


图11

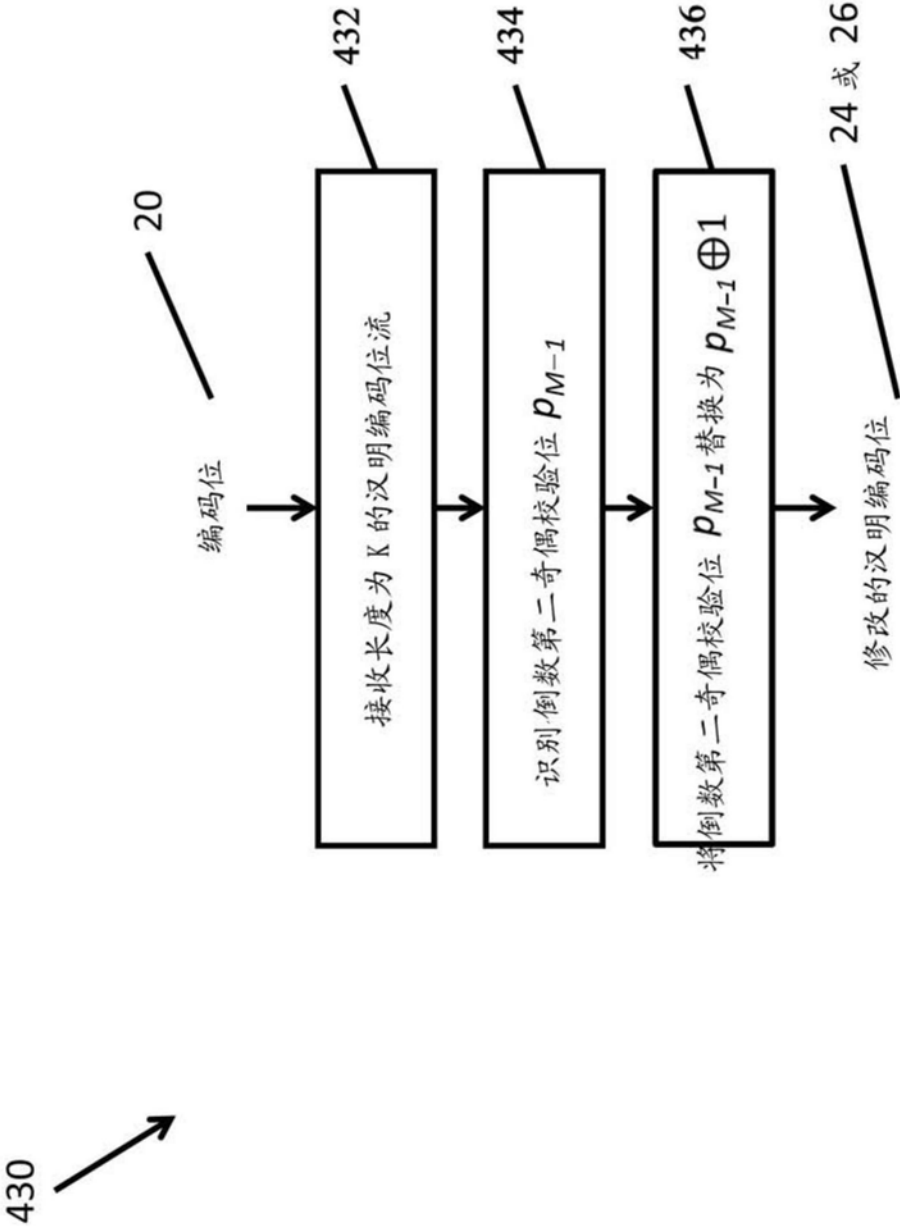


图12

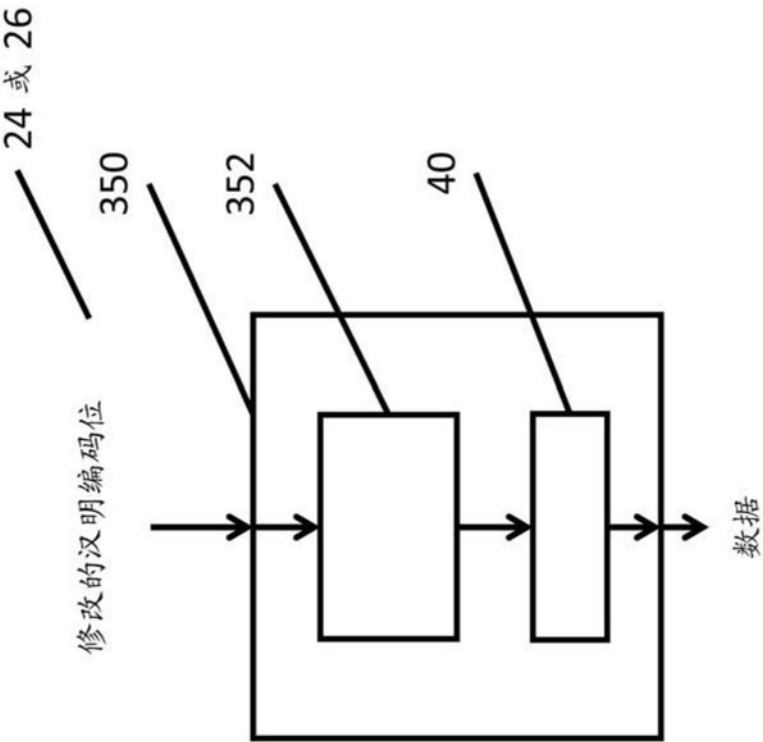


图13

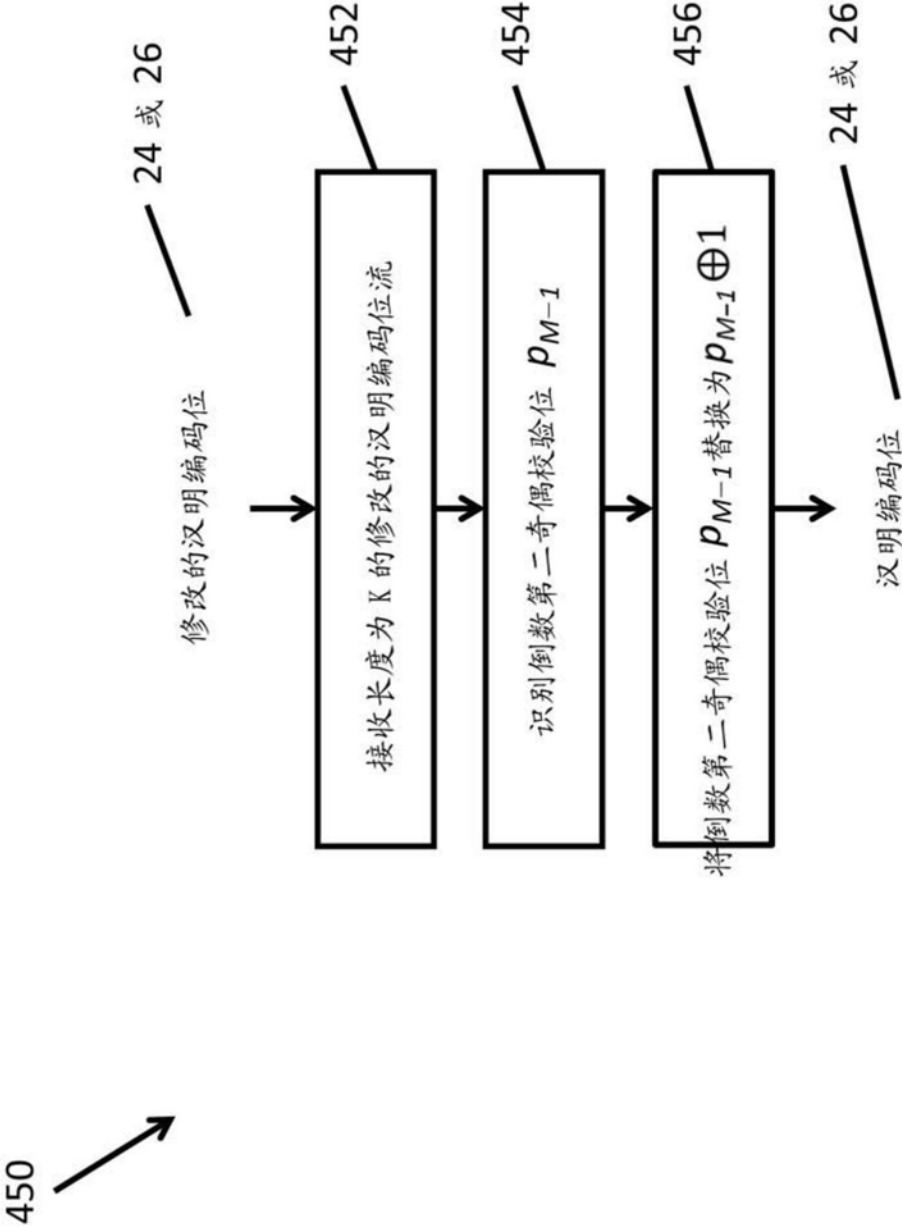


图14