

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5801787号  
(P5801787)

(45) 発行日 平成27年10月28日(2015.10.28)

(24) 登録日 平成27年9月4日(2015.9.4)

(51) Int.Cl.	F 1
<b>A 6 3 F 7/02 (2006.01)</b>	A 6 3 F 7/02 3 2 6 Z
	A 6 3 F 7/02 3 3 4
	A 6 3 F 7/02 3 0 4 Z
	A 6 3 F 7/02 3 2 0

請求項の数 3 (全 116 頁)

(21) 出願番号	特願2012-236104 (P2012-236104)	(73) 特許権者	000144153
(22) 出願日	平成24年10月25日(2012.10.25)		株式会社三共
(65) 公開番号	特開2014-83321 (P2014-83321A)		東京都渋谷区渋谷三丁目29番14号
(43) 公開日	平成26年5月12日(2014.5.12)	(74) 代理人	100103090
審査請求日	平成26年4月28日(2014.4.28)		弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(74) 代理人	100135161
			弁理士 眞野 修二
		(72) 発明者	小倉 敏男
			東京都渋谷区渋谷三丁目29番14号 株式会社三共内
		審査官	尾崎 俊彦

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技を行うことが可能な遊技機であって、  
 遊技の進行に関する制御を行う制御用マイクロコンピュータと、  
 所定事象が発生したことにともづいて第1リセットを発生させるか第2リセットを発生させるかを設定可能な設定手段とを備え、  
 前記第1リセットの発生後にはセキュリティチェックを実行する一方、前記第2リセットの発生後にはセキュリティチェックを実行せず、  
 前記制御用マイクロコンピュータは、  
 遊技機への電力供給が停止していても、遊技に関する制御を行う際に発生する情報を所  
 定期間保持可能な記憶手段と、  
 ウオッチドッグタイマとを含み、  
少なくとも、前記ウオッチドッグタイマが起動されているときには、前記ウオッチドッ  
 グタイマのタイムアウトにより前記所定事象が発生したものとされ、  
 前記制御用マイクロコンピュータは、  
 所定電源電圧の電圧低下を検出したことにともづいて電力供給停止時処理を実行する電  
 力供給停止時処理実行手段と、  
 前記電力供給停止時処理を実行した後に前記所定事象が発生したときに、前記記憶手段  
 の記憶内容にもとづいて制御状態を前記電力供給停止時処理を開始したときの状態に復旧  
 させる復旧手段と、

10

20

前記ウォッチドッグタイマをユーザプログラムにより起動させるか否かを設定可能な起動設定手段とをさらに含む

ことを特徴とする遊技機。

【請求項 2】

制御用マイクロコンピュータは、遊技の進行に関する情報を送信する送信手段を含み、前記送信手段から送信される情報にもとづいて演出の実行を制御する演出制御手段を備えた

請求項 1 記載の遊技機。

【請求項 3】

可変表示を行い、遊技者にとって有利な有利状態に制御可能な遊技機であって、

前記有利状態に制御するか否かを決定する決定手段と、

前記決定手段による決定前に、前記有利状態に制御されるか否かを判定する判定手段と

、前記判定手段の判定結果にもとづいて、当該判定の対象となった可変表示が開始される前の複数回の可変表示において予告演出を実行する予告演出実行手段とを備え、

前記予告演出実行手段は、

複数回の可変表示において、第 1 予告演出を実行するパターンと、当該第 1 予告演出よりも前記有利状態に制御される割合が高い第 2 予告演出を実行するパターンと、前記第 1 予告演出を実行した後に前記第 2 予告演出を実行するパターンとのいずれかのパターンにより前記予告演出を実行可能であるとともに、

演出態様に応じて、前記第 1 予告演出を実行した後に前記第 2 予告演出を実行するパターンにより前記予告演出が実行される割合が異なるように、前記予告演出を実行する

請求項 1 または請求項 2 記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遊技を行うことが可能なパチンコ遊技機等の遊技機に関する。

【背景技術】

【0002】

遊技機として、遊技媒体である遊技球を発射装置によって遊技領域に発射し、遊技領域に設けられている入賞口などの入賞領域に遊技球が入賞すると、所定個の賞球が遊技者に払い出されるものがある。さらに、識別情報を可変表示（「変動」ともいう。）可能な可変表示部が設けられ、可変表示部において識別情報の可変表示の表示結果が特定表示結果となった場合に、所定の遊技価値を遊技者に与えるように構成されたものがある。

【0003】

なお、遊技価値とは、遊技機の遊技領域に設けられた可変入賞球装置の状態が打球が入賞しやすい遊技者にとって有利な状態になることや、遊技者にとって有利な状態になるための権利を発生させたりすることや、賞球払出の条件が成立しやすくなる状態になることである。

【0004】

パチンコ遊技機では、始動入賞口に遊技球が入賞したことにもとづいて可変表示部において開始される特別図柄（識別情報）の可変表示の表示結果として、あらかじめ定められた特定の表示態様が導出表示された場合に、「大当たり」が発生する。なお、導出表示とは、図柄を停止表示させることである（いわゆる再変動の前の停止を除く。）。大当たりが発生すると、例えば、大入賞口が所定回数開放して打球が入賞しやすい大当たり遊技状態に移行する。そして、各開放期間において、所定個（例えば 10 個）の大入賞口への入賞があると大入賞口は閉成する。そして、大入賞口の開放回数は、所定回数（例えば 15 ラウンド）に固定されている。なお、各開放について開放時間（例えば 29 秒）が決められ、入賞数が所定個に達しなくても開放時間が経過すると大入賞口は閉成する。以下、各々の大入賞口の開放期間をラウンドということがある。

## 【 0 0 0 5 】

また、可変表示部において、最終停止図柄（例えば左右中図柄のうち中図柄）となる図柄以外の図柄が、所定時間継続して、特定の表示結果と一致している状態で停止、揺動、拡大縮小もしくは変形している状態、または、複数の図柄が同一図柄で同期して変動したり、表示図柄の位置が入れ替わっていたりして、最終結果が表示される前で大当たり発生の可能性が継続している状態（以下、これらの状態をリーチ状態という。）において行われる演出をリーチ演出という。また、リーチ状態やその様子をリーチ態様という。さらに、リーチ演出を含む可変表示をリーチ可変表示という。そして、可変表示装置に変動表示される図柄の表示結果が特定の表示結果でない場合には「はずれ」となり、変動表示状態は終了する。遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

10

## 【 0 0 0 6 】

そのような遊技機では、遊技の進行を制御する遊技制御用マイクロコンピュータなど各種のマイクロコンピュータが搭載されている。例えば、特許文献 1 では、遊技機に搭載されるマイクロコンピュータにおいて、内部リセットが発生した場合のそのリセット要因が I A T 信号によるリセットであるかタイムアウト信号によるリセットであるか通信エラー要因によるリセットであるかなど、いずれの要因であるかを特定可能に構成することが記載されている。

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 7 】

20

【 特許文献 1 】 特開 2 0 0 4 - 1 4 7 7 0 4 号公報（段落 0 1 6 2 - 0 1 6 5、表 1）

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 8 】

しかし、特許文献 1 に記載された遊技機では、単にリセット要因を特定できるにすぎず、所定事象（例えば、I A T の発生）が発生したときに行うリセットの種類を設定することはできない。そのため、制御用マイクロコンピュータに関してセキュリティ対策が十分であるとは言えない可能性がある。

## 【 0 0 0 9 】

そこで、本発明は、制御用マイクロコンピュータに関するセキュリティ性を向上させることができる遊技機を提供することを目的とする。

30

## 【 課題を解決するための手段 】

## 【 0 0 1 0 】

（手段 1）本発明による遊技機は、遊技を行うことが可能な遊技機であって、遊技の進行に関する制御を行う制御用マイクロコンピュータ（例えば、遊技制御用マイクロコンピュータ 5 6 0）と、所定事象が発生（例えば、I A T 回路 5 0 6 a からの I A T 信号の入力、ウォッチドッグタイマ（W D T）5 0 6 b からのタイムアウト信号の入力）したことにともづいて第 1 リセット（例えば、システムリセット）を発生させるか第 2 リセット（例えば、ユーザリセット）を発生させるかを設定可能な設定手段（例えば、遊技制御用マイクロコンピュータ 5 6 0 におけるプログラム管理エリアの図 1 2 に示すリセット設定（K R E S）のビット 7 の設定値に従ってステップ S 1 0 0 1，S 1 0 1 1 を実行する部分）とを備え、第 1 リセットの発生後にはセキュリティチェックを実行する一方、第 2 リセットの発生後にはセキュリティチェックを実行せず（例えば、遊技制御用マイクロコンピュータ 5 6 0 は、図 4 6（A）に示すように、ステップ S 1 0 0 4 の後にはステップ S 1 0 0 6 でセキュリティチェックを実行し、図 4 6（B）に示すように、ステップ S 1 0 1 4 の後にはセキュリティチェックを実行しない）、制御用マイクロコンピュータは、遊技機への電力供給が停止していても、遊技に関する制御を行う際に発生する情報を所定期間保持可能な記憶手段（例えば、R A M 5 5（バックアップ R A M））と、ウォッチドッグタイマ（例えば、ウォッチドッグタイマ（W D T）5 0 6 b）とを含み、少なくとも、ウォッチドッグタイマが起動されているときには、ウォッチドッグタイマのタイムアウトによ

40

50

り所定事象が発生したものとされ（例えば、ウォッチドッグタイマ（WDT）506bからのタイムアウト信号の入力）、制御用マイクロコンピュータは、所定電源電圧の電圧低下を検出したことにもとづいて電力供給停止時処理（例えば、電源断処理）を実行する電力供給停止時処理実行手段（例えば、遊技制御用マイクロコンピュータ560におけるステップS450～S487を実行する部分）と、電力供給停止時処理を実行した後に所定事象が発生したときに、記憶手段の記憶内容にもとづいて制御状態を電力供給停止時処理を開始したときの状態に復旧させる復旧手段（例えば、遊技制御用マイクロコンピュータ560において、電源断処理を実行した後にIAT回路506aからのIAT信号やウォッチドッグタイマ（WDT）506bからのタイムアウト信号を入力したときには、リセット後にメイン処理が開始されたときにステップS7，S8でYと判定してステップS41～S44を実行する部分）と、ウォッチドッグタイマをユーザプログラムにより起動させるか否かを設定可能な起動設定手段（例えば、遊技制御用マイクロコンピュータ560において、プログラム管理エリアの図12に示すリセット設定（KRES）のビット6に“1”が設定されていることにもとづいてステップS1001，S1011を実行することにより、ソフトウェア（ユーザプログラム）によりウォッチドッグタイマ（WDT）506bを起動可能とする部分）とをさらに含むことを特徴とする。また、上述した遊技機において、制御用マイクロコンピュータは、遊技の進行に関する情報を送信する送信手段を含み、送信手段から送信される情報にもとづいて演出の実行を制御する演出制御手段を備えたことを特徴とする。そのような構成により、制御用マイクロコンピュータに関する

10

20

また、可変表示を行い、遊技者にとって有利な有利状態に制御可能な遊技機であって、有利状態に制御するか否かを決定する決定手段と、決定手段による決定前に、有利状態に制御されるか否かを判定する判定手段と、判定手段の判定結果にもとづいて、当該判定の対象となった可変表示が開始される前の複数回の可変表示において予告演出を実行する予告演出実行手段とを備え、予告演出実行手段は、複数回の可変表示において、第1予告演出を実行するパターンと、当該第1予告演出よりも有利状態に制御される割合が高い第2予告演出を実行するパターンと、第1予告演出を実行した後に第2予告演出を実行するパターンとのいずれかのパターンにより予告演出を実行可能であるとともに、演出態様に応じて、第1予告演出を実行した後に第2予告演出を実行するパターンにより予告演出が実行される割合が異なるように、予告演出を実行するように構成されていてもよい。

30

#### 【0011】

（手段2）手段1において、設定手段は、ウォッチドッグタイマを起動させるか否かを設定可能であり（例えば、遊技制御用マイクロコンピュータ560は、プログラム管理エリアの図12に示すリセット設定（KRES）のビット3-0の設定値が“0000”であることに従ってステップS1001，S1011を実行することによって、ウォッチドッグタイマ（WDT）506bを使用禁止に設定可能である）、ウォッチドッグタイマを起動させないと設定した場合であっても、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを設定可能である（例えば、遊技制御用マイクロコンピュータ560におけるプログラム管理エリアの図12に示すリセット設定（KRES）のビット3-0が“0000”に設定されている場合であっても、ビット7の設定値に従ってステップS1001，S1011を実行することによって、リセットの種類を設定可能である）ように構成されていてもよい。そのような構成によれば、ウォッチドッグタイマの設定にかかわらず、所定事象が発生したことにもとづいて発生させるリセットの種類の設定を共通化することができる。

40

#### 【0012】

（手段3）手段1または手段2において、所定事象の発生には、指定された領域以外の領域に格納されたプログラムを実行する指定領域外実行（例えば、指定エリア外走行禁止（IAT））が含まれ（例えば、IAT回路506aからのIAT信号の入力）、制御用マイクロコンピュータは、所定の処理として所定時間（例えば4ms）毎に発生するタイマ割込に応じて実行されるタイマ割込処理（例えば、図49に示すタイマ割込処理）の実行

50

中に指定領域外実行が発生した場合に、記憶手段の記憶内容を初期化する初期化手段（例えば、遊技制御用マイクロコンピュータ560は、ステップS20～S34の実行中にIAT回路506aからのIAT信号を入力したときには、図50および図51に示す電源断処理を実行することなく、リセット後にメイン処理が開始されたときにステップS10～S13を実行する）を含むように構成されていてもよい。そのような構成によれば、意図しないプログラムが実行された場合のセキュリティ性を向上させることができる。

#### 【0013】

（手段4）手段1から手段3のうちのいずれかにおいて、設定手段は、第1リセットを発生させると設定したときに、所定事象が発生して第1リセットを発生させた後、所定事象が発生したことにもとづいて第1リセットを発生させるか第2リセットを発生させるかを再度設定する（例えば、遊技制御用マイクロコンピュータ560は、図46（A）に示すように、システムリセットが発生したときに、ステップS1005を実行して、遊技制御用マイクロコンピュータ560の各種設定をハードウェア的に再度実行することにより、システムリセットとするかユーザリセットとするかを再度設定する）ように構成されていてもよい。そのような構成によれば、異常な状態から正常な状態に確実に復旧させることができる。

#### 【図面の簡単な説明】

#### 【0014】

【図1】パチンコ遊技機を正面からみた正面図である。

【図2】遊技制御基板（主基板）の回路構成例を示すブロック図である。

【図3】演出制御基板、ランプドライバ基板および音声出力基板の回路構成例を示すブロック図である。

【図4】遊技制御用マイクロコンピュータの構成例を示すブロック図である。

【図5】遊技制御用マイクロコンピュータにおけるアドレスマップの一例を示す図である。

。

【図6】プログラム管理エリアの主要部分を例示する図である。

【図7】内蔵レジスタの主要部分を例示する図である。

【図8】内蔵レジスタの主要部分を例示する図である。

【図9】内蔵レジスタの主要部分を例示する図である。

【図10】ヘッダ（KHDR）における設定データと動作との対応関係を例示する図である。

【図11】プログラムコードエンドアドレス（KPCE）、プログラムコードスタートアドレス2（KPCE2）、およびプログラムコードエンドアドレス2（KPCE2）における設定内容の一例を示す図である。

【図12】リセット設定（KRES）における設定内容の一例を示す図である。

【図13】16ビット乱数初期設定1（KRL1）における設定内容の一例を示す図である。

【図14】16ビット乱数初期設定2（KRL2）における設定内容の一例を示す図である。

【図15】16ビット乱数初期設定3（KRL3）における設定内容の一例を示す図である。

【図16】8ビット乱数初期設定1（KRS1）における設定内容の一例を示す図である。

【図17】8ビット乱数初期設定2（KRS2）における設定内容の一例を示す図である。

【図18】セキュリティ時間設定（KSES）における設定内容の一例を示す図である。

【図19】乱数クロック監視設定（KRCs）における設定内容の一例を示す図である。

【図20】内部情報レジスタの構成例等を示す図である。

【図21】8ビット乱数回路の一構成例を示すブロック図である。

【図22】16ビット乱数回路の一構成例を示すブロック図である。

10

20

30

40

50

【図23】RL0ハードラッチ選択レジスタ0 (RL0LS0)の構成例および設定内容の一例を示す説明図である。

【図24】RL0ハードラッチ選択レジスタ1 (RL0LS1)の構成例および設定内容の一例を示す説明図である。

【図25】RLnハードラッチ選択レジスタ (RLnLS)の構成例および設定内容の一例を示す説明図である。

【図26】RSハードラッチ選択レジスタ0 (RSLS0)の構成例および設定内容の一例を示す説明図である。

【図27】RSハードラッチ選択レジスタ1 (RSLS1)の構成例および設定内容の一例を示す説明図である。

10

【図28】RL割り込み制御レジスタ0 (RLIC0)の構成例および設定内容の一例を示す説明図である。

【図29】RL割り込み制御レジスタ1 (RLIC1)の構成例および設定内容の一例を示す説明図である。

【図30】RS割り込み制御レジスタ (RSIC)の構成例および設定内容の一例を示す説明図である。

【図31】RLn最大値設定レジスタ (RLnMX)の構成例および設定内容の一例を示す説明図である。

【図32】RSn最大値設定レジスタ (RSnMX)の構成例および設定内容の一例を示す説明図である。

20

【図33】乱数列変更レジスタ (RDESC)の構成例および設定内容の一例を示す説明図である。

【図34】乱数ソフトラッチレジスタ (RDSL)の構成例および設定内容の一例を示す説明図である。

【図35】乱数ソフトラッチフラグレジスタ (RDSF)の構成例および設定内容の一例を示す説明図である。

【図36】RLnソフトラッチ乱数値レジスタ (RLnSV)の構成例および設定内容の一例を示す説明図である。

【図37】RSnソフトラッチ乱数値レジスタ (RSnSV)の構成例および設定内容の一例を示す説明図である。

30

【図38】RLハードラッチフラグレジスタ0 (RLHF0)の構成例および設定内容の一例を示す説明図である。

【図39】RLハードラッチフラグレジスタ1 (RLHF1)の構成例および設定内容の一例を示す説明図である。

【図40】RSハードラッチフラグレジスタ (RSHF)の構成例および設定内容の一例を示す説明図である。

【図41】RL0ハードラッチ乱数値レジスタm (RL0mHV)の構成例および設定内容の一例を示す説明図である。

【図42】RL1ハードラッチ乱数値レジスタm (RL1mHV)の構成例および設定内容の一例を示す説明図である。

40

【図43】RL2ハードラッチ乱数値レジスタm (RL2mHV)の構成例および設定内容の一例を示す説明図である。

【図44】RL3ハードラッチ乱数値レジスタm (RL3mHV)の構成例および設定内容の一例を示す説明図である。

【図45】RSnハードラッチ乱数値レジスタ (RSnHV)の構成例および設定内容の一例を示す説明図である。

【図46】リセット設定 (KRES)での設定内容によるリセット動作の違いを説明するための説明図である。

【図47】内蔵RAM領域に格納されているデータの読み出し方の例を示す説明図である。

50

【図 4 8】主基板における CPU が実行するメイン処理を示すフローチャートである。

【図 4 9】4 m s タイマ割込処理を示すフローチャートである。

【図 5 0】電源断処理の一例を示すフローチャートである。

【図 5 1】電源断処理の一例を示すフローチャートである。

【図 5 2】各乱数を示す説明図である。

【図 5 3】大当り判定テーブル、小当り判定テーブルおよび大当り種別判定テーブルを示す説明図である。

【図 5 4】特別図柄プロセス処理のプログラムの一例を示すフローチャートである。

【図 5 5】特別図柄プロセス処理のプログラムの一例を示すフローチャートである。

【図 5 6】始動口スイッチ通過処理を示すフローチャートである。

10

【図 5 7】保留記憶バッファの構成例を示す説明図である。

【図 5 8】演出制御用 CPU が実行する演出制御メイン処理を示すフローチャートである。

【図 5 9】演出制御プロセス処理を示すフローチャートである。

【図 6 0】先読み予告決定処理の一例を示すフローチャートである。

【図 6 1】先読み予告演出を決定する割合の設定例を示す図である。

【図 6 2】連続演出用のチャンス目の一覧を示す図である。

【図 6 3】先読み予告演出制御パターンの一覧を示す図である。

【図 6 4】可変表示開始設定処理の一例を示すフローチャートである。

【図 6 5】変動中予告演出を決定する割合の設定例を示す図である。

20

【図 6 6】先読み予告実行設定処理の一例を示すフローチャートである。

【図 6 7】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図 6 8】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図 6 9】先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図 7 0】変形例における先読み予告パターンを一例を示す図である。

【図 7 1】変形例の先読み予告決定処理の一部などを示す図である。

【図 7 2】変形例の先読み予告演出制御パターンの一部を示す図である。

30

【図 7 3】変形例において先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【図 7 4】変形例において先読み予告演出が実行される場合の画像表示装置における表示動作例を示す図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態を、図面を参照して説明する。まず、遊技機の一例であるパチンコ遊技機 1 の全体の構成について説明する。図 1 はパチンコ遊技機 1 を正面からみた正面図である。

【0016】

40

パチンコ遊技機 1 は、縦長の方形状に形成された外枠（図示せず）と、外枠の内側に開閉可能に取り付けられた遊技枠とで構成される。また、パチンコ遊技機 1 は、遊技枠に開閉可能に設けられている額縁状に形成されたガラス扉枠 2 を有する。遊技枠は、外枠に対して開閉自在に設置される前面枠（図示せず）と、機構部品等が取り付けられる機構板（図示せず）と、それらに取り付けられる種々の部品（後述する遊技盤 6 を除く）とを含む構造体である。

【0017】

ガラス扉枠 2 の下部表面には打球供給皿（上皿）3 がある。打球供給皿 3 の下部には、打球供給皿 3 に収容しきれない遊技球を貯留する余剰球受皿 4 や、打球を発射する打球操作ハンドル（操作ノブ）5 が設けられている。また、ガラス扉枠 2 の背面には、遊技盤 6

50

が着脱可能に取り付けられている。なお、遊技盤 6 は、それを構成する板状体と、その板状体に取り付けられた種々の部品とを含む構造体である。また、遊技盤 6 の前面には、打ち込まれた遊技球が流下可能な遊技領域 7 が形成されている。

#### 【 0 0 1 8 】

遊技領域 7 の中央付近には、液晶表示装置 ( L C D ) で構成された演出表示装置 9 が設けられている。演出表示装置 9 の表示画面には、第 1 特別図柄または第 2 特別図柄の可変表示に同期した演出図柄 ( 以下、飾り図柄ともいう ) の可変表示を行う演出図柄表示領域がある。よって、演出表示装置 9 は、演出図柄の可変表示を行う可変表示装置に相当する。演出図柄表示領域には、例えば「左」、「中」、「右」の 3 つの装飾用 ( 演出用 ) の演出図柄を可変表示する図柄表示エリアがある。図柄表示エリアには「左」、「中」、「右」の各図柄表示エリアがあるが、図柄表示エリアの位置は、演出表示装置 9 の表示画面において固定的でなくてもよいし、図柄表示エリアの 3 つ領域が離れてもよい。演出表示装置 9 は、演出制御基板に搭載されている演出制御用マイクロコンピュータによって制御される。演出制御用マイクロコンピュータが、第 1 特別図柄表示器 8 a で第 1 特別図柄の可変表示が実行されているときに、その可変表示に伴って演出表示装置 9 で演出表示を実行させ、第 2 特別図柄表示器 8 b で第 2 特別図柄の可変表示が実行されているときに、その可変表示に伴って演出表示装置 9 で演出表示を実行させるので、遊技の進行状況を把握しやすくすることができる。

#### 【 0 0 1 9 】

また、演出表示装置 9 において、最終停止図柄 ( 例えば左右中図柄のうち中図柄 ) となる図柄以外の図柄が、所定時間継続して、大当たり図柄 ( 例えば左中右の図柄が同じ図柄で揃った図柄の組み合わせ ) と一致している状態で停止、揺動、拡大縮小もしくは変形している状態、または、複数の図柄が同一図柄で同期して変動したり、表示図柄の位置が入れ替わっていたりして、最終結果が表示される前で大当たり発生の可能性が継続している状態 ( 以下、これらの状態をリーチ状態という。 ) において行われる演出をリーチ演出という。また、リーチ状態やその様子をリーチ態様という。さらに、リーチ演出を含む可変表示をリーチ可変表示という。そして、演出表示装置 9 に変動表示される図柄の表示結果が大当たり図柄でない場合には「はずれ」となり、変動表示状態は終了する。遊技者は、大当たりをいかにして発生させるかを楽しみつつ遊技を行う。

#### 【 0 0 2 0 】

なお、この実施の形態では、演出表示装置 9 における液晶表示の演出として演出図柄の変動表示を行う場合を示しているが、演出表示装置 9 で行われる演出は、この実施の形態で示したものにすぎず、例えば、所定のストーリー性をもつ演出を実行して、大当たり判定や変動パターンの決定結果にもとづいてストーリーの結果を表示するような演出を実行するようにしてもよい。例えば、プロレスやサッカーの試合や敵味方のキャラクタが戦うバトル演出を行うとともに、大当たりであれば試合やバトルに勝利する演出を行い、はずれであれば試合やバトルに敗北する演出を行うようにしてもよい。また、例えば、勝敗などの結果を表示するのではなく、物語などの所定のストーリーを順に展開させていくような演出を実行するようにしてもよい。

#### 【 0 0 2 1 】

演出表示装置 9 の表示画面の右上方部には、演出図柄と後述する特別図柄および普通図柄とに次ぐ第 4 図柄を表示する第 4 図柄表示領域 9 c , 9 d が設けられている。この実施の形態では、後述する第 1 特別図柄の変動表示に同期して第 1 特別図柄用の第 4 図柄の変動表示が行われる第 1 特別図柄用の第 4 図柄表示領域 9 c と、第 2 特別図柄の変動表示に同期して第 2 特別図柄用の第 4 図柄の変動表示が行われる第 2 特別図柄用の第 4 図柄表示領域 9 d とが設けられている。

#### 【 0 0 2 2 】

この実施の形態では、特別図柄の変動表示に同期して演出図柄の変動表示が実行されるのであるが ( ただし、正確には、演出図柄の変動表示は、演出制御用マイクロコンピュータ 1 0 0 側で変動パターンコマンドにもとづいて認識した変動時間を計測することによ

10

20

30

40

50



て行われる。)、演出表示装置 9 を用いた演出を行う場合、例えば、演出図柄の変動表示を含む演出内容が画面上から一瞬消えるような演出が行われたり、可動物が画面上の全部または一部を遮蔽するような演出が行われるなど、演出態様が多様化してきている。そのため、演出表示装置 9 上の表示画面を見ている、現在変動表示中の状態であるのか否か認識しにくい場合も生じている。そこで、この実施の形態では、演出表示装置 9 の表示画面の一部でさらに第 4 図柄の変動表示を行うことによって、第 4 図柄の状態を確認することにより現在変動表示中の状態であるのか否かを確実に認識可能としている。なお、第 4 図柄は、常に一定の動作で変動表示され、画面上から消えたり遮蔽物で遮蔽することはないため、常に視認することができる。

【 0 0 2 3 】

10

なお、第 1 特別図柄用の第 4 図柄と第 2 特別図柄用の第 4 図柄とを、第 4 図柄と総称することがあり、第 1 特別図柄用の第 4 図柄表示領域 9 c と第 2 特別図柄用の第 4 図柄表示領域 9 d を、第 4 図柄表示領域と総称することがある。

【 0 0 2 4 】

第 4 図柄の変動(可変表示)は、第 4 図柄表示領域 9 c , 9 d を所定の表示色(例えば、青色)で一定の時間間隔で点灯と消灯とを繰り返す状態を継続することによって実現される。第 1 特別図柄表示器 8 a における第 1 特別図柄の可変表示と、第 1 特別図柄用の第 4 図柄表示領域 9 c における第 1 特別図柄用の第 4 図柄の可変表示とは同期している。第 2 特別図柄表示器 8 b における第 2 特別図柄の可変表示と、第 2 特別図柄用の第 4 図柄表示領域 9 d における第 2 特別図柄用の第 4 図柄の可変表示とは同期している。同期とは、可変表示の開始時点および終了時点が同じであって、可変表示の期間が同じであることをいう。また、第 1 特別図柄表示器 8 a において大当たり図柄が停止表示されるときには、第 1 特別図柄用の第 4 図柄表示領域 9 c において大当たりを想起させる表示色(例えば、赤色)で点灯されたままになる。第 2 特別図柄表示器 8 b において大当たり図柄が停止表示されるときには、第 2 特別図柄用の第 4 図柄表示領域 9 d において大当たりを想起させる表示色(例えば、赤色)で点灯されたままになる。

20

【 0 0 2 5 】

なお、この実施の形態では、第 4 図柄表示領域を演出表示装置 9 の表示画面の一部に設ける場合を示しているが、演出表示装置 9 とは別に、ランプや LED などの発光体を用いて第 4 図柄表示領域を実現するようにしてもよい。この場合、例えば、第 4 図柄の変動(可変表示)を、2 つの LED が交互に点灯する状態を継続することによって実現されるようにしてもよく、2 つの LED のうちのいずれの LED が停止表示されたかによって大当たり図柄が停止表示されたか否かを表すようにしてもよい。

30

【 0 0 2 6 】

また、この実施の形態では、第 1 特別図柄と第 2 特別図柄とにそれぞれ対応させて別々の第 4 図柄表示領域 9 c , 9 d を備える場合を示しているが、第 1 特別図柄と第 2 特別図柄とに対して共通の第 4 図柄表示領域を演出表示装置 9 の表示画面の一部に設けるようにしてもよい。また、第 1 特別図柄と第 2 特別図柄とに対して共通の第 4 図柄表示領域をランプや LED などの発光体を用いて実現するようにしてもよい。この場合、第 1 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときと、第 2 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときとで、例えば、一定の時間間隔で異なる表示色の表示を点灯および消灯を繰り返すような表示を行うことによって、第 4 図柄の変動表示を区別して実行するようにしてもよい。また、第 1 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときと、第 2 特別図柄の変動表示に同期して第 4 図柄の変動表示を実行するときとで、例えば、異なる時間間隔で点灯および消灯を繰り返すような表示を行うことによって、第 4 図柄の変動表示を区別して実行するようにしてもよい。また、例えば、第 1 特別図柄の変動表示に対応して停止図柄を導出表示するときと、第 2 特別図柄の変動表示に対応して停止図柄を導出表示するときとで、同じ大当たり図柄であっても異なる態様の停止図柄を停止表示するようにしてもよい。

40

【 0 0 2 7 】

50

遊技盤 6 における下部の左側には、識別情報としての第 1 特別図柄を可変表示する第 1 特別図柄表示器（第 1 可変表示部）8 a が設けられている。この実施の形態では、第 1 特別図柄表示器 8 a は、0 ~ 9 の数字を可変表示可能な簡易で小型の表示器（例えば 7 セグメント LED）で実現されている。すなわち、第 1 特別図柄表示器 8 a は、0 ~ 9 の数字（または、記号）を可変表示するように構成されている。遊技盤 6 における下部の右側には、識別情報としての第 2 特別図柄を可変表示する第 2 特別図柄表示器（第 2 可変表示部）8 b が設けられている。第 2 特別図柄表示器 8 b は、0 ~ 9 の数字を可変表示可能な簡易で小型の表示器（例えば 7 セグメント LED）で実現されている。すなわち、第 2 特別図柄表示器 8 b は、0 ~ 9 の数字（または、記号）を可変表示するように構成されている。

10

#### 【0028】

小型の表示器は、例えば方形状に形成されている。また、この実施の形態では、第 1 特別図柄の種類と第 2 特別図柄の種類とは同じ（例えば、ともに 0 ~ 9 の数字）であるが、種類が異なってもよい。また、第 1 特別図柄表示器 8 a および第 2 特別図柄表示器 8 b は、それぞれ、例えば、00 ~ 99 の数字（または、2 桁の記号）を可変表示するように構成されていてもよい。

#### 【0029】

以下、第 1 特別図柄と第 2 特別図柄とを特別図柄と総称することがあり、第 1 特別図柄表示器 8 a と第 2 特別図柄表示器 8 b とを特別図柄表示器（可変表示部）と総称することがある。

20

#### 【0030】

なお、この実施の形態では、2 つの特別図柄表示器 8 a , 8 b を備える場合を示しているが、遊技機は、特別図柄表示器を 1 つのみ備えるものであってもよい。

#### 【0031】

第 1 特別図柄または第 2 特別図柄の可変表示は、可変表示の実行条件である第 1 始動条件または第 2 始動条件が成立（例えば、遊技球が第 1 始動入賞口 13 または第 2 始動入賞口 14 を通過（入賞を含む）したこと）した後、可変表示の開始条件（例えば、保留記憶数が 0 でない場合であって、第 1 特別図柄および第 2 特別図柄の可変表示が実行されていない状態であり、かつ、大当り遊技が実行されていない状態）が成立したことにともづいて開始され、可変表示時間（変動時間）が経過すると表示結果（停止図柄）を導出表示する。なお、遊技球が通過するとは、入賞口やゲートなどのあらかじめ入賞領域として定められている領域を遊技球が通過したことであり、入賞口に遊技球が入った（入賞した）ことを含む概念である。また、表示結果を導出表示するとは、図柄（識別情報の例）を最終的に停止表示させることである。

30

#### 【0032】

演出表示装置 9 の下方には、第 1 始動入賞口 13 を有する入賞装置が設けられている。第 1 始動入賞口 13 に入賞した遊技球は、遊技盤 6 の背面に導かれ、第 1 始動口スイッチ 13 a によって検出される。

#### 【0033】

また、第 1 始動入賞口（第 1 始動口）13 を有する入賞装置の下方には、遊技球が入賞可能な第 2 始動入賞口 14 を有する可変入賞球装置 15 が設けられている。第 2 始動入賞口（第 2 始動口）14 に入賞した遊技球は、遊技盤 6 の背面に導かれ、第 2 始動口スイッチ 14 a によって検出される。可変入賞球装置 15 は、ソレノイド 16 によって開状態とされる。可変入賞球装置 15 が開状態になることによって、遊技球が第 2 始動入賞口 14 に入賞可能になり（始動入賞し易くなり）、遊技者にとって有利な状態になる。可変入賞球装置 15 が開状態になっている状態では、第 1 始動入賞口 13 よりも、第 2 始動入賞口 14 に遊技球が入賞しやすい。また、可変入賞球装置 15 が閉状態になっている状態では、遊技球は第 2 始動入賞口 14 に入賞しない。従って、可変入賞球装置 15 が閉状態になっている状態では、第 2 始動入賞口 14 よりも、第 1 始動入賞口 13 に遊技球が入賞しやすい。なお、可変入賞球装置 15 が閉状態になっている状態において、入賞はしばらくも

40

50

の、入賞することは可能である（すなわち、遊技球が入賞しにくい）ように構成されていてもよい。

【 0 0 3 4 】

以下、第 1 始動入賞口 1 3 と第 2 始動入賞口 1 4 とを総称して始動入賞口または始動口ということがある。

【 0 0 3 5 】

可変入賞球装置 1 5 が開放状態に制御されているときには可変入賞球装置 1 5 に向かう遊技球は第 2 始動入賞口 1 4 に極めて入賞しやすい。そして、第 1 始動入賞口 1 3 は演出表示装置 9 の直下に設けられているが、演出表示装置 9 の下端と第 1 始動入賞口 1 3 との間の間隔をさらに狭めたり、第 1 始動入賞口 1 3 の周辺で釘を密に配置したり、第 1 始動入賞口 1 3 の周辺での釘配列を遊技球を第 1 始動入賞口 1 3 に導きづらくして、第 2 始動入賞口 1 4 の入賞率の方を第 1 始動入賞口 1 3 の入賞率よりもより高くするようにしてもよい。

【 0 0 3 6 】

なお、この実施の形態では、図 1 に示すように、第 2 始動入賞口 1 4 に対してのみ開閉動作を行う可変入賞球装置 1 5 が設けられているが、第 1 始動入賞口 1 3 および第 2 始動入賞口 1 4 のいずれについても開閉動作を行う可変入賞球装置が設けられている構成であってもよい。

【 0 0 3 7 】

第 1 特別図柄表示器 8 a の側方には、第 1 始動入賞口 1 3 に入った有効入賞球数すなわち第 1 保留記憶数（保留記憶を、始動記憶または始動入賞記憶ともいう。）を表示する 4 つの表示器からなる第 1 特別図柄保留記憶表示器 1 8 a が設けられている。第 1 特別図柄保留記憶表示器 1 8 a は、有効始動入賞がある毎に、点灯する表示器の数を 1 増やす。そして、第 1 特別図柄表示器 8 a での可変表示が開始される毎に、点灯する表示器の数を 1 減らす。

【 0 0 3 8 】

第 2 特別図柄表示器 8 b の側方には、第 2 始動入賞口 1 4 に入った有効入賞球数すなわち第 2 保留記憶数を表示する 4 つの表示器からなる第 2 特別図柄保留記憶表示器 1 8 b が設けられている。第 2 特別図柄保留記憶表示器 1 8 b は、有効始動入賞がある毎に、点灯する表示器の数を 1 増やす。そして、第 2 特別図柄表示器 8 b での可変表示が開始される毎に、点灯する表示器の数を 1 減らす。

【 0 0 3 9 】

また、演出表示装置 9 の表示画面の下部には、第 1 保留記憶数を表示する第 1 保留記憶表示部 1 8 c と、第 2 保留記憶数を表示する第 2 保留記憶表示部 1 8 d とが設けられている。なお、第 1 保留記憶数と第 2 保留記憶数との合計である合計数（合算保留記憶数）を表示する領域（合算保留記憶表示部）が設けられるようにしてもよい。そのように、合計数を表示する合算保留記憶表示部が設けられているようにすれば、可変表示の開始条件が成立していない実行条件の成立数の合計を把握しやすくなることができる。

【 0 0 4 0 】

演出表示装置 9 は、第 1 特別図柄表示器 8 a による第 1 特別図柄の可変表示時間中、および第 2 特別図柄表示器 8 b による第 2 特別図柄の可変表示時間中に、装飾用（演出用）の図柄としての演出図柄の可変表示を行う。第 1 特別図柄表示器 8 a における第 1 特別図柄の可変表示と、演出表示装置 9 における演出図柄の可変表示とは同期している。また、第 2 特別図柄表示器 8 b における第 2 特別図柄の可変表示と、演出表示装置 9 における演出図柄の可変表示とは同期している。また、第 1 特別図柄表示器 8 a において大当り図柄が停止表示されるときと、第 2 特別図柄表示器 8 b において大当り図柄が停止表示されるときには、演出表示装置 9 において大当りを想起させるような演出図柄の組み合わせが停止表示される。

【 0 0 4 1 】

なお、この実施の形態では、後述するように、特別図柄の変動表示を制御する遊技制御

用マイクロコンピュータ５６０が変動時間を特定可能な変動パターンコマンドを送信し、演出制御用マイクロコンピュータ１００によって、受信した変動パターンコマンドで特定される変動時間に従って演出図柄の変動表示が制御される。そのため、変動パターンコマンドにもとづいて変動時間が特定されることから、特別図柄の変動表示と演出図柄の変動表示とは、原則として同期して実行されるはずである。ただし、万一変動パターンコマンドのデータ化けなどが生じた場合には、遊技制御用マイクロコンピュータ５６０側で認識している変動時間と、演出制御用マイクロコンピュータ１００側で認識している変動時間との間にズレが生じる可能性がある。そのため、コマンドのデータ化けなどの不測の事態が生じた場合には、特別図柄の変動表示と演出図柄の変動表示とが完全には同期しない事態が生じる可能性がある。

10

#### 【００４２】

演出表示装置９の周囲の飾り部において、左側には、モータ８６の回転軸に取り付けられ、モータ８６が回転すると移動する可動部材７８が設けられている。この実施の形態では、可動部材７８は、擬似連の演出や予告演出（可動物予告演出）が実行されるときに動作する。また、演出表示装置９の周囲の飾り部において、左右の下方には、モータ８７の回転軸に取り付けられ、モータ８７が回転すると移動する羽根形状の可動部材（以下、演出羽根役物という。）７９ａ，７９ｂが設けられている。この実施の形態では、演出羽根役物７９ａ，７９ｂは、予告演出（演出羽根役物予告演出）が実行されるときに動作する。

#### 【００４３】

20

また、図１に示すように、可変入賞球装置１５の下方には、特別可変入賞球装置２０が設けられている。特別可変入賞球装置２０は開閉板を備え、第１特別図柄表示器８ａに特定表示結果（大当り図柄）が導出表示されたときと、第２特別図柄表示器８ｂに特定表示結果（大当り図柄）が導出表示されたときに生起する特定遊技状態（大当り遊技状態）においてソレノイド２１によって開閉板が開放状態に制御されることによって、入賞領域となる大入賞口が開放状態になる。大入賞口に入賞した遊技球はカウントスイッチ２３で検出される。

#### 【００４４】

遊技領域６には、遊技球の入賞にもとづいてあらかじめ決められている所定数の景品遊技球の払出を行うための入賞口（普通入賞口）２９，３０，３３，３９も設けられている。入賞口２９，３０，３３，３９に入賞した遊技球は、入賞口スイッチ２９ａ，３０ａ，３３ａ，３９ａで検出される。

30

#### 【００４５】

遊技盤６の右側方には、普通図柄表示器１０が設けられている。普通図柄表示器１０は、普通図柄と呼ばれる複数種類の識別情報（例えば、「」および「×」）を可変表示する。

#### 【００４６】

遊技球がゲート３２を通過しゲートスイッチ３２ａで検出されると、普通図柄表示器１０の表示の可変表示が開始される。この実施の形態では、上下のランプ（点灯時に図柄が視認可能になる）が交互に点灯することによって可変表示が行われ、例えば、可変表示の終了時に下側のランプが点灯すれば当りとなる。そして、普通図柄表示器１０における停止図柄が所定の図柄（当り図柄）である場合に、可変入賞球装置１５が所定回数、所定時間だけ開状態になる。すなわち、可変入賞球装置１５の状態は、普通図柄の停止図柄が当り図柄である場合に、遊技者にとって不利な状態から有利な状態（第２始動入賞口１４に遊技球が入賞可能な状態）に変化する。普通図柄表示器１０の近傍には、ゲート３２を通過した入賞球数を表示する４つのＬＥＤによる表示部を有する普通図柄保留記憶表示器４１が設けられている。ゲート３２への遊技球の通過がある毎に、すなわちゲートスイッチ３２ａによって遊技球が検出される毎に、普通図柄保留記憶表示器４１は点灯するＬＥＤを１増やす。そして、普通図柄表示器１０の可変表示が開始される毎に、点灯するＬＥＤを１減らす。さらに、通常状態に比べて大当りとするに決定される確率が高い状態で

40

50

ある確変状態（通常状態と比較して、特別図柄の変動表示結果として大当たりと判定される確率が高められた状態）では、普通図柄表示器 10 における停止図柄が当り図柄になる確率が高められるとともに、可変入賞球装置 15 の開放時間と開放回数が高められる。また、確変状態ではないが図柄の変動時間が短縮されている時短状態（特別図柄の可変表示時間が短縮される遊技状態）でも、可変入賞球装置 15 の開放時間と開放回数が高められる。

#### 【0047】

遊技盤 6 の遊技領域 7 の左右周辺には、遊技中に点滅表示される装飾 LED 25 が設けられ、下部には、入賞しなかった打球が取り込まれるアウト口 26 がある。また、遊技領域 7 の外側の左上上部には、所定の音声出力として効果音や音声を発声する 2 つのスピーカ 27 が設けられている。遊技領域 7 の外周には、前面枠に設けられた枠 LED 28 が設けられている。

10

#### 【0048】

打球供給皿 3 を構成する部材においては、遊技者により操作可能な操作手段としての操作ボタン 120 が設けられている。操作ボタン 120 には、遊技者が押圧操作をすることが可能な押しボタンスイッチが設けられている。なお、操作ボタン 120 は、遊技者による押圧操作が可能な押しボタンスイッチが設けられているだけでなく、遊技者による回転操作が可能なダイヤルも設けられている。遊技者は、ダイヤルを回転操作することによって、所定の選択（例えば演出の選択）を行うことができる。

#### 【0049】

20

遊技機には、遊技者が打球操作ハンドル 5 を操作することに応じて駆動モータを駆動し、駆動モータの回転力を利用して遊技球を遊技領域 7 に発射する打球発射装置（図示せず）が設けられている。打球発射装置から発射された遊技球は、遊技領域 7 を囲むように円形状に形成された打球レールを通して遊技領域 7 に入り、その後、遊技領域 7 を下りてくる。遊技球が第 1 始動入賞口 13 に入り第 1 始動口スイッチ 13a で検出されると、第 1 特別図柄の可変表示を開始できる状態であれば（例えば、特別図柄の可変表示が終了し、第 1 の開始条件が成立したこと）、第 1 特別図柄表示器 8a において第 1 特別図柄の可変表示（変動）が開始されるとともに、演出表示装置 9 において演出図柄の可変表示が開始される。すなわち、第 1 特別図柄および演出図柄の可変表示は、第 1 始動入賞口 13 への入賞に対応する。第 1 特別図柄の可変表示を開始できる状態でなければ、第 1 保留記憶数が上限値に達していないことを条件として、第 1 保留記憶数を 1 増やす。

30

#### 【0050】

遊技球が第 2 始動入賞口 14 に入り第 2 始動口スイッチ 14a で検出されると、第 2 特別図柄の可変表示を開始できる状態であれば（例えば、特別図柄の可変表示が終了し、第 2 の開始条件が成立したこと）、第 2 特別図柄表示器 8b において第 2 特別図柄の可変表示（変動）が開始されるとともに、演出表示装置 9 において演出図柄の可変表示が開始される。すなわち、第 2 特別図柄および演出図柄の可変表示は、第 2 始動入賞口 14 への入賞に対応する。第 2 特別図柄の可変表示を開始できる状態でなければ、第 2 保留記憶数が上限値に達していないことを条件として、第 2 保留記憶数を 1 増やす。

#### 【0051】

40

この実施の形態では、確変大当たりとなった場合には、遊技状態を高確率状態に移行するとともに、遊技球が始動入賞しやすくなる（すなわち、特別図柄表示器 8a、8b や演出表示装置 9 における可変表示の実行条件が成立しやすくなる）ように制御された遊技状態である高ベース状態に移行する。また、遊技状態が時短状態に移行されたときも、高ベース状態に移行する。高ベース状態である場合には、例えば、高ベース状態でない場合と比較して、可変入賞球装置 15 が開状態となる頻度が高められたり、可変入賞球装置 15 が開状態となる時間が延長されたりして、始動入賞しやすくなる。

#### 【0052】

なお、可変入賞球装置 15 が開状態となる時間を延長する（開放延長状態ともいう）のではなく、普通図柄表示器 10 における停止図柄が当り図柄になる確率が高められる普通図

50

柄確変状態に移行することによって、高ベース状態に移行してもよい。普通図柄表示器 10 における停止図柄が所定の図柄（当り図柄）となると、可変入賞球装置 15 が所定回数、所定時間だけ開状態になる。この場合、普通図柄確変状態に移行制御することによって、普通図柄表示器 10 における停止図柄が当り図柄になる確率が高められ、可変入賞球装置 15 が開状態となる頻度が高まる。従って、普通図柄確変状態に移行すれば、可変入賞球装置 15 の開放時間と開放回数が高められ、始動入賞しやすい状態（高ベース状態）となる。すなわち、可変入賞球装置 15 の開放時間と開放回数は、普通図柄の停止図柄が当り図柄であったり、特別図柄の停止図柄が確変図柄である場合等に高められ、遊技者にとって不利な状態から有利な状態（始動入賞しやすい状態）に変化する。なお、開放回数が高められることは、閉状態から開状態になることも含む概念である。

10

#### 【0053】

また、普通図柄表示器 10 における普通図柄の変動時間（可変表示期間）が短縮される普通図柄時短状態に移行することによって、高ベース状態に移行してもよい。普通図柄時短状態では、普通図柄の変動時間が短縮されるので、普通図柄の変動が開始される頻度が高くなり、結果として普通図柄が当りとなる頻度が高くなる。従って、普通図柄が当たりとなる頻度が高くなることによって、可変入賞球装置 15 が開状態となる頻度が高くなり、始動入賞しやすい状態（高ベース状態）となる。

#### 【0054】

また、特別図柄や演出図柄の変動時間（可変表示期間）が短縮される時短状態に移行することによって、特別図柄や演出図柄の変動時間が短縮されるので、特別図柄や演出図柄の変動が開始される頻度が高くなり（換言すれば、保留記憶の消化が速くなる。）、無効な始動入賞が生じてしまう事態を低減することができる。従って、有効な始動入賞が発生しやすくなり、結果として、大当り遊技が行われる可能性が高まる。

20

#### 【0055】

さらに、上記に示した全ての状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）に移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。また、上記に示した各状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）のうちのいずれか複数の状態に移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。また、上記に示した各状態（開放延長状態、普通図柄確変状態、普通図柄時短状態および特別図柄時短状態）のうちのいずれか 1 つの状態にのみ移行させることによって、始動入賞しやすくなる（高ベース状態に移行する）ようにしてもよい。

30

#### 【0056】

図 2 は、主基板（遊技制御基板）31 における回路構成の一例を示すブロック図である。なお、図 2 は、払出制御基板 37 および演出制御基板 80 等も示されている。主基板 31 には、プログラムに従ってパチンコ遊技機 1 を制御する遊技制御用マイクロコンピュータ（遊技制御手段に相当）560、制御用クロック生成回路 111、および乱数用クロック生成回路 112 が搭載されている。遊技制御用マイクロコンピュータ 560 は、ゲーム制御（遊技進行制御）用のプログラム等を記憶する ROM 54、ワークメモリとして使用される記憶手段としての RAM 55、プログラムに従って制御動作を行う CPU 56 を含む。また、この実施の形態では、ROM 54 および RAM 55 は遊技制御用マイクロコンピュータ 560 に内蔵されている。すなわち、遊技制御用マイクロコンピュータ 560 は、1 チップマイクロコンピュータである。1 チップマイクロコンピュータには、少なくとも CPU 56 のほか RAM 55 が内蔵されていればよく、ROM 54 は外付けであっても内蔵されていてもよい。遊技制御用マイクロコンピュータ 560 には、さらに、ハードウェア乱数（ハードウェア回路が発生する乱数）が発生する乱数回路 508a, 508b が内蔵されている。

40

#### 【0057】

ここで、制御用クロック生成回路 111 は、遊技制御用マイクロコンピュータ 560 の外部にて、所定周波数の発振信号となる制御用クロック CLK を生成する。制御用クロ

50

ック生成回路 1 1 1 により生成された制御用クロック C C L K は、例えば、後述する図 4 に示すような遊技制御用マイクロコンピュータ 5 6 0 の制御用外部クロック端子を介してクロック回路 5 0 2 に供給される。乱数用クロック生成回路 1 1 2 は、遊技制御用マイクロコンピュータ 5 6 0 の外部にて、制御用クロック C C L K の発振周波数とは異なる所定周波数の発振信号となる乱数用クロック R C L K を生成する。乱数用クロック生成回路 1 1 2 により生成された乱数用クロック R C L K は、例えば、後述する図 4 に示すような遊技制御用マイクロコンピュータ 5 6 0 の乱数用外部クロック端子 ( R C K 端子 ) を介して乱数回路 5 0 8 a , 5 0 8 b に供給される。一例として、乱数用クロック生成回路 1 1 2 により生成される乱数用クロック R C L K の発振周波数は、制御用クロック生成回路 1 1 1 により生成される制御用クロック C C L K の発振周波数以下となるようにすればよい。あるいは、乱数用クロック生成回路 1 1 2 により生成される乱数用クロック R C L K の発振周波数は、制御用クロック生成回路 1 1 1 により生成される制御用クロック C C L K の発振周波数よりも高周波となるようにしてもよい。

10

#### 【 0 0 5 8 】

なお、この実施の形態では、乱数用クロック生成回路 1 1 2 から専用の乱数用クロック R C L K を乱数回路 5 0 8 a , 5 0 8 b に入力する場合を示しているが、そのような態様にかぎられない。例えば、専用のクロックを用いるのではなく、制御用クロック生成回路 1 1 1 からの制御用クロック C C L K を遊技制御用マイクロコンピュータ 5 6 0 内部で乱数回路 5 0 8 a , 5 0 8 b に入力させるように構成してもよい。この場合、例えば、制御用クロック C C L K を分周した信号を用いて乱数回路 5 0 8 a , 5 0 8 b 内蔵の乱数カウンタ ( 後述する乱数生成回路 5 2 5 a , 5 2 5 b ) を更新させるようにしてもよい。また、この場合、乱数用クロック生成回路 1 1 2 は主基板 3 1 上に設けなくてもよい。

20

#### 【 0 0 5 9 】

また、R A M 5 5 は、その一部または全部が電源基板 9 1 0 において作成されるバックアップ電源によってバックアップされている不揮発性記憶手段としてのバックアップ R A M である。すなわち、遊技機に対する電力供給が停止しても、所定期間 ( バックアップ電源としてのコンデンサが放電してバックアップ電源が電力供給不能になるまで ) は、R A M 5 5 の一部または全部の内容は保存される。特に、少なくとも、遊技状態すなわち遊技制御手段の制御状態に応じたデータ ( 特別図柄プロセスフラグなど ) と未払出賞球数を示すデータは、バックアップ R A M に保存される。遊技制御手段の制御状態に応じたデータとは、停電等が生じた後に復旧した場合に、そのデータにもとづいて、制御状態を停電等の発生前に復旧させるために必要なデータである。また、制御状態に応じたデータと未払出賞球数を示すデータとを遊技の進行状態を示すデータと定義する。なお、この実施の形態では、R A M 5 5 の全部が、電源バックアップされているとする。

30

#### 【 0 0 6 0 】

なお、遊技制御用マイクロコンピュータ 5 6 0 において C P U 5 6 が R O M 5 4 に格納されているプログラムに従って制御を実行するので、以下、遊技制御用マイクロコンピュータ 5 6 0 ( または C P U 5 6 ) が実行する ( または、処理を行う ) ということは、具体的には、C P U 5 6 がプログラムに従って制御を実行することである。このことは、主基板 3 1 以外の他の基板に搭載されているマイクロコンピュータについても同様である。ただし、後述するように、遊技機への電源投入時やシステムリセット発生時には、遊技制御用マイクロコンピュータ 5 6 0 は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路 5 0 8 a , 5 0 8 b の設定、レジスタの設定などを行うのであるが、この設定動作については、遊技制御用マイクロコンピュータ 5 6 0 は、プログラムによらず、ハードウェア的に実行する。

40

#### 【 0 0 6 1 】

また、ゲートスイッチ 3 2 a、始動口スイッチ 1 3 a、カウントスイッチ 2 3、入賞口スイッチ 2 9 a , 3 0 a , 3 3 a , 3 9 a からの検出信号を遊技制御用マイクロコンピュータ 5 6 0 に与える入力ドライバ回路 5 8 も主基板 3 1 に搭載されている。また、可変入賞球装置 1 5 を開閉するソレノイド 1 6、および大入賞口を形成する特別可変入賞球装置

50

20を開閉するソレノイド21を遊技制御用マイクロコンピュータ560からの指令に従って駆動する出力回路59も主基板31に搭載されている。

【0062】

また、遊技制御用マイクロコンピュータ560は、特別図柄を可変表示する第1特別図柄表示器8a、第2特別図柄表示器8b、普通図柄を可変表示する普通図柄表示器10、第1特別図柄保留記憶表示器18a、第2特別図柄保留記憶表示器18bおよび普通図柄保留記憶表示器41の表示制御を行う。

【0063】

なお、大当り遊技状態の発生を示す大当り情報等の情報出力信号をホールコンピュータ等の外部装置に対して出力する情報出力回路(図示せず)も主基板31に搭載されている。

10

【0064】

主基板31と演出制御基板80の間では、例えば主基板31から中継基板77を介して演出制御基板80へと向かう単一方向のみでシリアル通信などを行うことにより、各種の演出制御コマンドが伝送される。この実施の形態では、演出制御基板80に搭載されている演出制御手段(演出制御用マイクロコンピュータで構成される。)が、中継基板77を介して遊技制御用マイクロコンピュータ560から演出内容を指示する演出制御コマンドを受信し、演出図柄を可変表示する演出表示装置9の表示制御を行う。

【0065】

また、演出制御基板80に搭載されている演出制御手段が、ランプドライバ基板35を介して、遊技盤に設けられている装飾LED25、および枠側に設けられている枠LED28の表示制御を行うとともに、音声出力基板70を介してスピーカ27からの音出力の制御を行う。

20

【0066】

図3は、中継基板77、演出制御基板80、ランプドライバ基板35および音声出力基板70の回路構成例を示すブロック図である。なお、図3に示す例では、ランプドライバ基板35および音声出力基板70には、マイクロコンピュータは搭載されていないが、マイクロコンピュータを搭載してもよい。また、ランプドライバ基板35および音声出力基板70を設けずに、演出制御に関して演出制御基板80のみを設けてもよい。

【0067】

30

演出制御基板80は、演出制御用CPU101、および演出図柄プロセスフラグ等の演出に関する情報を記憶するRAMを含む演出制御用マイクロコンピュータ100を搭載している。なお、RAMは外付けであってもよい。この実施の形態では、演出制御用マイクロコンピュータ100におけるRAMは電源バックアップされていない。演出制御基板80において、演出制御用CPU101は、内蔵または外付けのROM(図示せず)に格納されたプログラムに従って動作し、中継基板77を介して演出制御コマンドを受信する。また、演出制御用CPU101は、演出制御コマンドにもとづいて、VDP(ビデオディスプレイプロセッサ)109に演出表示装置9の表示制御を行わせる。

【0068】

この実施の形態では、演出制御用マイクロコンピュータ100と共動して演出表示装置9の表示制御を行うVDP109が演出制御基板80に搭載されている。VDP109は、演出制御用マイクロコンピュータ100とは独立したアドレス空間を有し、そこにVRAMをマッピングする。VRAMは、画像データを展開するためのバッファメモリである。そして、VDP109は、VRAM内の画像データをフレームメモリを介して演出表示装置9に出力する。

40

【0069】

演出制御用CPU101は、受信した演出制御コマンドに従ってCGROM(図示せず)から必要なデータを読み出すための指令をVDP109に出力する。CGROMは、演出表示装置9に表示されるキャラクタ画像データや動画像データ、具体的には、人物、文字、図形や記号等(演出図柄を含む)、および背景画像のデータをあらかじめ格納してお

50



くためのROMである。VDP109は、演出制御用CPU101の指令に応じて、CGROMから画像データを読み出す。そして、VDP109は、読み出した画像データにもとづいて表示制御を実行する。

【0070】

また、演出制御用CPU101は、出力ポート106を介して、可動部材78を動作させるためにモータ86を駆動する。また、演出制御用CPU101は、出力ポート106を介して、演出羽根役物79a, 79bを動作させるためのモータ87を駆動する。

【0071】

また、演出制御用CPU101は、入力ポート107を介して、遊技者による操作ボタン120の押圧操作に応じて操作ボタン120からの信号を入力する。

10

【0072】

さらに、演出制御用CPU101は、出力ポート105を介してランプドライバ基板35に対してLEDを駆動する信号を出力する。また、演出制御用CPU101は、出力ポート104を介して音声出力基板70に対して音番号データを出力する。

【0073】

ランプドライバ基板35において、LEDを駆動する信号は、入力ドライバ351を介してLEDドライバ352に入力される。LEDドライバ352は、LEDを駆動する信号にもとづいて枠LED28などの枠側に設けられている発光体に電流を供給する。また、遊技盤側に設けられている装飾LED25に電流を供給する。

【0074】

20

音声出力基板70において、音番号データは、入力ドライバ702を介して音声合成用IC703に入力される。音声合成用IC703は、音番号データに応じた音声や効果音を発生し増幅回路705に出力する。増幅回路705は、音声合成用IC703の出力レベルを、ボリューム706で設定されている音量に応じたレベルに増幅した音声信号をスピーカ27に出力する。音声データROM704には、音番号データに応じた制御データが格納されている。音番号データに応じた制御データは、所定期間（例えば演出図柄の変動期間）における効果音または音声の出力態様を時系列的に示すデータの集まりである。

【0075】

図4は、主基板31に搭載された遊技制御用マイクロコンピュータ560の構成例を示している。図4に示す遊技制御用マイクロコンピュータ560は、例えば1チップマイクロコンピュータであり、外部バスインタフェース501と、クロック回路502と、照合用ブロック503と、固有情報記憶回路504と、演算回路505と、リセット/割り込みコントローラ506と、CPU(Central Processing Unit)56と、ROM(Read Only Memory)54と、RAM(Random Access Memory)55と、フリーランカウンタ回路507と、乱数回路508a, 508bと、タイマ回路509と、割り込みコントローラ510と、パラレル入力ポート511と、シリアル通信回路512と、パラレル出力ポート513と、アドレスデコード回路514とを備えて構成される。

30

【0076】

また、遊技制御用マイクロコンピュータ560が搭載する乱数回路には、8ビット乱数を発生させる8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとがある。なお、図4に示す例では、8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとが1つずつ図示されているが、遊技制御用マイクロコンピュータ560は、8ビット乱数回路508aと、16ビット乱数を発生させる16ビット乱数回路508bとを、それぞれ4回路(4チャンネル)ずつ搭載している。なお、この実施の形態では、8ビット乱数回路508aの4つのチャンネルをそれぞれRS0~RS3と表現する場合があり、16ビット乱数回路508bの4つのチャンネルをそれぞれRL0~RL3と表現する場合がある。

40

【0077】

また、リセット/割り込みコントローラ506は、指定エリア外走行禁止(IAT)回路506aとウォッチドッグタイマ(WDT)506bとを備える。IAT回路506a

50

は、ユーザプログラムが指定エリア内で正しく実行されているか否かを監視する回路であり、指定エリア外でユーザプログラムが実行されたことを検出するとIAT発生信号を出力する機能を備える。また、ウォッチドッグタイマ506bは、設定期間ごとにタイムアウト信号を発生させる機能を備える。

#### 【0078】

図5は、遊技制御用マイクロコンピュータ560におけるアドレスマップの一例を示している。図5に示すように、アドレス0000H～アドレス2FFFFHの領域は、遊技制御用マイクロコンピュータ560のROM54に割り当てられ、プログラムコード/データエリア（ユーザプログラムやデータを格納するエリア）とプログラム管理エリアとを含んでいる。図6は、ROM54におけるプログラム管理エリアの主要部分について、用途や内容の一例を示している。アドレスF000H～アドレスF3FFFHの領域は、遊技制御用マイクロコンピュータ560のRAM55に割り当てられている。アドレスFE00H～アドレスFEBFHの領域は、遊技制御用マイクロコンピュータ560の内蔵レジスタに割り当てられる内蔵レジスタエリアである。図7～図9は、内蔵レジスタエリアの主要部分について、用途や内容の一例を示している。アドレスFED0H～アドレスFEFDHの領域は、アドレスデコード回路514に割り当てられるXCS、XCSEデコードエリアである。

#### 【0079】

プログラム管理エリアは、遊技制御用マイクロコンピュータ560がシステムリセット時に内部リセット動作の設定や乱数回路508a、508bの設定など各種設定を行うために必要な情報を格納する記憶領域である。図6に示すように、プログラム管理エリアには、ヘッダ(KHDR)、プログラムコードエンドアドレス(KPCE)、プログラムコードスタートアドレス2(KPCS2)、プログラムコードエンドアドレス2(KPCE2)、リセット設定(KRES)、16ビット乱数初期設定1(KRL1)、16ビット乱数初期設定2(KRL2)、16ビット乱数初期設定3(KRL3)、8ビット乱数初期設定1(KRS1)、8ビット乱数初期設定2(KRS2)、セキュリティ時間設定(KSES)、乱数クロック監視設定(KRCs)などが、含まれている。また、図7～図9に示すように、内蔵レジスタエリアには、内部情報レジスタ(CIF)や、乱数回路508a、508bで用いる各種レジスタなどが、含まれている。

#### 【0080】

プログラム管理エリアに記憶されるヘッダ(KHDR)は、プログラム管理エリアのスタートを示す8バイトのコード列の設定、および遊技制御用マイクロコンピュータ560における内部データの読出設定を示す。図10は、ヘッダ(KHDR)における設定データと動作との対応関係を例示している。ここで、遊技制御用マイクロコンピュータ560では、ROM読出防止機能と、バス出力マスク機能とを設定可能である。ROM読出防止機能は、遊技制御用マイクロコンピュータ560が備えるROM54の記憶データについて、読出動作を許可または禁止する機能であり、読出禁止に設定された状態では、ROM54の記憶データを読み出すことができない。バス出力マスク機能は、外部バスインタフェース501に接続された外部装置から遊技制御用マイクロコンピュータ560の内部データに対する読出要求があった場合に、外部バスインタフェース501におけるアドレスバス出力、データバス出力および制御信号出力にマスクをかけることにより、外部装置から内部データの読み出しを不能にする機能である。図10に示すように、プログラム管理エリアのスタートを示す8バイトのコード列として設定する設定データに対応して、ROM読出防止機能やバス出力マスク機能の動作組合せが異なるように設定される。図10に示す設定データのうち、ROM読出が許可されるとともに、バス出力マスクが有効となる設定データは、バス出力マスク有効データともいう。また、ROM読出が禁止されるとともに、バス出力マスクが有効となる設定データ（全て「00H」）は、ROM読出禁止データともいう。ROM読出が許可されるとともに、バス出力マスクが無効となる設定データは、バス出力マスク無効データともいう。

#### 【0081】

プログラム管理エリアに記憶されるプログラムコードエンドアドレス ( K P C E ) は、ユーザプログラムの 0 0 0 0 H から続くプログラムコードエリアの最終アドレスの設定を示す。図 1 1 ( A ) は、プログラムコードエンドアドレス ( K P C E ) における設定内容の一例を示している。

【 0 0 8 2 】

なお、この実施の形態では、アドレス 0 0 0 0 H ~ アドレス 2 F B F H までのプログラムコード / データエリア内に 2 つのプログラムコードエリアを設定可能である。具体的には、1 つ目のプログラムコードエリアは、アドレス 0 0 0 0 H からプログラムコードエンドアドレス ( K P C E ) で設定されるアドレスまでのエリアとして設定可能であり、2 つ目のプログラムコードエリアは、プログラムコードスタートアドレス 2 ( K P C S 2 ) で設定されるアドレスからプログラムコードエンドアドレス 2 ( K P C E 2 ) で設定されるアドレスまでのエリアとして設定可能である。以下、1 つ目のプログラムコードエリアに格納されるプログラムコードをプログラムコード 1 ともいい、2 つ目のプログラムコードエリアに格納されるプログラムコードをプログラムコード 2 ともいう。

【 0 0 8 3 】

図 1 1 ( A ) に示すように、プログラムコードエンドアドレス ( K P C E ) のアドレス 2 F D 3 H には、プログラムコード 1 の最終アドレスの下位アドレスが設定される。また、アドレス 2 F D 4 H には、プログラムコード 1 の最終アドレスの上位アドレスが設定される。

【 0 0 8 4 】

プログラム管理エリアに記憶されるプログラムコードスタートアドレス 2 ( K P C S 2 ) は、ユーザプログラムが 2 つのブロックに分かれた場合の 2 つ目のプログラムコードエリアの先頭アドレスの設定を示す。図 1 1 ( B ) は、プログラムコードスタートアドレス 2 ( K P C S 2 ) における設定内容の一例を示している。

【 0 0 8 5 】

図 1 1 ( B ) に示すように、プログラムコードスタートアドレス 2 ( K P C S 2 ) のアドレス 2 F D 5 H には、プログラムコード 2 の先頭アドレスの下位アドレスが設定される。また、アドレス 2 F D 6 H には、プログラムコード 2 の先頭アドレスの上位アドレスが設定される。なお、プログラムコードエリアを 2 つに分けない場合には、プログラムコードスタートアドレス 2 ( K P C S 2 ) のアドレス 2 F D 5 H およびアドレス 2 F D 6 H にそれぞれ 0 0 0 0 H を設定するようにすればよい。

【 0 0 8 6 】

プログラム管理エリアに記憶されるプログラムコードエンドアドレス 2 ( K P C E 2 ) は、ユーザプログラムが 2 つのブロックに分かれた場合の 2 つ目のプログラムコードエリアの最終アドレスの設定を示す。図 1 1 ( C ) は、プログラムコードエンドアドレス 2 ( K P C E 2 ) における設定内容の一例を示している。

【 0 0 8 7 】

図 1 1 ( C ) に示すように、プログラムコードエンドアドレス 2 ( K P C E 2 ) のアドレス 2 F D 7 H には、プログラムコード 2 の最終アドレスの下位アドレスが設定される。また、アドレス 2 F D 8 H には、プログラムコード 2 の最終アドレスの上位アドレスが設定される。なお、プログラムコードエリアを 2 つに分けない場合には、プログラムコードエンドアドレス 2 ( K P C E 2 ) のアドレス 2 F D 7 H およびアドレス 2 F D 8 H にそれぞれ 0 0 0 0 H を設定するようにすればよい。

【 0 0 8 8 】

なお、図 1 1 に示すプログラムコードエンドアドレス ( K P C E ) 、プログラムコードスタートアドレス 2 ( K P C S 2 ) およびプログラムコードエンドアドレス 2 ( K P C E 2 ) の設定内容は、I A T 回路 5 0 6 a によってユーザプログラムが指定エリア内で正しく実行されているか否かを監視する際に参照される。すなわち、I A T 回路 5 0 6 a は、0 0 0 0 H からプログラムコードエンドアドレス ( K P C E ) で示されるアドレス、またはプログラムコードスタートアドレス 2 ( K P C S 2 ) で示されるアドレスからプログラ

ムコードエンドアドレス2 ( K P C E 2 ) で示されるアドレスまでの指定範囲でユーザプログラムが実行されているか否かを判定し、その指定範囲外でユーザプログラムが実行されていることを検出したことにもとづいて I A T 信号を出力する。

【 0 0 8 9 】

プログラム管理エリアに記憶されるリセット設定 ( K R E S ) は、内部リセット動作やウオッチドッグタイマ ( W D T ) 5 0 6 b の動作許可 / 禁止の設定を示す。図 1 2 は、リセット設定 ( K R E S ) における設定内容の一例を示している。

【 0 0 9 0 】

リセット設定 ( K R E S ) のビット [ 7 ] は、ウオッチドッグタイマ ( W D T ) 5 0 6 b からのタイムアウト信号を入力したことや、 I A T が発生したこと ( I A T 回路 5 0 6 a からの I A T 信号を入力したとき ) により内部リセットが発生したときの動作の設定を示している。図 1 2 に示す例において、リセット設定 ( K R E S ) のビット [ 7 ] におけるビット値が " 0 " であれば、タイムアウト信号や I A T 信号を入力したときにユーザリセットが発生する。これに対して、リセット設定 ( K R E S ) のビット [ 7 ] におけるビット値が " 1 " であれば、タイムアウト信号や I A T 信号を入力したときにシステムリセットが発生する。

【 0 0 9 1 】

リセット設定 ( K R E S ) のビット [ 6 ] は、ウオッチドッグタイマ ( W D T ) 5 0 6 b の起動方法の設定を示している。図 1 2 に示す例において、リセット設定 ( K R E S ) のビット [ 6 ] におけるビット値が " 0 " であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にウオッチドッグタイマ ( W D T ) 5 0 6 b が起動され時間計測が開始される。これに対して、リセット設定 ( K R E S ) のビット [ 6 ] におけるビット値が " 1 " であれば、ユーザモードに移行した後、ソフトウェア ( ユーザプログラム ) によりウオッチドッグタイマ ( W D T ) 5 0 6 b が起動され時間計測が開始される。

【 0 0 9 2 】

リセット設定 ( K R E S ) のビット [ 5 - 4 ] は、ウオッチドッグタイマ ( W D T ) 5 0 6 b の基準クロック信号の設定を示している。図 1 2 に示す例では、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 0 0 " が設定された場合には、基準クロック信号として  $2^{15} \times T_{SCLK}$  が選択される。また、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 0 1 " が設定された場合には、基準クロック信号として  $2^{19} \times T_{SCLK}$  が選択される。また、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 1 0 " が設定された場合には、基準クロック信号として  $2^{22} \times T_{SCLK}$  が選択される。また、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 1 1 " が設定された場合には、基準クロック信号として  $2^{25} \times T_{SCLK}$  が選択される。なお、 S C L K とは、遊技制御用マイクロコンピュータ 5 6 0 の内部システムクロックを示しており、  $T_{SCLK}$  は、  $1 / SCLK$  を示している。

【 0 0 9 3 】

リセット設定 ( K R E S ) のビット [ 3 - 0 ] は、ウオッチドッグタイマ ( W D T ) 5 0 6 b のタイムアウト時間の設定を示している。具体的には、ウオッチドッグタイマ ( W D T ) 5 0 6 b のタイムアウト時間は、リセット設定 ( K R E S ) のビット [ 5 - 4 ] で選択した基準クロックに、リセット設定 ( K R E S ) のビット [ 3 - 0 ] で設定した設定値を乗算した値となる。例えば、リセット設定 ( K R E S ) のビット [ 3 - 0 ] に " 1 0 0 0 " を設定 ( すなわち、値「 8 」を設定 ) した場合、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 0 0 " を設定した場合には、タイムアウト時間は  $2^{15} \times T_{SCLK} \times 8$  となり、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 0 1 " を設定した場合には、タイムアウト時間は  $2^{19} \times T_{SCLK} \times 8$  となり、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 1 0 " を設定した場合には、タイムアウト時間は  $2^{22} \times T_{SCLK} \times 8$  となり、リセット設定 ( K R E S ) のビット [ 5 - 4 ] に " 1 1 " を設定した場合には、タイムアウト時間は  $2^{25} \times T_{SCLK} \times 8$  となる。また、リセット設定 ( K R E S )

のビット[3 - 0]に"1111"を設定(すなわち、値「15」を設定)した場合、リセット設定(KRES)のビット[5 - 4]に"00"を設定した場合には、タイムアウト時間は $2^{15} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5 - 4]に"01"を設定した場合には、タイムアウト時間は $2^{19} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5 - 4]に"10"を設定した場合には、タイムアウト時間は $2^{22} \times T_{SCLK} \times 15$ となり、リセット設定(KRES)のビット[5 - 4]に"11"を設定した場合には、タイムアウト時間は $2^{25} \times T_{SCLK} \times 15$ となる。なお、図12には、内部システムクロックが10.0MHzと12.0MHzである場合のタイムアウト時間の値の具体例もそれぞれ示されている。

#### 【0094】

なお、ウォッチドッグタイマ(WDT)506bを使用しないように設定する場合、図12に示すように、リセット設定(KRES)のビット[3 - 0]に"0000"を設定するようにすればよい。ただし、リセット設定(KRES)のビット[3 - 0]に"0000"がセットされてウォッチドッグタイマ(WDT)506bが使用禁止状態に設定された場合であっても、リセット設定(KRES)のビット[7]の値を設定することにより、システムリセットするかユーザリセットとするかの設定を行うことは可能である。

#### 【0095】

プログラム管理エリアに記憶される16ビット乱数初期設定1(KRL1)、16ビット乱数初期設定2(KRL2)および16ビット乱数初期設定3(KRL3)は、16ビット乱数回路508bの設定を示す。図13は、16ビット乱数初期設定1(KRL1) 20  
 のにおける設定内容の一例を示している。また、図14は、16ビット乱数初期設定2(KRL2)のにおける設定内容の一例を示している。さらに、図15は、16ビット乱数初期設定3(KRL3)のにおける設定内容の一例を示している。

#### 【0096】

まず、図13を用いて、16ビット乱数初期設定1(KRL1)における設定内容を説明する。16ビット乱数初期設定1(KRL1)のビット「7」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル1の16ビット乱数回路508bの起動方法の設定を示している。図13に示す例において、16ビット乱数初期設定1(KRL1)のビット「7」におけるビット値が"0"であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)により乱数の最大値設定が行われたことにより、チャンネル1の 30  
 16ビット乱数回路508bが起動される。これに対して、16ビット乱数初期設定1(KRL1)のビット「7」におけるビット値が"1"であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにともづいて自動的にチャンネル1の16ビット乱数回路508bが起動される。

#### 【0097】

16ビット乱数初期設定1(KRL1)のビット「6」は、チャンネル1の16ビット乱数回路508bの更新クロックの設定を示している。図13に示す例において、16ビット乱数初期設定1(KRL1)のビット「6」におけるビット値が"0"であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、16ビット乱数初期設定1(KRL1)のビット「6」におけるビット 40  
 値が"1"であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

#### 【0098】

なお、この実施の形態では、既に説明した乱数用クロック生成回路112により生成された乱数用クロックRCLKを乱数用外部クロック端子(RCK端子)を介して入力し、その乱数用クロックRCLKを2分周した信号を更新クロックとして用いるものとする。なお、このことは、他のチャンネルの16ビット乱数回路508bや8ビット乱数回路508aについても同様である。

#### 【0099】

16ビット乱数初期設定1(KRL1)のビット「5 - 4」は、チャンネル1の16ビット

10

20

30

40

50

ト乱数回路 5 0 8 b が更新する乱数列を変更するか否かの設定を示している。図 1 3 に示す例において、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 5 - 4 」におけるビット値が「 0 0 」であれば、チャンネル 1 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列は変更されない。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 5 - 4 」におけるビット値が「 0 1 」であれば、チャンネル 1 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列をソフトウェア ( ユーザプログラム ) により変更できる。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 5 - 4 」におけるビット値が「 1 0 」であれば、チャンネル 1 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列が 2 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 5 - 4 」におけるビット値が「 1 1 」であれば、チャンネル 1 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列が 1 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

10

#### 【 0 1 0 0 】

1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 3 」は、4 チャンネルの 1 6 ビット乱数回路 5 0 8 b のうち、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b の起動方法の設定を示している。図 1 3 に示す例において、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 3 」におけるビット値が「 0 」であれば、ユーザモードに移行した後、ソフトウェア ( ユーザプログラム ) により乱数の最大値設定が行われたことにより、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が起動される。これに対して、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 3 」におけるビット値が「 1 」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が起動される。

20

#### 【 0 1 0 1 】

1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 2 」は、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b の更新クロックの設定を示している。図 1 3 に示す例において、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 2 」におけるビット値が「 0 」であれば、遊技制御用マイクロコンピュータ 5 6 0 の内部システムクロックを更新クロックとして用いる。これに対して、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 2 」におけるビット値が「 1 」であれば、遊技制御用マイクロコンピュータ 5 6 0 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。

30

#### 【 0 1 0 2 】

1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 1 - 0 」は、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列を変更するか否かの設定を示している。図 1 3 に示す例において、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 1 - 0 」におけるビット値が「 0 0 」であれば、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列は変更されない。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 1 - 0 」におけるビット値が「 0 1 」であれば、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列をソフトウェア ( ユーザプログラム ) により変更できる。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 1 - 0 」におけるビット値が「 1 0 」であれば、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列が 2 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、1 6 ビット乱数初期設定 1 ( K R L 1 ) のビット「 1 - 0 」におけるビット値が「 1 1 」であれば、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する乱数列が 1 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

40

#### 【 0 1 0 3 】

次に、図 1 4 を用いて、1 6 ビット乱数初期設定 2 ( K R L 2 ) における設定内容を説明する。1 6 ビット乱数初期設定 2 ( K R L 2 ) のビット「 7 」は、4 チャンネルの 1 6 ビット乱数回路 5 0 8 b のうち、チャンネル 3 の 1 6 ビット乱数回路 5 0 8 b の起動方法の設定を示している。図 1 4 に示す例において、1 6 ビット乱数初期設定 2 ( K R L 2 ) のビット「 7 」におけるビット値が「 0 」であれば、ユーザモードに移行した後、ソフトウェ

50

ア（ユーザプログラム）により乱数の最大値設定が行われたことにより、チャンネル3の16ビット乱数回路508bが起動される。これに対して、16ビット乱数初期設定2（KRL2）のビット「7」におけるビット値が「1」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにともづいて自動的にチャンネル3の16ビット乱数回路508bが起動される。

【0104】

16ビット乱数初期設定2（KRL2）のビット「6」は、チャンネル3の16ビット乱数回路508bの更新クロックの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「6」におけるビット値が「0」であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、16ビット乱数初期設定2（KRL2）のビット「6」におけるビット値が「1」であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

10

【0105】

16ビット乱数初期設定2（KRL2）のビット「5-4」は、チャンネル3の16ビット乱数回路508bが更新する乱数列を変更するか否かの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が「00」であれば、チャンネル3の16ビット乱数回路508bが更新する乱数列は変更されない。また、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が「01」であれば、チャンネル3の16ビット乱数回路508bが更新する乱数列をソフトウェア（ユーザプログラム）により変更できる。また、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が「10」であれば、チャンネル3の16ビット乱数回路508bが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、16ビット乱数初期設定2（KRL2）のビット「5-4」におけるビット値が「11」であれば、チャンネル3の16ビット乱数回路508bが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

20

【0106】

16ビット乱数初期設定2（KRL2）のビット「3」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル2の16ビット乱数回路508bの起動方法の設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「3」におけるビット値が「0」であれば、ユーザモードに移行した後、ソフトウェア（ユーザプログラム）により乱数の最大値設定が行われたことにより、チャンネル2の16ビット乱数回路508bが起動される。これに対して、16ビット乱数初期設定2（KRL2）のビット「3」におけるビット値が「1」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにともづいて自動的にチャンネル2の16ビット乱数回路508bが起動される。

30

【0107】

16ビット乱数初期設定2（KRL2）のビット「2」は、チャンネル2の16ビット乱数回路508bの更新クロックの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「2」におけるビット値が「0」であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、16ビット乱数初期設定2（KRL2）のビット「2」におけるビット値が「1」であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

40

【0108】

16ビット乱数初期設定2（KRL2）のビット「1-0」は、チャンネル2の16ビット乱数回路508bが更新する乱数列を変更するか否かの設定を示している。図14に示す例において、16ビット乱数初期設定2（KRL2）のビット「1-0」におけるビット値が「00」であれば、チャンネル2の16ビット乱数回路508bが更新する乱数列は

50

変更されない。また、16ビット乱数初期設定2(KRL2)のビット「1-0」におけるビット値が「01」であれば、チャンネル2の16ビット乱数回路508bが更新する乱数列をソフトウェア(ユーザプログラム)により変更できる。また、16ビット乱数初期設定2(KRL2)のビット「1-0」におけるビット値が「10」であれば、チャンネル2の16ビット乱数回路508bが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、16ビット乱数初期設定2(KRL2)のビット「1-0」におけるビット値が「11」であれば、チャンネル2の16ビット乱数回路508bが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

【0109】

次に、図15を用いて、16ビット乱数初期設定3(KRL3)のにおける設定内容を説明する。16ビット乱数初期設定3(KRL3)のビット「7」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル3の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「7」におけるビット値が「0」であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3(KRL3)のビット「7」におけるビット値が「1」であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。遊技制御用マイクロコンピュータ560のIDナンバはチップごとに異なることから、スタート値としてIDナンバをもとにした値を用いることにより、乱数の更新タイミングを予測しにくくすることができ、乱数の更新タイミングを狙って不正に大当りを発生させるような行為を防止することができる。なお、IDナンバをもとにした値として、IDナンバそのものを用いてもよいし、IDナンバに所定の演算(例えば、所定値を加算したり減算したりした値)を用いてもよい。

【0110】

16ビット乱数初期設定3(KRL3)のビット「6」は、チャンネル3の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「6」におけるビット値が「0」であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3(KRL3)のビット「6」におけるビット値が「1」であれば、システムリセットごとにスタート値を変更する。

【0111】

16ビット乱数初期設定3(KRL3)のビット「5」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル2の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「5」におけるビット値が「0」であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3(KRL3)のビット「5」におけるビット値が「1」であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。

【0112】

16ビット乱数初期設定3(KRL3)のビット「4」は、チャンネル2の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「4」におけるビット値が「0」であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3(KRL3)のビット「6」におけるビット値が「1」であれば、システムリセットごとにスタート値を変更する。

【0113】

16ビット乱数初期設定3(KRL3)のビット「3」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル1の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL

10

20

30

40

50



3) のビット「3」におけるビット値が「0」であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3(KRL3)のビット「3」におけるビット値が「1」であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。

【0114】

16ビット乱数初期設定3(KRL3)のビット「2」は、チャンネル1の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「2」におけるビット値が「0」であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3(KRL3)のビット「2」におけるビット値が「1」であれば、システムリセットごとにスタート値を変更する。

10

【0115】

16ビット乱数初期設定3(KRL3)のビット「1」は、4チャンネルの16ビット乱数回路508bのうち、チャンネル0の16ビット乱数回路508bの1周目からのスタート値の設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「1」におけるビット値が「0」であれば、乱数更新の1周目のスタート値として0001Hが用いられる。これに対して、16ビット乱数初期設定3(KRL3)のビット「1」におけるビット値が「1」であれば、乱数更新の1周目のスタート値として遊技制御用マイクロコンピュータ560のIDナンバをもとにした値が用いられる。

【0116】

20

16ビット乱数初期設定3(KRL3)のビット「0」は、チャンネル0の16ビット乱数回路508bのスタート値をシステムリセットごとに変更するか否かの設定を示している。図15に示す例において、16ビット乱数初期設定3(KRL3)のビット「0」におけるビット値が「0」であれば、システムリセット時にスタート値の変更は行わない。これに対して、16ビット乱数初期設定3(KRL3)のビット「0」におけるビット値が「1」であれば、システムリセットごとにスタート値を変更する。

【0117】

プログラム管理エリアに記憶される8ビット乱数初期設定1(KRS1)および8ビット乱数初期設定2(KRS2)は、8ビット乱数回路508aの設定を示す。図16は、8ビット乱数初期設定1(KRS1)のにおける設定内容の一例を示している。また、図17は、8ビット乱数初期設定2(KRS2)のにおける設定内容の一例を示している。

30

【0118】

まず、図16を用いて、8ビット乱数初期設定1(KRS1)における設定内容を説明する。8ビット乱数初期設定1(KRS1)のビット「7」は、4チャンネルの8ビット乱数回路508aのうち、チャンネル1の8ビット乱数回路508aの起動方法の設定を示している。図16に示す例において、8ビット乱数初期設定1(KRS1)のビット「7」におけるビット値が「0」であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)により乱数の最大値設定が行われたことにより、チャンネル1の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定1(KRS1)のビット「7」におけるビット値が「1」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャンネル1の8ビット乱数回路508aが起動される。

40

【0119】

8ビット乱数初期設定1(KRS1)のビット「6」は、チャンネル1の8ビット乱数回路508aの更新クロックの設定を示している。図16に示す例において、8ビット乱数初期設定1(KRS1)のビット「6」におけるビット値が「0」であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定1(KRS1)のビット「6」におけるビット値が「1」であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

50

## 【 0 1 2 0 】

8ビット乱数初期設定1 ( K R S 1 ) のビット「 5 - 4 」は、チャンネル1の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図16に示す例において、8ビット乱数初期設定1 ( K R S 1 ) のビット「 5 - 4 」におけるビット値が「 0 0 」であれば、チャンネル1の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 5 - 4 」におけるビット値が「 0 1 」であれば、チャンネル1の8ビット乱数回路508aが更新する乱数列をソフトウェア ( ユーザプログラム ) により変更できる。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 5 - 4 」におけるビット値が「 1 0 」であれば、チャンネル1の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 5 - 4 」におけるビット値が「 1 1 」であれば、チャンネル1の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

10

## 【 0 1 2 1 】

8ビット乱数初期設定1 ( K R S 1 ) のビット「 3 」は、4チャンネルの8ビット乱数回路508aのうち、チャンネル0の8ビット乱数回路508aの起動方法の設定を示している。図16に示す例において、8ビット乱数初期設定1 ( K R S 1 ) のビット「 3 」におけるビット値が「 0 」であれば、ユーザモードに移行した後、ソフトウェア ( ユーザプログラム ) により乱数の最大値設定が行われたことにより、チャンネル0の8ビット乱数回路508aが起動される。これに対して、8ビット乱数初期設定1 ( K R S 1 ) のビット「 3 」におけるビット値が「 1 」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャンネル0の8ビット乱数回路508aが起動される。

20

## 【 0 1 2 2 】

8ビット乱数初期設定1 ( K R S 1 ) のビット「 2 」は、チャンネル0の8ビット乱数回路508aの更新クロックの設定を示している。図16に示す例において、8ビット乱数初期設定1 ( K R S 1 ) のビット「 2 」におけるビット値が「 0 」であれば、遊技制御用マイクロコンピュータ560の内部システムクロックを更新クロックとして用いる。これに対して、8ビット乱数初期設定1 ( K R S 1 ) のビット「 2 」におけるビット値が「 1 」であれば、遊技制御用マイクロコンピュータ560の外部から入力された外部クロック信号を2分周した信号を更新クロックとして用いる。

30

## 【 0 1 2 3 】

8ビット乱数初期設定1 ( K R S 1 ) のビット「 1 - 0 」は、チャンネル0の8ビット乱数回路508aが更新する乱数列を変更するか否かの設定を示している。図16に示す例において、8ビット乱数初期設定1 ( K R S 1 ) のビット「 1 - 0 」におけるビット値が「 0 0 」であれば、チャンネル0の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 1 - 0 」におけるビット値が「 0 1 」であれば、チャンネル0の8ビット乱数回路508aが更新する乱数列をソフトウェア ( ユーザプログラム ) により変更できる。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 1 - 0 」におけるビット値が「 1 0 」であれば、チャンネル0の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定1 ( K R S 1 ) のビット「 1 - 0 」におけるビット値が「 1 1 」であれば、チャンネル0の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

40

## 【 0 1 2 4 】

次に、図17を用いて、8ビット乱数初期設定2 ( K R S 2 ) における設定内容を説明する。8ビット乱数初期設定2 ( K R S 2 ) のビット「 7 」は、4チャンネルの8ビット乱数回路508aのうち、チャンネル3の8ビット乱数回路508aの起動方法の設定を示し

50

ている。図 17 に示す例において、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「7」におけるビット値が「0」であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)により乱数の最大値設定が行われたことにより、チャンネル 3 の 8 ビット乱数回路 508 a が起動される。これに対して、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「7」におけるビット値が「1」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャンネル 3 の 8 ビット乱数回路 508 a が起動される。

【0125】

8 ビット乱数初期設定 2 ( K R S 2 ) のビット「6」は、チャンネル 3 の 8 ビット乱数回路 508 a の更新クロックの設定を示している。図 17 に示す例において、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「6」におけるビット値が「0」であれば、遊技制御用マイクロコンピュータ 560 の内部システムクロックを更新クロックとして用いる。これに対して、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「6」におけるビット値が「1」であれば、遊技制御用マイクロコンピュータ 560 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。

【0126】

8 ビット乱数初期設定 2 ( K R S 2 ) のビット「5 - 4」は、チャンネル 3 の 8 ビット乱数回路 508 a が更新する乱数列を変更するか否かの設定を示している。図 17 に示す例において、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「5 - 4」におけるビット値が「00」であれば、チャンネル 3 の 8 ビット乱数回路 508 a が更新する乱数列は変更されない。また、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「5 - 4」におけるビット値が「01」であれば、チャンネル 3 の 8 ビット乱数回路 508 a が更新する乱数列をソフトウェア(ユーザプログラム)により変更できる。また、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「5 - 4」におけるビット値が「10」であれば、チャンネル 3 の 8 ビット乱数回路 508 a が更新する乱数列が 2 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「5 - 4」におけるビット値が「11」であれば、チャンネル 3 の 8 ビット乱数回路 508 a が更新する乱数列が 1 周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

【0127】

8 ビット乱数初期設定 2 ( K R S 2 ) のビット「3」は、4 チャンネルの 8 ビット乱数回路 508 a のうち、チャンネル 2 の 8 ビット乱数回路 508 a の起動方法の設定を示している。図 17 に示す例において、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「3」におけるビット値が「0」であれば、ユーザモードに移行した後、ソフトウェア(ユーザプログラム)により乱数の最大値設定が行われたことにより、チャンネル 2 の 8 ビット乱数回路 508 a が起動される。これに対して、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「3」におけるビット値が「1」であれば、ユーザプログラムによらず、リセット発生時にユーザモードに移行したことにもとづいて自動的にチャンネル 2 の 8 ビット乱数回路 508 a が起動される。

【0128】

8 ビット乱数初期設定 2 ( K R S 2 ) のビット「2」は、チャンネル 2 の 8 ビット乱数回路 508 a の更新クロックの設定を示している。図 17 に示す例において、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「2」におけるビット値が「0」であれば、遊技制御用マイクロコンピュータ 560 の内部システムクロックを更新クロックとして用いる。これに対して、8 ビット乱数初期設定 2 ( K R S 2 ) のビット「2」におけるビット値が「1」であれば、遊技制御用マイクロコンピュータ 560 の外部から入力された外部クロック信号を 2 分周した信号を更新クロックとして用いる。

【0129】

8 ビット乱数初期設定 2 ( K R S 2 ) のビット「1 - 0」は、チャンネル 2 の 8 ビット乱数回路 508 a が更新する乱数列を変更するか否かの設定を示している。図 17 に示す例

10

20

30

40

50

において、8ビット乱数初期設定2 (KRS2) のビット「1 - 0」におけるビット値が「00」であれば、チャンネル2の8ビット乱数回路508aが更新する乱数列は変更されない。また、8ビット乱数初期設定2 (KRS2) のビット「1 - 0」におけるビット値が「01」であれば、チャンネル2の8ビット乱数回路508aが更新する乱数列をソフトウェア (ユーザプログラム) により変更できる。また、8ビット乱数初期設定2 (KRS2) のビット「1 - 0」におけるビット値が「10」であれば、チャンネル2の8ビット乱数回路508aが更新する乱数列が2周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。また、8ビット乱数初期設定2 (KRS2) のビット「1 - 0」におけるビット値が「11」であれば、チャンネル2の8ビット乱数回路508aが更新する乱数列が1周目から自動的に変更され、以降、乱数列が一巡するごとに自動的に乱数列が変更される。

10

#### 【0130】

なお、8ビット乱数回路508aに関しては、16ビット乱数回路508bとは異なり、図15に示したようなスタート値の設定を行う機能はない。

#### 【0131】

プログラム管理エリアに記憶されるセキュリティ時間設定 (KSES) は、セキュリティモードを延長する時間の設定を示す。図18は、セキュリティ時間設定 (KSES) における設定内容の一例を示している。

#### 【0132】

セキュリティ時間設定 (KSES) のビット [7 - 6] は、セキュリティモード時間をランダムに延長する時間の設定を示している。図18に示す例では、セキュリティ時間設定 (KSES) のビット [7 - 6] に「01」が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ショートモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~0.816msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~0.51msの範囲の時間がランダムに延長される。また、セキュリティ時間設定 (KSES) のビット [7 - 6] に「10」が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ミドルモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~26.112msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~16.32msの範囲の時間がランダムに延長される。また、セキュリティ時間設定 (KSES) のビット [7 - 6] に「11」が設定された場合には、セキュリティモード時間をランダムに延長するモードとして、ロングモードが設定され、具体的には、内部システムクロックが10.0MHzである場合には0~835.584msの範囲の時間がランダムに延長され、内部システムクロックが12.0MHzである場合には0~522.24msの範囲の時間がランダムに延長される。

20

30

#### 【0133】

なお、セキュリティモード時間のランダム延長を行わないように設定する場合、図18に示すように、セキュリティ時間設定 (KSES) のビット [7 - 6] に「00」を設定するようにすればよい。

40

#### 【0134】

セキュリティ時間設定 (KSES) のビット [5] は、セキュリティモード時間を固定延長する時間の基準クロック信号の設定を示している。図18に示す例では、セキュリティ時間設定 (KSES) のビット [5] に「0」が設定された場合には、基準クロック信号として  $2^{22} \times T_{SC L K}$  が選択される。また、セキュリティ時間設定 (KSES) のビット [5] に「1」が設定された場合には、基準クロック信号として  $2^{24} \times T_{SC L K}$  が選択される。

#### 【0135】

セキュリティ時間設定 (KSES) のビット [4 - 0] は、セキュリティモード時間を固定で延長する時間の設定を示している。具体的には、セキュリティモード時間の固定延

50

長時間は、セキュリティ時間設定 (KSES) のビット [ 5 ] で選択した基準クロックに、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] で設定した設定値を乗算した値となる。例えば、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] に " 0 0 0 0 1 " を設定 (すなわち、値「1」を設定) した場合、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 0 " を設定した場合には、固定延長時間は  $2^{2^2} \times T_{SCLK} \times 1$  となり、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 1 " を設定した場合には、固定延長時間は  $2^{2^4} \times T_{SCLK} \times 1$  となる。また、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] に " 0 1 0 0 0 " を設定 (すなわち、値「8」を設定) した場合、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 0 " を設定した場合には、固定延長時間は  $2^{2^2} \times T_{SCLK} \times 8$  となり、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 1 " を設定した場合には、固定延長時間は  $2^{2^4} \times T_{SCLK} \times 8$  となる。また、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] に " 1 0 0 0 0 " を設定 (すなわち、値「16」を設定) した場合、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 0 " を設定した場合には、固定延長時間は  $2^{2^2} \times T_{SCLK} \times 16$  となり、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 1 " を設定した場合には、固定延長時間は  $2^{2^4} \times T_{SCLK} \times 16$  となる。また、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] に " 1 1 1 1 1 " を設定 (すなわち、値「31」を設定) した場合、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 0 " を設定した場合には、固定延長時間は  $2^{2^2} \times T_{SCLK} \times 31$  となり、セキュリティ時間設定 (KSES) のビット [ 5 ] に " 1 " を設定した場合には、固定延長時間は  $2^{2^4} \times T_{SCLK} \times 31$  となる。なお、図 18 には、内部システムクロックが 10.0 MHz と 12.0 MHz である場合の固定延長時間の値の具体例もそれぞれ示されている。

#### 【 0 1 3 6 】

なお、セキュリティモード時間の固定延長を行わないように設定する場合、図 18 に示すように、セキュリティ時間設定 (KSES) のビット [ 4 - 0 ] に " 0 0 0 0 0 " を設定するようにすればよい。

#### 【 0 1 3 7 】

図 18 に示すように、セキュリティモード時間は、セキュリティ時間設定 (KSES) のビット [ 7 - 6 ] の設定によるランダム延長と、セキュリティ時間設定 (KSES) のビット [ 5 - 0 ] の設定による固定延長との 2 種類の方法で延長設定が可能である。そして、これら 2 種類の方法で設定された時間の加算時間が最終的なセキュリティモード時間の延長時間となる。

#### 【 0 1 3 8 】

プログラム管理エリアに記憶される乱数クロック監視設定 (KRCS) は、乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号の監視周波数の設定を示す。図 19 は、乱数クロック監視設定 (KRCS) における設定内容の一例を示している。

#### 【 0 1 3 9 】

乱数クロック監視設定 (KRCS) のビット [ 7 - 2 ] は、固定ビット (すなわち、特に設定に使用しないビット) であり、全ビット必ず " 0 " を設定するものとする。

#### 【 0 1 4 0 】

乱数クロック監視設定 (KRCS) のビット [ 1 - 0 ] は、乱数を更新するためのクロックとして、乱数用外部クロック端子 (RCK 端子) から入力された外部クロック信号を選択した場合に、その入力クロックの周波数異常の検出対象とする周波数の設定を示している。図 19 に示す例では、乱数クロック監視設定 (KRCS) のビット [ 1 - 0 ] に " 0 0 " が設定された場合には、監視周波数として SCLK (内部システムクロック) の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [ 1 - 0 ] に " 0 1 " が設定された場合には、監視周波数として SCLK (内部システムクロック) / 2 の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [ 1 - 0 ] に " 1 0 " が設定された場合には、監視周波数として SCLK (内部システムクロック) /  $2^2$  の周波数未満を設定する。また、乱数クロック監視設定 (KRCS) のビット [ 1

- 0 ] に " 1 1 " が設定された場合には、監視周波数として  $SCLK$  (内部システムクロック) /  $2^3$  の周波数未満を設定する。

【 0 1 4 1 】

なお、乱数用外部クロック端子 (  $RCK$  端子 ) から入力された外部クロック信号の監視周波数の異常を検出した場合には、後述する内部情報レジスタ (  $CIF$  ) のビット 3 に " 1 " がセットされる。

【 0 1 4 2 】

なお、この実施の形態では、遊技制御用マイクロコンピュータ 560 は、8 ビット乱数回路 508 a と 16 ビット乱数回路 508 b とのうち、16 ビット乱数回路 508 b の動作異常 ( 外部クロック周波数異常および更新異常 ) を検出する機能を備えている。具体的には、遊技制御用マイクロコンピュータ 560 は、乱数更新用クロックとして乱数用外部クロック端子 (  $RCK$  端子 ) から入力された外部クロック信号が選択されている場合に、乱数クロック監視設定 (  $KRCs$  ) で設定されている監視周波数にもとづいて、外部クロック信号の周波数が低下したか否かを検出し、外部クロック信号の周波数が低下 ( 外部クロック周波数異常 ) を検出した場合には、後述する内部情報レジスタ (  $CIF$  ) のビット 3 に " 1 " をセットする。

【 0 1 4 3 】

また、遊技制御用マイクロコンピュータ 560 は、16 ビット乱数回路 508 b の乱数の更新状態を監視する機能を備え、更新状態に異常を検出すると ( 例えば、乱数値が同じ値のまま更新されなくなったり、通常は乱数値が 1 つずつカウントアップされていくのに乱数値のカウント値がいきなり 2 以上の値増加した状態を検出したりすると )、内部情報レジスタ (  $CIF$  ) のビット 7 ~ 4 のうちの対応するビットに " 1 " をセットする。

【 0 1 4 4 】

なお、この実施の形態では、乱数クロック監視設定 (  $KRCs$  ) を用いて設定を行うことによって、16 ビット乱数回路 508 b の動作異常の検出に関して、監視対象の外部クロック信号の監視周波数を設定する場合を示しているが、外部クロック周波数異常の検出自体を行うか否かを設定可能に構成したり、更新異常の検出自体を行うか否かを設定可能に構成したりしてもよい。この場合、外部クロック周波数異常の検出自体を行うか否かの設定と、更新異常の検出自体を行うか否かの設定とをそれぞれ独立して行えるように構成してもよいし、両方の設定を一括して有効とするか無効とするかのみ行えるように構成してもよい。

【 0 1 4 5 】

なお、外部クロック周波数異常の検出自体を行うか否かや更新異常の検出自体を行うか否かを設定可能とするためには、例えば、乱数回路自体を起動するか否かを設定するようにし、乱数回路を起動しないように設定した場合には、事実上、外部クロック周波数異常の検出や更新異常の検出を行えないので、外部クロック周波数異常の検出や更新異常の検出を行わないように設定したといえる。このように、外部クロック周波数異常の検出自体を行うか否かや更新異常の検出自体を行うか否かの設定は、乱数回路自体を起動するか否かを設定することによって実現することを含む概念である。

【 0 1 4 6 】

また、この実施の形態では、乱数用クロック生成回路 112 から専用の乱数用クロック  $RCLK$  を乱数回路 508 a , 508 b に外部入力する場合を示しているが、例えば、制御用クロック生成回路 111 からの制御用クロック  $CCLK$  を外部入力する場合など専用の乱数用クロック  $RCLK$  以外のクロックを外部入力する場合であっても、外部クロック周波数異常の検出や更新異常の検出を行うことが可能である。なお、乱数回路の更新異常の検出に関しては、乱数用クロック生成回路 112 から専用の乱数用クロック  $RCLK$  を用いて乱数更新する場合と、制御用クロック生成回路 111 からの制御用クロック  $CCLK$  など他のクロックを用いて乱数更新する場合とのいずれか一方の場合のみ設定可能に構成してもよい。

【 0 1 4 7 】

また、この実施の形態では、外部クロック周波数の異常の検出を行い、遊技制御用マイクロコンピュータ560の内部システムクロックSCLKの周波数については特に異常の検出を行っていないが、それは次のような理由による。すなわち、乱数更新に内部システムクロックSCLKを用いる場合には、内部システムクロックSCLKに異常が発生しているような状況では、CPU56自体の動作が停止している筈であるので、CPU56が動作しているのに乱数の更新だけが停止しているような事態が生じる場合がなく、何らかの問題が生じるおそれがない。これに対して、乱数更新に外部クロック信号を用いる場合には、CPU56が動作しているのに乱数の更新だけが停止しているような事態が生じる可能性があり弊害が生じるおそれがあるためである。

【0148】

10

図4に示す遊技制御用マイクロコンピュータ560が備える外部バスインタフェース501は、遊技制御用マイクロコンピュータ560を構成するチップの外部バスと内部バスとのインタフェース機能や、アドレスバス、データバスおよび各制御信号の方向制御機能などを有するバスインタフェースである。例えば、外部バスインタフェース501は、遊技制御用マイクロコンピュータ560に外付けされた外部メモリや外部入出力装置などに接続され、これらの外部装置との間でアドレス信号やデータ信号、各種の制御信号などを送受信するものであればよい。

【0149】

遊技制御用マイクロコンピュータ560が備えるクロック回路502は、例えば制御用外部クロック端子EXに入力される発振信号を2分周することなどにより、内部システムクロックSCLKを生成する回路である。なお、生成された内部システムクロックは、外部出力端子(CLK端子)から外部に出力される。

20

【0150】

遊技制御用マイクロコンピュータ560が備える照合用ブロック503は、外部の照合機と接続し、チップの照合を行う機能を備える。

【0151】

遊技制御用マイクロコンピュータ560が備える固有情報記憶回路504は、例えば遊技制御用マイクロコンピュータ560の内部情報となる複数種類の固有情報を記憶する回路である。一例として、固有情報記憶回路504は、ROMコード、チップ個別ナンバー、IDナンバーといった3種類の固有情報を記憶する。ROM54コードは、ROM54の所定領域における記憶データから生成される4バイトの数値であり、生成方法の異なる4つの数値が準備されればよい。チップ個別ナンバーは、遊技制御用マイクロコンピュータ560の製造時に付与される4バイトの番号であり、遊技制御用マイクロコンピュータ560を構成するチップ毎に異なる数値を示している。IDナンバーは、遊技制御用マイクロコンピュータ560の製造時に付与される8バイトの番号であり、遊技制御用マイクロコンピュータ560を構成するチップ毎に異なる数値を示している。ここで、チップ個別ナンバーはユーザプログラムから読み取ることができる一方、IDナンバーはユーザプログラムから読み取ることができないように設定されていけばよい。なお、固有情報記憶回路504は、例えばROM54の所定領域を用いることなどにより、ROM54に含まれるようにしてもよい。あるいは、固有情報記憶回路504は、例えばCPU56の内蔵レジスタを用いることなどにより、CPU56に含まれるようにしてもよい。

30

40

【0152】

遊技制御用マイクロコンピュータ560が備える演算回路505は、乗算および除算を行う回路である。

【0153】

遊技制御用マイクロコンピュータ560が備えるリセット/割込みコントローラ506は、遊技制御用マイクロコンピュータ560の内部や外部にて発生する各種リセット、割込み要求を制御するためのものである。リセット/割込みコントローラ506が制御するリセットには、システムリセットとユーザリセットが含まれている。システムリセットは、外部システムリセット端子XSRSTに一定の期間にわたりローレベル信号が入力され

50

たときに発生するリセットである。なお、この実施の形態では、リセット設定 ( K R E S ) の設定により、ウォッチドッグタイマ ( W D T ) のタイムアウト信号が発生したときや、指定エリア外走行禁止 ( I A T ) が発生したときにも、システムリセットが発生することがある。ユーザリセットは、ウォッチドッグタイマ ( W D T ) のタイムアウト信号が発生したことや、指定エリア外走行禁止 ( I A T ) が発生したことなど、所定の要因により発生するリセットである。

#### 【 0 1 5 4 】

リセット / 割込みコントローラ 5 0 6 が制御する割込みには、ノンマスカブル割込み N M I とマスカブル割込み I N T が含まれている。ノンマスカブル割込み N M I は、 C P U 5 6 の割込み禁止状態でも無条件に受け付けられる割込みであり、外部ノンマスカブル割込み端子 X N M I ( 入力ポート P I 6 と兼用 ) に一定の期間にわたりローレベル信号が入力されたときに発生する割込みである。マスカブル割込み I N T は、 C P U 5 6 の設定命令により、割込み要求の受け付けを許可 / 禁止できる割込みであり、優先順位設定による多重割込みの実行が可能である。マスカブル割込み I N T の要因としては、外部マスカブル割込み端子 X I N T ( 入力ポート P I 5 と兼用 ) に一定の期間にわたりローレベル信号が入力されたこと、タイマ回路 5 0 9 にてタイムアウトが発生したこと、シリアル通信回路 5 1 2 にてデータ受信またはデータ送信による割込み要因が発生したこと、乱数回路 5 0 8 a , 5 0 8 b にて乱数値となる数値データの取込による割込み要因が発生したことなど、複数種類の割込み要因があらかじめ定められていればよい。

#### 【 0 1 5 5 】

リセット / 割込みコントローラ 5 0 6 は、図 7 ~ 図 9 に示すような遊技制御用マイクロコンピュータ 5 6 0 が備える内蔵レジスタのうち、内部情報レジスタ C I F ( アドレス F E 2 5 H ) などを用いて、割込みの制御やリセットの管理を行う。内部情報レジスタ C I F は、直前に発生したリセット要因を管理したり、乱数更新状態、乱数更新クロックを外部クロックとした場合の入力周波数の状態を読み取るためのレジスタである。

#### 【 0 1 5 6 】

図 2 0 ( A ) は、内部情報レジスタ C I F の構成例を示している。図 2 0 ( B ) は、内部情報レジスタ C I F に格納される内部情報データの各ビットにおける設定内容の一例を示している。内部情報レジスタ C I F のビット番号 [ 7 ] に格納される内部情報データ R L 3 E R は、チャンネル 3 の 1 6 ビット乱数回路 5 0 8 b が更新する 1 6 ビット乱数 R L 3 の更新状態の異常を示す。図 2 0 ( B ) に示す例では、1 6 ビット乱数 R L 3 の更新異常が検知されないときに、内部情報データ R L 3 E R のビット値が “ 0 ” となる一方、1 6 ビット乱数 R L 3 の更新異常が検知されたときには、そのビット値が “ 1 ” となる。内部情報レジスタ C I F のビット番号 [ 6 ] に格納される内部情報データ R L 2 E R は、チャンネル 2 の 1 6 ビット乱数回路 5 0 8 b が更新する 1 6 ビット乱数 R L 2 の更新状態の異常を示す。図 2 0 ( B ) に示す例では、1 6 ビット乱数 R L 2 の更新異常が検知されないときに、内部情報データ R L 2 E R のビット値が “ 0 ” となる一方、1 6 ビット乱数 R L 2 の更新異常が検知されたときには、そのビット値が “ 1 ” となる。内部情報レジスタ C I F のビット番号 [ 5 ] に格納される内部情報データ R L 1 E R は、チャンネル 1 の 1 6 ビット乱数回路 5 0 8 b が更新する 1 6 ビット乱数 R L 1 の更新状態の異常を示す。図 2 0 ( B ) に示す例では、1 6 ビット乱数 R L 1 の更新異常が検知されないときに、内部情報データ R L 1 E R のビット値が “ 0 ” となる一方、1 6 ビット乱数 R L 1 の更新異常が検知されたときには、そのビット値が “ 1 ” となる。内部情報レジスタ C I F のビット番号 [ 4 ] に格納される内部情報データ R L 0 E R は、チャンネル 0 の 1 6 ビット乱数回路 5 0 8 b が更新する 1 6 ビット乱数 R L 0 の更新状態の異常を示す。図 2 0 ( B ) に示す例では、1 6 ビット乱数 R L 0 の更新異常が検知されないときに、内部情報データ R L 0 E R のビット値が “ 0 ” となる一方、1 6 ビット乱数 R L 0 の更新異常が検知されたときには、そのビット値が “ 1 ” となる。なお、内部情報レジスタ C I F のビット番号 [ 7 - 4 ] は、初期値として “ 0 ” が設定されている。

#### 【 0 1 5 7 】



内部情報レジスタC I Fのビット番号[ 3 ]に格納される内部情報データR C E Rは、乱数更新用クロックとして乱数用外部クロック端子( R C K 端子)から入力された外部クロック信号が選択されている場合に、その外部クロック信号の周波数異常を示す。図20( B )に示す例では、外部クロック信号の周波数異常が検知されないときに、内部情報データR C E Rのビット値が“ 0 ”となる一方、外部クロック信号の周波数異常が検知されたときには、そのビット値が“ 1 ”となる。なお、内部情報レジスタC I Fのビット番号[ 3 ]は、初期値として“ 0 ”が設定されている。

【 0 1 5 8 】

内部情報レジスタC I Fのビット番号[ 2 ]に格納される内部情報データS R S Fは、直前に発生したりセット要因がシステムリセットであることを示す。図20( B )に示す例では、直前のリセット要因がシステムリセットではないときに(システムリセット未発生)、内部情報データS R S Fのビット値が“ 0 ”となる一方、システムリセットであるときには(システムリセット発生)、そのビット値が“ 1 ”となる。なお、内部情報レジスタC I Fのビット番号[ 2 ]は、初期値として“ 1 ”が設定されている。

【 0 1 5 9 】

内部情報レジスタC I Fのビット番号[ 1 ]に格納される内部情報データW D T Fは、直前に発生したりセット要因がウォッチドッグタイマ( W D T ) 5 0 6 bからタイムアウト信号を入力したことによるユーザリセットであることを示す。図20( B )に示す例では、直前のリセット要因がタイムアウト信号によるユーザリセットではないときに(タイムアウト信号によるユーザリセット未発生)、内部情報データW D T Fのビット値が“ 0 ”となる一方、タイムアウト信号によるユーザリセットであるときには(タイムアウト信号によるユーザリセット発生)、そのビット値が“ 1 ”となる。なお、内部情報レジスタC I Fのビット番号[ 1 ]は、初期値として“ 0 ”が設定されている。

【 0 1 6 0 】

内部情報レジスタC I Fのビット番号[ 0 ]に格納される内部情報データI A T Fは、直前に発生したりセット要因がI A T回路5 0 6 aからのI A T発生信号を入力したことによるユーザリセットであることを示す。図20( B )に示す例では、直前のリセット要因がI A T発生信号によるユーザリセットではないときに( I A T発生信号によるユーザリセット未発生)、内部情報データI A T Fのビット値が“ 0 ”となる一方、I A T発生信号によるユーザリセットであるときには( I A T発生信号によるユーザリセット発生)、そのビット値が“ 1 ”となる。なお、内部情報レジスタC I Fのビット番号[ 0 ]は、初期値として“ 0 ”が設定されている。

【 0 1 6 1 】

遊技制御用マイクロコンピュータ5 6 0が備えるC P U 5 6は、R O M 5 4から読み出した制御コードにもとづいてユーザプログラム(ゲーム制御用の遊技制御処理プログラム)を実行することにより、パチンコ遊技機1における遊技制御を実行する制御用C P Uである。こうした遊技制御が実行されるときには、C P U 5 6がR O M 5 4から固定データを読み出す固定データ読出動作や、C P U 5 6がR A M 5 5に各種の変動データを書き込んで一時記憶させる変動データ書込動作、C P U 5 6がR A M 5 5に一時記憶されている各種の変動データを読み出す変動データ読出動作、C P U 5 6が外部バスインタフェース5 0 1やパラレル入力ポート5 1 1、シリアル通信回路5 1 2などを介して遊技制御用マイクロコンピュータ5 6 0の外部から各種信号の入力を受け付ける受信動作、C P U 5 6が外部バスインタフェース5 0 1やシリアル通信回路5 1 2、パラレル出力ポート5 1 3などを介して遊技制御用マイクロコンピュータ5 6 0の外部へと各種信号を出力する送信動作等も行われる。

【 0 1 6 2 】

遊技制御用マイクロコンピュータ5 6 0が備えるR O M 5 4には、ユーザプログラム(ゲーム制御用の遊技制御処理プログラム)を示す制御コードや固定データ等が記憶されている。

【 0 1 6 3 】

10

20

30

40

50

遊技制御用マイクロコンピュータ560が備えるRAM55は、ゲーム制御用のワークエリアを提供する。ここで、RAM55の少なくとも一部は、電源基板910において作成されるバックアップ電源によってバックアップされているバックアップRAMであればよい。すなわち、パチンコ遊技機1への電力供給が停止しても、所定期間はRAM55の少なくとも一部の内容が保存される。

【0164】

また、遊技制御用マイクロコンピュータ560は、フリーランカウンタ回路507として、8ビットのフリーランカウンタを4チャンネル搭載している。

【0165】

遊技制御用マイクロコンピュータ560が備える乱数回路508a, 508bは、8ビット乱数や16ビット乱数といった、所定の更新範囲を有する乱数値となる数値データを生成する回路である。この実施の形態では、乱数回路508a, 508bのうち16ビット乱数回路508bが生成するハードウェア乱数は、大当たりとするか否かを判定するための大当たり判定用乱数(ランダムR)として用いられる。なお、CPU56は、乱数回路508a, 508bから抽出した数値データにもとづき、乱数回路508a, 508bとは異なるランダムカウンタを用いて、ソフトウェアによって各種の数値データを加工あるいは更新することで、遊技に用いられる乱数値の全部または一部を示す数値データをカウントするようにしてもよい。あるいは、CPU56は、乱数回路508a, 508bを用いることなく、ソフトウェアによって大当たり判定用乱数などの乱数値を示す数値データの一部をカウント(更新)するようにしてもよい。一例として、ハードウェアとなる乱数回路508a, 508bからCPU56により抽出された数値データを、ソフトウェアにより加工することで、大当たり判定用乱数(ランダムR)を示す数値データが更新され、それ以外の乱数値(例えば、大当たり種別判定用乱数や、変動パターン種別決定用乱数、変動パターン決定用乱数)を示す数値データは、CPU56がランダムカウンタなどを用いてソフトウェアにより更新すればよい。

【0166】

図21は、8ビット乱数回路508aの一構成例を示すブロック図である。また、図22は、16ビット乱数回路508bの一構成例を示すブロック図である。8ビット乱数回路508aおよび16ビット乱数回路508bは、図21および図22に示すように、乱数列変更選択回路523a, 523b、乱数生成回路525a, 525b、乱数列変更回路526a, 526b、および最大値比較回路527a, 527bを備えて構成される。また、16ビット乱数回路508bは、図22に示すように、8ビット乱数回路508aが備える構成要素に加えて、乱数スタート値選択回路535を備える。さらに、16ビット乱数回路508bは、図22に示すように、8ビット乱数回路508aが備える構成要素に加えて、乱数生成回路525bが更新監視回路537を含む。

【0167】

また、図22に示す例では、16ビット乱数回路508bの回路部分の構成のみを示し、乱数列変更レジスタ522および最大値設定レジスタ524b以外の16ビット乱数回路508bが用いる各レジスタについては記載を省略している。なお、具体的には、16ビット乱数回路508bは、図21に示すRSハードラッチ選択レジスタ528a, 528bに代えて図7に示すRL0ハードラッチ選択レジスタ0(RL0LS0)~RL3ハードラッチ選択レジスタ(RL3LS)を用い、図21に示すRS0ハードラッチ乱数値レジスタ529a~RS3ハードラッチ乱数値レジスタ529dに代えて図8および図9に示すRL0ハードラッチ乱数値レジスタ0(RL0HV0)~RL3ハードラッチ乱数値レジスタ1(RL3HV1)を用い、図21に示すRSハードラッチフラグレジスタ530に代えて図8に示すRLハードラッチフラグレジスタ0(RLHF0)~RLハードラッチフラグレジスタ1(RLHF1)を用い、図21に示すRS割り込み制御レジスタ531に代えて図7に示すRL割り込み制御レジスタ0(RLIC0)~RL割り込み制御レジスタ1(RLIC1)を用い、図21に示すRSソフトラッチ乱数値レジスタ533a~RS3ソフトラッチ乱数値レジスタ533dに代えて図8に示すRL0ソフトラ

ッチ乱数値レジスタ ( R L 0 S V ) ~ R L 3 ソフトラッチ乱数値レジスタ ( R L 3 S V ) を用いる。また、16ビット乱数回路508bは、乱数値ソフトラッチレジスタ532および乱数ソフトラッチフラグレジスタ534については、8ビット乱数回路508aと兼用で同じレジスタを用いる。

【0168】

また、8ビット乱数回路508aは、既に説明したプログラム管理エリアに設けられた8ビット乱数初期設定521a ( 図6に示す8ビット乱数初期設定1 ( K R S 1 ) および8ビット乱数初期設定2 ( K R S 2 ) ) の設定内容に従って動作する。

【0169】

また、16ビット乱数回路508bは、既に説明したプログラム管理エリアに設けられた16ビット乱数初期設定521b ( 図6に示す16ビット乱数初期設定1 ( K R L 1 ) ~ 16ビット乱数初期設定2 ( K R L 2 ) ) の設定内容に従って動作する。また、16ビット乱数回路508bは、8ビット乱数回路508aの機能に加えて、乱数スタート値選択回路535が16ビット乱数初期設定536 ( 図6に示す16ビット乱数初期設定3 ( K R L 3 ) ) の設定内容に従って動作することにより、1周目の乱数値のスタート値を変更する機能を備えている ( 図15参照 ) 。

【0170】

また、16ビット乱数回路508bは、乱数生成回路525bが更新監視回路537を含んでおり、8ビット乱数回路508aの機能に加えて、更新監視回路537が動作することにより外部クロック周波数異常および更新異常を検出する機能を備えている ( 図19参照 ) 。なお、この実施の形態では、1つの更新監視回路537により外部クロック周波数異常および更新異常の両方を検出する場合を示しているが、外部クロック周波数異常を検出する監視回路と更新異常を検出する監視回路とを別々に備えてもよい。

【0171】

なお、8ビット乱数回路508aも更新監視回路を備えるように構成し、8ビット乱数回路508aの外部クロック周波数異常および更新異常を検出可能に構成するようにしてもよい。

【0172】

また、乱数列変更レジスタ522は、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれる乱数列変更レジスタR D S Cに対応している。なお、乱数列変更レジスタR D S Cとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャネルで共通のレジスタが用いられる。

【0173】

また、最大値設定レジスタ524a, 524bは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S 0最大値設定レジスタ ( R S 0 M X ) ~ R S 3最大値設定レジスタ ( R S 3 M X ) に対応している ( 16ビット乱数回路508bの場合は、R L 0最大値設定レジスタ ( R L 0 M X ) ~ R L 3最大値設定レジスタ ( R L 3 M X ) に対応している ) 。

【0174】

また、ハードラッチ選択レジスタ528aは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S ハードラッチ選択レジスタ0 ( R S L S 0 ) に対応している。また、ハードラッチ選択レジスタ528bは、図7に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S ハードラッチ選択レジスタ1 ( R S L S 1 ) に対応している。なお、16ビット乱数回路508bの場合は、図7に示すR L 0ハードラッチ選択レジスタ0 ( R L 0 L S 0 ) ~ R L 3ハードラッチ選択レジスタ3 ( R L 3 L S ) に対応している。

【0175】

また、R S 0ハードラッチ乱数値レジスタ529a ~ R S 3ハードラッチ乱数値レジスタ529dは、図9に示すような遊技制御用マイクロコンピュータ560の内蔵レジスタに含まれるR S 0ハードラッチ乱数値レジスタ ( R S 0 H V ) ~ R S 3ハードラッチ乱数

10

20

30

40

50

値レジスタ (RS3HV) に対応している。なお、16ビット乱数回路508bの場合は、図8に示すRL0ハードラッチ乱数値レジスタ0 (RL0HV0) ~ RL1ハードラッチ乱数値レジスタ1 (RL1HV1) および図9に示すRL2ハードラッチ乱数値レジスタ0 (RL2HV0) ~ RL3ハードラッチ乱数値レジスタ1 (RL3HV1) に対応している。

【0176】

また、RSハードラッチフラグレジスタ530は、図8に示すRSハードラッチフラグレジスタ (RSHF) に対応している。なお、16ビット乱数回路508bの場合は、図8に示すRLハードラッチフラグレジスタ0 (RLHF0) ~ RLハードラッチフラグレジスタ1 (RLHF1) に対応している。

10

【0177】

また、RS割り込み制御レジスタ531は、図7に示すRS割り込み制御レジスタ (RSIC) に対応している。なお、16ビット乱数回路508bの場合は、図7に示すRL割り込み制御レジスタ0 (RLIC0) ~ RL割り込み制御レジスタ1 (RLIC1) に対応している。

【0178】

また、乱数ソフトラッチレジスタ532は、図7に示す乱数ソフトラッチレジスタ (RDSL) に対応している。なお、ソフトラッチレジスタRDSLとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャンネルで共通のレジスタが用いられる。

20

【0179】

また、RS0ソフトラッチ乱数値レジスタ533a ~ RS3ソフトラッチ乱数値レジスタ533dは、図8に示すRS0ソフトラッチ乱数値レジスタ (RS0SV) ~ RS3ソフトラッチ乱数値レジスタ (RS3SV) に対応している。なお、16ビット乱数回路508bの場合は、図8に示すRL0ソフトラッチ乱数値 (RL0SV) ~ RL3ソフトラッチ乱数値 (RL3SV) に対応している。

【0180】

また、乱数ソフトラッチフラグレジスタ534は、図7に示す乱数ソフトラッチフラグレジスタ (RDSF) に対応している。なお、乱数ソフトラッチフラグレジスタRDSFとして、8ビット乱数回路508aおよび16ビット乱数回路508bの各チャンネルで共通のレジスタが用いられる。

30

【0181】

乱数列変更選択回路523a, 523bは、図16や図17に示す8ビット乱数初期設定1 (KRS1) や8ビット乱数初期設定2 (KRS2) の設定内容に従って (16ビット乱数回路508bの場合には、図13や図14に示す16ビット乱数初期設定1 (KRL1) や16ビット乱数初期設定2 (KRL2) の設定内容に従って)、乱数列の変更方法として、「変更しない」、「ソフトウェアで変更」、「2周目から自動で変更」または「1周目から自動で変更」のうちのいずれかを選択する。そして、「ソフトウェアで変更」、「2周目から自動で変更」または「1周目から自動で変更」のいずれかに選択した場合には、その選択方法に従って乱数列変更回路526a, 526bに乱数列を変更させる。また、「変更しない」を選択した場合には乱数列を変更させる制御を行わない。

40

【0182】

乱数列変更回路526a, 526bは、乱数生成回路525a, 525bにより生成された数値データの順列を、乱数列変更選択回路523a, 523bの指示に従って変更可能とする回路である。例えば、乱数列変更回路526a, 526bは、「ソフトウェアで変更」が指示された場合には、乱数生成回路525a, 525bが更新する乱数列をソフトウェア (ユーザプログラム) により変更する。また、例えば、乱数列変更回路526a, 526bは、「2周目から自動で変更」が指示された場合には、乱数生成回路525a, 525bが更新する乱数列を2周目から自動的に変更し、以降、乱数列が一巡するごとに自動的に乱数列を変更する。また、例えば、乱数列変更回路526a, 526bは、「

50

1 周目から自動で変更」が指示された場合には、乱数生成回路 5 2 5 a , 5 2 5 b が更新する乱数列を 1 周目から自動的に変更し、以降、乱数列が一巡するごとに自動的に乱数列を変更する。

#### 【 0 1 8 3 】

乱数生成回路 5 2 5 a , 5 2 5 b は、例えば 8 ビットのカウンタ ( 1 6 ビット乱数回路 5 0 8 b の場合は 1 6 ビットのカウンタ ) などから構成され、乱数更新クロック信号などの入力にもとづき、数値データを更新可能な所定の範囲において所定の初期値から所定の最終値まで循環的に更新する回路である。例えば乱数生成回路 5 2 5 a , 5 2 5 b は、乱数更新クロック信号における立ち下がりエッジに応答して、「 0 」から「 2 5 5 」までの範囲内で設定された初期値から「 2 5 5 」まで 1 ずつ加算するように数値データをカウントアップして行く ( 1 6 ビット乱数回路 5 0 8 b の場合には、「 0 」から「 6 5 5 3 5 」までの範囲内で設定された初期値から「 6 5 5 3 5 」まで 1 ずつ加算するように数値データをカウントアップして行く )。そして、「 2 5 5 」までカウントアップした後は、「 0 」から初期値よりも 1 小さい最終値となる数値まで 1 ずつ加算するようにカウントアップすることで、数値データを循環的に更新する。

#### 【 0 1 8 4 】

最大値比較回路 5 2 7 a , 5 2 7 b は、図 1 6 や図 1 7 に示す 8 ビット乱数初期設定 1 ( K R S 1 ) や 8 ビット乱数初期設定 2 ( K R S 2 ) の設定内容に従って ( 1 6 ビット乱数回路 5 0 8 b の場合には、図 1 3 や図 1 4 に示す 1 6 ビット乱数初期設定 1 ( K R L 1 ) や 1 6 ビット乱数初期設定 2 ( K R L 2 ) の設定内容に従って )、乱数生成回路 5 2 5 a , 5 2 5 b が生成する乱数値の最大値を設定する。

#### 【 0 1 8 5 】

図 2 3 ( A ) は、 R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) の構成例を示している。図 2 3 ( B ) は、 R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) に格納されるデータの各ビットにおける設定内容の一例を示している。 R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 7 ] に格納されるデータ R L 0 1 R F は、 R L 0 ハードラッチ乱数値レジスタ 1 ( R L 0 H V 1 ) に、外部端子入力により、 1 6 ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 2 3 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 1 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 1 R F は、初期値として “ 0 ” が設定されている。

#### 【 0 1 8 6 】

なお、この実施の形態では、プログラム管理エリアや内蔵レジスタのレジスタに関して、具体的には、プログラム管理エリアなどの対応するビットを “ 0 ” または “ 1 ” のいずれかの値としておくことにより、その対応するビットの値が読み込まれて、読み込まれた “ 0 ” または “ 1 ” の値が遊技制御用マイクロコンピュータ 5 6 0 の制御レジスタにハードウェア的に書き込まれることにより各種の設定が行われる。例えば、 R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット 7 については、そのビット 7 から読み込まれた値が “ 0 ” であれば、遊技制御用マイクロコンピュータ 5 6 0 の制御レジスタにハードウェア的に “ 0 ” が書き込まれることにより R L 0 ハードラッチ乱数値レジスタ 1 ( R L 0 H V 1 ) から値を読み込まないと次の値をラッチしないように設定され、そのビット 7 から読み込まれた値が “ 1 ” であれば、遊技制御用マイクロコンピュータ 5 6 0 の制御レジスタにハードウェア的に “ 1 ” が書き込まれることにより R L 0 ハードラッチ乱数値レジスタ 1 ( R L 0 H V 1 ) から値を読み込まなくても次の値をラッチするように設定される。このことは、他のプログラム管理エリアの各設定項目や内蔵レジスタの各レジスタの各ビットに関しても同様である。

#### 【 0 1 8 7 】

R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 6 - 4 ] に格納されるデータ R L 0 1 L S 0 ~ R L 0 1 L S 2 は、 R L 0 ハードラッチ乱数値レジスタ 1 (

R L 0 H V 1 ) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 2 3 ( B ) に示す例では、R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 6 - 4 ] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 6 - 4 ] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R L 0 1 L S 0 ~ R L 0 1 L S 2 は、初期値として " 0 0 0 " が設定されている。

10

**【 0 1 8 8 】**

R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 3 ] に格納されるデータ R L 0 0 R F は、R L 0 ハードラッチ乱数値レジスタ 0 ( R L 0 H V 0 ) に、外部端子入力により、16ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 2 3 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 0 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L 0 0 R F は、初期値として " 0 " が設定されている。

**【 0 1 8 9 】**

R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 2 - 0 ] に格納されるデータ R L 0 0 L S 0 ~ R L 0 0 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 0 ( R L 0 H V 0 ) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 2 3 ( B ) に示す例では、R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 2 - 0 ] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 0 ( R L 0 L S 0 ) のビット番号 [ 2 - 0 ] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R L 0 0 L S 0 ~ R L 0 0 L S 2 は、初期値として " 0 0 0 " が設定されている。

20

30

**【 0 1 9 0 】**

図 2 4 ( A ) は、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) の構成例を示している。図 2 4 ( B ) は、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) に格納されるデータの各ビットにおける設定内容の一例を示している。R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 7 ] に格納されるデータ R L 0 3 R F は、R L 0 ハードラッチ乱数値レジスタ 3 ( R L 0 H V 3 ) に、外部端子入力により、16ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 2 4 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 3 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L 0 3 R F は、初期値として " 0 " が設定されている。

40

**【 0 1 9 1 】**

R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 6 - 4 ] に格納されるデータ R L 0 3 L S 0 ~ R L 0 3 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 3 ( R L 0 H V 3 ) に、どの外部端子入力により、16ビット乱数 R L 0 の値を取り込むかの設定を示している。図 2 4 ( B ) に示す例では、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 6 - 4 ] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択さ

50

れ、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 6 - 4 ] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R L 0 3 L S 0 ~ R L 0 3 L S 2 は、初期値として " 0 0 0 " が設定されている。

#### 【 0 1 9 2 】

R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 3 ] に格納されるデータ R L 0 2 R F は、R L 0 ハードラッチ乱数値レジスタ 2 ( R L 0 H V 2 ) に、外部端子入力により、16 ビット乱数 R L 0 の値を取り込む際の条件の設定を示している。図 2 4 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L 0 2 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L 0 2 R F は、初期値として " 0 " が設定されている。

#### 【 0 1 9 3 】

R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 2 - 0 ] に格納されるデータ R L 0 2 L S 0 ~ R L 0 2 L S 2 は、R L 0 ハードラッチ乱数値レジスタ 2 ( R L 0 H V 2 ) に、どの外部端子入力により、16 ビット乱数 R L 0 の値を取り込むかの設定を示している。図 2 4 ( B ) に示す例では、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 2 - 0 ] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L 0 ハードラッチ選択レジスタ 1 ( R L 0 L S 1 ) のビット番号 [ 2 - 0 ] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R L 0 2 L S 0 ~ R L 0 2 L S 2 は、初期値として " 0 0 0 " が設定されている。

#### 【 0 1 9 4 】

図 2 5 ( A ) は、R L n ハードラッチ選択レジスタ ( R L n L S ) の構成例を示している。図 2 5 ( B ) は、R L n ハードラッチ選択レジスタ ( R L n L S ) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図 2 5 において、n は 0 ~ 3 の値をとる。R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 7 ] に格納されるデータ R L n 1 R F は、R L n ハードラッチ乱数値レジスタ 1 ( R L n H V 1 ) に、外部端子入力により、16 ビット乱数 R L n の値を取り込む際の条件の設定を示している。図 2 5 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L n 1 R F のビット値が " 0 " となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が " 1 " となる。なお、データ R L n 1 R F は、初期値として " 0 " が設定されている。

#### 【 0 1 9 5 】

R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 6 - 4 ] に格納されるデータ R L n 1 L S 0 ~ R L n 1 L S 2 は、R L n ハードラッチ乱数値レジスタ 1 ( R L n H V 1 ) に、どの外部端子入力により、16 ビット乱数 R L n の値を取り込むかの設定を示している。図 2 5 ( B ) に示す例では、R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 6 - 4 ] に " 0 0 0 " が設定された場合には P I 0 端子が選択され、" 0 0 1 " が設定された場合には P I 1 端子が選択され、" 0 1 0 " が設定された場合には P I 2 端子が選択され、" 0 1 1 " が設定された場合には P I 3 端子が選択され、" 1 0 0 " が設定された場合には P I 4 端子が選択され、" 1 0 1 " が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 6 - 4 ] に " 1 1 0 " や " 1 1 1 " が設定された場合には、その設定は無効である。また、データ R L n 1 L S 0 ~ R L n 1 L S 2 は、初期値として " 0 0 0 " が設定されている。

## 【 0 1 9 6 】

R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 3 ] に格納されるデータ R L n O R F は、R L n ハードラッチ乱数値レジスタ 0 ( R L n H V 0 ) に、外部端子入力により、16 ビット乱数 R L n の値を取り込む際の条件の設定を示している。図 2 5 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R L n O R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L n O R F は、初期値として “ 0 ” が設定されている。

## 【 0 1 9 7 】

R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 2 - 0 ] に格納されるデータ R L n O L S 0 ~ R L n O L S 2 は、R L n ハードラッチ乱数値レジスタ 0 ( R L n H V 0 ) に、どの外部端子入力により、16 ビット乱数 R L n の値を取り込むかの設定を示している。図 2 5 ( B ) に示す例では、R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 2 - 0 ] に “ 0 0 0 ” が設定された場合には P I 0 端子が選択され、“ 0 0 1 ” が設定された場合には P I 1 端子が選択され、“ 0 1 0 ” が設定された場合には P I 2 端子が選択され、“ 0 1 1 ” が設定された場合には P I 3 端子が選択され、“ 1 0 0 ” が設定された場合には P I 4 端子が選択され、“ 1 0 1 ” が設定された場合には P I 5 / X I N T 端子が選択される。なお、R L n ハードラッチ選択レジスタ ( R L n L S ) のビット番号 [ 2 - 0 ] に “ 1 1 0 ” や “ 1 1 1 ” が設定された場合には、その設定は無効である。また、データ R L n O L S 0 ~ R L n O L S 2 は、初期値として “ 0 0 0 ” が設定されている。

## 【 0 1 9 8 】

図 2 6 ( A ) は、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) の構成例を示している。図 2 6 ( B ) は、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) に格納されるデータの各ビットにおける設定内容の一例を示している。R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 7 ] に格納されるデータ R S 1 R F は、R S 1 ハードラッチ乱数値レジスタ ( R S 1 H V ) に、外部端子入力により、8 ビット乱数 R S 1 の値を取り込む際の条件の設定を示している。図 2 6 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 1 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が “ 1 ” となる。なお、データ R S 1 R F は、初期値として “ 0 ” が設定されている。

## 【 0 1 9 9 】

R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 6 - 4 ] に格納されるデータ R S 1 L S 0 ~ R S 1 L S 2 は、R S 1 ハードラッチ乱数値レジスタ ( R S 1 H V ) に、どの外部端子入力により、8 ビット乱数 R S 1 の値を取り込むかの設定を示している。図 2 6 ( B ) に示す例では、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 6 - 4 ] に “ 0 0 0 ” が設定された場合には P I 0 端子が選択され、“ 0 0 1 ” が設定された場合には P I 1 端子が選択され、“ 0 1 0 ” が設定された場合には P I 2 端子が選択され、“ 0 1 1 ” が設定された場合には P I 3 端子が選択され、“ 1 0 0 ” が設定された場合には P I 4 端子が選択され、“ 1 0 1 ” が設定された場合には P I 5 / X I N T 端子が選択される。なお、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 6 - 4 ] に “ 1 1 0 ” や “ 1 1 1 ” が設定された場合には、その設定は無効である。また、データ R S 1 L S 0 ~ R S 1 L S 2 は、初期値として “ 0 0 0 ” が設定されている。

## 【 0 2 0 0 】

R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 3 ] に格納されるデータ R S 0 R F は、R S 0 ハードラッチ乱数値レジスタ ( R S 0 H V ) に、外部端子入力により、8 ビット乱数 R S 0 の値を取り込む際の条件の設定を示している。図 2 6 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 0 R F のビット値が “ 0 ” となる一方、値を読み込まなくても次の値をラッチするよ



うに設定した場合には、そのビット値が“ 1 ”となる。なお、データ R S 0 R F は、初期値として“ 0 ”が設定されている。

#### 【 0 2 0 1 】

R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 2 - 0 ] に格納されるデータ R S 0 L S 0 ~ R S 0 L S 2 は、R S 0 ハードラッチ乱数値レジスタ ( R S 0 H V ) に、どの外部端子入力により、8 ビット乱数 R S 0 の値を取り込むかの設定を示している。図 2 6 ( B ) に示す例では、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 2 - 0 ] に“ 0 0 0 ”が設定された場合には P I 0 端子が選択され、“ 0 0 1 ”が設定された場合には P I 1 端子が選択され、“ 0 1 0 ”が設定された場合には P I 2 端子が選択され、“ 0 1 1 ”が設定された場合には P I 3 端子が選択され、“ 1 0 0 ”が設定された場合には P I 4 端子が選択され、“ 1 0 1 ”が設定された場合には P I 5 / X I N T 端子が選択される。なお、R S ハードラッチ選択レジスタ 0 ( R S L S 0 ) のビット番号 [ 2 - 0 ] に“ 1 1 0 ”や“ 1 1 1 ”が設定された場合には、その設定は無効である。また、データ R S 0 L S 0 ~ R S 0 L S 2 は、初期値として“ 0 0 0 ”が設定されている。

10

#### 【 0 2 0 2 】

図 2 7 ( A ) は、R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) の構成例を示している。図 2 7 ( B ) は、R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) に格納されるデータの各ビットにおける設定内容の一例を示している。R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) のビット番号 [ 7 ] に格納されるデータ R S 3 R F は、R S 3 ハードラッチ乱数値レジスタ ( R S 3 H V ) に、外部端子入力により、8 ビット乱数 R S 3 の値を取り込む際の条件の設定を示している。図 2 7 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 3 R F のビット値が“ 0 ”となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が“ 1 ”となる。なお、データ R S 3 R F は、初期値として“ 0 ”が設定されている。

20

#### 【 0 2 0 3 】

R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) のビット番号 [ 6 - 4 ] に格納されるデータ R S 3 L S 0 ~ R S 3 L S 2 は、R S 3 ハードラッチ乱数値レジスタ ( R S 3 H V ) に、どの外部端子入力により、8 ビット乱数 R S 3 の値を取り込むかの設定を示している。図 2 7 ( B ) に示す例では、R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) のビット番号 [ 6 - 4 ] に“ 0 0 0 ”が設定された場合には P I 0 端子が選択され、“ 0 0 1 ”が設定された場合には P I 1 端子が選択され、“ 0 1 0 ”が設定された場合には P I 2 端子が選択され、“ 0 1 1 ”が設定された場合には P I 3 端子が選択され、“ 1 0 0 ”が設定された場合には P I 4 端子が選択され、“ 1 0 1 ”が設定された場合には P I 5 / X I N T 端子が選択される。なお、R S ハードラッチ選択レジスタ 0 ( R S L S 1 ) のビット番号 [ 6 - 4 ] に“ 1 1 0 ”や“ 1 1 1 ”が設定された場合には、その設定は無効である。また、データ R S 3 L S 0 ~ R S 3 L S 2 は、初期値として“ 0 0 0 ”が設定されている。

30

#### 【 0 2 0 4 】

R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) のビット番号 [ 3 ] に格納されるデータ R S 2 R F は、R S 2 ハードラッチ乱数値レジスタ ( R S 2 H V ) に、外部端子入力により、8 ビット乱数 R S 2 の値を取り込む際の条件の設定を示している。図 2 7 ( B ) に示す例では、値を読み込まないと次の値をラッチしないように設定した場合には、データ R S 2 R F のビット値が“ 0 ”となる一方、値を読み込まなくても次の値をラッチするように設定した場合には、そのビット値が“ 1 ”となる。なお、データ R S 2 R F は、初期値として“ 0 ”が設定されている。

40

#### 【 0 2 0 5 】

R S ハードラッチ選択レジスタ 1 ( R S L S 1 ) のビット番号 [ 2 - 0 ] に格納されるデータ R S 2 L S 0 ~ R S 2 L S 2 は、R S 2 ハードラッチ乱数値レジスタ ( R S 2 H V ) に、どの外部端子入力により、8 ビット乱数 R S 2 の値を取り込むかの設定を示してい

50

る。図27(B)に示す例では、RSハードラッチ選択レジスタ1(RSL S1)のビット番号[2-0]に"000"が設定された場合にはPI0端子が選択され、"001"が設定された場合にはPI1端子が選択され、"010"が設定された場合にはPI2端子が選択され、"011"が設定された場合にはPI3端子が選択され、"100"が設定された場合にはPI4端子が選択され、"101"が設定された場合にはPI5/XINT端子が選択される。なお、RSハードラッチ選択レジスタ1(RSL S1)のビット番号[2-0]に"110"や"111"が設定された場合には、その設定は無効である。また、データRS2LS0~RS2LS2は、初期値として"000"が設定されている。

#### 【0206】

10

図28(A)は、RL割り込み制御レジスタ0(RLIC0)の構成例を示している。図28(B)は、RL割り込み制御レジスタ0(RLIC0)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RL割り込み制御レジスタ0(RLIC0)のビット[7-6]のビット値は必ず"0"とされる。

#### 【0207】

RL割り込み制御レジスタ0(RLIC0)のビット番号[5]に格納されるデータRL11IEは、RL1ハードラッチ乱数値レジスタ1(RL1HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL11IEのビット値が"0"となる一方、割り込み許可に設定した場合には、そのビット値が"1"となる。なお、データRL11IEは、初期値として"0"が設定されている。

20

#### 【0208】

RL割り込み制御レジスタ0(RLIC0)のビット番号[4]に格納されるデータRL10IEは、RL1ハードラッチ乱数値レジスタ0(RL1HV0)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL10IEのビット値が"0"となる一方、割り込み許可に設定した場合には、そのビット値が"1"となる。なお、データRL10IEは、初期値として"0"が設定されている。

#### 【0209】

RL割り込み制御レジスタ0(RLIC0)のビット番号[3]に格納されるデータRL03IEは、RL0ハードラッチ乱数値レジスタ3(RL0HV3)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL03IEのビット値が"0"となる一方、割り込み許可に設定した場合には、そのビット値が"1"となる。なお、データRL03IEは、初期値として"0"が設定されている。

30

#### 【0210】

RL割り込み制御レジスタ0(RLIC0)のビット番号[2]に格納されるデータRL02IEは、RL0ハードラッチ乱数値レジスタ2(RL0HV2)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL02IEのビット値が"0"となる一方、割り込み許可に設定した場合には、そのビット値が"1"となる。なお、データRL02IEは、初期値として"0"が設定されている。

40

#### 【0211】

RL割り込み制御レジスタ0(RLIC0)のビット番号[1]に格納されるデータRL01IEは、RL0ハードラッチ乱数値レジスタ1(RL0HV1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可の設定を示している。図28(B)に示す例では、割り込み禁止に設定した場合には、データRL01IEのビット値が"0"となる一方、割り込み許可に設定した場合には、そのビット値が"1"となる。なお、データRL01IEは、初期値として"0"が設定されている。

#### 【0212】

50

R L 割り込み制御レジスタ 0 ( R L I C 0 ) のビット番号 [ 1 ] に格納されるデータ R L 0 0 I E は、R L 0 ハードラッチ乱数値レジスタ 0 ( R L 0 H V 0 ) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 2 8 ( B ) に示す例では、割り込み禁止に設定した場合には、データ R L 0 0 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 0 I E は、初期値として “ 0 ” が設定されている。

【 0 2 1 3 】

図 2 9 ( A ) は、R L 割り込み制御レジスタ 1 ( R L I C 1 ) の構成例を示している。図 2 9 ( B ) は、R L 割り込み制御レジスタ 1 ( R L I C 1 ) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、R L 割り込み制御レジスタ 1 ( R L I C 1 ) のビット [ 7 - 6 ] およびビット [ 3 - 2 ] のビット値は必ず “ 0 ” とされる。

10

【 0 2 1 4 】

R L 割り込み制御レジスタ 1 ( R L I C 1 ) のビット番号 [ 5 ] に格納されるデータ R L 3 1 I E は、R L 3 ハードラッチ乱数値レジスタ 1 ( R L 3 H V 1 ) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 2 9 ( B ) に示す例では、割り込み禁止に設定した場合には、データ R L 3 1 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 3 1 I E は、初期値として “ 0 ” が設定されている。

【 0 2 1 5 】

R L 割り込み制御レジスタ 1 ( R L I C 1 ) のビット番号 [ 4 ] に格納されるデータ R L 3 0 I E は、R L 3 ハードラッチ乱数値レジスタ 0 ( R L 3 H V 0 ) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 2 9 ( B ) に示す例では、割り込み禁止に設定した場合には、データ R L 3 0 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 3 0 I E は、初期値として “ 0 ” が設定されている。

20

【 0 2 1 6 】

R L 割り込み制御レジスタ 1 ( R L I C 1 ) のビット番号 [ 1 ] に格納されるデータ R L 2 1 I E は、R L 2 ハードラッチ乱数値レジスタ 1 ( R L 2 H V 1 ) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 2 9 ( B ) に示す例では、割り込み禁止に設定した場合には、データ R L 2 1 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 2 1 I E は、初期値として “ 0 ” が設定されている。

30

【 0 2 1 7 】

R L 割り込み制御レジスタ 1 ( R L I C 1 ) のビット番号 [ 0 ] に格納されるデータ R L 2 0 I E は、R L 2 ハードラッチ乱数値レジスタ 0 ( R L 2 H V 0 ) に、乱数値が取り込まれたことを要因とする割り込みの禁止 / 許可の設定を示している。図 2 9 ( B ) に示す例では、割り込み禁止に設定した場合には、データ R L 2 0 I E のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ R L 2 0 I E は、初期値として “ 0 ” が設定されている。

【 0 2 1 8 】

40

図 3 0 ( A ) は、R S 割り込み制御レジスタ ( R S I C ) の構成例を示している。図 3 0 ( B ) は、R S 割り込み制御レジスタ ( R S I C ) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、R S 割り込み制御レジスタ ( R S I C ) は、8 ビット乱数回路 5 0 8 a とフリーランカウンタ回路 5 0 7 とで兼用で用いられるレジスタであり、R S 割り込み制御レジスタ ( R S I C ) のビット [ 7 - 4 ] は、フリーランカウンタ 5 0 7 が用いるハードラッチレジスタ ( F R C 0 ハードラッチレジスタ ( F R 0 H V ) ) ~ F R C 3 ハードラッチレジスタ ( F R 3 H V ) ) に関する設定を示している。

【 0 2 1 9 】

R S 割り込み制御レジスタ ( R S I C ) のビット番号 [ 3 ] に格納されるデータ R S 3 I E は、R S 3 ハードラッチ乱数値レジスタ ( R S 3 H V ) に、乱数値が取り込まれたこ

50

とを要因とする割り込みの禁止／許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ RS 3 IE のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ RS 3 IE は、初期値として “ 0 ” が設定されている。

#### 【 0 2 2 0 】

RS 割り込み制御レジスタ (RS IC) のビット番号 [ 2 ] に格納されるデータ RS 2 IE は、RS 2 ハードラッチ乱数値レジスタ (RS 2 HV) に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ RS 2 IE のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ RS 2 IE は、初期値として “ 0 ” が設定されている。

10

#### 【 0 2 2 1 】

RS 割り込み制御レジスタ (RS IC) のビット番号 [ 1 ] に格納されるデータ RS 1 IE は、RS 1 ハードラッチ乱数値レジスタ (RS 1 HV) に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ RS 1 IE のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ RS 1 IE は、初期値として “ 0 ” が設定されている。

#### 【 0 2 2 2 】

RS 割り込み制御レジスタ (RS IC) のビット番号 [ 0 ] に格納されるデータ RS 0 IE は、RS 0 ハードラッチ乱数値レジスタ (RS 0 HV) に、乱数値が取り込まれたことを要因とする割り込みの禁止／許可の設定を示している。図 30 (B) に示す例では、割り込み禁止に設定した場合には、データ RS 0 IE のビット値が “ 0 ” となる一方、割り込み許可に設定した場合には、そのビット値が “ 1 ” となる。なお、データ RS 0 IE は、初期値として “ 0 ” が設定されている。

20

#### 【 0 2 2 3 】

図 31 (A) は、RL n 最大値設定レジスタ (RL n MX) の構成例を示している。図 31 (B) は、RL n 最大値設定レジスタ (RL n MX) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図 31 において、n は 0 ~ 3 の値をとる。図 31 (B) に示すように、RL n 最大値設定レジスタ (RL n MX) のビット番号 [ 15 - 0 ] に格納されるデータ RL n MX 15 ~ RL n MX 0 は、16 ビット乱数 RL n の最大値が設定される。

30

#### 【 0 2 2 4 】

図 32 (A) は、RS n 最大値設定レジスタ (RS n MX) の構成例を示している。図 32 (B) は、RS n 最大値設定レジスタ (RS n MX) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、図 32 において、n は 0 ~ 3 の値をとる。図 32 (B) に示すように、RS n 最大値設定レジスタ (RS n MX) のビット番号 [ 7 - 0 ] に格納されるデータ RS n MX 7 ~ RS n MX 0 は、8 ビット乱数 RS n の最大値が設定される。

40

#### 【 0 2 2 5 】

図 33 (A) は、乱数列変更レジスタ (RD SC) の構成例を示している。図 33 (B) は、乱数列変更レジスタ (RD SC) に格納されるデータの各ビットにおける設定内容の一例を示している。乱数列変更レジスタ (RD SC) のビット番号 [ 7 ] に格納されるデータ RS 3 SC は、8 ビット乱数 RS 3 の乱数列変更要求ビットを示している。図 33 (B) に示す例では、乱数列を変更しないに設定した場合には、データ RS 3 SC のビット値が “ 0 ” となる一方、乱数列を変更するに設定した場合には、そのビット値が “ 1 ” となる。なお、データ RS 3 SC は、初期値として “ 0 ” が設定されている。

#### 【 0 2 2 6 】

乱数列変更レジスタ (RD SC) のビット番号 [ 6 ] に格納されるデータ RS 2 SC は、8 ビット乱数 RS 2 の乱数列変更要求ビットを示している。図 33 (B) に示す例では

50

、乱数列を変更しないに設定した場合には、データRS2SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS2SCは、初期値として“0”が設定されている。

【0227】

乱数列変更レジスタ(RDSC)のビット番号[5]に格納されるデータRS1SCは、8ビット乱数RS1の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRS1SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS1SCは、初期値として“0”が設定されている。

【0228】

乱数列変更レジスタ(RDSC)のビット番号[4]に格納されるデータRS0SCは、8ビット乱数RS0の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRS0SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS0SCは、初期値として“0”が設定されている。

【0229】

乱数列変更レジスタ(RDSC)のビット番号[3]に格納されるデータRL3SCは、16ビット乱数RL3の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRL3SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL3SCは、初期値として“0”が設定されている。

【0230】

乱数列変更レジスタ(RDSC)のビット番号[2]に格納されるデータRL2SCは、16ビット乱数RL2の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRL2SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL2SCは、初期値として“0”が設定されている。

【0231】

乱数列変更レジスタ(RDSC)のビット番号[1]に格納されるデータRL1SCは、16ビット乱数RL1の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRL1SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL1SCは、初期値として“0”が設定されている。

【0232】

乱数列変更レジスタ(RDSC)のビット番号[0]に格納されるデータRL0SCは、16ビット乱数RL0の乱数列変更要求ビットを示している。図33(B)に示す例では、乱数列を変更しないに設定した場合には、データRL0SCのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL0SCは、初期値として“0”が設定されている。

【0233】

図34(A)は、乱数ソフトラッチレジスタ(RDSL)の構成例を示している。図34(B)は、乱数ソフトラッチレジスタ(RDSL)に格納されるデータの各ビットにおける設定内容の一例を示している。乱数ソフトラッチレジスタ(RDSL)のビット番号[7]に格納されるデータRS3SLは、8ビット乱数RS3の乱数値を、RS3ソフトラッチ乱数値レジスタ(RS3SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRS3SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS3SLは、初期値として“0”が設定されている。

【0234】

乱数ソフトラッチレジスタ(RDSL)のビット番号[6]に格納されるデータRS2

10

20

30

40

50

SLは、8ビット乱数RS2の乱数値を、RS2ソフトラッチ乱数値レジスタ(RS2SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRS2SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS2SLは、初期値として“0”が設定されている。

【0235】

乱数ソフトラッチレジスタ(RDSL)のビット番号[5]に格納されるデータRS1SLは、8ビット乱数RS1の乱数値を、RS1ソフトラッチ乱数値レジスタ(RS1SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRS1SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS1SLは、初期値として“0”が設定されている。

10

【0236】

乱数ソフトラッチレジスタ(RDSL)のビット番号[4]に格納されるデータRS0SLは、8ビット乱数RS0の乱数値を、RS0ソフトラッチ乱数値レジスタ(RS0SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRS0SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRS0SLは、初期値として“0”が設定されている。

【0237】

20

乱数ソフトラッチレジスタ(RDSL)のビット番号[3]に格納されるデータRL3SLは、16ビット乱数RL3の乱数値を、RL3ソフトラッチ乱数値レジスタ(RL3SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRL3SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL3SLは、初期値として“0”が設定されている。

【0238】

乱数ソフトラッチレジスタ(RDSL)のビット番号[2]に格納されるデータRL2SLは、16ビット乱数RL2の乱数値を、RL2ソフトラッチ乱数値レジスタ(RL2SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRL2SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL2SLは、初期値として“0”が設定されている。

30

【0239】

乱数ソフトラッチレジスタ(RDSL)のビット番号[1]に格納されるデータRL1SLは、16ビット乱数RL1の乱数値を、RL1ソフトラッチ乱数値レジスタ(RL1SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRL1SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL1SLは、初期値として“0”が設定されている。

40

【0240】

乱数ソフトラッチレジスタ(RDSL)のビット番号[0]に格納されるデータRL0SLは、16ビット乱数RL0の乱数値を、RL0ソフトラッチ乱数値レジスタ(RL0SV)に取り込むためのビットを示している。図34(B)に示す例では、乱数値を取り込まないに設定した場合には、データRL0SLのビット値が“0”となる一方、乱数列を変更するに設定した場合には、そのビット値が“1”となる。なお、データRL0SLは、初期値として“0”が設定されている。

【0241】

図35(A)は、乱数ソフトラッチフラグレジスタ(RDSF)の構成例を示している。図35(B)は、乱数ソフトラッチフラグレジスタ(RDSF)に格納されるデータの

50

各ビットにおける設定内容の一例を示している。乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 7 ] に格納されるデータ RS3SF は、RS3ソフトラッチ乱数値レジスタ (RS3SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RS3SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RS3SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 2 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 6 ] に格納されるデータ RS2SF は、RS2ソフトラッチ乱数値レジスタ (RS2SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RS2SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RS2SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 3 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 5 ] に格納されるデータ RS1SF は、RS1ソフトラッチ乱数値レジスタ (RS1SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RS1SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RS1SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 4 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 4 ] に格納されるデータ RS0SF は、RS0ソフトラッチ乱数値レジスタ (RS0SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RS0SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RS0SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 5 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 3 ] に格納されるデータ RL3SF は、RL3ソフトラッチ乱数値レジスタ (RL3SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RL3SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RL3SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 6 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 2 ] に格納されるデータ RL2SF は、RL2ソフトラッチ乱数値レジスタ (RL2SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RL2SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RL2SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 7 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 1 ] に格納されるデータ RL1SF は、RL1ソフトラッチ乱数値レジスタ (RL1SV) に、乱数値が取り込まれたことを示している。図 35 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ RL1SF のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ RL1SF は、初期値として “ 0 ” が設定されている。

【 0 2 4 8 】

乱数ソフトラッチフラグレジスタ (RDSF) のビット番号 [ 0 ] に格納されるデータ

10

20

30

40

50

RL0SFは、RL0ソフトラッチ乱数値レジスタ(RL0SV)に、乱数値が取り込まれたことを示している。図35(B)に示す例では、乱数値が取り込まれていない場合には、データRL0SFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL0SFは、初期値として“0”が設定されている。

【0249】

図36(A)は、RLnソフトラッチ乱数値レジスタ(RLnSV)の構成例を示している。図36(B)は、RLnソフトラッチ乱数値レジスタ(RLnSV)に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図36において、nは0~3の値をとる。図36(B)に示すように、RLnソフトラッチ乱数値レジスタ(RLnSV)のビット番号[15-0]に格納されるデータRLnSV15~RLnSV0は、乱数ソフトラッチレジスタ(RDSL)により取り込まれた16ビット乱数RLnの値が格納される。なお、乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ(RDSF)の該当するビットに“1”がセットされる。

【0250】

図37(A)は、RSnソフトラッチ乱数値レジスタ(RSnSV)の構成例を示している。図37(B)は、RSnソフトラッチ乱数値レジスタ(RSnSV)に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図37において、nは0~3の値をとる。図37(B)に示すように、RSnソフトラッチ乱数値レジスタ(RSnSV)のビット番号[7-0]に格納されるデータRSnSV7~RSnSV0は、乱数ソフトラッチレジスタ(RDSL)により取り込まれた8ビット乱数RSnの値が格納される。なお、乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ(RDSF)の該当するビットに“1”がセットされる。

【0251】

図38(A)は、RLハードラッチフラグレジスタ0(RLHF0)の構成例を示している。図38(B)は、RLハードラッチフラグレジスタ0(RLHF0)に格納されるデータの各ビットにおける設定内容の一例を示している。なお、RLハードラッチフラグレジスタ0(RLHF0)のビット[7-6]のビット値は必ず“0”とされる。

【0252】

RLハードラッチフラグレジスタ0(RLHF0)のビット番号[5]に格納されるデータRL11HFは、RL1ハードラッチ乱数値レジスタ1に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データRL11HFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL11HFは、初期値として“0”が設定されている。

【0253】

RLハードラッチフラグレジスタ0(RLHF0)のビット番号[4]に格納されるデータRL10HFは、RL1ハードラッチ乱数値レジスタ0に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データRL10HFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL10HFは、初期値として“0”が設定されている。

【0254】

RLハードラッチフラグレジスタ0(RLHF0)のビット番号[3]に格納されるデータRL03HFは、RL0ハードラッチ乱数値レジスタ3に、乱数値が取り込まれたことを示している。図38(B)に示す例では、乱数値が取り込まれていない場合には、データRL03HFのビット値が“0”となる一方、乱数値を取り込み済みである場合には、そのビット値が“1”となる。なお、データRL03HFは、初期値として“0”が設定されている。

【0255】

10

20

30

40

50



R L ハードラッチフラグレジスタ 0 ( R L H F 0 ) のビット番号 [ 2 ] に格納されるデータ R L 0 2 H F は、R L 0 ハードラッチ乱数値レジスタ 2 に、乱数値が取り込まれたことを示している。図 3 8 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 0 2 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 2 H F は、初期値として “ 0 ” が設定されている。

【 0 2 5 6 】

R L ハードラッチフラグレジスタ 0 ( R L H F 0 ) のビット番号 [ 1 ] に格納されるデータ R L 0 1 H F は、R L 0 ハードラッチ乱数値レジスタ 1 に、乱数値が取り込まれたことを示している。図 3 8 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 0 1 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 1 H F は、初期値として “ 0 ” が設定されている。

10

【 0 2 5 7 】

R L ハードラッチフラグレジスタ 0 ( R L H F 0 ) のビット番号 [ 0 ] に格納されるデータ R L 0 0 H F は、R L 0 ハードラッチ乱数値レジスタ 0 に、乱数値が取り込まれたことを示している。図 3 8 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 0 0 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 0 0 H F は、初期値として “ 0 ” が設定されている。

20

【 0 2 5 8 】

図 3 9 ( A ) は、R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) の構成例を示している。図 3 9 ( B ) は、R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) のビット [ 7 - 6 ] およびビット [ 3 - 2 ] のビット値は必ず “ 0 ” とされる。

【 0 2 5 9 】

R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) のビット番号 [ 5 ] に格納されるデータ R L 3 1 H F は、R L 3 ハードラッチ乱数値レジスタ 1 に、乱数値が取り込まれたことを示している。図 3 9 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 3 1 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 3 1 H F は、初期値として “ 0 ” が設定されている。

30

【 0 2 6 0 】

R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) のビット番号 [ 4 ] に格納されるデータ R L 3 0 H F は、R L 3 ハードラッチ乱数値レジスタ 0 に、乱数値が取り込まれたことを示している。図 3 9 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 3 0 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 3 0 H F は、初期値として “ 0 ” が設定されている。

40

【 0 2 6 1 】

R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) のビット番号 [ 1 ] に格納されるデータ R L 2 1 H F は、R L 2 ハードラッチ乱数値レジスタ 1 に、乱数値が取り込まれたことを示している。図 3 9 ( B ) に示す例では、乱数値が取り込まれていない場合には、データ R L 2 1 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 2 1 H F は、初期値として “ 0 ” が設定されている。

【 0 2 6 2 】

R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) のビット番号 [ 1 ] に格納されるデータ R L 2 0 H F は、R L 2 ハードラッチ乱数値レジスタ 0 に、乱数値が取り込まれたこ

50

とを示している。図 39 (B) に示す例では、乱数値が取り込まれていない場合には、データ R L 2 0 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R L 2 0 H F は、初期値として “ 0 ” が設定されている。

#### 【 0 2 6 3 】

図 40 (A) は、R S ハードラッチフラグレジスタ (R S H F) の構成例を示している。図 40 (B) は、R S ハードラッチフラグレジスタ (R S H F) に格納されるデータの各ビットにおける設定内容の一例を示している。なお、R S ハードラッチフラグレジスタ (R S H F) は、8 ビット乱数回路 5 0 8 a とフリーランカウンタ回路 5 0 7 とで兼用で用いられるレジスタであり、R S ハードラッチフラグレジスタ (R S H F) のビット [ 7 - 4 ] は、フリーランカウンタ 5 0 7 が用いるハードラッチレジスタ (F R C 0 ハードラッチレジスタ (F R 0 H V) ~ F R C 3 ハードラッチレジスタ (F R 3 H V)) に関する設定を示している。

#### 【 0 2 6 4 】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [ 3 ] に格納されるデータ R S 3 H F は、R S 3 ハードラッチ乱数値レジスタ (R S 3 H V) に、乱数値が取り込まれたことを示している。図 40 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 3 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R S 3 H F は、初期値として “ 0 ” が設定されている。

#### 【 0 2 6 5 】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [ 2 ] に格納されるデータ R S 2 H F は、R S 2 ハードラッチ乱数値レジスタ (R S 2 H V) に、乱数値が取り込まれたことを示している。図 40 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 2 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R S 2 H F は、初期値として “ 0 ” が設定されている。

#### 【 0 2 6 6 】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [ 1 ] に格納されるデータ R S 1 H F は、R S 1 ハードラッチ乱数値レジスタ (R S 1 H V) に、乱数値が取り込まれたことを示している。図 40 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 1 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R S 1 H F は、初期値として “ 0 ” が設定されている。

#### 【 0 2 6 7 】

R S ハードラッチフラグレジスタ (R S H F) のビット番号 [ 0 ] に格納されるデータ R S 0 H F は、R S 0 ハードラッチ乱数値レジスタ (R S 0 H V) に、乱数値が取り込まれたことを示している。図 40 (B) に示す例では、乱数値が取り込まれていない場合には、データ R S 0 H F のビット値が “ 0 ” となる一方、乱数値を取り込み済みである場合には、そのビット値が “ 1 ” となる。なお、データ R S 0 H F は、初期値として “ 0 ” が設定されている。

#### 【 0 2 6 8 】

図 41 (A) は、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) の構成例を示している。図 41 (B) は、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 41 において、m は 0 ~ 3 の値をとる。図 41 (B) に示すように、R L 0 ハードラッチ乱数値レジスタ m (R L 0 m H V) のビット番号 [ 1 5 - 0 ] に格納されるデータ R L 0 m H V 1 5 ~ R L 0 m H V 0 は、外部端子入力により取り込まれた 1 6 ビット乱数 R L 0 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 0 (R L H F 0) の該当するビットに “ 1 ” がセットされる。

## 【 0 2 6 9 】

図 4 2 ( A ) は、R L 1 ハードラッチ乱数値レジスタ m ( R L 1 m H V ) の構成例を示している。図 4 2 ( B ) は、R L 1 ハードラッチ乱数値レジスタ m ( R L 1 m H V ) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 2 において、m は 0 ~ 3 の値をとる。図 4 2 ( B ) に示すように、R L 1 ハードラッチ乱数値レジスタ m ( R L 1 m H V ) のビット番号 [ 1 5 - 0 ] に格納されるデータ R L 1 m H V 1 5 ~ R L 1 m H V 0 は、外部端子入力により取り込まれた 1 6 ビット乱数 R L 1 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 0 ( R L H F 0 ) の該当するビットに " 1 " がセットされる。

## 【 0 2 7 0 】

10

図 4 3 ( A ) は、R L 2 ハードラッチ乱数値レジスタ m ( R L 2 m H V ) の構成例を示している。図 4 3 ( B ) は、R L 2 ハードラッチ乱数値レジスタ m ( R L 2 m H V ) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 3 において、m は 0 ~ 3 の値をとる。図 4 3 ( B ) に示すように、R L 2 ハードラッチ乱数値レジスタ m ( R L 2 m H V ) のビット番号 [ 1 5 - 0 ] に格納されるデータ R L 2 m H V 1 5 ~ R L 2 m H V 0 は、外部端子入力により取り込まれた 1 6 ビット乱数 R L 2 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) の該当するビットに " 1 " がセットされる。

## 【 0 2 7 1 】

図 4 4 ( A ) は、R L 3 ハードラッチ乱数値レジスタ m ( R L 3 m H V ) の構成例を示している。図 4 4 ( B ) は、R L 3 ハードラッチ乱数値レジスタ m ( R L 3 m H V ) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 4 において、m は 0 ~ 3 の値をとる。図 4 4 ( B ) に示すように、R L 3 ハードラッチ乱数値レジスタ m ( R L 3 m H V ) のビット番号 [ 1 5 - 0 ] に格納されるデータ R L 3 m H V 1 5 ~ R L 3 m H V 0 は、外部端子入力により取り込まれた 1 6 ビット乱数 R L 3 の値が格納される。なお、乱数値が取り込まれると、R L ハードラッチフラグレジスタ 1 ( R L H F 1 ) の該当するビットに " 1 " がセットされる。

20

## 【 0 2 7 2 】

図 4 5 ( A ) は、R S n ハードラッチ乱数値レジスタ ( R S n H V ) の構成例を示している。図 4 5 ( B ) は、R S n ハードラッチ乱数値レジスタ ( R S n H V ) に格納されるデータの各ビットにおける格納内容の一例を示している。なお、図 4 5 において、n は 0 ~ 3 の値をとる。図 4 5 ( B ) に示すように、R S n ハードラッチ乱数値レジスタ ( R L n H V ) のビット番号 [ 7 0 ] に格納されるデータ R S n H V 7 ~ R S n H V 0 は、外部端子入力により取り込まれた 8 ビット乱数 R S n の値が格納される。なお、乱数値が取り込まれると、R S ハードラッチフラグレジスタ ( R S H F ) の該当するビットに " 1 " がセットされる。

30

## 【 0 2 7 3 】

図 4 に示す遊技制御用マイクロコンピュータ 5 6 0 が備えるタイマ回路 5 0 9 は、8 ビットプログラマブルタイマであり、遊技制御用マイクロコンピュータ 5 6 0 は、タイマ回路 5 0 9 として、8 ビットのカウンタを 3 チャンネル備える。この実施の形態では、タイマ回路 5 0 9 を用いてユーザプログラムによる設定により、リアルタイム割り込み要求や時間計測を行うことが可能である。

40

## 【 0 2 7 4 】

図 4 に示す遊技制御用マイクロコンピュータ 5 6 0 が備える割り込みコントローラ 5 1 0 は、P I 5 / X I N T 端子からの外部割り込み要求や、内蔵の周辺回路 ( 例えば、シリアル通信回路 5 1 2、乱数回路 5 0 8 a、5 0 8 b、タイマ回路 5 0 9 ) からの割り込み要求を制御する回路である。

## 【 0 2 7 5 】

図 4 に示す遊技制御用マイクロコンピュータ 5 6 0 が備えるパラレル入力ポート 5 1 1 は、8 ビット幅の入力専用ポート ( P I P ) を内蔵する。また、図 4 に示す遊技制御用マ

50

マイクロコンピュータ560が備えるパラレル出力ポート513は、11ビット幅の出力専用ポート(POP)を内蔵する。

【0276】

図4に示す遊技制御用マイクロコンピュータ560が備えるシリアル通信回路512は、外部に対する入出力において非同期シリアル通信を行う回路である。なお、遊技制御用マイクロコンピュータ560は、シリアル通信回路512として、送受信両用の1チャンネルの回路と、送信用のみの3チャンネルの回路とを備える。なお、例えば、送受信両用の回路については、例えば、双方向の通信が必要となる遊技制御用マイクロコンピュータ560と払出制御基板37が搭載する払出制御用マイクロコンピュータとの間の通信に用いるようにし、送信用のみの回路については、例えば、一方向の通信でよい遊技制御用マイクロコンピュータ560から演出制御用マイクロコンピュータ100に対する通信に用いるようにする。

10

【0277】

図4に示す遊技制御用マイクロコンピュータ560が備えるアドレスデコード回路514は、遊技制御用マイクロコンピュータ560の内部における各機能ブロックのデコードや、外部装置用のデコード信号であるチップセレクト信号のデコードを行うための回路である。チップセレクト信号により、遊技制御用マイクロコンピュータ560の内部回路、あるいは、周辺デバイスとなる外部装置を、選択的に有効動作させて、CPU56からのアクセスが可能となる。

【0278】

20

次に、遊技機の動作について説明する。まず、この実施の形態では、既に説明したように、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したときに、ユーザリセットを発生させるかシステムリセットを発生させるかを可能である(図12参照)。図46は、リセット設定(KRES)での設定内容によるリセット動作の違いを説明するための説明図である。

【0279】

まず、図46(A)を用いてウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したときにシステムリセットを発生させるように設定した場合について説明する。この場合、図46(A)に示すように、遊技機に対して電源が投入され電力供給が開始されると、遊技制御用マイクロコンピュータ56は、CPUコアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路508a、508bの設定など遊技制御用マイクロコンピュータ560の各種設定をハードウェア的に行う(ステップS1001)。具体的には、プログラム管理エリアの図12に示すリセット設定(KRES)の設定内容に従って内部リセットの動作の設定を行ったり、プログラム管理エリアの図13~図17に示す16ビット乱数初期設定1(KRL1)~8ビット乱数初期設定2(KRS2)の設定内容に従って乱数回路508a、508bの設定を行ったりする。なお、図46(A)に示す例では、遊技制御用マイクロコンピュータ56は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定としてシステムリセットを設定する。また、プログラム管理エリアの設定内容は予め遊技機の製作時に遊技機製造メーカ(ユーザ)によって設定されているものとする。

30

40

【0280】

遊技制御用マイクロコンピュータ560の各種設定を完了すると、遊技制御用マイクロコンピュータ56は、セキュリティモードに移行し、セキュリティチェックを実行する(ステップS1002)。ステップS1002で実行するセキュリティチェックでは、ユーザプログラムの認証を行う。具体的には、ユーザプログラムをもとに計算された認証コードが正しいか否かを再計算を行う。そして、認証コードが正しければ、ステップS1003に移行し、認証コードが正しくなければ、CPU56を停止する。なお、セキュリティモードに移行されるセキュリティモード時間は、既に説明したように、プログラム管理エリアの図18に示すセキュリティ時間設定(KSES)の設定内容に従って可変とされてい

50

る。具体的には、プログラム管理エリアの図 1 8 に示すセキュリティ時間設定 ( K S E S ) の設定内容に従ってステップ S 1 0 0 1 の設定が行われることによりセキュリティモード時間が設定される。なお、認証コードは、予め遊技機の製作時の内蔵 R O M 5 4 への書き込み時に遊技機製造メーカ ( ユーザ ) によってユーザプログラムとともに書き込まれているものとする。

【 0 2 8 1 】

そして、セキュリティチェックを終了すると、遊技制御用マイクロコンピュータ 5 6 0 は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図 4 8 のメイン処理の実行を開始する。

【 0 2 8 2 】

次いで、ユーザプログラムが実行されているときに ( 具体的には、後述する図 4 8 のメイン処理内のループ処理や図 4 9 のタイマ割込処理の実行中に )、ウォッチドッグタイマ ( W D T ) 5 0 6 b からのタイムアウト信号や I A T 回路 5 0 6 a からの I A T 信号が発生したものとする。図 4 6 ( A ) に示す例では、ステップ S 1 0 0 1 で内部リセット動作の設定としてシステムリセットが設定されていることから、タイムアウト信号や I A T 信号の発生にもとづいてシステムリセットが発生する。

【 0 2 8 3 】

そして、ステップ S 1 0 0 1 と同様に、遊技制御用マイクロコンピュータ 5 6 は、C P U コアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路 5 0 8 a , 5 0 8 b の設定など遊技制御用マイクロコンピュータ 5 6 0 の各種設定をハードウェア的に行う ( ステップ S 1 0 0 5 )。また、遊技制御用マイクロコンピュータ 5 6 0 の各種設定を完了すると、ステップ S 1 0 0 2 と同様に、遊技制御用マイクロコンピュータ 5 6 は、セキュリティモードに移行し、セキュリティチェックを実行する ( ステップ S 1 0 0 6 )。

【 0 2 8 4 】

そして、セキュリティチェックを終了すると、ステップ S 1 0 0 3 と同様に、遊技制御用マイクロコンピュータ 5 6 0 は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図 4 8 のメイン処理の実行を再び開始する。

【 0 2 8 5 】

以降、ウォッチドッグタイマ ( W D T ) 5 0 6 b からのタイムアウト信号や I A T 回路 5 0 6 a からの I A T 信号が発生するごとに、ステップ S 1 0 0 4 ~ S 1 0 0 7 の動作が実行される。なお、図 4 6 ( A ) において、ステップ S 1 0 0 1 , S 1 0 0 2 の具体的な処理内容とステップ S 1 0 0 5 , S 1 0 0 6 の具体的な処理内容とは同じである。

【 0 2 8 6 】

次に、図 4 6 ( B ) を用いてウォッチドッグタイマ ( W D T ) 5 0 6 b からのタイムアウト信号や I A T 回路 5 0 6 a からの I A T 信号が発生したときにユーザリセットを発生させるように設定した場合について説明する。この場合、図 4 6 ( B ) に示すように、遊技機に対して電源が投入され電力供給が開始されると、遊技制御用マイクロコンピュータ 5 6 は、C P U コアを含む全ての内部回路を初期化するとともに、プログラム管理エリアの設定内容に従って、内部リセット動作の設定や乱数回路 5 0 8 a , 5 0 8 b の設定など遊技制御用マイクロコンピュータ 5 6 0 の各種設定をハードウェア的に行う ( ステップ S 1 0 1 1 )。具体的には、プログラム管理エリアの図 1 2 に示すリセット設定 ( K R E S ) の設定内容に従って内部リセットの動作の設定を行ったり、プログラム管理エリアの図 1 3 ~ 図 1 7 に示す 1 6 ビット乱数初期設定 1 ( K R L 1 ) ~ 8 ビット乱数初期設定 2 ( K R S 2 ) の設定内容に従って乱数回路 5 0 8 a , 5 0 8 b の設定を行ったりする。なお、図 4 6 ( B ) に示す例では、遊技制御用マイクロコンピュータ 5 6 は、プログラム管理エリアの設定内容に従って、内部リセット動作の設定としてユーザリセットを設定する。また、プログラム管理エリアの設定内容は予め遊技機の製作時に遊技機製造メーカ ( ユーザ ) によって設定されているものとする。

【 0 2 8 7 】

10

20

30

40

50

遊技制御用マイクロコンピュータ560の各種設定を完了すると、遊技制御用マイクロコンピュータ56は、セキュリティモードに移行し、セキュリティチェックを実行する(ステップS1012)。ステップS1012で実行するセキュリティチェックでは、ユーザプログラムの認証を行う。具体的には、ユーザプログラムをもとに計算された認証コードが正しいか否かを再計算を行う。そして、認証コードが正しければ、ステップS1013に移行し、認証コードが正しくなければ、CPU56を停止する。なお、セキュリティモードに移行されるセキュリティモード時間は、既に説明したように、プログラム管理エリアの図18に示すセキュリティ時間設定(KSES)の設定内容に従って可変とされている。具体的には、プログラム管理エリアの図18に示すセキュリティ時間設定(KSES)の設定内容に従ってステップS1011の設定が行われることによりセキュリティモード時間が設定される。なお、認証コードは、予め遊技機の製作時の内蔵ROM54への書き込み時に遊技機製造メーカ(ユーザ)によってユーザプログラムとともに書き込まれているものとする。

10

#### 【0288】

そして、セキュリティチェックを終了すると、遊技制御用マイクロコンピュータ560は、ユーザモードに移行し、ユーザプログラムの実行を開始する。具体的には、後述する図48のメイン処理の実行を開始する。

#### 【0289】

次いで、ユーザプログラムが実行されているときに(具体的には、後述する図48のメイン処理内のループ処理や図49のタイマ割込処理の実行中に)、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生したものとする。図46(B)に示す例では、ステップS1011で内部リセット動作の設定としてユーザリセットが設定されていることから、タイムアウト信号やIAT信号の発生にもとづいてユーザリセットが発生する。

20

#### 【0290】

ユーザリセットが発生した場合には、ステップS1011の遊技制御用マイクロコンピュータ560の各種設定やステップS1012のセキュリティチェックは実行されず、遊技制御用マイクロコンピュータ560の内部回路のうち、CPUコア、タイマ回路509、フリーランカウンタ回路507、演算回路505、パラレル入力ポート511、パラレル出力ポート513、シリアル通信回路512、および割り込みコントローラ510などを初期化する。そして、そのままユーザプログラムの先頭のアドレスに戻り、ユーザプログラムの実行が先頭のアドレスから再び開始される(ステップS1015)。具体的には、後述する図48のメイン処理の実行を再び開始する。

30

#### 【0291】

以降、ウォッチドッグタイマ(WDT)506bからのタイムアウト信号やIAT回路506aからのIAT信号が発生するごとに、ステップS1014~S1015の動作が実行される。

#### 【0292】

また、この実施の形態では、遊技制御用マイクロコンピュータ560は、ユーザプログラムの実行中に内蔵RAM領域に格納されているデータを読み出す場合、そのデータが格納されている内蔵RAM領域の上位および下位全てのアドレスを指定するのではなく、アドレスの下位のみを指定してデータを読み出すことが可能である。図47は、内蔵RAM領域に格納されているデータの読み出し方の例を示す説明図である。この実施の形態では、ユーザプログラムで参照されるデータは、内蔵RAM領域のうちのF000H~F0FFFH領域に格納されるものとし、データ格納領域のアドレスの上位が必ずF0Hとなるものとする。また、遊技制御用マイクロコンピュータ560は、データ格納領域の上位アドレスを固定値として格納しておくための専用のレジスタ(Qレジスタ)を備え、Qレジスタには固定値F0Hが設定されるものとする。

40

#### 【0293】

図47に示す例では、内蔵RAM領域のアドレスF020Hに格納されているデータを

50

読み出す場合が示されている。この場合、Qレジスタを用いてデータを読み出すためのコマンドLDQを用いて、下位アドレス20Hのみを指定して、データの読み出し動作を行う（具体的には、LDQ A, (20H)を実行する）。すると、CPU56は、データ格納領域の上位アドレスをQレジスタに設定されている固定値からF0Hと特定するとともに、LDQ命令で指定された下位アドレス20Hを特定し、上位および下位を合わせたデータ格納領域のアドレスがF020Hであると特定する。そして、CPU56は、特定したF020Hに対応するデータ格納領域に格納されているデータaを読み出し、レジスタAに格納する。

#### 【0294】

なお、Qレジスタの値は、システムリセット時にハードウェア的に初期化されて初期値F0Hに自動設定されるものとする。例えば、遊技機に対して電源が投入され電力供給が開始されたときに、Qレジスタの下位4ビットは0に初期化されるとともに、上位4ビットは反転回路で反転されて全て値1となることによって、Qレジスタの初期値としてF0Hが自動設定される。なお、後述するように、この実施の形態では、ユーザプログラムの実行が開始されたときにも、ユーザプログラムによりQレジスタに初期値F0Hを設定する処理が実行される（後述するステップS5A参照）。

#### 【0295】

なお、Qレジスタの初期値設定は、遊技機に対して電源が投入され電力供給が開始されたときに行うハードウェア的な自動設定のみでもよいし、ユーザプログラムの開始時に実行されるユーザプログラムによる設定のみでもよい。

#### 【0296】

次に、システムチェックを実行した後、ユーザモードに移行した後にユーザプログラムに従って実行される処理を説明する。ユーザモードに移行すると、遊技制御用マイクロコンピュータ560は、メイン処理の実行を開始する。

#### 【0297】

図48は、主基板31における遊技制御用マイクロコンピュータ560が実行するメイン処理を示すフローチャートである。メイン処理において、CPU56は、まず、必要な初期設定を行う。初期設定処理において、CPU56は、まず、割込禁止に設定する（ステップS1）。次に、割込モードの設定を行い（ステップS2）、スタックポインタにスタックポインタ指定アドレスを設定する（ステップS3）。そして、内蔵デバイスの初期化（内蔵デバイス（内蔵周辺回路）であるタイマ回路509、パラレル入力ポート511およびパラレル出力ポート513の初期化など）を行った後（ステップS4）、RAMをアクセス可能状態に設定する（ステップS5）。

#### 【0298】

次いで、CPU56は、Qレジスタに初期値F0Hをセットする（ステップS5A）。すなわち、ステップS5が実行されてRAM55をアクセス可能状態に設定したタイミングで、Qレジスタに初期値F0Hがセットされる。

#### 【0299】

次いで、CPU56は、入力ポートを介して入力されるクリアスイッチ（例えば、電源基板に搭載されている。）の出力信号（クリア信号）の状態を確認する（ステップS6）。その確認においてオンを検出した場合には、CPU56は、通常の初期化処理（ステップS10～S15）を実行する。

#### 【0300】

クリアスイッチがオンの状態でない場合には、遊技機への電力供給が停止したときにバックアップRAM領域のデータ保護処理（例えばパリティデータの付加等の電力供給停止時処理（電源断処理））が行われたか否か確認する（ステップS7）。そのような保護処理が行われていないことを確認したら、CPU56は初期化処理を実行する。バックアップRAM領域にバックアップデータがあるか否かは、例えば、電源断処理においてバックアップRAM領域に設定されるバックアップ監視タイマの値が判定値（例えば2）と同じ値になっていることによって、電力供給停止時処理の処理結果が保存されていることを確

10

20

30

40

50

認できる。なお、バックアップ監視タイマに代えて、例えば、電源断処理においてバックアップフラグをセットするようにし、ステップS 7では、バックアップフラグがセットされているか否かを確認するようにしてもよい。

#### 【0301】

電力供給停止時処理が行われたことを確認したら、CPU 56は、バックアップRAM領域のデータチェックを行う(ステップS 8)。この実施の形態では、データチェックとしてパリティチェックを行う。よって、ステップS 8では、算出したチェックサムと、電力供給停止時処理で同一の処理によって算出され保存されているチェックサムとを比較する。不測の停電等の電力供給停止が生じた後に復旧した場合には、バックアップRAM領域のデータは保存されているはずであるから、チェック結果(比較結果)は正常(一致)になる。チェック結果が正常でないということは、バックアップRAM領域のデータが、電力供給停止時のデータとは異なっていることを意味する。そのような場合には、内部状態を電力供給停止時の状態に戻すことができないので、電力供給の停止からの復旧時でない電源投入時に実行される初期化処理を実行する。

10

#### 【0302】

チェック結果が正常であれば、CPU 56は、遊技制御手段の内部状態と演出制御手段等の電気部品制御手段の制御状態を電力供給停止時の状態に戻すための遊技状態復旧処理(ステップS 41~S 43の処理)を行う。具体的には、ROM 54に格納されているバックアップ時設定テーブルの先頭アドレスをポインタに設定し(ステップS 41)、バックアップ時設定テーブルの内容を順次作業領域(RAM 55内の領域)に設定する(ステップS 42)。作業領域はバックアップ電源によって電源バックアップされている。バックアップ時設定テーブルには、作業領域のうち初期化してもよい領域についての初期化データが設定されている。ステップS 41およびS 42の処理によって、作業領域のうち初期化してはならない部分については、保存されていた内容がそのまま残る。初期化してはならない部分とは、例えば、電力供給停止前の遊技状態を示すデータ(特別図柄プロセスフラグ、確変フラグ、時短フラグなど)、出力ポートの出力状態が保存されている領域(出力ポートバッファ)、未払出賞球数を示すデータが設定されている部分などである。

20

#### 【0303】

また、CPU 56は、電力供給復旧時の初期化コマンドとしての停電復旧指定コマンドを送信する(ステップS 43)。また、CPU 56は、バックアップRAMに保存されている表示結果(確変大当たり、通常大当たり、突然確変大当たり、小当たり、またははずれ)を指定した表示結果指定コマンドを演出制御基板80に対して送信する(ステップS 44)。そして、ステップS 14Aに移行する。

30

#### 【0304】

なお、この実施の形態では、バックアップRAM領域には、後述する変動時間タイマの値も保存される。従って、停電復旧した場合には、ステップS 44で表示結果指定コマンドが送信された後、保存していた変動時間タイマの値の計測を再開して特別図柄の変動表示が再開されるとともに、保存していた変動時間タイマの値がタイムアウトしたときに、さらに後述する図柄確定指定コマンドが送信される。また、この実施の形態では、バックアップRAM領域には、後述する特別図柄プロセスフラグの値も保存される。従って、停電復旧した場合には、保存されている特別図柄プロセスフラグの値に応じたプロセスから特別図柄プロセス処理が再開される。

40

#### 【0305】

なお、停電復旧時に必ず表示結果指定コマンドを送信するのではなく、CPU 56は、まず、バックアップRAM領域に保存している変動時間タイマの値が0であるか否かを確認するようにしてもよい。そして、変動時間タイマの値が0でなければ、変動中に停電した場合であると判断して、表示結果指定コマンドを送信するようにし、変動時間タイマが0であれば、停電時に変動中の状態ではなかったと判断して、表示結果指定コマンドを送信しないようにしてもよい。

#### 【0306】

50



また、CPU 56は、まず、バックアップRAM領域に保存している特別図柄プロセスフラグの値が3であるか否かを確認するようにしてもよい。そして、特別図柄プロセスフラグの値が3であれば、変動中に停電した場合であると判断して、表示結果指定コマンドを送信するようにし、特別図柄プロセスフラグが3でなければ、停電時に変動中ではなかったと判断して、表示結果指定コマンドを送信しないようにしてもよい。

【0307】

なお、この実施の形態では、バックアップ監視タイマ（または、バックアップフラグ）とチェックデータとの双方を用いてバックアップRAM領域のデータが保存されているか否か確認しているが、いずれか一方のみを用いてもよい。すなわち、バックアップ監視タイマ（または、バックアップフラグ）とチェックデータとのいずれかを、遊技状態復旧処理を実行するための契機としてもよい。

10

【0308】

初期化処理では、CPU 56は、まず、RAMクリア処理を行う（ステップS10）。なお、RAMクリア処理によって、所定のデータ（例えば、普通図柄当り判定用乱数を生成するためのカウンタのカウント値のデータ）は0に初期化されるが、任意の値またはあらかじめ決められている値に初期化するようにしてもよい。また、RAM 55の全領域を初期化せず、所定のデータ（例えば、普通図柄当り判定用乱数を生成するためのカウンタのカウント値のデータ）をそのままにしてもよい。また、ROM 54に格納されている初期化時設定テーブルの先頭アドレスをポインタに設定し（ステップS11）、初期化時設定テーブルの内容を順次作業領域に設定する（ステップS12）。

20

【0309】

ステップS11およびS12の処理によって、例えば、普通図柄当り判定用乱数カウンタ、特別図柄バッファ、総賞球数格納バッファ、特別図柄プロセスフラグなど制御状態に応じて選択的に処理を行うためのフラグに初期値が設定される。

【0310】

また、CPU 56は、サブ基板（主基板31以外のマイクロコンピュータが搭載された基板。）を初期化するための初期化指定コマンド（遊技制御用マイクロコンピュータ560が初期化処理を実行したことを示すコマンドでもある。）をサブ基板に送信する（ステップS13）。例えば、演出制御用マイクロコンピュータ100は、初期化指定コマンドを受信すると、演出表示装置9において、遊技機の制御の初期化がなされたことを報知するための画面表示、すなわち初期化報知を行う。

30

【0311】

そして、ステップS15において、CPU 56は、所定時間（例えば4ms）毎に定期的にタイマ割込がかかるように遊技制御用マイクロコンピュータ560に内蔵されているタイマ回路509のレジスタの設定を行なう。すなわち、初期値として例えば4msに相当する値が所定のレジスタ（時間定数レジスタ）に設定される。この実施の形態では、4ms毎に定期的にタイマ割込がかかるとする。

【0312】

初期化処理の実行（ステップS10～S15）が完了すると、CPU 56は、メイン処理で、表示用乱数更新処理（ステップS17）および初期値用乱数更新処理（ステップS18）を繰り返し実行する。表示用乱数更新処理および初期値用乱数更新処理を実行するときには割込禁止状態に設定し（ステップS16）、表示用乱数更新処理および初期値用乱数更新処理の実行が終了すると割込許可状態に設定する（ステップS19）。この実施の形態では、表示用乱数とは、大当たりとしない場合の特別図柄の停止図柄を決定するための乱数や大当たりとしない場合にリーチとするか否かを決定するための乱数であり、表示用乱数更新処理とは、表示用乱数を発生するためのカウンタのカウント値を更新する処理である。また、初期値用乱数更新処理とは、初期値用乱数を発生するためのカウンタのカウント値を更新する処理である。この実施の形態では、初期値用乱数とは、普通図柄に関して当たりとするか否か決定するための乱数を発生するためのカウンタ（普通図柄当り判定用乱数発生カウンタ）のカウント値の初期値を決定するための乱数である。後述する遊技の

40

50

進行を制御する遊技制御処理（遊技制御用マイクロコンピュータ560が、遊技機に設けられている演出表示装置、可変入賞球装置、球払出装置等の遊技用の装置を、自身で制御する処理、または他のマイクロコンピュータに制御させるために指令信号を送信する処理、遊技装置制御処理ともいう）において、普通図柄当り判定用乱数のカウンタ値が1周（普通図柄当り判定用乱数の取りうる値の最小値から最大値までの間の数値の個数分歩進したこと）すると、そのカウンタに初期値が設定される。

【0313】

なお、この実施の形態では、リーチ演出は、演出表示装置9において可変表示される演出図柄を用いて実行される。また、特別図柄の表示結果を大当り図柄にする場合には、リーチ演出は常に実行される。特別図柄の表示結果を大当り図柄にしない場合には、遊技制

10

【0314】

タイマ割込が発生すると、CPU56は、図49に示すステップS20～S34のタイマ割込処理を実行する。タイマ割込処理において、まず、電源断信号が出力されたか否か（オン状態になったか否か）を検出する電源断検出処理を実行する（ステップS20）。電源断信号は、例えば電源基板に搭載されている電源監視回路が、遊技機に供給される電源の電圧の低下を検出した場合に出力する。そして、電源断検出処理において、CPU56は、電源断信号が出力されたことを検出したら、必要なデータをバックアップRAM領域に保存するための電力供給停止時処理を実行する。次いで、入力ドライバ回路58を介して、ゲートスイッチ32a、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウンタスイッチ23の検出信号を入力し、それらの状態判定を行う（スイッチ処理：ステップS21）。

20

【0315】

次に、CPU56は、第1特別図柄表示器8a、第2特別図柄表示器8b、普通図柄表示器10、第1特別図柄保留記憶表示器18a、第2特別図柄保留記憶表示器18b、普通図柄保留記憶表示器41の表示制御を行う表示制御処理を実行する（ステップS22）。第1特別図柄表示器8a、第2特別図柄表示器8bおよび普通図柄表示器10については、ステップS32、S33で設定される出力バッファの内容に応じて各表示器に対して駆動信号を出力する制御を実行する。

30

【0316】

また、遊技制御に用いられる普通図柄当り判定用乱数等の各判定用乱数を生成するための各カウンタのカウンタ値を更新する処理を行う（判定用乱数更新処理：ステップS23）。CPU56は、さらに、初期値用乱数および表示用乱数を生成するためのカウンタのカウンタ値を更新する処理を行う（初期値用乱数更新処理、表示用乱数更新処理：ステップS24、S25）。

【0317】

さらに、CPU56は、特別図柄プロセス処理を行う（ステップS26）。特別図柄プロセス処理では、第1特別図柄表示器8a、第2特別図柄表示器8bおよび大入賞口を所定の順序で制御するための特別図柄プロセスフラグに従って該当する処理を実行する。CPU56は、特別図柄プロセスフラグの値を、遊技状態に応じて更新する。

40

【0318】

次いで、普通図柄プロセス処理を行う（ステップS27）。普通図柄プロセス処理では、CPU56は、普通図柄表示器10の表示状態を所定の順序で制御するための普通図柄プロセスフラグに従って該当する処理を実行する。CPU56は、普通図柄プロセスフラグの値を、遊技状態に応じて更新する。

【0319】

また、CPU56は、演出制御用マイクロコンピュータ100に演出制御コマンドを送出する処理を行う（演出制御コマンド制御処理：ステップS28）。

50

## 【0320】

さらに、CPU56は、例えばホール管理用コンピュータに供給される大当り情報、始動情報、確率変動情報などのデータを出力する情報出力処理を行う（ステップS29）。

## 【0321】

また、CPU56は、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウントスイッチ23の検出信号にもとづく賞球個数の設定などを行う賞球処理を実行する（ステップS30）。具体的には、第1始動口スイッチ13a、第2始動口スイッチ14aおよびカウントスイッチ23のいずれかがオンしたことにもとづく入賞検出に応じて、払出制御基板37に搭載されている払出制御用マイクロコンピュータに賞球個数を示す払出制御コマンド（賞球個数信号）を出力する。払出制御用マイクロコンピュータは、賞球個数を示す払出制御コマンドに応じて球払出装置97を駆動する。

10

## 【0322】

この実施の形態では、出力ポートの出力状態に対応したRAM領域（出力ポートバッファ）が設けられているのであるが、CPU56は、出力ポートの出力状態に対応したRAM領域におけるソレノイドのオン/オフに関する内容を出力ポートに出力する（ステップS31：出力処理）。

## 【0323】

また、CPU56は、特別図柄プロセスフラグの値に応じて特別図柄の演出表示を行うための特別図柄表示制御データを特別図柄表示制御データ設定用の出力バッファに設定する特別図柄表示制御処理を行う（ステップS32）。

20

## 【0324】

さらに、CPU56は、普通図柄プロセスフラグの値に応じて普通図柄の演出表示を行うための普通図柄表示制御データを普通図柄表示制御データ設定用の出力バッファに設定する普通図柄表示制御処理を行う（ステップS33）。CPU56は、例えば、普通図柄の変動に関する開始フラグがセットされると終了フラグがセットされるまで、普通図柄の変動速度が0.2秒ごとに表示状態（「」および「×」）を切り替えるような速度であれば、0.2秒が経過する毎に、出力バッファに設定される表示制御データの値（例えば、「」を示す1と「×」を示す0）を切り替える。また、CPU56は、出力バッファに設定された表示制御データに応じて、ステップS22において駆動信号を出力することによって、普通図柄表示器10における普通図柄の演出表示を実行する。

30

## 【0325】

その後、割込許可状態に設定し（ステップS34）、処理を終了する。

## 【0326】

以上の制御によって、この実施の形態では、遊技制御処理は4ms毎に起動されることになる。なお、遊技制御処理は、タイマ割込処理におけるステップS21～S33（ステップS29を除く。）の処理に相当する。また、この実施の形態では、タイマ割込処理で遊技制御処理が実行されているが、タイマ割込処理では例えば割込が発生したことを示すフラグのセットのみがなされ、遊技制御処理はメイン処理において実行されるようにしてもよい。

## 【0327】

40

第1特別図柄表示器8aまたは第2特別図柄表示器8bおよび演出表示装置9にはずれ図柄が停止表示される場合には、演出図柄の変表示が開始されてから、演出図柄の変表示状態がリーチ状態にならずに、リーチにならない所定の演出図柄の組み合わせが停止表示されることがある。このような演出図柄の変表示状態様を、変表示結果がはずれ図柄になる場合における「非リーチ」（「通常はずれ」ともいう）の変表示状態様という。

## 【0328】

第1特別図柄表示器8aまたは第2特別図柄表示器8bおよび演出表示装置9にはずれ図柄が停止表示される場合には、演出図柄の変表示が開始されてから、演出図柄の変表示状態がリーチ状態となった後にリーチ演出が実行され、最終的に大当り図柄とはならない所定の演出図柄の組み合わせが停止表示されることがある。このような演出図柄の可

50

変表示結果を、可変表示結果が「はずれ」となる場合における「リーチ」(「リーチはずれ」ともいう)の可変表示態様という。

【0329】

この実施の形態では、第1特別図柄表示器8aまたは第2特別図柄表示器8bに大当り図柄が停止表示される場合には、演出図柄の可変表示状態がリーチ状態になった後にリーチ演出が実行され、最終的に演出表示装置9における「左」、「中」、「右」の各図柄表示エリア9L、9C、9Rに、演出図柄が揃って停止表示される。

【0330】

第1特別図柄表示器8aまたは第2特別図柄表示器8bに小当りである「5」が停止表示される場合には、演出表示装置9において、演出図柄の可変表示態様が「突然確変大当り」である場合と同様に演出図柄の可変表示が行われた後、所定の小当り図柄(突然確変大当り図柄と同じ図柄。例えば「135」)が停止表示されることがある。第1特別図柄表示器8aまたは第2特別図柄表示器8bに小当り図柄である「5」が停止表示されることに対応する演出表示装置9における表示演出を「小当り」の可変表示態様という。

【0331】

ここで、小当りとは、大当りと比較して大入賞口の開放回数が少ない回数(この実施の形態では0.1秒間の開放を2回)まで許容される当りである。なお、小当り遊技が終了した場合、遊技状態は変化しない。すなわち、確変状態から通常状態に移行したり通常状態から確変状態に移行したりすることはない。また、突然確変大当りとは、大当り遊技状態において大入賞口の開放回数が少ない回数(この実施の形態では0.1秒間の開放を2回)まで許容されるが大入賞口の開放時間が極めて短い大当りであり、かつ、大当り遊技後の遊技状態を確変状態に移行させるような大当りである(すなわち、そのようにすることにより、遊技者に対して突然に確変状態となったかのように見せるものである)。つまり、この実施の形態では、突然確変大当りと小当りとは、大入賞口の開放パターンが同じである。そのように制御することによって、大入賞口の0.1秒間の開放が2回行われると、突然確変大当りであるか小当りであるかまでは認識できないので、遊技者に対して高確率状態(確変状態)を期待させることができ、遊技の興趣を向上させることができる。

【0332】

図50および図51は、ステップS20の電源断処理の一例を示すフローチャートである。電源断処理において、遊技制御用マイクロコンピュータ560は、まず、電源断信号が出力されているか否か(オン状態になっているか否か)を確認する(ステップS450)。オン状態でなければ、RAM55に形成されているバックアップ監視タイマの値を0クリアする(ステップS451)。オン状態であれば、バックアップ監視タイマの値を1増やす(ステップS452)。そして、バックアップ監視タイマの値が判定値(例えば2)と一致すれば(ステップS453)、ステップS454以降の電力供給停止時処理すなわち電力の供給停止のための準備処理を実行する。つまり、遊技の進行を制御する状態から遊技状態を保存させるための電力供給停止時処理(電源断時制御処理)を実行する状態に移行する。なお、「RAMに形成されている」とは、RAM内の領域であることを意味する。

【0333】

バックアップ監視タイマと判定値とを用いることによって、判定値に相当する時間だけ電源断信号のオン状態が継続したら、電力供給停止時処理が開始される。すなわち、ノイズ等で一瞬電源断信号のオン状態が発生しても、誤って電力供給停止時処理が開始されるようなことはない。なお、バックアップ監視タイマの値は、遊技機への電力供給が停止しても、所定期間はバックアップ電源によって保存される。従って、メイン処理におけるステップS8では、バックアップ監視タイマの値が判定値と同じ値になっていることによって、電力供給停止時処理の処理結果が保存されていることを確認できる。

【0334】

電力供給停止時処理において、遊技制御用マイクロコンピュータ560は、パリティデータを作成する(ステップS454~S463)。すなわち、まず、クリアデータ(00

10

20

30

40

50

）をチェックサムデータエリアにセットし（ステップS 4 5 4）、電力供給停止時でも内容が保存されるべきR A M領域の先頭アドレスに相当するチェックサム算出開始アドレスをポインタにセットする（ステップS 4 5 5）。また、電力供給停止時でも内容が保存されるべきR A M領域の最終アドレスに相当するチェックサム算出回数をセットする（ステップS 4 5 6）。

#### 【 0 3 3 5 】

次いで、チェックサムデータエリアの内容とポインタが指すR A M領域の内容との排他的論理和を演算する（ステップS 4 5 7）。演算結果をチェックサムデータエリアにストアするとともに（ステップS 4 5 8）、ポインタの値を1増やし（ステップS 4 5 9）、チェックサム算出回数の値を1減算する（ステップS 4 6 0）。そして、ステップS 4 5 7 ~ S 4 6 0の処理を、チェックサム算出回数の値が0になるまで繰り返す（ステップS 4 6 1）。

#### 【 0 3 3 6 】

チェックサム算出回数の値が0になったら、遊技制御用マイクロコンピュータ5 6 0は、チェックサムデータエリアの内容の各ビットの値を反転する（ステップS 4 6 2）。そして、反転後のデータをチェックサムデータエリアにストアする（ステップS 4 6 3）。このデータが、電源投入時にチェックされるパリティデータになる。次いで、R A Mアクセスレジスタにアクセス禁止値を設定する（ステップS 4 7 1）。以後、内蔵R A M 5 5のアクセスができなくなる。

#### 【 0 3 3 7 】

さらに、遊技制御用マイクロコンピュータ5 6 0は、R O M 5 4に格納されているポートクリア設定テーブルの先頭アドレスをポインタにセットする（ステップS 4 7 2）。ポートクリア設定テーブルにおいて、先頭アドレスには処理数（クリアすべき出力ポートの数）が設定され、次いで、出力ポートのアドレスおよび出力値データ（クリアデータ：出力ポートの各ビットのオフ状態の値）が、処理数分の出力ポートについて順次設定されている。

#### 【 0 3 3 8 】

遊技制御用マイクロコンピュータ5 6 0は、ポインタが指すアドレスのデータ（すなわち処理数）をロードする（ステップS 4 7 3）。また、ポインタの値を1増やし（ステップS 4 7 4）、ポインタが指すアドレスのデータ（すなわち出力ポートのアドレス）をロードする（ステップS 4 7 5）。さらに、ポインタの値を1増やし（ステップS 4 7 6）、ポインタが指すアドレスのデータ（すなわち出力値データ）をロードする（ステップS 4 7 7）。そして、出力値データを出力ポートに出力する（ステップS 4 7 8）。その後、処理数を1減らし（ステップS 4 7 9）、処理数が0でなければステップS 4 7 4に戻る。処理数が0であれば、すなわち、クリアすべき出力ポートを全てクリアしたら、タイマ割込を停止し（ステップS 4 8 1）、ループ処理に入る。なお、出力ポートをクリアする処理をチェックサムデータを作成する処理の前に実行してもよい。例えば、C P U 5 6は、ステップS 4 5 3でYと判定した後、直ちにステップS 4 7 2 ~ S 4 8 0の出力ポートクリアの処理を実行するようにしてもよい。

#### 【 0 3 3 9 】

ループ処理では、電源断信号がオフ状態になったか否かを監視する（ステップS 4 8 2）。そして、電源断信号がオン状態の間は（ステップS 4 8 2のY）、ステップS 4 8 2の処理を繰り返し実行して待機する。

#### 【 0 3 4 0 】

これに対して、ステップS 4 8 2にて電源断信号がオフ状態となったときには（ステップS 4 8 2のN）、所定の電断復旧時における設定を行った後（ステップS 4 8 7）、図4 8に示すメイン処理の先頭にリターンする。一例として、ステップS 4 8 7の処理では、C P U 5 6に内蔵されたスタックポインタに電源断復旧時ベクタテーブルの記憶アドレスを格納し、遊技制御用タイマ割込み処理から復帰（リターン）させる。ここで、電源断復旧時ベクタテーブルは、R O M 5 4に記憶された制御コード（遊技制御プログラム）の

10

20

30

40

50

先頭アドレスを指定するものであればよい。図 49 に示すタイマ割込処理のような割込処理から復帰（リターン）するときには、スタックポインタで指定されるアドレスの記憶データが復帰アドレスとして読み出される。こうして、ステップ S 487 の処理を実行した後は、CPU 56 により、ROM 54 に記憶されている制御コードの先頭から、遊技制御の実行を開始（再開）させることができる。

#### 【0341】

以上の処理によって、電力供給が停止する場合には、ステップ S 454 ~ S 481 の電力供給停止時処理が実行され、電力供給停止時処理が実行されたことを示すデータ（判定値になっているバックアップ監視タイマのおよびチェックサム）がバックアップ RAM へストアされ、RAM アクセスが禁止状態にされ、出力ポートがクリアされ、かつ、遊技制御処理を実行するためのタイマ割込が禁止状態に設定される。

10

#### 【0342】

なお、この実施の形態では、電源断処理においてチェックデータの生成や出力ポートクリアなどの処理を終了した後、ステップ S 482 で繰り返し電源断信号の入力を確認する電源断待ちループに移行するが、このような電源断信号の入力を確認する構成とはしないようにしてもよい。この場合、例えば、ウォッチドッグタイマ（WTD）506b をユーザプログラムによって起動できるように設定した上で、電源断待ちループに入るときにウォッチドッグタイマ（WTD）506b を起動させるようにし、遊技機が完全に電源断状態とならず電源の電圧値が完全に落ちきらないときにはウォッチドッグタイマ（WTD）506b からのタイムアウト信号によるリセットが発生するようにしてもよい。

20

#### 【0343】

また、例えば、遊技機への電源投入時に電源断信号が入力されているか否かを確認し、入力されていれば無限ループに移行したり、その無限ループにおいて電源断信号の入力を確認し、その入力がなくなるまで無限ループを継続したりするように構成されている場合、上記と同様の態様で無限ループに入るときにウォッチドッグタイマ（WTD）506b を起動させ、同様の処理を行うように構成してもよい。

#### 【0344】

なお、ウォッチドッグタイマ（WTD）506b を起動させるように設定している場合には（ただし、上記のように電源断待ちループでのみウォッチドッグタイマ（WTD）506b を起動させるものを除く）、正常に CPU 56 が動作しているときにはタイムアウトしないように、ウォッチドッグタイマ（WTD）506b をクリアする信号を出力するようにプログラムされる。具体的には、内蔵レジスタエリアに設けられている WDT クリアレジスタ（図示せず）にクリアするための値を書き込むようにプログラムされる。

30

#### 【0345】

この実施の形態では、RAM 55 がバックアップ電源によって電源バックアップ（遊技機への電力供給が停止しても所定期間は RAM 55 の内容が保存されこと）されている。この例では、ステップ S 452 ~ S 479 の処理によって、バックアップ監視タイマの値とともに、電源断信号が出力されたときの RAM 55 の内容にもとづくチェックサムも RAM 55 のバックアップ領域に保存される。遊技機への電力供給が停止した後、所定期間内に電力供給が復旧したら、遊技制御手段は、上述したステップ S 41 ~ S 44 の処理によって、RAM 55 に保存されているデータ（電力供給が停止した直前の遊技制御手段による制御状態である遊技状態を示すデータ（例えば、プロセスフラグの状態、大当り中フラグの状態、確変フラグの状態、出力ポートの出力状態等）を含む）に従って、遊技状態を、電力供給が停止した直前の状態に戻すことができる。なお、電力供給停止の期間が所定期間を越えたらバックアップ監視タイマの値とチェックサムとが正規の値とは異なるはずであるから、その場合には、ステップ S 10 ~ S 13 の初期化処理が実行される。

40

#### 【0346】

以上のように、電力供給停止時処理（電力の供給停止のための準備処理）によって、遊技状態を電力供給が停止した直前の状態に戻すためのデータが確実に変動データ記憶手段（この例では RAM 55 の一部の領域）に保存される。よって、停電等による電源断が生

50

じても、所定期間内に電源が復旧すれば、遊技状態を電力供給が停止した直前の状態に戻すことができる。

【 0 3 4 7 】

また、電源断信号がオフ状態になった場合には、ステップ S 1 に戻る。その場合、電力供給停止時処理が実行されたことを示すデータが設定されているので、ステップ S 4 1 ~ S 4 4 の復旧処理が実行される。よって、電力供給停止時処理を実行した後に払出制御基板 3 7 からの電源断信号がオフ状態になったときには、遊技の進行を制御する状態に戻る。従って、電源瞬断等が生じても、遊技制御処理が停止してしまうようなことはなく、自動的に、遊技制御処理が続行される。

【 0 3 4 8 】

なお、図 4 6、図 4 8 ~ 図 5 1 に示すような態様で遊技機が動作することによって、この実施の形態では、所定の処理（本例では、図 4 8 に示すメイン処理のステップ S 1 6 ~ S 1 9 のループ処理と、図 4 9 のタイマ割込処理）の実行中に所定事象が発生（I A T 回路 5 0 6 a から I A T 信号を入力、ウオッチドッグタイマ（W D T）5 0 6 b からタイムアウト信号を入力）したときに R A M 5 5（バックアップ R A M）の記憶内容を初期化する初期化処理を実行する。具体的には、図 4 8 に示すメイン処理のステップ S 1 6 ~ S 1 9 のループ処理や、図 4 9 のタイマ割込処理の実行中に、I A T 回路 5 0 6 a から I A T 信号や、ウオッチドッグタイマ（W D T）5 0 6 b からタイムアウト信号を入力したときには、図 5 0 および図 5 1 に示す電源断処理が実行されることなく、システムリセットまたはユーザリセット（図 4 6 のステップ S 1 0 0 4，S 1 0 1 4 参照）が発生することになる。そして、システムリセットが発生した後はセキュリティチェックを実行した後にステップ S 1 0 0 7 でユーザモードに移行されて図 4 8 に示すメイン処理の実行が再び開始され、ユーザリセットが発生した後はステップ S 1 0 1 5 でユーザプログラムの先頭に戻り図 4 8 に示すメイン処理の実行が再び開始されるのであるが、バックアップ監視タイマ（または、バックアップフラグ）およびチェックデータのいずれもセットされていないことから、図 4 8 に示すメイン処理でステップ S 1 0 に移行して初期化処理が実行されることになる。

【 0 3 4 9 】

なお、「所定の処理」とは、遊技機への電源投入時の初期化処理や復旧処理が実行された後、遊技可能となった状態で実行されている処理であり、上記に説明したように、具体的には、図 4 8 に示すメイン処理のステップ S 1 6 ~ S 1 9 のループ処理と、図 4 9 のタイマ割込処理とが該当する。ただし、電源電圧低下により電源断処理が実行されているときは所定の処理からは除かれる。

【 0 3 5 0 】

なお、図 4 6、図 4 8 ~ 図 5 1 に示すような態様で遊技機が動作することによって、電力供給停止時処理（本例では、図 5 0 および図 5 1 に示す電源断処理）を実行した後に所定事象が発生（I A T 回路 5 0 6 a から I A T 信号を入力、ウオッチドッグタイマ（W D T）5 0 6 b からタイムアウト信号を入力）したときに、R A M 5 5（バックアップ R A M）の記憶内容にもとづいて制御状態を電力供給停止時処理を開始したときの状態に復旧させる復旧処理を実行する。具体的には、電源断信号を入力したことにともづいて図 5 0 および図 5 1 に示す電源断処理を実行して図 5 1 のループ処理を実行しているときに、ちょうど I A T 回路 5 0 6 a から I A T 信号や、ウオッチドッグタイマ（W D T）5 0 6 b からタイムアウト信号を入力したときには（ただし、I A T 回路 5 0 6 a から I A T 信号した場合には、何らかの原因で指定エリア外のプログラムを実行している状態となってしまう場合であるので、より正確には、電源断処理のループ処理に一度移行した後に I A T 回路 5 0 6 a から I A T 信号した場合に相当する）、I A T 信号やタイムアウト信号を入力したことにともづいてシステムリセットまたはユーザリセット（図 4 6 のステップ S 1 0 0 4，S 1 0 1 4 参照）が発生することになる。そして、システムリセットが発生した後はセキュリティチェックを実行した後にステップ S 1 0 0 7 でユーザモードに移行されて図 4 8 に示すメイン処理の実行が再び開始され、ユーザリセットが発生した後は

ステップ S 1 0 1 5 でユーザプログラムの先頭に戻り図 4 8 に示すメイン処理の実行が再び開始されるのであるが、バックアップ監視タイマ（または、バックアップフラグ）およびチェックデータの両方がセットされていることから、図 4 8 に示すメイン処理でステップ S 7 およびステップ S 8 でいずれも Y と判定されてステップ S 4 1 ~ S 4 4 の復旧処理が実行されることになる。

#### 【 0 3 5 1 】

図 5 2 は、この実施の形態で用いられる各ソフトウェア乱数を示す説明図である。各ソフトウェア乱数は、以下のように使用される。なお、前述したように、この実施の形態では、大当たりとするか否かを判定するための大当たり判定用乱数（ランダム R）については、16 ビット乱数回路 5 0 8 b が出力するハードウェア乱数が用いられる。

（ 1 ）ランダム 1（MR 1）：大当たりの種類（後述する通常大当たり、確変大当たり、突然確変大当たり）を決定する（大当たり種別判定用）

（ 2 ）ランダム 2（MR 2）：変動パターンの種類（種別）を決定する（変動パターン種別判定用）

（ 3 ）ランダム 3（MR 3）：変動パターン（変動時間）を決定する（変動パターン判定用）

（ 4 ）ランダム 4（MR 4）：普通図柄にもとづく当りを発生させるか否か決定する（普通図柄当り判定用）

（ 5 ）ランダム 5（MR 5）：ランダム 4 の初期値を決定する（ランダム 4 初期値決定用）

#### 【 0 3 5 2 】

なお、この実施の形態では、大当たり判定用乱数（ランダム R）についてのみ乱数回路から抽出したハードウェア乱数を用い、それ以外の乱数についてはソフトウェア乱数を用いる場合を示しているが、この実施の形態で示したものにきぎられない。例えば、大当たり判定用乱数（ランダム R）に加えて図 5 2 に示すランダム 1 ~ 5 の全てについて乱数回路から抽出したハードウェア乱数を用いるようにしてもよい。また、図 5 2 に示すランダム 1 ~ 5 のうちの一部の乱数についてのみ乱数回路から抽出したハードウェア乱数を用い、それ以外についてはソフトウェア乱数を用いるように構成しても構わない。

#### 【 0 3 5 3 】

なお、この実施の形態では、変動パターンは、まず、変動パターン種別判定用乱数（ランダム 2）を用いて変動パターン種別を決定し、変動パターン判定用乱数（ランダム 3）を用いて、決定した変動パターン種別に含まれるいずれかの変動パターンに決定する。そのように、この実施の形態では、2 段階の抽選処理によって変動パターンが決定される。

#### 【 0 3 5 4 】

なお、変動パターン種別とは、複数の変動パターンをその変動態様の特徴に従ってグループ化したものである。例えば、複数の変動パターンをリーチの種類でグループ化して、ノーマルリーチを伴う変動パターンを含む変動パターン種別と、スーパーリーチ A を伴う変動パターンを含む変動パターン種別と、スーパーリーチ B を伴う変動パターンを含む変動パターン種別とに分けてもよい。また、例えば、複数の変動パターンを擬似連の再変動の回数でグループ化して、擬似連を伴わない変動パターンを含む変動パターン種別と、再変動 1 回の変動パターンを含む変動パターン種別と、再変動 2 回の変動パターンを含む変動パターン種別と、再変動 3 回の変動パターンを含む変動パターン種別とに分けてもよい。また、例えば、複数の変動パターンを擬似連や滑り演出などの特定演出の有無でグループ化してもよい。

#### 【 0 3 5 5 】

図 4 9 に示された遊技制御処理におけるステップ S 2 3 では、遊技制御用マイクロコンピュータ 5 6 0 は、（ 1 ）の大当たり種別判定用乱数、および（ 4 ）の普通図柄当り判定用乱数を生成するためのカウンタのカウントアップ（1 加算）を行う。すなわち、それらが判定用乱数であり、それら以外の乱数が表示用乱数（ランダム 2、ランダム 3）または初期値用乱数（ランダム 5）である。なお、遊技効果を高めるために、上記の乱数以外の乱

10

20

30

40

50



数も用いてもよい。例えば、大当り種別判定用乱数（ランダム１）の初期値を決定するための初期値決定用乱数を設けるようにしてもよい。また、この実施の形態では、大当り判定用乱数として、遊技制御用マイクロコンピュータ５６０に内蔵されたハードウェア（遊技制御用マイクロコンピュータ５６０の外部のハードウェアでもよい。）が生成する乱数を用いる。

#### 【０３５６】

図５３（Ａ）は、大当り判定テーブルを示す説明図である。大当り判定テーブルとは、ＲＯＭ５４に記憶されているデータの集まりであって、ランダムＲと比較される大当り判定値が設定されているテーブルである。大当り判定テーブルには、通常状態（確変状態でない遊技状態）において用いられる通常時大当り判定テーブルと、確変状態において用いられる確変時大当り判定テーブルとがある。通常時大当り判定テーブルには、図５３（Ａ）の左欄に記載されている各数値が設定され、確変時大当り判定テーブルには、図５３（Ａ）の右欄に記載されている各数値が設定されている。図５３（Ａ）に記載されている数値が大当り判定値である。

10

#### 【０３５７】

図５３（Ｂ），（Ｃ）は、小当り判定テーブルを示す説明図である。小当り判定テーブルとは、ＲＯＭ５４に記憶されているデータの集まりであって、ランダムＲと比較される小当り判定値が設定されているテーブルである。小当り判定テーブルには、第１特別図柄の変動表示を行うときに用いられる小当り判定テーブル（第１特別図柄用）と、第２特別図柄の変動表示を行うときに用いられる小当り判定テーブル（第２特別図柄用）とがある。小当り判定テーブル（第１特別図柄用）には、図５３（Ｂ）に記載されている各数値が設定され、小当り判定テーブル（第２特別図柄用）には、図５３（Ｃ）に記載されている各数値が設定されている。また、図５３（Ｂ），（Ｃ）に記載されている数値が小当り判定値である。

20

#### 【０３５８】

なお、第１特別図柄の変動表示を行う場合にのみ小当りと決定するようにし、第２特別図柄の変動表示を行う場合には小当りを設けないようにしてもよい。この場合、図５３（Ｃ）に示す第２特別図柄用の小当り判定テーブルは設けなくてもよい。この実施の形態では、遊技状態が確変状態に移行されているときには主として第２特別図柄の変動表示が実行される。遊技状態が確変状態に移行されているときにも小当りが発生するようにし、確変となるか否かを煽る演出を行うように構成すると、現在の遊技状態が確変状態であるにもかかわらず却って遊技者に煩わしさを感じさせてしまう。そこで、第２特別図柄の変動表示中は小当りが発生しないように構成すれば、遊技状態が確変状態である場合には小当りが発生しにくくし必要以上に確変に対する煽り演出を行わないようにすることができ、遊技者に煩わしさを感じさせる事態を防止することができる。

30

#### 【０３５９】

ＣＰＵ５６は、所定の時期に、１６ビット乱数回路５０８ｂのカウント値を抽出して抽出値を大当り判定用乱数（ランダムＲ）の値とするのであるが、大当り判定用乱数値が図５３（Ａ）に示すいずれかの当り判定値に一致すると、特別図柄に関して大当り（後述する通常大当り、確変大当り、突然確変大当り）にすることに決定する。また、大当り判定用乱数値が図５３（Ｂ），（Ｃ）に示すいずれかの小当り判定値に一致すると、特別図柄に関して小当りにすることに決定する。なお、図５３（Ａ）に示す「確率」は、大当りになる確率（割合）を示す。また、図５３（Ｂ），（Ｃ）に示す「確率」は、小当りになる確率（割合）を示す。また、大当りにするか否か決定するということは、大当り遊技状態に移行させるか否か決定するということであるが、第１特別図柄表示器８ａまたは第２特別図柄表示器８ｂにおける停止図柄を大当り図柄にするか否か決定するということでもある。また、小当りにするか否か決定するということは、小当り遊技状態に移行させるか否か決定するということであるが、第１特別図柄表示器８ａまたは第２特別図柄表示器８ｂにおける停止図柄を小当り図柄にするか否か決定するということでもある。

40

#### 【０３６０】

50

なお、この実施の形態では、図53(B)，(C)に示すように、小当り判定テーブル(第1特別図柄用)を用いる場合には300分の1の割合で小当りと決定されるのに対して、小当り判定テーブル(第2特別図柄)を用いる場合には3000分の1の割合で小当りと決定される場合を説明する。従って、この実施の形態では、第1始動入賞口13に始動入賞して第1特別図柄の変動表示が実行される場合には、第2始動入賞口14に始動入賞して第2特別図柄の変動表示が実行される場合と比較して、「小当り」と決定される割合が高い。

#### 【0361】

図53(D)，(E)は、ROM54に記憶されている大当り種別判定テーブル131a，131bを示す説明図である。このうち、図53(D)は、遊技球が第1始動入賞口13に入賞したことにもとづく保留記憶を用いて(すなわち、第1特別図柄の変動表示が行われるとき)大当り種別を決定する場合の大当り種別判定テーブル(第1特別図柄用)131aである。また、図53(E)は、遊技球が第2始動入賞口14に入賞したことにもとづく保留記憶を用いて(すなわち、第2特別図柄の変動表示が行われるとき)大当り種別を決定する場合の大当り種別判定テーブル(第2特別図柄用)131bである。

#### 【0362】

大当り種別判定テーブル131a，131bは、可変表示結果を大当り図柄にする旨の判定がなされたときに、大当り種別判定用の乱数(ランダム1)にもとづいて、大当りの種別を「通常大当り」、「確変大当り」、「突然確変大当り」のうちのいずれかに決定するために参照されるテーブルである。なお、この実施の形態では、図53(D)，(E)に示すように、大当り種別判定テーブル131aには「突然確変大当り」に対して10個の判定値が割り当てられている(40分の10の割合で突然確変大当りと決定される)のに対して、大当り種別判定テーブル131bには「突然確変大当り」に対して3個の判定値が割り当てられている(40分の3の割合で突然確変大当りと決定される)場合を説明する。従って、この実施の形態では、第1始動入賞口13に始動入賞して第1特別図柄の変動表示が実行される場合には、第2始動入賞口14に始動入賞して第2特別図柄の変動表示が実行される場合と比較して、「突然確変大当り」と決定される割合が高い。なお、第1特別図柄用の大当り種別判定テーブル131aにのみ「突然確変大当り」を振り分けるようにし、第2特別図柄用の大当り種別判定テーブル131bには「突然確変大当り」の振り分けを行わない(すなわち、第1特別図柄の変動表示を行う場合にのみ、「突然確変大当り」と決定される場合がある)ようにしてもよい。

#### 【0363】

なお、この実施の形態では、図53(D)，(E)に示すように、所定量の遊技価値を付与する第1特定遊技状態として2ラウンドの突然確変大当りと、該遊技価値よりも多い量の遊技価値を付与する第2特定遊技状態として15ラウンドの大当り(確変大当りまたは通常大当り)と決定する場合を説明するが、第1特別図柄の変動表示が実行される場合に高い割合で第1特定遊技状態とすることに決定する場合を示しているが、付与される遊技価値は、この実施の形態で示したようなラウンド数に限られない。例えば、第1特定遊技状態と比較して、遊技価値として1ラウンドあたりの大入賞口への遊技球の入賞数(カウント数)の許容量を多くした第2特定遊技状態を決定するようにしてもよい。また、例えば、第1特定遊技状態と比較して、遊技価値として大当り中の1回あたりの大入賞口の開放時間を長くした第2特定遊技状態を決定するようにしてもよい。また、例えば、同じ15ラウンドの大当りであっても、1ラウンドあたり大入賞口を1回開放する第1特定遊技状態と、1ラウンドあたり大入賞口を複数回開放する第2特定遊技状態とを用意し、大入賞口の開放回数が実質的に多くなるようにして第2特定遊技状態の遊技価値を高めるようにしてもよい。この場合、例えば、第1特定遊技状態または第2特定遊技状態いずれの場合であっても、大入賞口を15回開放したときに(この場合、第1特定遊技状態の場合には15ラウンド全てを終了し、第2特定遊技状態の場合には未消化のラウンドが残っていることになる)、大当りがさらに継続するか否かを煽るような態様の演出(いわゆるランクアップボーナスの演出)を実行するようにしてもよい。そして、第1特定遊技状態の

場合には内部的に15ラウンド全てを終了していることから大当り遊技を終了し、第2特定遊技状態の場合には内部的に未消化のラウンドが残っていることから、大当り遊技が継続する(恰も15回開放の大当りを終了した後にさらにボーナスで大入賞口の開放が追加で始まったような演出)ようにしてもよい。

【0364】

この実施の形態では、図53(D)、(E)に示すように、大当り種別として、「通常大当り」、「確変大当り」および「突然確変大当り」がある。

【0365】

「確変大当り」とは、15ラウンドの大当り遊技状態に制御し、その大当り遊技状態の終了後に確変状態に移行させる大当りである(この実施の形態では、確変状態に移行されるとともに時短状態にも移行される。後述するステップS170、S171参照)。そして、確変状態に移行した後、次の大当りが発生するまで確変状態が維持される(後述するステップS134参照)。

【0366】

また、「通常大当り」とは、15ラウンドの大当り遊技状態に制御し、その大当り遊技状態の終了後に確変状態に移行されず、時短状態にのみ移行される大当りである(後述するステップS167参照)。そして、時短状態に移行した後、特別図柄および演出図柄の変動表示の実行を所定回数(例えば、100回)終了するまで時短状態が維持される(後述するステップS142~S145参照)。なお、この実施の形態では、時短状態に移行した後、所定回数の変動表示の実行を終了する前に大当りが発生した場合にも、時短状態が終了する(後述するステップS134参照)。

【0367】

また、「突然確変大当り」とは、「確変大当り」や「通常大当り」と比較して大入賞口の開放回数が少ない回数(この実施の形態では0.1秒間の開放を2回)まで許容される大当りである。すなわち、「突然確変大当り」となった場合には、2ラウンドの大当り遊技状態に制御される。そして、この実施の形態では、その2ラウンドの大当り遊技状態の終了後に確変状態に移行される(この実施の形態では、確変状態に移行されるとともに時短状態にも移行される。後述するステップS170、S171参照)。そして、確変状態に移行した後、次の大当りが発生するまで確変状態が維持される(後述するステップS134参照)。

【0368】

なお、前述したように、この実施の形態では、「小当り」となった場合にも、大入賞口の開放が0.1秒間ずつ2回行われ、「突然確変大当り」による大当り遊技状態と同様の制御が行われる。そして、「小当り」となった場合には、大入賞口の2回の開放が終了した後、遊技状態は変化せず、「小当り」となる前の遊技状態が維持される(後述するステップS147~S151参照)。そのようにすることによって、「突然確変大当り」であるか「小当り」であるかを認識できないようにし、遊技の興趣を向上させている。

【0369】

大当り種別判定テーブル131a、131bには、ランダム1の値と比較される数値であって、「通常大当り」、「確変大当り」、「突然確変大当り」のそれぞれに対応した判定値(大当り種別判定値)が設定されている。CPU56は、ランダム1の値が大当り種別判定値のいずれかに一致した場合に、大当りの種別を、一致した大当り種別判定値に対応する種別に決定する。

【0370】

図54および図55は、主基板31に搭載される遊技制御用マイクロコンピュータ560(具体的には、CPU56)が実行する特別図柄プロセス処理(ステップS26)のプログラムの一例を示すフローチャートである。上述したように、特別図柄プロセス処理では第1特別図柄表示器8aまたは第2特別図柄表示器8bおよび大入賞口を制御するための処理が実行される。特別図柄プロセス処理において、CPU56は、第1始動入賞口13に遊技球が入賞したことを検出するための第1始動口スイッチ13aがオンしていたら

、すなわち、第1始動入賞口13への始動入賞が発生していたら、第1始動口スイッチ通過処理を実行する(ステップS311, S312)。また、CPU56は、第2始動入賞口14に遊技球が入賞したことを検出するための第2始動口スイッチ14aがオンしていたら、すなわち第2始動入賞口14への始動入賞が発生していたら、第2始動口スイッチ通過処理を実行する(ステップS313, S314)。そして、ステップS300~S310のうちのいずれかの処理を行う。第1始動入賞口スイッチ13aまたは第2始動口スイッチ14aがオンしていなければ、内部状態に応じて、ステップS300~S310のうちのいずれかの処理を行う。

【0371】

ステップS300~S310の処理は、以下のような処理である。

10

【0372】

特別図柄通常処理(ステップS300)：特別図柄プロセスフラグの値が0であるときに実行される。遊技制御用マイクロコンピュータ560は、特別図柄の可変表示が開始できる状態になると、保留記憶数バッファに記憶される数値データの記憶数(合算保留記憶数)を確認する。保留記憶数バッファに記憶される数値データの記憶数は合算保留記憶数カウンタのカウント値により確認できる。また、合算保留記憶数カウンタのカウント値が0でなければ、大当たり判定用乱数(ランダムR)を用いた抽選処理を実行することにより、第1特別図柄または第2特別図柄の可変表示の表示結果を大当たりとするか否かを決定する。大当たりとする場合には大当たりフラグをセットする。そして、内部状態(特別図柄プロセスフラグ)をステップS301に応じた値(この例では1)に更新する。なお、大当たり

20

【0373】

変動パターン設定処理(ステップS301)：特別図柄プロセスフラグの値が1であるときに実行される。また、変動パターンを決定し、その変動パターンにおける変動時間(可変表示時間：可変表示を開始してから表示結果を導出表示(停止表示)するまでの時間)を特別図柄の可変表示の変動時間とすることに決定する。また、特別図柄の変動時間を計測する変動時間タイマをスタートさせる。そして、内部状態(特別図柄プロセスフラグ)をステップS302に対応した値(この例では2)に更新する。

【0374】

表示結果指定コマンド送信処理(ステップS302)：特別図柄プロセスフラグの値が2であるときに実行される。演出制御用マイクロコンピュータ100に、表示結果指定コマンドを送信する制御を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS303に対応した値(この例では3)に更新する。

30

【0375】

特別図柄変動中処理(ステップS303)：特別図柄プロセスフラグの値が3であるときに実行される。変動パターン設定処理で選択された変動パターンの変動時間が経過(ステップS301でセットされる変動時間タイマがタイムアウトすなわち変動時間タイマの値が0になる)すると、演出制御用マイクロコンピュータ100に、図柄確定指定コマンドを送信する制御を行い、内部状態(特別図柄プロセスフラグ)をステップS304に対応した値(この例では4)に更新する。なお、演出制御用マイクロコンピュータ100は、遊技制御用マイクロコンピュータ560が送信する図柄確定指定コマンドを受信すると演出表示装置9において第4図柄が停止されるように制御する。

40

【0376】

特別図柄停止処理(ステップS304)：特別図柄プロセスフラグの値が4であるときに実行される。大当たりフラグがセットされている場合に、内部状態(特別図柄プロセスフラグ)をステップS305に対応した値(この例では5)に更新する。また、小当たりフラグがセットされている場合には、内部状態(特別図柄プロセスフラグ)をステップS308に対応した値(この例では8)に更新する。大当たりフラグおよび小当たりフラグのいずれもセットされていない場合には、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。なお、この実施の形態では、特別図柄プロ

50

セスフラグの値が4となったことにもとづいて、後述するように、特別図柄表示制御処理において特別図柄の停止図柄を停止表示するための特別図柄表示制御データが特別図柄表示制御データ設定用の出力バッファに設定され(図56参照)、ステップS22の表示制御処理において出力バッファの設定内容に応じて実際に特別図柄の停止図柄が停止表示される。

【0377】

大入賞口開放前処理(ステップS305):特別図柄プロセスフラグの値が5であるときに実行される。大入賞口開放前処理では、大入賞口を開放する制御を行う。具体的には、カウンタ(例えば、大入賞口に入った遊技球数をカウントするカウンタ)などを初期化するとともに、ソレノイド21を駆動して大入賞口を開放状態にする。また、タイマによって大入賞口開放中処理の実行時間を設定し、内部状態(特別図柄プロセスフラグ)をステップS306に対応した値(この例では6)に更新する。なお、大入賞口開放前処理は各ラウンド毎に実行されるが、第1ラウンドを開始する場合には、大入賞口開放前処理は大当たり遊技を開始する処理でもある。

10

【0378】

大入賞口開放中処理(ステップS306):特別図柄プロセスフラグの値が6であるときに実行される。大当たり遊技状態中のラウンド表示の演出制御コマンドを演出制御用マイクロコンピュータ100に送信する制御や大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立し、かつ、まだ残りラウンドがある場合には、内部状態(特別図柄プロセスフラグ)をステップS305に対応した値(この例では5)に更新する。また、全てのラウンドを終えた場合には、内部状態(特別図柄プロセスフラグ)をステップS307に対応した値(この例では7)に更新する。

20

【0379】

大当たり終了処理(ステップS307):特別図柄プロセスフラグの値が7であるときに実行される。大当たり遊技状態が終了したことを遊技者に報知する表示制御を演出制御用マイクロコンピュータ100に行わせるための制御を行う。また、遊技状態を示すフラグ(例えば、確変フラグや時短フラグ)をセットする処理を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。

【0380】

小当たり開放前処理(ステップS308):特別図柄プロセスフラグの値が8であるときに実行される。小当たり開放前処理では、大入賞口を開放する制御を行う。具体的には、カウンタ(例えば、大入賞口に入った遊技球数をカウントするカウンタ)などを初期化するとともに、ソレノイド21を駆動して大入賞口を開放状態にする。また、タイマによって大入賞口開放中処理の実行時間を設定し、内部状態(特別図柄プロセスフラグ)をステップS309に対応した値(この例では9)に更新する。なお、小当たり開放前処理は各ラウンド毎に実行されるが、第1ラウンドを開始する場合には、小当たり開放前処理は小当たり遊技を開始する処理でもある。

30

【0381】

小当たり開放中処理(ステップS309):特別図柄プロセスフラグの値が9であるときに実行される。大入賞口の閉成条件の成立を確認する処理等を行う。大入賞口の閉成条件が成立し、かつ、まだ残りラウンドがある場合には、内部状態(特別図柄プロセスフラグ)をステップS308に対応した値(この例では8)に更新する。また、全てのラウンドを終えた場合には、内部状態(特別図柄プロセスフラグ)をステップS310に対応した値(この例では10(10進数))に更新する。

40

【0382】

小当たり終了処理(ステップS310):特別図柄プロセスフラグの値が10であるときに実行される。小当たり遊技状態が終了したことを遊技者に報知する表示制御を演出制御用マイクロコンピュータ100に行わせるための制御を行う。そして、内部状態(特別図柄プロセスフラグ)をステップS300に対応した値(この例では0)に更新する。

【0383】

50

図56は、ステップS312, S314の始動口スイッチ通過処理を示すフローチャートである。このうち、図56(A)は、ステップS312の第1始動口スイッチ通過処理を示すフローチャートである。また、図56(B)は、ステップS314の第2始動口スイッチ通過処理を示すフローチャートである。

【0384】

まず、図56(A)を参照して第1始動口スイッチ通過処理について説明する。第1始動口スイッチ13aがオン状態の場合に実行される第1始動口スイッチ通過処理において、CPU56は、第1保留記憶数が上限値に達しているか否か(具体的には、第1保留記憶数をカウントするための第1保留記憶数カウンタの値が4でるか否か)を確認する(ステップS201A)。

10

【0385】

第1保留記憶数が上限値に達していなければ、CPU56は、第1保留記憶数カウンタの値を1増やす(ステップS202A)とともに、合算保留記憶数をカウントするための合算保留記憶数カウンタの値を1増やす(ステップS203A)。

【0386】

次いで、CPU56は、ソフトウェア乱数(大当り種別判定用乱数(ランダム1)、変動パターン種別判定用乱数(ランダム2)および変動パターン判定用乱数(ランダム3))を生成するための各カウンタから値を抽出する(ステップS204A)。また、CPU56は、チャンネル0の16ビット乱数回路508bが用いるRL0ハードラッチ乱数値レジスタ0(RL0HV0)から、大当り判定用乱数(ランダムR)としての数値データを抽出する(ステップS205A)。

20

【0387】

なお、既に、図23で説明したように、RL0ハードラッチ選択レジスタ0(RL0LS0)のビット2-0の設定内容によりいずれの端子からの信号(ラッチ信号)にもとづいて、RL0ハードラッチ乱数値レジスタ0(RL0HV0)に乱数値をラッチさせるかが設定されている。また、この実施の形態では、その設定された端子には、第1始動口スイッチ13aからの検出信号がラッチ信号として入力されているものとし、第1始動入賞口13への始動入賞が発生したタイミングでRL0ハードラッチ乱数値レジスタ0(RL0HV0)に乱数値をラッチできるように構成されている。

【0388】

30

そして、CPU56は、抽出したそれらのソフトウェア乱数および大当り判定用乱数(ランダムR)を、第1保留記憶バッファ(図57参照)における保存領域に格納する処理を実行する(ステップS206A)。なお、変動パターン判定用乱数(ランダム3)を第1始動口スイッチ通過処理(始動入賞時)において抽出して保存領域にあらかじめ格納しておくのではなく、第1特別図柄の変動開始時に抽出するようにしてもよい。例えば、遊技制御用マイクロコンピュータ560は、後述する変動パターン設定処理において、変動パターン判定用乱数(ランダム3)を生成するための変動パターン判定用乱数カウンタから値を直接抽出するようにしてもよい。

【0389】

図57は、保留記憶に対応する乱数等を保存する領域(保留記憶バッファ)の構成例を示す説明図である。図57に示すように、第1保留記憶バッファには、第1保留記憶数の上限値(この例では4)に対応した保存領域が確保されている。また、第2保留記憶バッファには、第2保留記憶数の上限値(この例では4)に対応した保存領域が確保されている。この実施の形態では、第1保留記憶バッファおよび第2保留記憶バッファには、ハードウェア乱数であるランダムR(大当り判定用乱数)や、ソフトウェア乱数である大当り種別判定用乱数(ランダム1)、変動パターン種別判定用乱数(ランダム2)および変動パターン判定用乱数(ランダム3)が記憶される。なお、第1保留記憶バッファおよび第2保留記憶バッファは、RAM55に形成されている。

40

【0390】

そして、CPU56は、第1保留記憶数が1増加したことを指定する第1保留記憶数加

50

算指定コマンドを演出制御用マイクロコンピュータ100に送信する制御を行う(ステップS207A)。

【0391】

第1保留記憶数が上限値に達していれば(ステップS201AのY)、CPU56は、RL0ハードラッチ乱数値レジスタ0(RL0HV0)から数値データを抽出し(ステップS208A)、抽出した数値データ(乱数)を格納することなく、第1始動口スイッチ通過処理を終了する。すなわち、この実施の形態では、図23に示すプログラム管理エリアにおけるRL0ハードラッチ選択レジスタ0(RL0LS0)のビット3が"0"に設定され、RL0ハードラッチ乱数値レジスタ0(RL0HV0)から値を読み込まないと次の値をラッチできないように設定されているものとする。そのため、第1保留記憶数が上限値に達している場合であっても、CPU56は、RL0ハードラッチ乱数値レジスタ0(RL0HV0)から数値データを抽出する処理のみを行い(値の格納までは行わない)、RL0ハードラッチ乱数値レジスタ0(RL0HV0)が次の値をラッチできるようにしている。

10

【0392】

なお、RL0ハードラッチ選択レジスタ0(RL0LS0)のビット3を"1"に設定し、RL0ハードラッチ乱数値レジスタ0(RL0HV0)から値を読み込まなくても次の値をラッチできるように設定してもよい。そのようにすれば、ステップS208Aの処理は不要となる。

【0393】

20

次に、図56(B)を参照して第2始動口スイッチ通過処理について説明する。第2始動口スイッチ14aがオン状態の場合に実行される第2始動口スイッチ通過処理において、CPU56は、第2保留記憶数が上限値に達しているか否か(具体的には、第2保留記憶数をカウントするための第2保留記憶数カウンタの値が4であるか否か)を確認する(ステップS201B)。

【0394】

第2保留記憶数が上限値に達していなければ、CPU56は、第2保留記憶数カウンタの値を1増やす(ステップS202B)とともに、合算保留記憶数をカウントするための合算保留記憶数カウンタの値を1増やす(ステップS203B)。

【0395】

30

次いで、CPU56は、ソフトウェア乱数(大当り種別判定用乱数(ランダム1)、変動パターン種別判定用乱数(ランダム2)および変動パターン判定用乱数(ランダム3))を生成するための各カウンタから値を抽出する(ステップS204B)。また、CPU56は、チャンネル1の16ビット乱数回路508bが用いるRL1ハードラッチ乱数値レジスタ0(RL1HV0)から、大当り判定用乱数(ランダムR)としての数値データを抽出する(ステップS205B)。

【0396】

なお、既に、図25で説明したように、RL1ハードラッチ選択レジスタ(RL1LS)のビット2-0の設定内容によりいずれの端子からの信号(ラッチ信号)にもとづいて、RL1ハードラッチ乱数値レジスタ0(RL1HV0)に乱数値をラッチさせるかが設定されている。また、この実施の形態では、その設定された端子には、第2始動口スイッチ14aからの検出信号がラッチ信号として入力されているものとし、第2始動入賞口14への始動入賞が発生したタイミングでRL1ハードラッチ乱数値レジスタ0(RL1HV0)に乱数値をラッチできるように構成されている。

40

【0397】

そして、CPU56は、抽出したそれらのソフトウェア乱数および大当り判定用乱数(ランダムR)を、第2保留記憶バッファ(図57参照)における保存領域に格納する処理を実行する(ステップS206B)。なお、変動パターン判定用乱数(ランダム3)を第2始動口スイッチ通過処理(始動入賞時)において抽出して保存領域にあらかじめ格納しておくのではなく、第2特別図柄の変動開始時に抽出するようにしてもよい。例えば、遊

50

技制御用マイクロコンピュータ560は、後述する変動パターン設定処理において、変動パターン判定用乱数(ランダム3)を生成するための変動パターン判定用乱数カウンタから値を直接抽出するようにしてもよい。

【0398】

そして、CPU56は、第2保留記憶数が1増加したことを指定する第2保留記憶数加算指定コマンドを演出制御用マイクロコンピュータ100に送信する制御を行う(ステップS207B)。

【0399】

第2保留記憶数が上限値に達していれば(ステップS201BのY)、CPU56は、RL1ハードラッチ乱数値レジスタ0(RL1HV0)から数値データを抽出し(ステップS208B)、抽出した数値データ(乱数)を格納することなく、第2始動口スイッチ通過処理を終了する。すなわち、この実施の形態では、プログラム管理エリアにおけるRL1ハードラッチ選択レジスタ(RL1LS)のビット3が"0"に設定され(図25でn=1とした場合に相当する)、RL1ハードラッチ乱数値レジスタ0(RL1HV0)から値を読み込まないと次の値をラッチできないように設定されているものとする。そのため、第2保留記憶数が上限値に達している場合であっても、CPU56は、RL1ハードラッチ乱数値レジスタ0(RL1HV0)から数値データを抽出する処理のみを行い(値の格納までは行わない)、RL1ハードラッチ乱数値レジスタ0(RL1HV0)が次の値をラッチできるようにしている。

【0400】

なお、RL1ハードラッチ選択レジスタ0(RL1LS)のビット3を"1"に設定し、RL1ハードラッチ乱数値レジスタ0(RL1HV0)から値を読み込まなくても次の値をラッチできるように設定してもよい。そのようにすれば、ステップS208Bの処理は不要となる。

【0401】

また、この実施の形態では、ステップS205A、S205Bの処理が実行されることによって、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで異なる乱数値レジスタから乱数値を抽出して格納するようにしている。そのようにすることにより、例えば、乱数更新のスタート値を異ならせたり、乱数列の変更の設定を異ならせたり、乱数最大値の設定を異ならせることによって、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数値が同期しにくくすることができ、所定の乱数更新タイミングを狙って不正に大当りを発生させるなどの行為をしにくくしている。

【0402】

なお、この実施の形態では、16ビット乱数回路508bの異なるチャネル(本例では、チャネル0とチャネル1)から乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせる場合を示したが、この実施の形態で示した態様にかぎられない。例えば、16ビット乱数回路508bの同じチャネルであっても、その同じチャネルで用いる異なるハードラッチ乱数値レジスタから(例えば、同じチャネル0のRL0ハードラッチ乱数値レジスタ0(RL0HV0)とRL0ハードラッチ乱数値レジスタ1(RL0HV1)とから)乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせてもよい。

【0403】

また、この実施の形態では、ハードラッチ乱数値レジスタから乱数値を抽出する場合を示したが、例えば、ソフトラッチ乱数値レジスタから乱数値を抽出するようにしてもよい。この場合であっても、16ビット乱数回路508bの異なるチャネルから乱数値を抽出することにより、または同じチャネルであっても異なるソフトラッチ乱数値レジスタから乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の



変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせるようにすればよい。

【 0 4 0 4 】

また、この実施の形態では、16ビット乱数回路508bから乱数値を抽出する場合を示したが、例えば、8ビット乱数回路508aから乱数値を抽出するようにしてもよい。この場合であっても、8ビット乱数回路508aの異なるチャネルから乱数値を抽出することにより、または同じチャネルであっても異なるハードラッチ乱数値レジスタやソフトラッチ乱数値レジスタから乱数値を抽出することにより、第1特別図柄の変動表示を実行する場合と第2特別図柄の変動表示を実行する場合とで乱数を抽出する乱数値レジスタを異ならせるようにすればよい。

10

【 0 4 0 5 】

なお、この実施の形態では、既に説明したように、遊技制御用マイクロコンピュータ560は、遊技機への電源投入時にステップS1001、S1011を実行して乱数回路508a、508bに関する設定をハードウェア的に行い、その後、ユーザプログラムの実行中に第1始動口スイッチ通過処理（ステップS312参照）や第2始動口スイッチ通過処理（ステップS314参照）においてステップS205A、S205Bの乱数抽出の処理を実行する。従って、この実施の形態では、乱数回路から数値データ（乱数値）を抽出するタイミングよりも前に、乱数回路の監視に関する設定が行われるように構成されている。

【 0 4 0 6 】

20

次に、演出制御手段の動作を説明する。図58は、演出制御基板80に搭載されている演出制御手段としての演出制御用マイクロコンピュータ100（具体的には、演出制御用CPU101）が実行するメイン処理を示すフローチャートである。演出制御用CPU101は、電源が投入されると、メイン処理の実行を開始する。メイン処理では、まず、RAM領域のクリアや各種初期値の設定、また演出制御の起動間隔（例えば、4ms）を決めるためのタイマの初期設定等を行うための初期化処理を行う（ステップS7001）。その後、演出制御用CPU101は、タイマ割込フラグの監視（ステップS7002）を行うループ処理に移行する。タイマ割込が発生すると、演出制御用CPU101は、タイマ割込処理においてタイマ割込フラグをセットする。メイン処理において、タイマ割込フラグがセットされていたら、演出制御用CPU101は、そのフラグをクリアし（ステップS7003）、以下の演出制御処理を実行する。

30

【 0 4 0 7 】

演出制御処理において、演出制御用CPU101は、まず、受信した演出制御コマンドを解析し、受信した演出制御コマンドに応じたフラグをセットする処理等を行う（コマンド解析処理：ステップS7004）。

【 0 4 0 8 】

次いで、演出制御用CPU101は、演出制御プロセス処理を行う（ステップS7005）。演出制御プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（演出制御プロセスフラグ）に対応した処理を選択して演出表示装置9の表示制御を実行する。

40

【 0 4 0 9 】

次いで、演出制御用CPU101は、第4図柄プロセス処理を行う（ステップS7006）。第4図柄プロセス処理では、制御状態に応じた各プロセスのうち、現在の制御状態（第4図柄プロセスフラグ）に対応した処理を選択して演出表示装置9の第4図柄表示領域9c、9dにおいて第4図柄の表示制御を実行する。

【 0 4 1 0 】

次いで、大当り図柄決定用乱数などの乱数を生成するためのカウンタのカウント値を更新する乱数更新処理を実行する（ステップS7007）。その後、ステップS7002に移行する。

【 0 4 1 1 】

50

以上に説明したように、この実施の形態によれば、所定事象が発生（本例では、IAT 506 aからのIAT信号の入力、ウォッチドッグタイマ（WDT）506 bからのタイムアウト信号の入力）したことにともづいて第1リセット（本例では、システムリセット）を発生させるか第2リセット（本例では、ユーザリセット）を発生させるかを設定可能である（図12に示すリセット設定（KRES）のビット7参照）。そして、第1リセットの発生後にはセキュリティチェックを実行する一方、第2リセットの発生後にはセキュリティチェックを実行しない。そのため、遊技機や遊技店の状況などに応じて所定事象が発生したときに行うリセットの種類を最適なものに設定できるので、遊技制御用マイクロコンピュータ560に関するセキュリティ性を向上させることができる。

#### 【0412】

なお、この実施の形態では、所定事象の発生として、IAT 506 aからのIAT信号を入力した場合と、ウォッチドッグタイマ（WDT）506 bからのタイムアウト信号を入力した場合とを示しているが、この実施の形態で示したものにかぎらず、遊技制御用マイクロコンピュータ560をリセットすべき何らかのエラーなどの状況が発生したことにともづいて、所定事象が発生したとしてリセットするものであってもよい。

#### 【0413】

また、この実施の形態によれば、所定事象の発生には、ウォッチドッグタイマ（WDT）506 bのタイムアウトが含まれ、ウォッチドッグタイマ（WDT）506 bを起動させるか否かを設定可能である（本例では、図12に示すリセット設定（KRES）のビット3-0に“0000”を設定する）。そして、ウォッチドッグタイマ（WDT）506 bを起動させないと設定した場合であっても、所定事象が発生したことにともづいて第1リセットを発生させるか第2リセットを発生させるかを設定可能である。具体的には、図12に示すリセット設定（KRES）において、ビット3-0に“0000”を設定していても、ビット7の設定を行うことによってリセットの種類を設定可能である。そのため、ウォッチドッグタイマ（WDT）506 bの設定にかかわらず、所定事象が発生したことにともづいて発生させるリセットの種類の設定を共通化することができる。

#### 【0414】

また、この実施の形態によれば、所定事象の発生には、指定された領域以外の領域に格納されたプログラムを実行する指定領域外実行（本例では、指定エリア外走行禁止（IAT））が含まれる。そして、遊技制御用マイクロコンピュータ560は、所定の処理として所定時間（本例では4ms）毎に発生するタイマ割込に応じて実行されるタイマ割込処理（図49に示すタイマ割込処理）の実行中に指定領域外実行が発生（本例では、IAT回路506 aからIAT信号を入力）した場合に、RAM 55（バックアップRAM）の記憶内容を初期化する（本例では、リセットの後、図48に示すステップS10が実行される）。そのため、意図しないプログラムが実行された場合のセキュリティ性を向上させることができる。

#### 【0415】

また、この実施の形態によれば、第1リセットを発生させると設定したときに、所定事象が発生して第1リセットを発生させた後、所定事象が発生したことにともづいて第1リセットを発生させるか第2リセットを発生させるかを再度設定する。具体的には、図46（A）に示すように、システムリセットが発生したときに、ステップS1005が実行されて、遊技制御用マイクロコンピュータ560の各種設定がハードウェア的に再度実行されることにより、システムリセットとするかユーザリセットとするかが再度設定される。そのため、異常な状態から正常な状態に確実に復旧させることができる。

#### 【0416】

なお、この実施の形態では、具体的には、所定事象が発生（IAT 506 aからのIAT信号の入力、ウォッチドッグタイマ（WDT）506 bからのタイムアウト信号の入力）してシステムリセットが発生した後に、内部リセットの設定を再度設定する場合（図46（A）のステップS1005参照）を示しているが、ユーザリセットが発生した場合にもステップS1005と同様の処理を実行して内部リセットの設定を再度設定するように

10

20

30

40

50

してもよい。

【0417】

また、この実施の形態によれば、16ビット乱数回路508bの数値保持手段（本例では、ハードラッチ乱数値レジスタやソフトラッチ乱数値レジスタ）が保持する数値データを更新するための乱数用クロック信号（本例では、外部クロック信号）の周波数の異常の発生と、数値保持手段が保持する数値データの更新状態とを監視可能な乱数回路監視手段（本例では、更新監視回路537）を備える。そのため、乱数用クロック信号の周波数の異常の発生を監視するとともに数値データの更新状態も監視できるので、遊技機が搭載する乱数回路（本例では、16ビット乱数回路508b）に関するセキュリティ性を向上させることができる。

10

【0418】

また、この実施の形態によれば、遊技制御用マイクロコンピュータ560が搭載する制御用CPU（本例では、CPU56）は、第1情報（本例では、データ格納領域の上位アドレス）と第2情報（本例では、データ格納領域の下位アドレス）とにもとづいて、読み出し対象のデータが格納された領域に対応するアドレスを特定し、特定したアドレスに対応する領域から読み出し対象のデータを読み出す。この場合、読み出し対象のデータを読み出すときに、格納手段（本例では、Qレジスタ）に格納された特定値（本例では、固定値として格納されている「F0H」）にもとづいて第1情報を特定するとともに、制御命令で指定された第2情報（図47に示す例では、LDQコマンド（プログラムされている命令の1つ）で指定された「20H」）を特定する。そのため、格納手段（本例では、Qレジスタ）を用いることにより、データ格納領域のアドレスのうちの固定部分（本例では、上位アドレス）を毎回コマンドで指定する必要がなくなるので、データを読み出すために処理命令を行う際の無駄（アドレスの共通部分を指定するプログラムの無駄）を削減することができる。

20

【0419】

また、この実施の形態によれば、制御用CPU（本例では、CPU56）は、遊技機への電力供給が開始された後、RAM55へのアクセスが許可されるタイミングで（図48のステップS5参照）、RAM55に設けられた作業領域に対応するアドレスの一部を示す値（本例では、F0H）を特定値として格納手段（本例では、Qレジスタ）に格納する（図48のステップS5A参照）。そのため、RAM55へのアクセスが許可されるタイミングで格納手段に特定値が格納されることによって、それ以降にRAM55に設けられた作業領域に対応するアドレスを指定するためのプログラムの無駄を削減することができる。

30

【0420】

なお、この実施の形態では、特定値の格納の仕方として、（1）RAM55へのアクセスを許可するタイミングで特定値を格納手段に格納する処理と、（2）常に格納手段に特定値が格納されている状態としている構成との両方を備える場合を示している。具体的には、この実施の形態では、ユーザプログラムの実行が開始され図48に示すメイン処理が開始されたときに、ユーザプログラムによりQレジスタに初期値F0Hを設定する処理が実行される（ステップS5A参照）とともに、システムリセット時にハードウェア的に初期化されてQレジスタn値が初期値F0Hに自動設定されるものとする。例えば、遊技機に対して電源が投入され電力供給が開始されたときに、Qレジスタの下位4ビットは0に初期化されるとともに、上位4ビットは反転回路で反転されて全て値1となることによって、Qレジスタの初期値としてF0Hが自動設定される。ただし、Qレジスタの初期値設定は、ユーザプログラムの開始時に実行されるユーザプログラムによる設定のみでもよいし、遊技機に対して電源が投入され電力供給が開始されたときに行うハードウェア的な自動設定のみでもよい。

40

【0421】

なお、この実施の形態において、遊技機が搭載する遊技制御用マイクロコンピュータ560において制御命令として使用可能なコマンドには、所定のルールに従ってあるレジス

50

タのデータと他の2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行可能なRLDコマンドやRRDコマンド(ともにプログラムされている命令の1つである)がある。例えば、RLDコマンドを用いてレジスタAのデータと2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行した場合、レジスタAの上位4ビットのデータはそのまま、レジスタAの下位4ビットのデータを2バイトのレジスタで指定されたアドレスの下位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの下位4ビットを2バイトのレジスタで指定されたアドレスの上位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの上位4ビットをレジスタAの下位4ビットに移すことが可能である。そして、この場合に、例えば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとして書き込み不能な領域のデータ(例えば、ROMエリアのデータ)を指定すれば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータをそのままにして、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの上位4ビットをレジスタAの下位4ビットに反映させる動作のみを実行させることもできる。

10

#### 【0422】

また、例えば、RRDコマンドを用いてレジスタAのデータと2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとの入れ替えを実行した場合、レジスタAの上位4ビットのデータはそのまま、レジスタAの下位4ビットのデータを2バイトのレジスタで指定されたアドレスの上位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの上位4ビットを2バイトのレジスタで指定されたアドレスの下位4ビットに移し、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの下位4ビットをレジスタAの下位4ビットに移すことが可能である。そして、この場合に、例えば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータとして書き込み不能な領域のデータ(例えば、ROMエリアのデータ)を指定すれば、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータのデータをそのままにして、2バイトのレジスタで指定されたアドレスに格納(記憶)されたデータの下位4ビットをレジスタAの下位4ビットに反映させる動作のみを実行させることもできる。

20

#### 【0423】

なお、上記の実施の形態において、予告演出の対象となる変動表示が開始されるよりも前に実行される先読み予告演出を実行するように構成してもよい。先読み予告演出を実行するように構成する場合、例えば、遊技制御用マイクロコンピュータ560は、第1始動入賞口13や第2始動入賞口14への始動入賞が発生したタイミングで第1始動口スイッチ通過処理(ステップS312参照)や第2始動口スイッチ通過処理(ステップS314参照)にて始動入賞時の判定を行い、その判定結果を示す入賞時判定結果コマンドを送信する制御を行う。この場合、例えば、入賞時判定結果コマンドとして、大当たりとなるか否かや、小当たりとなるか否か、大当たりの種別の判定結果を示す図柄指定コマンド、および変動パターン種別判定用乱数の値がいずれの判定値の範囲となるかの判定結果(変動パターン種別の判定結果)を示す変動カテゴリコマンドを送信する。従って、この場合、新たな始動入賞が発生したタイミングで1タイマ割り込み内で始動入賞時コマンドとして図柄指定コマンド、変動カテゴリコマンド、および保留記憶数加算指定コマンド(第1保留記憶数加算指定コマンド、第2保留記憶数加算指定コマンド)が送信されることになる。

30

40

#### 【0424】

なお、第1保留記憶数加算指定コマンドは、第1始動入賞口13に始動入賞したときに送信されるコマンドであることから、この意味で第1始動入賞口13に始動入賞したことを示す第1始動口入賞指定コマンドでもある。また、第2保留記憶数加算指定コマンドは、第2始動入賞口14に始動入賞したときに送信されるコマンドであることから、この意味で第2始動入賞口14に始動入賞したことを示す第2始動口入賞指定コマンドでもある。以下、第1始動口入賞指定コマンド(第1保留記憶数加算指定コマンド)と第2始動口

50

入賞指定コマンド（第2保留記憶数加算指定コマンド）とを総称して始動口入賞指定コマンドともいう。

【0425】

以下、先読み予告演出を実行可能に構成する場合の動作について説明する。

【0426】

図59は、演出制御プロセス処理として、図58のステップS7005にて実行される処理の一例を示すフローチャートである。図59に示す演出制御プロセス処理において、演出制御用CPU101は、まず、先読み予告演出の有無や演出態様を決定する先読み予告決定処理を実行する（ステップS161）。

【0427】

図60は、図59のステップS161にて実行される先読み予告決定処理の一例を示すフローチャートである。図60に示す先読み予告決定処理において、演出制御用CPU101は、まず、始動入賞時にその始動入賞の判定結果にもとづいて送信される始動入賞時コマンドを格納する始動入賞時受信コマンドバッファにおける記憶内容をチェックする（ステップS701）。そして、始動入賞時のコマンドのうち、少なくともいずれかとなる新たな受信コマンドがあるか否かを判定する（ステップS702）。例えば、始動入賞時受信コマンドバッファに少なくとも図柄指定コマンド、変動カテゴリコマンドまたは保留記憶数加算指定コマンド（第1保留記憶数加算指定コマンド、第2保留記憶数加算指定コマンド）のうち、いずれかが新たに格納されているか否かを確認することにより受信コマンドの有無を判定できる。いずれのコマンドも新たに受信していなければ（ステップS702；No）、そのまま先読み予告決定処理を終了する。

【0428】

ステップS702にて受信コマンドがあると判定された場合には（ステップS702；Yes）、既に先読み予告演出を実行中であるか否かを判定する（ステップS703）。例えば、ステップS703の処理では、先読み予告演出の実行中であることを示す先読み予告実行中フラグがオンであるときに、先読み予告演出を実行中であると判定すればよい。先読み予告実行中フラグは、先読み予告演出が実行されるときにオン状態にセットされる。

【0429】

この実施の形態では、既に先読み予告演出を実行中であるときには、さらに先読み予告演出を実行するための処理が行われないようにして、既に決定した演出態様で先読み予告演出が実行される。一方、可変表示態様が「非リーチ」に決定される旨の入賞時判定結果にもとづき先読み予告演出が実行されているときに、可変表示結果が「大当たり」に決定される旨の入賞時判定結果やリーチを伴う変動パターンに決定される旨の入賞時判定結果が得られたときには、実行中の先読み予告演出からスーパーリーチや大当たりの予告演出へと切り替えてもよい。なお、既に実行されている先読み予告演出の演出態様にかかわらず、さらに先読み予告演出を実行可能にしてもよい。

【0430】

ステップS703にて先読み予告演出が実行中ではない場合には（ステップS703；No）、先読み予告演出の実行が制限される先読み予告制限中であるか否かを判定する（ステップS704）。ステップS704にて先読み予告制限中ではない場合には（ステップS704；No）、始動入賞の発生にもとづく受信コマンドの順序と内容をチェックして（ステップS706）、正常に受信できたか否かを判定する（ステップS707）。ステップS707の処理では、例えば始動入賞時の受信コマンドが順番通りであるか否か、欠落なくすべて受信できたか否か、図柄指定コマンドと変動カテゴリコマンドとの内容が整合しているか否かなどの確認を行い、いずれか1つでも否定された場合には、正常に受信できなかったと判定すればよい。なお、いずれか1つでも否定された場合に異常が発生したと判定するものに限定されず、例えばいずれか2つが否定された場合に異常が発生したと判定するようにしてもよい。あるいは、すべてが否定された場合に異常が発生したと判定するようにしてもよい。

## 【0431】

ステップS707にて正常に受信できたと判定された場合には(ステップS707; Yes)、始動入賞時受信コマンドバッファに格納されている前回までの変動カテゴリコマンドをチェックして(ステップS708)、現在の保留記憶数(例えば、第1保留記憶数または第2保留記憶数)が「3」または「4」であり、かつ、前回までの変動カテゴリが非リーチハズレとなるもののみであるか否かを判定する(ステップS709)。すなわち、この実施の形態では、可変表示結果が「非リーチハズレ」となる保留データが2つまたは3つある場合には、その保留データを利用して連続予告演出を実行するようにしている。

## 【0432】

なお、保留記憶数が連続予告演出を実行するのに十分な数であれば(例えば2以上であれば)、連続予告演出を実行できるようにしてもよい。例えば、後述する先読み予告パターンSY P3-1の連続予告演出(先読み予告演出)のように、演出態様が変化する予告パターン以外では、一連の演出であることを報知できる保留記憶数である場合に連続予告演出を実行するようにしてもよい。このようにすることで、連続予告演出を総合的な実行頻度を向上させることができる。

## 【0433】

また、停止図柄予告以外の先読み予告演出を実行する場合には、可変表示結果が「非リーチハズレ」となる保留データが含まれている場合にも、連続予告演出を実行するようにしてもよい。このようにした場合、連続予告演出の実行途中でリーチが発生したり、「大当たり」となることがあるので、意外性のある演出を実行できる。可変表示結果が「非リーチハズレ」となる保留データが含まれている場合に連続予告演出を実行するようする場合に、例えば、リーチを伴う可変表示においては、停止図柄予告以外の演出態様の連続予告演出が選択されるようにすればよい。このようにすることで、先読みの対象となる可変表示が実行さえる前の表示結果に関わらず連続予告演出を実行することができる。

## 【0434】

例えば、ステップS708の処理では、最新の変動カテゴリコマンドよりも1つ前までに受信して始動入賞時受信コマンドバッファに格納されているデータの数、及び、変動カテゴリコマンドにより指定された変動カテゴリを読み取る。ステップS709の処理では、ステップS708における読取結果により、データの数「3」または「4」であるか、非リーチハズレに対応した変動カテゴリを指定する変動カテゴリコマンドのみであるか否かを判定する。

## 【0435】

ステップS709にて、現在の保留記憶数が「3」または「4」であり、かつ、り、かつ、前回までの変動カテゴリが非リーチハズレとなるもののみであると判定された場合には、(ステップS709; Yes)、先読み予告演出を実行するか否かと、先読み予告演出を実行する場合における先読み予告演出の演出態様に対応した先読み予告パターンとを決定する(ステップS710)。

## 【0436】

一例として、ステップS710の処理では、先読み予告演出の有無と先読み予告パターンとを決定するための使用テーブルとして、予め用意された先読み予告決定テーブルを選択してセットする。先読み予告決定テーブルでは、予告対象となる可変表示に対応する始動入賞の発生にもとづいて送信された変動カテゴリコマンドの指定内容などに応じて、先読み予告種別決定用の乱数値と比較される数値(決定値)が、先読み予告演出を実行しない場合に対応する「実行なし」の決定結果や、先読み予告演出を実行する場合における複数の先読み予告パターンなどに、割り当てられていけばよい。その後、演出制御用CPU101は、例えば、先読み予告決定用の乱数値を示す数値データを抽出し、その数値データにもとづいて、先読み予告決定テーブルを参照することにより、先読み予告演出の有無と先読み予告パターンとを決定すればよい。

## 【0437】

ステップS710の処理では、例えば図61に示すような決定割合で、先読み予告演出の有無と先読み予告パターンとが決定されればよい。図61に示す決定割合の設定例では、変動カテゴリに応じて、先読み予告演出の有無や先読み予告パターンの決定割合を異ならせている。

#### 【0438】

この実施の形態では、先読み予告パターンとして、SY P 1 - 1、SY P 1 - 2、SY P 2 - 1、SY P 3 - 1の4種類が設けられている。先読み予告パターンSY P 1 - 1及びSY P 1 - 2は、予告の対象となる可変表示が実行されるまでの複数回の可変表示渡って演出表示装置9に予め定められた連続演出用のチャンス目を構成する飾り図柄が停止する停止図柄予告に対応した先読み予告パターンである。先読み予告パターンSY P 1 - 1にもとづく停止図柄予告では、連続演出用のチャンス目として、図62(A)に示すチャンス目CA1～CA8(チャンス目A)のいずれかが停止する。チャンス目Aは、図62(A)に示すように、左図柄と中図柄が同じ数字であり、右図柄のみが1つずれた数字の組合せとなっている。また、先読み予告パターンSY P 1 - 2にもとづく停止図柄予告では、連続演出用のチャンス目として、図62(B)に示すチャンス目CB1～CB6(チャンス目B)のいずれかが停止する。チャンス目Bは、図62(B)に示すように、並び数字の組合せとなっている。この実施の形態では、後述するように、チャンス目Aが停止する停止図柄予告が実行された場合よりも、チャンス目Bが停止する停止図柄予告が実行された場合の方が、大当たりとなる可能性(大当たり信頼度)が高くなっている。このようにすることで、停止図柄予告が実行されるときに、いずれのチャンス目が停止したかに遊技者を注目させることができ、遊技の興趣が向上する。

#### 【0439】

なお、チャンス目Aやチャンス目Bは、図62(A)、(B)に示すようなものに限定されず、それぞれが区別可能な予め定められた組合せであればよい。例えばチャンス目Aを通常図柄(非確変図柄)である偶数の数字の任意の組合せとして、チャンス目Bを確変図柄である奇数の数字の任意の組合せとしてもよい。このようにすることで、遊技者がいずれのチャンス目であるかを認識しやすくなる。

#### 【0440】

先読み予告パターンSY P 2 - 1は、予告の対象となる可変表示が実行されるより前の可変表示中に、演出表示装置9における背景画像が通常背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる背景変化予告を実行することに対応した先読み予告パターンである。

#### 【0441】

先読み予告パターンSY P 3 - 1は、チャンス目Aが停止する停止図柄予告が実行された後に、背景変化予告に変化する先読み予告演出を実行することに対応した先読み予告パターンである。

#### 【0442】

図61に示すように、この実施の形態では、変動カテゴリが「非リーチハズレ」、「リーチハズレ」、「突確・小当たり」、「大当たり」のいずれであるかによって先読み予告演出が実行される割合、先読み予告パターンの決定割合が異なっている。

#### 【0443】

具体的には、変動カテゴリが「リーチハズレ」である場合には、「非リーチハズレ」である場合よりも、先読み予告演出が実行される割合(「実行あり」以外に決定される割合)が高くなっており、変動カテゴリが「大当たり」である場合には、「非リーチハズレ」、「リーチハズレ」、「突確・小当たり」である場合よりも、先読み予告演出が実行される割合が高くなっている。このような設定により、先読み予告演出を実行することで、可変表示結果が「大当たり」となることやリーチが実行されることを予告・示唆することができる。なお、変動カテゴリが「突確・小当たり」である場合には、先読み予告演出が実行されたにも関わらず、実質的には出玉(賞球)が得られない「突確」や実質的には出玉(賞球)が得られないことに加えて遊技状態も変化しない「小当たり」となって遊技者を落胆させて

しまうことを防止するため、先読み予告演出を実行しないようにしてもよい。

【0444】

また、図61に示す決定割合では、チャンス目Aが停止する先読み予告パターンSY P 1 - 1の先読み予告演出が実行された場合よりも、チャンス目Bが停止する先読み予告パターンSY P 1 - 2の先読み予告演出が実行された場合の方が、可変表示結果が「大当り」となる割合（大当り信頼度）やリーチが実行される割合（リーチ信頼度）が高くなっている。このように、チャンス目の種別により大当り信頼度やリーチ信頼度が異なるので、遊技者が停止図柄に注目するようになり、遊技の興趣が向上する。

【0445】

また、先読み予告パターンSY P 1 - 1や先読み予告パターンSY P 1 - 2といった停止図柄予告の先読み予告演出が実行された場合よりも、背景変化予告の先読み予告パターンSY P 2 - 1の先読み予告演出が実行された場合の方が、大当り信頼度やリーチ信頼度が高くなっている。

【0446】

また、先読み予告パターンSY P 1 - 1や先読み予告パターンSY P 1 - 2といった停止図柄予告の先読み予告演出が実行された場合よりも、停止図柄予告から背景変化予告に変化する先読み予告パターンSY P 3 - 1の先読み予告演出が実行された場合の方が、大当り信頼度やリーチ信頼度が高くなっている。

【0447】

このように、大当り信頼度やリーチ信頼度が低い停止図柄予告の先読み予告演出が実行された場合であっても、大当り信頼度やリーチ信頼度が高い背景変化予告に変化する場合があるので、停止図柄予告が実行された場合であっても、遊技者は背景変化予告に変化することを期待するようになり、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【0448】

特に、先読み予告パターンSY P 3 - 1の先読み予告演出は、大当り信頼度やリーチ信頼度が最も低い先読み予告パターンSY P 1 - 1と同一の演出態様（チャンス目Aが停止する演出態様）から背景変化予告に変化している。これにより、大当り信頼度やリーチ信頼度が最も低い、チャンス目Aが停止する先読み予告演出が実行された場合でも、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【0449】

なお、この実施の形態では、チャンス目Aが停止する停止図柄予告から背景変化予告に変化する場合がある一方、チャンス目Bが停止する停止図柄予告からは背景変化予告に変化しないよう（変化する割合が0%）になっている。これに限定されず、チャンス目Bが停止する停止図柄予告から背景変化予告に変化する場合があるようにしてもよい。この場合は、チャンス目Aが停止する停止図柄予告が実行された場合と、チャンス目Bが停止する停止図柄予告が実行された場合と、で背景変化予告に変化する割合が異なるようにすればよい。具体的には、背景変化予告に変化しなかった場合の大当り信頼度やリーチ信頼度が低いチャンス目Aが停止する停止図柄予告からの方が、背景変化予告に変化しやすいようにすることが好ましい。このようにすることで、大当り信頼度やリーチ信頼度が低い停止図柄予告が実行された場合でも、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【0450】

また、先読み予告パターンSY P 2 - 1の先読み予告演出が実行された場合よりも、先読み予告パターンSY P 3 - 1の先読み予告演出が実行された場合の方が、大当り信頼度やリーチ信頼度が高くなっている。このような設定により、遊技者は背景変化予告に変化することをより期待するようになり、遊技者の期待感をより維持することができ、遊技の興趣が向上する。

【0451】

なお、遊技状態が大当り遊技状態や小当り遊技状態であるときには、先読み予告演出を

10

20

30

40

50



実行しないように制限してもよい。大当り遊技状態であるか否かは、例えば演出プロセスフラグの値が「6」または「7」のいずれかであるか否かに対応して、判定することができる。また、小当り遊技状態であるか否かは、例えば演出プロセスフラグの値が「4」または「5」のいずれかであるか否かに対応して、判定することができる。

#### 【0452】

一方、遊技状態が大当り遊技状態や小当り遊技状態であるときでも、先読み予告演出を実行可能にしてもよい。例えば始動入賞の発生にもとづいて始動入賞時のコマンドを受信した後、大当り遊技状態におけるラウンドの実行回数が所定回数（例えば「10」）となったときに、始動入賞時受信コマンドバッファに格納されている図柄指定コマンドや変動カテゴリコマンドを読み出して先読み予告演出を実行するか否かを決定し、そのラウンドを実行中に先読み予告演出を実行するようにしてもよい。この場合、先読み予告演出として、連続した態様の演出ではなく、例えば、今回の大当り遊技状態の終了後に可変表示結果が「大当り」となることを確定的に報知する一発告知態様の演出を実行してもよい。

#### 【0453】

図60に示すステップS710の処理による決定にもとづいて、先読み予告演出を実行しない「実行なし」であるか否かを判定する（ステップS711）。このとき、「実行なし」以外であれば（ステップS711；No）、決定した先読み予告パターンに応じた先読み予告演出の実行を開始するための設定を行う（ステップS712）。ステップS712では、先読み予告演出を実行する可変表示の回数を示す先読み予告実行回数カウンタに保留記憶数（第1保留記憶数、第2保留記憶数）をカウント初期値として設定し、例えば先読み予告実行中フラグをオン状態にセットするといった、先読み予告演出が実行中であることに対応した設定を行う。また、ステップS710にて決定された先読み予告パターンや、現在の保留記憶数（第1保留記憶数、第2保留記憶数）に対応した先読み予告演出制御パターンをセットする。

#### 【0454】

図63は、先読み予告演出制御パターンの一覧を示す図である。図63に示すように、先読み予告パターンSY P1-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSC P1-1と、先読み予告パターンSY P1-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSC P1-2と、先読み予告パターンSY P1-2であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSC P2-1と、先読み予告パターンSY P1-2であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSC P2-2と、先読み予告パターンSY P2-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSC P3-1と、先読み予告パターンSY P2-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSC P3-2と、先読み予告パターンSY P3-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が3であることに対応した先読み予告演出制御パターンSC P4-1と、先読み予告パターンSY P3-1であって保留記憶数（第1保留記憶数、第2保留記憶数）が4であることに対応した先読み予告演出制御パターンSC P4-2と、が設けられている。各先読み予告演出制御パターンは、図63に示すように、先読み予告演出を開始してからの変動において実行する演出内容に対応した制御データから構成されている。

#### 【0455】

なお、図63に示すように、先読み予告パターンSY P3-1である場合には、先読み予告演出が開始されてから2変動目において、背景変化予告が実行されるようになっている。これに限定されず、先読み予告演出の対象となる変動時や先読み予告演出の対象となる変動の1回前の変動時に背景変化予告が実行されるようにしてもよい。例えば、先読み予告パターンSY P3-1に決定された場合には、背景変化予告を実行するタイミングをさらに決定するようにして、その決定結果に応じた先読み予告演出制御パターンを選択す

るようにすればよい。この場合、先読み予告演出の対象となる変動の表示結果（変動カテゴリ）に応じて、背景変化予告を実行するタイミングの決定割合を異ならせてもよい。このようにすることで、停止図柄予告の先読み予告演出が実行された後、背景変化予告が実行されるタイミングによって、大当り信頼度やリーチ信頼度を異ならせることができる。

【0456】

ステップS712の処理を実行した後や、ステップS703にて先読み予告演出が実行中であると判定されたとき（ステップS703；Yes）、ステップS704にて先読み予告制限中であると判定されたとき（ステップS704；Yes）、ステップS709にて現在の保留記憶数（第1保留記憶数、第2保留記憶数）が「3」または「4」でないと判定されたとき、または、前回までの変動カテゴリが非リーチハズレとなるもののみでないと判定されたとき（ステップS709；No）、あるいは、ステップS711にて「実行なし」と判定されたときには（ステップS711；Yes）、始動入賞時受信コマンドバッファに格納されている最新の始動口入賞指定コマンドが第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）であるか否かを判定する（ステップS713）。

10

【0457】

ステップS713にて第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）であるときには（ステップS713；Yes）、第1保留記憶表示部18cにおける保留表示として、第1特図を用いた特図ゲームが新たに保留されたことに対応する表示部位を更新する制御を行う（ステップS714）。ステップS714では、第1保留記憶表示部18cにおける保留表示を通常が表示態様（例えば丸型の白色表示）で更新する制御を行う。その後、先読み予告決定処理を終了する。

20

【0458】

一方、ステップS713にて第1始動口入賞指定コマンド（第1保留記憶数加算指定コマンド）ではないと判定された場合には（ステップS713；No）、第2保留記憶表示部18dにおける保留表示として、第2特図を用いた特図ゲームが新たに保留されたことに対応する表示部位を更新する制御を行う（ステップS715）。ステップS715では、第2保留記憶表示部18dにおける保留表示を通常が表示態様（例えば丸型の白色表示）で更新する制御を行う。その後、先読み予告決定処理を終了する。

【0459】

ステップS707にて始動入賞時のコマンドを正常に受信できなかったと判定されたときには（ステップS707；No）、始動入賞時受信コマンドバッファにおける最新のコマンドに対応して、未判定情報をセットする（ステップS731）。例えば、始動入賞時受信コマンドバッファにおけるバッファ番号ごとに、未判定情報の格納領域を設け、最新のコマンドに対応するバッファ番号の未判定情報を「1」（またはオン状態）にセットすればよい。

30

【0460】

ステップS731の処理を実行した後は、第1保留記憶表示部18cおよび第2保留記憶表示部18dにおける保留表示として、第1保留記憶数や第2保留記憶数を示す表示部位をそれぞれ、共通の非正常時の表示態様（例えば丸型の灰色表示）に変更して、新たに保留されたことに対応する表示部位も共通の非正常時の表示態様で表示する（ステップS732）。非正常時の表示態様は、通常が表示態様や特別な表示態様であるときとは表示部位の表示色や表示形状、表示キャラクタなどの一部または全部を異ならせることにより、始動入賞時のコマンドに取りこぼしが生じたことを認識可能に報知できればよい。なお、新たに保留されたことに対応する表示部位のみを非正常時の表示態様とする一方で、その他の表示部位における表示態様は変更しなくてもよい。

40

【0461】

ステップS732の処理を実行した後は、例えば先読み予告制限フラグをオン状態にセットするといった、先読み予告制限中の設定を行ってから（ステップS733）、先読み予告決定処理を終了する。

【0462】

50

こうした先読み予告決定処理では、ステップS707にて始動入賞時のコマンドを正常に受信できなかったと判定したときに、ステップS710の処理を実行しないことで、先読み予告演出を実行しないように制限される。

【0463】

例えば図柄指定コマンドや変動カテゴリコマンドといった、始動入賞の発生時における判定結果を認識可能に指定する判定結果情報の一部または全部を取りこぼしたときには、その保留記憶に対応する可変表示の実行が終了するまで、先読み予告演出を実行しないように制限してもよい。これにより、先読み予告演出と可変表示結果との整合が取れなくなることを防止して、遊技者に不信感を与えないようにすることができる。

【0464】

例えば図柄指定コマンドや変動カテゴリコマンドといった判定結果情報の一部を取りこぼした場合に、その他の判定結果情報によって判定結果を認識可能な場合であっても、その判定結果にもとづく先読み予告演出を実行しないように制限してもよい。これにより、信憑性の低い情報にもとづいて先読み予告演出が実行されることを防止して、遊技者に不信感を与えないようにすることができる。

【0465】

例えば図柄指定コマンドや変動カテゴリコマンドといった複数の判定結果情報から認識可能な判定結果が整合しない場合に、いずれかの判定結果情報によって認識可能な判定結果にもとづく先読み予告演出を実行しないように制限してもよい。これにより、信憑性の低い情報にもとづいて先読み予告演出が実行されることを防止して、遊技者に不信感を与えないようにすることができる。

【0466】

第2特図を用いた特図ゲームが第1特図を用いた特図ゲームよりも優先して実行される場合に、時短制御に伴う高開放制御が行われる高ベース状態であるときには、第1始動入賞口を遊技球が通過（進入）したことによる始動入賞（第1始動入賞）の発生にもとづく先読み予告演出を実行しないように制限してもよい。高開放制御が行われているときには、第2始動入賞口に遊技球を通過（進入）させて優先的に実行される第2特図を用いた特図ゲームを実行し続けることが可能になる。そのため、大当たり遊技状態の終了前から第1特図を用いた特図ゲームの保留データにもとづいて先読み予告演出の実行を開始して、大当たり遊技状態の終了後にも継続して先読み予告演出を実行すると、可変表示結果が「大当り」となる保留データなどを保持した状態で多数回の可変表示を継続して実行することができ、第2特図を用いた特図ゲームを実行することで可変表示結果が「大当り」となり、大当たり遊技状態へと繰り返し制御されることになってパチンコ遊技機1の射幸性が著しく高められるおそれがある。さらに、遊技者が第1特図を用いた特図ゲームで可変表示結果が「大当り」となることを認識しながら、第2始動入賞口に遊技球を繰り返し通過（進入）させて第2特図を用いた特図ゲームを繰り返し実行するか、第2始動入賞口に遊技球を通過（進入）させずに第1特図を用いた特図ゲームを実行するかにより、可変表示結果が「大当り」となり大当たり遊技状態へと制御されるタイミングを、遊技者の技量によって大きく変化させられるおそれがある。そこで、高ベース状態であるときには第1始動入賞の発生にもとづく先読み予告演出の実行を制限することにより、第1特図を用いた特図ゲームに対応して可変表示結果が「大当り」となる可能性があることを遊技者が認識できないようにして、健全な遊技性を確保することができる。

【0467】

これに加えて、例えば高ベース状態であるときに始動口入賞指定コマンドといった保留記憶情報の一部または全部を取りこぼした場合には、たとえ図柄指定コマンドや変動カテゴリコマンドといった判定結果情報を正常に受信したとしても、先読み予告演出を実行しないように制限してもよい。これにより、第1特図を用いた特図ゲームに対応して可変表示結果が「大当り」となる可能性があることを遊技者が認識できてしまうことを防止して、健全な遊技性を確保することができる。

【0468】

10

20

30

40

50

一方、例えば始動口入賞指定コマンドといった保留記憶情報の一部を取りこぼした場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。

#### 【0469】

また、例えば図柄指定コマンドや変動カテゴリコマンドといった判定結果情報の一部を取りこぼした場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。

10

#### 【0470】

あるいは、例えば図柄指定コマンドや変動カテゴリコマンドといった複数の判定結果情報から認識可能な判定結果が整合しない場合に、先読み予告演出の少なくとも一部（例えば、信頼度の最も低い先読み予告演出など）を実行することは許可してもよい。これにより、正常に受信できたコマンドを可能な限り利用して先読み予告演出を実行することができ、先読み予告演出の実行頻度が過度に低下してしまうことを防止できる。

#### 【0471】

図59に示すステップS161にて先読み予告決定処理を実行した後は、先読み予告制限解除設定処理を実行する（ステップS162）。先読み予告制限解除設定処理では、先読み予告演出を実行しないように制限される先読み予告制限中であるときに、所定条件の成立にもとづき制限を解除するための処理や、実行中の先読み予告演出が終了したことに応じて、新たな先読み予告演出を実行可能とするための処理が実行される。例えば、先読み予告実行中フラグがオン状態である場合には、変動が開始されるごとに、予告残回数カウンタの値を1減算していき、予告残回数カウンタの値が0になったときに、先読み予告実行中フラグをオフ状態にリセットする。また、先読み予告制限フラグがオン状態である場合には、始動入賞時受信コマンドバッファにおいてバッファ番号が「1」～「8」のそれぞれに対応して有効に格納された始動入賞時のコマンドについて、すべての順序と内容が正しくなるように受信できたことを条件に、例えば先読み予告制限フラグをクリアするなどして、先読み予告演出が実行されないようにした制限を解除すればよい。なお、コマンドの取りこぼしや判定結果の不整合が生じた保留記憶が消化されたことを条件に、先読み予告演出が実行されないようにした制限を解除するようにしてもよい。

20

30

#### 【0472】

図59に示すステップS162にて先読み予告制限解除設定処理を実行した後は、例えば演出プロセスフラグの値に応じて、以下のようなステップS170～S177の処理のいずれかを選択して実行する。

#### 【0473】

ステップS170の可変表示開始待ち処理は、演出プロセスフラグの値が“0”のときに実行される処理である。この可変表示開始待ち処理は、主基板31からの第1変動開始コマンドあるいは第2変動開始コマンドなどを受信したか否かにもとづき、演出表示装置9における飾り図柄の可変表示を開始するか否かを判定する処理などを含んでいる。

40

#### 【0474】

ステップS171の可変表示開始設定処理は、演出プロセスフラグの値が“1”のときに実行される処理である。この可変表示開始設定処理は、第1特別図柄表示器8aや第2特別図柄表示器8bによる特図ゲームにおいて特別図柄の可変表示が開始されることに対応して、演出表示装置9における飾り図柄の可変表示や、その他の各種演出動作を行うために、特別図柄の変動パターンや表示結果の種類などに応じた確定飾り図柄や各種の演出制御パターンを決定する処理などを含んでいる。

#### 【0475】

ステップS172の可変表示中演出処理は、演出プロセスフラグの値が“2”のときに

50

実行される処理である。この可変表示中演出処理において、演出制御用CPU101は、演出制御プロセスタイマにおけるタイマ値に対応して、演出制御パターンから各種の制御データを読み出し、飾り図柄の可変表示中における各種の演出制御を行う。こうした演出制御を行った後、例えば特図変動時演出制御パターンから飾り図柄の可変表示終了を示す終了コードが読み出されたこと、あるいは、主基板31から伝送される図柄確定コマンドを受信したことなどに対応して、飾り図柄の可変表示結果となる最終停止図柄としての確定飾り図柄を完全停止表示させる。特図変動時演出制御パターンから終了コードが読み出されたことに対応して確定飾り図柄を完全停止表示させるようにすれば、変動パターン指定コマンド（変動パターンコマンド）により指定された変動パターンに対応する可変表示時間が経過したときに、主基板31からの演出制御コマンドによらなくても、演出制御基板80の側で自律的に確定飾り図柄を導出表示して可変表示結果を確定させることができる。確定飾り図柄を完全停止表示したときには、演出プロセスフラグの値が“3”に更新される。

10

#### 【0476】

ステップS173の特図当り待ち処理は、演出プロセスフラグの値が“3”のときに実行される処理である。この特図当り待ち処理において、演出制御用CPU101は、主基板31から伝送された当り開始指定コマンドの受信があったか否かを判定する。そして、当り開始指定コマンドを受信したときに、その当り開始指定コマンドが大当り遊技状態の開始を指定するものであれば、演出プロセスフラグの値を大当り中演出処理に対応した値である“6”に更新する。これに対して、当り開始指定コマンドを受信したときに、その当り開始指定コマンドが小当り遊技状態の開始を指定するものであれば、演出プロセスフラグの値を小当り中演出処理に対応した値である“4”に更新する。また、当り開始指定コマンドを受信せずに、演出制御プロセスタイマがタイムアウトしたときには、特図ゲームにおける特図表示結果が「ハズレ」であったと判断して、演出プロセスフラグの値を初期値である“0”に更新する。

20

#### 【0477】

ステップS174の小当り中演出処理は、演出制御プロセスフラグの値が“4”のときに実行される処理である。この小当り中演出処理において、演出制御用CPU101は、例えば小当り遊技状態における演出内容に対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、小当り遊技状態における各種の演出制御を実行する。また、小当り中演出処理では、例えば主基板31からの当り終了指定コマンドを受信したことに対応して、演出プロセスフラグの値を小当り終了演出に対応した値である“5”に更新する。

30

#### 【0478】

ステップS175の小当り終了演出処理は、演出制御プロセスフラグの値が“5”のときに実行される処理である。この小当り終了演出処理において、演出制御用CPU101は、例えば小当り遊技状態の終了などに対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置9の表示画面に表示させることや、音声出力基板70に対する指令（効果音信号）の出力によりスピーカ27から音声や効果音を出力させること、ランプドライバ基板35に対する指令（電飾信号）の出力により枠LED28や装飾LED25を点灯／消灯／点滅させることといった、小当り遊技状態の終了時における各種の演出制御を実行する。その後、演出プロセスフラグの値を初期値である“0”に更新する。

40

#### 【0479】

ステップS176の大当り中演出処理は、演出プロセスフラグの値が“6”のときに実行される処理である。この大当り中演出処理において、演出制御用CPU101は、例えば大当り遊技状態における演出内容に対応した演出制御パターン等を設定し、その設定内

50

容にもとづく演出画像を演出表示装置 9 の表示画面に表示させることや、音声出力基板 7 0 に対する指令（効果音信号）の出力によりスピーカ 2 7 から音声や効果音を出力させること、ランプドライバ基板 3 5 に対する指令（電飾信号）の出力により枠 LED 2 8 や装飾 LED 2 5 を点灯 / 消灯 / 点滅させることといった、大当り遊技状態における各種の演出制御を実行する。また、大当り中演出処理では、例えば主基板 3 1 からの当り終了指定コマンドを受信したことに対応して、演出制御プロセスフラグの値をエンディング演出処理に対応した値である“ 7 ”に更新する。

#### 【 0 4 8 0 】

ステップ S 1 7 7 のエンディング演出処理は、演出プロセスフラグの値が“ 7 ”のときに実行される処理である。このエンディング演出処理において、演出制御用 CPU 1 0 1 は、例えば大当り遊技状態の終了などに対応した演出制御パターン等を設定し、その設定内容にもとづく演出画像を演出表示装置 9 の表示画面に表示させることや、音声出力基板 7 0 に対する指令（効果音信号）の出力によりスピーカ 2 7 から音声や効果音を出力させること、ランプドライバ基板 3 5 に対する指令（電飾信号）の出力により枠 LED 2 8 や装飾 LED 2 5 を点灯 / 消灯 / 点滅させることといった、大当り遊技状態の終了時における各種の演出制御を実行する。その後、演出プロセスフラグの値を初期値である“ 0 ”に更新する。

#### 【 0 4 8 1 】

図 6 4 は、可変表示開始設定処理として、図 5 9 のステップ S 1 7 1 にて実行される処理の一例を示すフローチャートである。図 6 4 に示す可変表示開始設定処理において、演出制御用 CPU 1 0 1 は、まず、例えば主基板 3 1 から伝送された可変表示結果通知コマンド（表示結果指定コマンド）（表示結果指定コマンド）における EXT データを読み取ることなどにより、特図表示結果が「ハズレ」となるか否かを判定する（ステップ S 5 2 2）。特図表示結果が「ハズレ」となる旨の判定がなされたときには（ステップ S 5 2 2 ; Y e s）、例えば主基板 3 1 から伝送された変動パターン指定コマンド（変動パターンコマンド）における EXT データを読み取ることなどにより、指定された変動パターンが飾り図柄の可変表示態様を「非リーチ」とする場合に対応した非リーチ変動パターンであるか否かを判定する（ステップ S 5 2 3）。

#### 【 0 4 8 2 】

ステップ S 5 2 3 にて非リーチ変動パターンであると判定された場合には（ステップ S 5 2 3 ; Y e s）、非リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定する（ステップ S 5 2 4）。一例として、ステップ S 5 2 4 の処理では、まず、ランダムカウンタ等により更新される左確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の左確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置 9 の表示領域における「左」の演出図柄表示領域 9 L に停止表示される左確定飾り図柄を決定する。次に、ランダムカウンタ等により更新される右確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の右確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置 9 の表示領域における「右」の演出図柄表示領域 9 R に停止表示される右確定飾り図柄を決定する。このときには、右確定図柄決定テーブルにおける設定などにより、右確定飾り図柄の図柄番号が左確定飾り図柄の図柄番号とは異なるように、決定されるとよい。続いて、ランダムカウンタ等により更新される中確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の右確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置 9 の表示領域における「中」の演出図柄表示領域 9 C に停止表示される中確定飾り図柄を決定する。なお、ステップ S 5 2 4 の処理では、変動図柄予告を実行中である場合に対応して、所定のチャンス目図柄となる非リーチ組合せの確定飾り図柄を決定すればよい。

#### 【 0 4 8 3 】

ステップ S 5 2 3 にて非リーチ変動パターンではないと判定された場合には（ステップ S 5 2 3 ; N o）、リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを

決定する（ステップS525）。一例として、ステップS525の処理では、まず、ランダムカウンタ等により更新される左右確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の左右確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「左」と「右」の演出図柄表示領域9L、9Rにて揃って停止表示される図柄番号が同一の飾り図柄を決定する。さらに、ランダムカウンタ等により更新される中確定図柄決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定の中確定図柄決定テーブルを参照することなどにより、確定飾り図柄のうち演出表示装置9の表示領域における「中」の演出図柄表示領域9Cにて停止表示される中確定飾り図柄を決定する。ここで、例えば中確定飾り図柄の図柄番号が左確定飾り図柄及び右確定飾り図柄の図柄番号と同一になる場合のように、確定飾り図柄が大当たり組合せとなってしまう場合には、任意の値（例えば「1」）を中確定飾り図柄の図柄番号に加算または減算することなどにより、確定飾り図柄が大当たり組合せとはならずにリーチ組合せとなるようにすればよい。あるいは、中確定飾り図柄を決定するときには、左確定飾り図柄及び右確定飾り図柄の図柄番号との差分（図柄差）を決定し、その図柄差に対応する中確定飾り図柄を設定してもよい。

#### 【0484】

ステップS522にて特図表示結果が「ハズレ」ではないと判定されたときには（ステップS522；No）、特図表示結果が「大当たり」で大当たり種別が「突確」である場合、または、特図表示結果が「小当たり」である場合であるか、これら以外の場合であるかを判定する（ステップS526）。「突確」または「小当たり」であると判定されたときには（ステップS526；Yes）、例えば開放チャンス目といった、「突確」の場合や「小当たり」の場合に対応した最終停止図柄となる確定飾り図柄の組合せを決定する（ステップS527）。一例として、変動パターン指定コマンド（変動パターンコマンド）により突確／小当たり用のいずれの変動パターンが指定された場合に対応して、複数種類の開放チャンス目のうち、いずれかを構成する最終停止図柄となる確定飾り図柄の組合せを決定する。この場合には、ランダムカウンタ等により更新されるチャンス目決定用の乱数値を示す数値データを抽出し、ROMなどに予め記憶された所定のチャンス目決定テーブルを参照することなどにより、開放チャンス目のいずれかを構成する確定飾り図柄の組合せを決定すればよい。また、変動パターン指定コマンド（変動パターンコマンド）によりリーチを指定するいずれかの変動パターンが指定された場合には、例えばステップS525と同様の処理を実行することにより、リーチ組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定すればよい。

#### 【0485】

ステップS526にて「突確」または「小当たり」以外の「非確変」または「確変」であると判定されたときには（ステップS526；No）、大当たり組合せを構成する最終停止図柄となる確定飾り図柄の組合せを決定する（ステップS528）。一例として、ステップS528の処理では、まず、ランダムカウンタなどにより更新される大当たり確定図柄決定用の乱数値を示す数値データを抽出し、続いてROMなどに予め記憶された所定の当たり確定図柄決定テーブルを参照することなどにより、演出表示装置9の画面上で「左」、「中」、「右」の演出図柄表示領域9L、9C、9Rに揃って停止表示される図柄番号が同一の飾り図柄を決定する。このときには、大当たり種別が「非確変」、「確変」のいずれであるかや、大当たり中における昇格演出の有無などに応じて、異なる飾り図柄を確定飾り図柄とする決定が行われるようにしてもよい。

#### 【0486】

具体的な一例として、大当たり種別が「非確変」である場合には、複数種類の通常図柄のうちいずれか1つの飾り図柄を選択して、非確変大当たり組合せを構成する確定飾り図柄に決定すればよい。また、大当たり種別が「確変」である場合には、複数種類の通常図柄または確変図柄のうちからいずれか1つの飾り図柄を選択して、非確変大当たり組合せまたは確変大当たり組合せを構成する確定飾り図柄に決定すればよい。このとき、非確変大当たり組合せの確定飾り図柄に決定された場合には、可変表示中の再抽選演出において確変状態に制

御される旨の報知が行われず、大当り遊技状態に対応して実行される大当り中昇格演出などにより確変状態に制御される旨が報知されればよい。他方、確変大当り組合せの確定飾り図柄に決定された場合には、可変表示中の再抽選演出において、あるいは再抽選演出を実行することなく、確変状態に制御される旨の報知が行われる。

#### 【0487】

ステップS524、S525、S527、S528の処理のいずれかを実行した後は、先読み予告実行設定処理を実行する(ステップS535)。図66は、先読み予告実行設定処理の一例を示すフローチャートである。図66に示す先読み予告実行設定処理において、演出制御用CPU101は、まず、先読み予告実行中フラグがオン状態であるか否かを判定する(ステップS601)。先読み予告実行中フラグがオフ状態であれば(ステップS601; No)、先読み予告実行設定処理を終了する。

10

#### 【0488】

先読み予告実行中フラグがオン状態であれば(ステップS601; Yes)、先読み予告実行回数カウンタの値を1減算する(ステップS602)。そして、先読み予告実行回数カウンタの値とセットされている先読み予告演出制御パターンにもとづいて、先読み予告演出を実行するための設定を行う(ステップS603)。ステップS603の処理では、図63に示す演出内容に対応した先読み予告演出を実行するための設定が行われればよい。また、停止図柄予告を実行する先読み予告演出制御パターンであれば、図62に示すチャンス目のいずれを停止させるかを決定する処理を実行すればよい。この場合、図64のステップS524で決定された非リーチ組合せに代えて、チャンス目Aまたはチャンス目Bを停止表示する制御が実行される。背景変化予告を実行する先読み予告演出制御パターンであれば、図64のステップS524で決定された非リーチ組合せを停止表示する制御が実行される。なお、停止図柄予告を実行する先読み予告演出制御パターンである場合には、図64のステップS524で非リーチ組合せを決定する処理に代えて、停止表示させるチャンス目Aまたはチャンス目Bを決定する処理を実行するようにしてもよい。また、図64のステップS524の前、先読み予告実行設定処理を実行するようにして、停止表示させるチャンス目が決定されている場合には、図64のステップS524の処理をスキップするようにしてもよい。このようにすることで、停止図柄を決定する処理の重複を避けることができる。

20

#### 【0489】

続いて、先読み予告実行回数カウンタの値が0であるか否かを判定する(ステップS604)。先読み予告実行回数カウンタの値が0でなければ(ステップS604; No)、先読み予告実行設定処理を終了する。

30

#### 【0490】

先読み予告実行回数カウンタの値が0であれば(ステップS604; Yes)、先読み予告実行中フラグをオフ状態にクリアする(ステップS605)。先読み予告実行回数カウンタの値が0である場合とは、今回の変動が先読み予告演出の対象となる変動であって、先読み予告演出が終了する場合である。その後、先読み予告実行設定処理を終了する。

#### 【0491】

ステップS535で先読み予告実行設定処理を実行した後は、変動中予告演出の実行の有無と、実行する場合における変動中予告演出の演出態様に対応した変動中予告パターンとを決定する(ステップS529)。一例として、ステップS529の処理では、変動中予告演出の有無と変動中予告パターンとを決定するための使用テーブルとして、予め用意された変動中予告決定テーブルを選択してセットする。変動中予告決定テーブルでは、可変表示結果通知コマンド(表示結果指定コマンド)(表示結果指定コマンド)から特定される可変表示結果や、変動パターン指定コマンド(変動パターンコマンド)から特定される変動パターンなどに応じて、変動中予告種別決定用の乱数値と比較される数値(決定値)が、変動中予告演出を実行しない場合に対応する「実行なし」の決定結果や、変動中予告演出を実行する場合における複数の変動中予告パターンなどに、割り当てられていればよい。その後、演出制御用CPU101は、例えばランダムカウンタなどから抽出した

40

50



変動中予告決定用の乱数値を示す数値データにもとづいて、変動中予告決定テーブルを参照することにより、変動中予告演出の有無と変動中予告パターンとを決定すればよい。

【0492】

ステップS529の処理では、例えば図65(A)に示すような決定割合で、変動中予告演出の有無と変動中予告パターンとが決定されればよい。図65(A)に示す決定割合の設定例では、変動パターンが「非リーチハズレ」、「リーチハズレ」、「大当たり」、「小当たり」のいずれに対応したものであるかに応じて、変動中予告演出の有無や変動中予告パターンの決定割合を異ならせている。

【0493】

具体的には、変動パターンが「リーチハズレ」である場合には、「非リーチハズレ」である場合よりも、変動中予告演出が実行される割合（「予告実行なし」以外に決定される割合）が高くなっており、変動パターンが「大当たり」である場合には、「非リーチハズレ」、「リーチハズレ」、「小当たり」である場合よりも、変動中予告演出が実行される割合が高くなっている。また、各変動中予告パターンでは、「予告Z」、「予告Y」、「予告X」の順番で、可変表示結果が「大当たり」となる割合が高くなっている。このような設定により、変動中予告演出を実行することで、可変表示結果が「大当たり」となることやリーチが実行されることを予告・示唆することができる。

【0494】

また、この実施の形態では、特定の先読み予告演出が実行されている場合には、図65(B)に示すような、特別な決定割合で、変動中予告演出の有無と変動中予告パターンとが決定されるようになっている。具体的には、停止図柄予告が実行された後に背景変化予告が実行される先読み予告パターンSY P3-1の先読み予告演出が実行されている場合であって、未だ背景変化予告が実行される前であるときには、図65(B)に示すような、特別な決定割合で、変動中予告演出の有無と変動中予告パターンとが決定される。なお、先読み予告演出が実行されているときには、先読み予告演出の対象となる変動までの可変表示結果は「非リーチハズレ」となるので、図65(B)では、「非リーチハズレ」の場合の決定割合のみを示している。図65(B)の決定割合では、図65(A)における「非リーチハズレ」である場合の決定割合と比較して、「予告Y」に決定される割合が高くなっている（変動中予告演出が実行される場合には必ず「予告Y」に決定される）。このような設定により、停止図柄予告の先読み予告演出が実行されているときには、変動中予告演出の演出態様によって、背景変化予告が実行されることを遊技者に示唆することができ、遊技の興趣が向上する。

【0495】

この実施の形態では、「予告Z」の変動中予告演出が実行された場合、「予告Y」の変動中予告演出が実行された場合よりも大当たり信頼度が高くなっている。従って、通常は「予告Y」の変動中予告演出が実行された場合、遊技者は落胆してしまう可能性がある。しかしながら、停止図柄予告の先読み予告演出が実行されているときに、「予告Y」の変動中予告演出が実行された場合には、その後に背景変化予告の先読み予告演出が実行される割合（先読み予告パターンSY P3-1である割合）が高くなる。先読み予告パターンSY P3-1の先読み予告演出は、先読み予告演出の中で最も大当たり信頼度が高いので、停止図柄予告の先読み予告演出が実行されているときに、「予告Y」の変動中予告演出が実行された場合でも、その後の表示結果に期待できるようになり、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【0496】

なお、各変動中予告パターンの演出態様は、それぞれが区別可能に異なっていればよい。例えば、予告Xは、「キャラクタ表示」の変動中予告演出を実行する変動中予告パターンであり、予告Yは、「ステップアップ動作」の変動中予告演出を実行する変動中予告パターンであり、予告Zは、「操作予告」の変動中予告演出を実行する変動中予告パターンである。

【0497】

10

20

30

40

50

「キャラクタ表示」の変動中予告演出では、飾り図柄の可変表示中に、例えば演出表示装置 9 の表示画面にて、所定位置に予め用意されたキャラクタ画像を表示させる演出表示が行われる。

【 0 4 9 8 】

「ステップアップ動作」の変動中予告演出では、飾り図柄の可変表示中に、例えば演出表示装置 9 の表示画面にて、予め用意された複数種類の演出画像を所定の順番に従って切り換えて表示させる演出表示により、演出態様が複数段階に変化（ステップアップ）するような演出動作が行われることがある。なお、「ステップアップ動作」の変動中予告演出では、予め用意された複数種類の演出画像のうちいずれか 1 つ（例えば所定の順番において最初に表示される演出画像など）が表示された後、演出画像が切り換えられることなく、変動中予告演出における演出表示を終了させることができるようにしてもよい。また、「ステップアップ動作」の変動中予告演出では、飾り図柄の可変表示中に、例えば可動部材を所定の順番に従って複数種類の動作態様で動作させる演出動作により、演出態様が複数段階に変化（ステップアップ）するような演出動作が行われてもよい。なお、「ステップアップ動作」の変動中予告演出では、可動部材が 1 種類の動作態様で演出動作を行った後、2 段階目の演出動作に切り換えられることなく、予告演出における演出動作を終了させることができるようにしてもよい。

【 0 4 9 9 】

「操作予告」の変動中予告演出では、飾り図柄の可変表示中に、遊技者により操作ボタン 1 2 0 が操作されたことに応じて、例えば演出表示装置 9 の表示画面における演出画像の表示を変更することや、スピーカ 2 7 から出力させる音声などを変更することにより、演出動作を変化させる。一例として、「操作予告」の変動中予告演出では、飾り図柄の可変表示中に、操作促進演出となる所定の演出動作が行われる。操作促進演出は、例えば演出表示装置 9 の表示画面における所定位置に、予め用意されたキャラクタ画像やメッセージ画像といった演出画像を表示させることなどにより、遊技者による所定の操作態様での操作ボタン 1 2 0 の操作を促す演出動作であればよい。

【 0 5 0 0 】

この実施の形態では、「キャラクタ表示」、「ステップアップ動作」、「操作予告」の各変動中予告演出は、変動開始から変動終了までのそれぞれ異なるタイミングで実行される。具体的には、「操作予告」の実行タイミングが最も早く、「キャラクタ表示」の実行タイミングが最も遅くなっている。従って、変動中予告演出の演出態様のみならず、その実行タイミングによっても大当り信頼度が異なっている。また、停止図柄予告の先読み予告演出が実行されているときには、変動中予告演出の実行タイミングによって、背景変化予告が実行されることを遊技者に示唆することができ、遊技の興味が向上する。

【 0 5 0 1 】

ステップ S 5 2 9 の処理を実行した後は、その他の可変表示中における演出の実行設定を行う（ステップ S 5 3 0）。一例として、ステップ S 5 3 0 の処理では、先読み予告演出や変動中予告演出とは異なる演出を実行するための設定が行われてもよい。そのような演出としては、例えば可変表示の開始時や実行中における所定のタイミングにて、スピーカ 2 7 から所定の効果音（例えばアラーム音やチャイム音、サイレン音など）が出力されるような態様の演出や、枠 LED 2 8 などに含まれるフラッシュランプが光るような態様の演出のうち、一部または全部を含む所定態様の演出を実行することにより、可変表示結果が「大当り」となることを直ちに告知（確定的に報知）する一発告知態様の演出が実行されてもよい。あるいは、そのような演出として、可変表示結果が「大当り」となることに対応した特別な演出画像（プレミアム画像）を表示する演出が実行されてもよい。

【 0 5 0 2 】

他の一例として、ステップ S 5 3 0 の処理では、可変表示結果が「大当り」となる可能性などにはかかわらず、例えば賑やかしのために所定態様の演出を実行するための設定が行われてもよい。より具体的には、枠 LED 2 8 に含まれる所定のランプが光るような態様の演出といった、所定態様の演出を実行できればよい。

## 【 0 5 0 3 】

その後、演出制御パターンを予め用意された複数パターンのいずれかに決定する（ステップ S 5 3 1）。このとき、演出制御用 CPU 1 0 1 は、例えば変動パターン指定コマンド（変動パターンコマンド）により指定された変動パターンなどに対応して、複数用意された特図変動時演出制御パターンのいずれかを選択し、使用パターンとしてセットする。また、例えばキャラクタ表示予告の先読み予告演出を実行するための設定がなされた場合には、その設定に対応した予告演出制御パターンが選択されてもよい。

## 【 0 5 0 4 】

ステップ S 5 3 1 の処理を実行した後は、例えば変動パターン指定コマンド（変動パターンコマンド）により指定された変動パターンに対応して、演出制御プロセスタイマの初期値を設定する（ステップ S 5 3 2）。続いて、演出表示装置 9 における飾り図柄などの変動を開始させるための設定を行う（ステップ S 5 3 3）。このときには、例えばステップ S 5 3 1 にて使用パターンとして決定された特図変動時演出制御パターンに含まれる表示制御データが指定する表示制御指令を演出制御基板 8 0 の V D P 1 0 9 等に対して伝送させることなどにより、演出表示装置 9 の画面上に設けられた「左」、「中」、「右」の各演出図柄表示領域 9 L、9 C、9 R にて飾り図柄の変動を開始させればよい。その後、演出プロセスフラグの値を可変表示中演出処理に対応した値である“2”に更新してから（ステップ S 5 3 4）、可変表示開始設定処理を終了する。

## 【 0 5 0 5 】

次に、パチンコ遊技機 1 における制御の具体的な一例について説明する。

## 【 0 5 0 6 】

パチンコ遊技機 1 では、第 1 始動入賞口 1 3 や第 2 始動入賞口 1 4 を遊技球が入賞して第 1 始動口スイッチ 1 3 a や第 2 始動口スイッチ 1 4 a により検出されたときに、第 1 始動口スイッチ通過処理（ステップ S 3 1 2 参照）や第 2 始動口スイッチ通過処理（ステップ S 3 1 4 参照）にて入賞時乱数値判定処理が実行される。

## 【 0 5 0 7 】

入賞時乱数値判定処理では、大当たりとなるか否かや、小当たりとなるか否か、大当たりの種別の判定結果や、変動パターン種別判定用乱数の値がいずれの判定値の範囲となるかの判定結果にもとづいて、図柄指定コマンドや変動カテゴリコマンドが、主基板 3 1 から演出制御基板 8 0 に対して伝送される。

## 【 0 5 0 8 】

演出制御基板 8 0 の側では、例えば演出制御用 CPU 1 0 1 が図 5 9 のステップ S 1 6 1 にて先読み予告決定処理を実行したときに、先読み予告の制限中でない場合や（ステップ S 7 0 4 ; N o）、前回までの変動カテゴリ等が先読み予告演出を実行可能な状況であれば（ステップ S 7 0 9 ; Y e s）、図 6 0 のステップ S 7 1 0 にて先読み予告演出の有無や先読み予告パターンなどが決定される。そしてその決定結果にもとづいて、複数回の変動に渡って先読み予告演出が実行される。

## 【 0 5 0 9 】

図 6 7 は、停止図柄予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 6 7 ( A ) は、「左」、「中」、「右」の演出図柄表示領域 9 L、9 C、9 R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 1 3 に遊技球が入賞したことにもとづいて、図 6 0 に示す先読み予告決定処理が実行され、ステップ S 7 1 0 において、先読み予告パターン S Y P 1 - 2 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 7 1 2 の処理では、図 6 3 に示す先読み予告演出制御パターン S C P 2 - 1 がセットされる。

## 【 0 5 1 0 】

その後、図 6 7 ( B ) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 6 7 ( C )、( D ) に示すように、例えばチャンス目 C B 1 (「1・2・3」) が

停止する。ここで停止するチャンス目 B をいずれとするかは、図 6 6 のステップ S 6 0 3 において決定される。

【 0 5 1 1 】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 6 7 ( E )、( F ) に示すように、例えばチャンス目 C B 2 ( 「 2 ・ 3 ・ 4 」 ) が停止する。

【 0 5 1 2 】

続いて、先読み予告演出が開始されてから 3 回目の変動 ( 先読み予告演出の対象となる変動 ) では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図 6 7 ( G ) ~ ( I ) に示すように、変動が開始されてからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。

10

【 0 5 1 3 】

以上のように、停止図柄予告の先読み予告演出では、複数回の変動に渡って予め定められたチャンス目が停止することによって、大当たりとなる可能性やリーチとなる可能性を予告することができる。

【 0 5 1 4 】

また、図 6 8 は、背景変化予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 6 8 ( A ) は、「左」、「中」、「右」の演出図柄表示領域 9 L、9 C、9 R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 1 3 に遊技球が入賞したことにもとづいて、図 6 0 に示す先読み予告決定処理が実行され、ステップ S 7 1 0 において、先読み予告パターン S Y P 2 - 1 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 7 1 2 の処理では、図 6 3 に示す先読み予告演出制御パターン S C P 3 - 1 がセットされる。

20

【 0 5 1 5 】

その後、図 6 8 ( B ) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 6 8 ( C ) ~ ( E ) に示すように、例えば「チャンス」という文字が演出表示装置 9 に表示され、演出表示装置 9 における背景画像が昼をモチーフとした画像 ( 通常背景画像 ) から夜をモチーフとした背景画像 ( 特殊な背景画像 ) に変化する。なお、このときの停止図柄は非リーチハズレ組合せを構成する飾り図柄となる。

30

【 0 5 1 6 】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 6 8 ( F )、( G ) に示すように、引き続き夜をモチーフとした背景画像となる。

【 0 5 1 7 】

続いて、先読み予告演出が開始されてから 3 回目の変動 ( 先読み予告演出の対象となる変動 ) では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図 6 8 ( H ) ~ ( J ) に示すように、変動が開始されてからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。なお、この 3 回目の変動においても、引き続き夜をモチーフとした背景画像となる。

40

【 0 5 1 8 】

以上のように、背景変化予告の先読み予告演出では、複数回の変動に渡って通常とは異なる特殊な背景画像となることで、大当たりとなる可能性やリーチとなる可能性を予告することができる。なお、背景変化予告の実行中の停止図柄は非リーチハズレの組合せとなるものとして説明したが、この場合においてもチャンス目が停止するようにしてもよい。

【 0 5 1 9 】

また、図 6 9 は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合の演出表示装置 9 における表示動作例を示す図である。図 6 9 ( A ) は、「左」、「中」、「右」の演出図柄表示領域 9 L、9 C、9 R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 1 3 に遊技球が入賞したことにもとづいて、図 6 0 に示す先読み予告決定処理が実行され、ステップ S 7 1 0 において、先

50

読み予告パターン S Y P 3 - 1 を実行することに決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 7 1 2 の処理では、図 6 3 に示す先読み予告演出制御パターン S C P 4 - 1 がセットされる。

【 0 5 2 0 】

その後、図 6 9 ( B ) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 6 9 ( C )、( D ) に示すように、例えばチャンス目 C A 1 ( 「 1 ・ 1 ・ 2 」 ) が停止する。ここで停止するチャンス目 A をいずれとするかは、図 6 6 のステップ S 6 0 3 において決定される。

【 0 5 2 1 】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 6 9 ( E ) ~ ( G ) に示すように、例えば「チャンス」という文字が演出表示装置 9 に表示され、演出表示装置 9 における背景画像が昼をモチーフとした画像 ( 通常の背景画像 ) から夜をモチーフとした背景画像 ( 特殊な背景画像 ) に変化する。なお、このときの停止図柄は非リーチハズレ組合せを構成する飾り図柄となる。

【 0 5 2 2 】

続いて、先読み予告演出が開始されてから 3 回目の変動 ( 先読み予告演出の対象となる変動 ) では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図 6 9 ( H ) ~ ( J ) に示すように、変動が開始されてからリーチとなって、大当たり組合せを構成する飾り図柄が停止する。なお、この 3 回目の変動においても、引き続き夜をモチーフとした背景画像となる。

【 0 5 2 3 】

以上のように、停止図柄予告の後に背景変化予告が実行される先読み予告演出では、チャンス目 A が停止する停止図柄予告が実行された後、通常とは異なる特殊な背景画像に変化する背景変化予告が実行されることで、大当たりとなる可能性やリーチとなる可能性を予告することができる。

【 0 5 2 4 】

なお、チャンス目 A が停止する停止図柄予告が実行された場合、その後、背景変化予告が実行されなかった場合には、先読み予告演出の中で最も大当たり信頼度は低い、背景変化予告が実行された場合には、先読み予告演出の中で最も大当たり信頼度が高くなる。このように、信頼度が低いことを示す演出態様から信頼度の高いことを示す演出態様に変化 ( 移行 ) する先読み予告パターンを設けることで、信頼度の低いパターンの先読み予告演出が実行された場合であっても、遊技者の期待感を維持することができ、遊技の興趣が向上する。

【 0 5 2 5 】

この発明は、上記実施の形態に限定されず、様々な変形及び応用が可能である。例えば、上記実施の形態では、図 6 1 に示すように、先読み予告演出のパターン ( 先読み予告パターン ) として、複数回の可変表示渡って演出表示装置 9 に演出表示装置 9 に予め定められたチャンス目 A が停止する先読み予告パターン S Y P 1 - 1 と、複数回の可変表示渡って演出表示装置 9 に演出表示装置 9 に予め定められたチャンス目 B が停止する先読み予告パターン S Y P 1 - 2 と、表示装置 5 における背景画像が通常の背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる先読み予告パターン S Y P 2 - 1 と、演出表示装置 9 に演出表示装置 9 に予め定められたチャンス目 A が停止した後に、表示装置 5 における背景画像が通常の背景画像から特殊な背景画像に変化し、予告の対象となる可変表示が実行されるまでその特殊な背景画像となる先読み予告パターン S Y P 3 - 1 と、が設けられていた。先読み予告演出のパターンはこれらに限定されず、これら以外の先読み予告演出のパターンが設けられていてもよい。例えば、図 7 0 に示すように、4 回の変動に渡って実行される先読み予告演出の先読み予告パターンとして、1 回目の変動においてチャンス目 A が停止し、2 回目の変動においてチャンス目 B が停止し、3 回目の変動において、背景画像が特殊な背景画像に変化し、4 回

10

20

30

40

50

目の変動においては継続して特殊な背景画像において変動が実行されるものがあったとしてもよい。このような先読み予告パターンを設けることで、大当り信頼度が段階的にステップアップしていきような演出が可能になり、演出態様の变化に遊技者を注目させることができ、遊技の興趣が向上する。

#### 【0526】

なお、上記実施の形態では、先読み予告パターンを決定することで、複数回の変動に渡って実行される先読み予告演出の演出態様を決定するようにしていたが、結果として上記実施の形態と同様の先読み予告演出を実行する制御が行われていればよく、先読み予告演出の演出態様の決定方法は上記実施の形態の方法に限定されない。

#### 【0527】

例えば、先読み予告演出の対象となる変動が実行されるまでの複数回の変動において、先読み予告演出の対象となる変動の表示結果や変動カテゴリにもとづいて、いずれ演出態様の先読み予告演出を実行するかを変動毎に決定するようにしてもよい。具体的には、先読み予告演出の対象となる変動の表示結果が「大当り」となる場合には、より大当り信頼度の高い演出態様の先読み予告演出が実行されやすくなっていればよい。この場合においては、前回の変動における演出態様を記憶しておき、前回の変動の演出態様より大当り信頼度が低い演出態様の先読み予告演出が実行されないようにすることが好ましい。このようにすることで、先読み予告演出（連続演出）が進むにつれて、大当り信頼度が低下するような演出が実行されることを防止できる。

#### 【0528】

上記実施の形態では、背景変化予告の先読み予告演出が実行される場合、通常背景画像から特殊な背景画像に変化するタイミングについては、特に言及していなかったが、背景変化予告を実行する変動におけるいずれのタイミングで通常背景画像から特殊な背景画像に変化させるかを異ならせるようにしてもよい。

#### 【0529】

例えば、背景変化予告を実行する変動における変動開始時、または、変動終了時のいずれかで通常背景画像から特殊な背景画像に変化させるようにしてもよい。この場合、例えば図60に示すステップS710において、先読み予告演出を実行しないことに対応した「実行なし」以外に決定された場合（ステップS711；No）、図71（A）に示すように、その先読み予告パターンが停止図柄予告の後に背景変化予告が実行されることに対応したSY P3 - 1であるか否かを判定する（ステップS751）。先読み予告パターンがSY P3 - 1以外であれば（ステップS751；No）、ステップS712の処理に進む。

#### 【0530】

先読み予告パターンがSY P3 - 1であれば（ステップS751；Yes）、背景変化予告における背景画像の変化タイミングを変動開始時、または、変動終了時のいずれにするかを決定する（ステップS752）。背景画像の変化タイミングとして、変動開始時、または、変動終了時を採用することで、変化タイミングの差異が遊技者に明確になり、遊技者に分かりやすい演出を実行することができる。

#### 【0531】

ステップS752の処理では、先読み予告演出の対象となる変動カテゴリが「非リーチハズレ」、「リーチハズレ」、「突確・小当り」、「大当り」のいずれであるかに応じて異なる割合で変化タイミングを決定する。例えば、ステップS752の処理では、図71（B）に示す決定割合で、変化タイミングを決定すればよい。

#### 【0532】

図71（B）に示す決定割合では、変動カテゴリに関わらず、変化タイミングとして、変動終了時に決定されやすくなっている。変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化することを期待するようになるので、遊技者の期待感を維持させることができる。

#### 【0533】

また、図 7 1 ( B ) に示す決定割合では、変動カテゴリが「大当り」である場合には、変動終了時に決定されやすくなっている。このような設定により、背景変化予告において背景画像が変化するタイミングが変動終了時である場合の大当り信頼度を、変動開始時である場合の大当り信頼度よりも高くすることができる。なお、背景画像が変化するタイミングが変動終了時である場合の大当り信頼度を高くすることで、変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化して、大当り信頼度が高くなることを期待するようになるので、遊技者の期待感をより高めることができる。

【 0 5 3 4 】

なお、図 7 1 ( B ) に示す決定割合とは逆に、変動カテゴリに関わらず、変化タイミングとして、変動開始時に決定されやすくしてもよいし、変動カテゴリが「大当り」である場合には、変動開始時に決定されやすくしてもよい。このようにすることで、遊技者に早い段階で大当り信頼度等を報知することでき、変動の開始時を注目させることができる。

【 0 5 3 5 】

なお、図 7 1 ( A ) では、先読み予告パターンが S Y P 3 - 1 である場合にのみ、背景変化予告における背景画像の変化タイミングを決定するようにしているが、先読み予告パターンが S Y P 2 - 1 である場合にも背景画像の変化タイミングを決定するようにしてもよい。

【 0 5 3 6 】

ステップ S 7 5 2 において背景画像の変化タイミングを決定した後には、ステップ S 7 1 2 の処理に進む。この変形例では、先読み予告パターン S Y P 3 - 1 の先読み予告演出制御パターンとして、変化タイミングに応じて、図 7 2 に示すようなパターンが設けられる。そして、ステップ S 7 1 2 の処理では、ステップ S 7 5 2 における決定結果に応じて、先読み予告演出制御パターン S C P 4 - 1 - 1 ( 保留記憶数 3 で変化タイミングが変動開始時 )、S C P 4 - 1 - 2 ( 保留記憶数 3 で変化タイミングが変動終了時 )、S C P 4 - 2 - 1 ( 保留記憶数 4 で変化タイミングが変動開始時 )、S C P 4 - 2 - 2 ( 保留記憶数 4 で変化タイミングが変動終了時 ) のいずれかがセットされればよい。

【 0 5 3 7 】

図 7 3 は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合であって、背景変化予告の変化タイミングが変動開始時である場合の演出表示装置 9 における表示動作例を示す図である。図 7 3 ( A ) は、「左」、「中」、「右」の演出図柄表示領域 9 L、9 C、9 R において飾り図柄の変動が実行されている演出表示装置 9 を示している。ここで、第 1 始動入賞口 1 3 に遊技球が入賞したことにもとづいて、図 6 0 に示す先読み予告決定処理が実行され、ステップ S 7 1 0 において、先読み予告パターン S Y P 3 - 1 を実行することに決定され、ステップ S 7 5 2 において、変化タイミングが変動開始時に決定されたものとする。なお、このときの入賞により、保留記憶数は 3 になっているので、ステップ S 7 1 2 の処理では、図 7 2 に示す先読み予告演出制御パターン S C P 4 - 1 - 1 がセットされる。

【 0 5 3 8 】

その後、図 7 3 ( B ) に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される 1 回目の変動では、図 7 3 ( C )、( D ) に示すように、例えばチャンス目 C A 1 ( 「 1 ・ 1 ・ 2 」 ) が停止する。ここで停止するチャンス目 A をいずれとするかは、図 6 6 のステップ S 6 0 3 において決定される。

【 0 5 3 9 】

そして、先読み予告演出が開始されてから 2 回目の変動では、図 7 3 ( E ) に示すように、変動開始時に演出表示装置 9 における背景画像が昼をモチーフとした画像 ( 通常背景画像 ) から夜をモチーフとした背景画像 ( 特殊な背景画像 ) に変化する。その後、図 7 3 ( F ) に示すように、非リーチハズレ組合せを構成する飾り図柄が停止する。なお、図 7 3 ( F ) においてチャンス目 A が停止するようにしてもよい。

【 0 5 4 0 】

10

20

30

40

50

続いて、先読み予告演出が開始されてから3回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図73（G）～（I）に示すように、変動が開始されてからリーチとなって、大当り組合せを構成する飾り図柄が停止する。なお、この3回目の変動においても、引き続き夜をモチーフとした背景画像となる。

#### 【0541】

図74は、停止図柄予告の後に背景変化予告の先読み予告演出が実行される場合であって、背景変化予告の変化タイミングが変動開始時である場合の演出表示装置9における表示動作例を示す図である。図74（A）は、「左」、「中」、「右」の演出図柄表示領域9L、9C、9Rにおいて飾り図柄の変動が実行されている演出表示装置9を示している。ここで、第1始動入賞口13に遊技球が入賞したことにもとづいて、図60に示す先読み予告決定処理が実行され、ステップS710において、先読み予告パターンSY P3-1を実行することに決定され、ステップS752において、変化タイミングが変動終了時に決定されたものとする。なお、このときの入賞により、保留記憶数は3になっているので、ステップS712の処理では、図72に示す先読み予告演出制御パターンSCP4-2-1がセットされる。

10

#### 【0542】

その後、図74（B）に示すように、その時点での変動が終了すると、次回の変動時から先読み予告演出が開始されることになる。先読み予告演出が開始される1回目の変動では、図74（C）、（D）に示すように、例えばチャンス目CA1（「1・1・2」）が停止する。ここで停止するチャンス目Aをいずれとするかは、図66のステップS603において決定される。

20

#### 【0543】

そして、先読み予告演出が開始されてから2回目の変動では、図74（E）に示すように、飾り図柄の変動が開始された後、図74（F）に示すように、非リーチハズレ組合せを構成する飾り図柄が停止するとき（変動終了時）に、演出表示装置9における背景画像が昼をモチーフとした画像（通常の背景画像）から夜をモチーフとした背景画像（特殊な背景画像）に変化する。なお、図74（F）においてチャンス目が停止するようにしてもよい。

#### 【0544】

30

続いて、先読み予告演出が開始されてから3回目の変動（先読み予告演出の対象となる変動）では、決定された変動パターンに応じた変動が実行される。ここでは、大当りの変動パターンであることに対応して、図74（G）～（I）に示すように、変動が開始されてからリーチとなって、大当り組合せを構成する飾り図柄が停止する。なお、この3回目の変動においても、引き続き夜をモチーフとした背景画像となる。

#### 【0545】

図74に示すように、変動終了時に背景が変化した場合の方が、図73に示すように、変動開始時に背景が変化した場合よりも、大当り信頼度が高くなっている。背景画像が変化するタイミングが変動終了時である場合の大当り信頼度を高くすることで、変動開始時に背景画像が変化しなかった場合には、遊技者は変動終了時に背景画像が変化して、大当り信頼度が高くなることを期待するようになるので、遊技者の期待感をより高めることができる。

40

#### 【0546】

なお、上記の実施の形態においては、変動時間およびリーチ演出の種類や擬似連の有無等の変動態様を示す変動パターンを演出制御用マイクロコンピュータ100に通知するために、変動を開始するときに1つの変動パターンコマンドを送信する例を示したが、2つ乃至それ以上のコマンドにより変動パターンを演出制御用マイクロコンピュータ100に通知するようにしてもよい。具体的には、2つのコマンドにより通知する場合、遊技制御用マイクロコンピュータ560は、1つ目のコマンドでは擬似連の有無、滑り演出の有無など、リーチとなる以前（リーチとならない場合には所謂第2停止の前）の変動時間や変

50



動態様を示すコマンドを送信し、2つ目のコマンドではリーチの種類や再抽選演出の有無など、リーチとなった以降（リーチとならない場合には所謂第2停止の後）の変動時間や変動動態様を示すコマンドを送信するようにしてもよい。この場合、演出制御用マイクロコンピュータ100は2つのコマンドの組合せから導かれる変動時間にもとづいて変動表示における演出制御を行うようにすればよい。なお、遊技制御用マイクロコンピュータ560の方では2つのコマンドのそれぞれにより変動時間を通知し、それぞれのタイミングで実行される具体的な変動動態様については演出制御用マイクロコンピュータ100の方で選択を行うようにしてもよい。2つのコマンドを送る場合、同一のタイマ割込内で2つのコマンドを送信する様にしてもよく、1つ目のコマンドを送信した後、所定期間が経過してから（例えば次のタイマ割込において）2つ目のコマンドを送信するようにしてもよい。なお、それぞれのコマンドで示される変動動態様はこの例に限定されるわけではなく、送信する順序についても適宜変更可能である。このように2つ乃至それ以上のコマンドにより変動パターンを通知するようにすることで、変動パターンコマンドとして記憶しておかなければならないデータ量を削減することができる。

10

#### 【0547】

また、上記の実施の形態では、演出装置を制御する回路が搭載された基板として、演出制御基板80、音声出力基板70およびランプドライバ基板35が設けられているが、演出装置を制御する回路を1つの基板に搭載してもよい。さらに、演出表示装置9等を制御する回路が搭載された第1の演出制御基板（表示制御基板）と、その他の演出装置（ランプ、LED、スピーカ27など）を制御する回路が搭載された第2の演出制御基板との2つの基板を設けるようにしてもよい。

20

#### 【0548】

また、上記の実施の形態では、遊技制御用マイクロコンピュータ560は、演出制御用マイクロコンピュータ100に対して直接コマンドを送信していたが、遊技制御用マイクロコンピュータ560が他の基板（例えば、図3に示す音声出力基板70やランプドライバ基板35など、または音声出力基板70に搭載されている回路による機能とランプドライバ基板35に搭載されている回路による機能とを備えた音ノランプ基板）に演出制御コマンドを送信し、他の基板を経由して演出制御基板80における演出制御用マイクロコンピュータ100に送信されるようにしてもよい。その場合、他の基板においてコマンドが単に通過するようにしてもよいし、音声出力基板70、ランプドライバ基板35、音ノランプ基板にマイクロコンピュータ等の制御手段を搭載し、制御手段がコマンドを受信したことに応じて音声制御やランプ制御に関わる制御を実行し、さらに、受信したコマンドを、そのまま、または例えば簡略化したコマンドに変更して、演出表示装置9を制御する演出制御用マイクロコンピュータ100に送信するようにしてもよい。その場合でも、演出制御用マイクロコンピュータ100は、上記の実施の形態における遊技制御用マイクロコンピュータ560から直接受信した演出制御コマンドに応じて表示制御を行うのと同様に、音声出力基板70、ランプドライバ基板35または音ノランプ基板から受信したコマンドに応じて表示制御を行うことができる。

30

#### 【0549】

また、上記の実施の形態では、遊技機としてパチンコ機を例にしたが、本発明を、メダルが投入されて所定の賭け数が設定され、遊技者による操作レバーの操作に応じて複数種類の図柄を回転させ、遊技者によるストップボタンの操作に応じて図柄を停止させたときに停止図柄の組合せが特定の図柄の組み合わせになると、所定数のメダルが遊技者に払い出されるスロット機に適用することも可能である。

40

#### 【0550】

また、上記の実施の形態では、遊技機として遊技媒体を使用するものを例にしたが本発明による遊技機は、所定数の景品としての遊技媒体を払い出す遊技機に限定されず、遊技球等の遊技媒体を封入し景品の付与条件が成立した場合に得点を付与する封入式の遊技機に適用することもできる。

#### 【産業上の利用可能性】

50

## 【 0 5 5 1 】

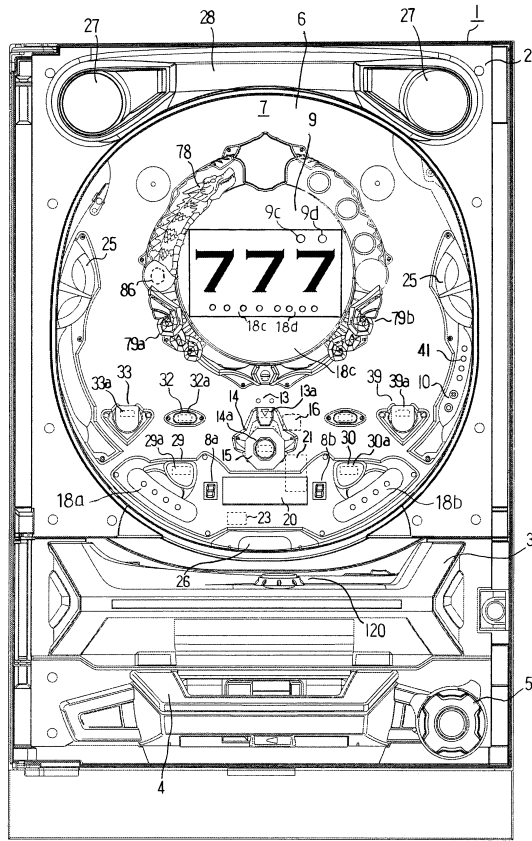
本発明は、所定の遊技を行うことが可能なパチンコ遊技機等の遊技機に好適に適用される。

## 【 符号の説明 】

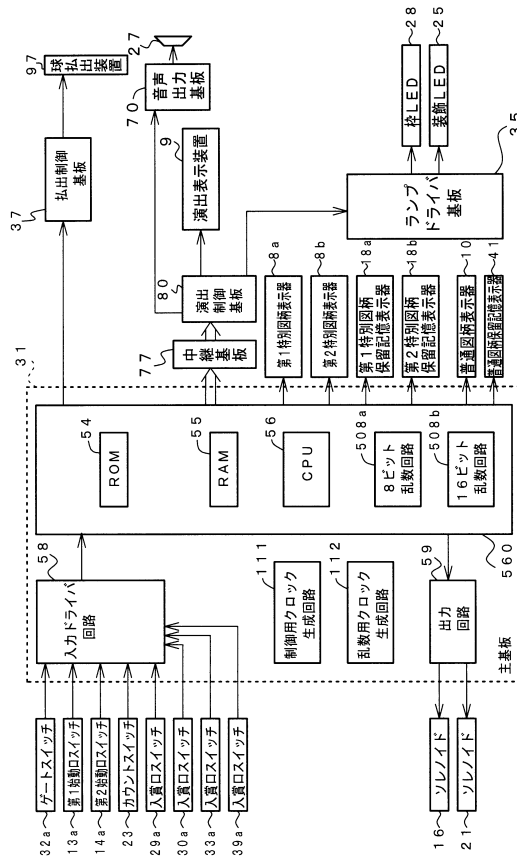
## 【 0 5 5 2 】

1	パチンコ遊技機	
8 a	第 1 特別図柄表示器	
8 b	第 2 特別図柄表示器	
9	演出表示装置	
1 3	第 1 始動入賞口	10
1 4	第 2 始動入賞口	
2 0	特別可変入賞球装置	
3 1	遊技制御基板（主基板）	
5 6	C P U	
5 0 2	クロック回路	
5 0 6	リセット / 割り込みコントローラ	
5 0 6 a	I A T 回路	
5 0 6 b	ウォッチドッグタイマ（W D T）	
5 0 7	フリーランカウンタ回路	
5 0 8 a	8 ビット乱数回路	20
5 0 8 b	1 6 ビット乱数回路	
5 2 5 a , 5 2 5 b	乱数生成回路	
5 3 7	更新監視回路	
5 6 0	遊技制御用マイクロコンピュータ	
8 0	演出制御基板	
1 0 0	演出制御用マイクロコンピュータ	
1 0 1	演出制御用 C P U	
1 0 9	V D P	

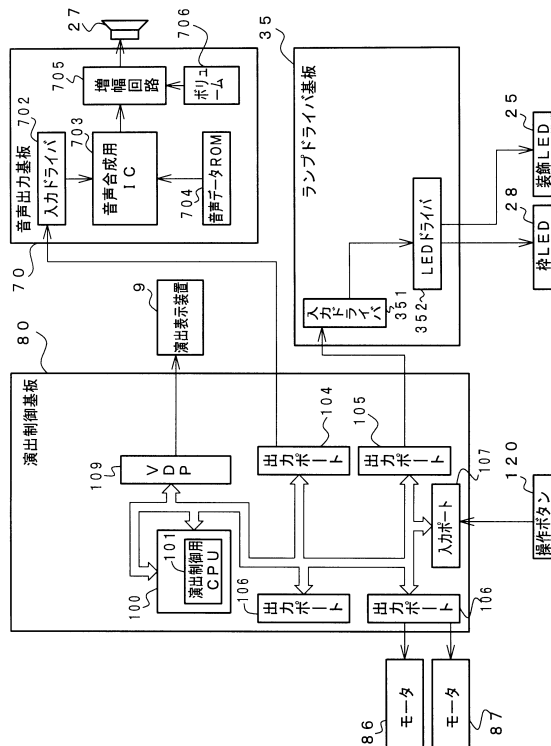
【 図 1 】



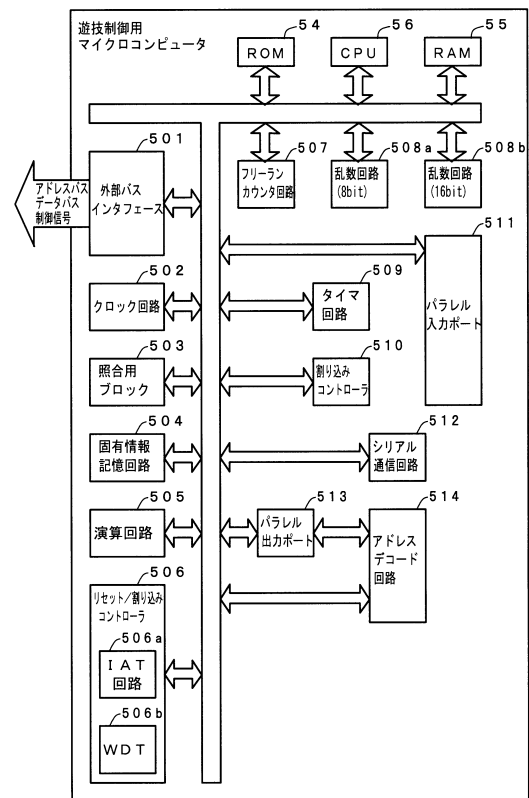
【 図 2 】



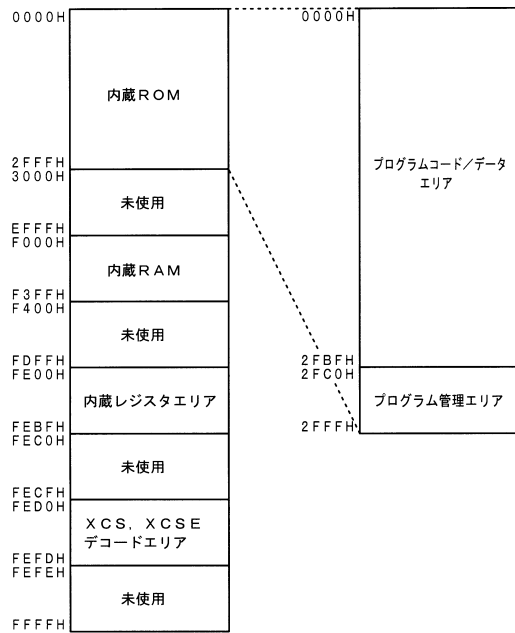
【 図 3 】



【 図 4 】



【図 5】



【図 6】

プログラム管理エリア (主要部分)

アドレス (H)	内容
2FC0~2FC7	ヘッダ (KHDR)
2FD3~2FD4	プログラムコードエンドアドレス (KPCE)
2FD5~2FD6	プログラムコードスタートアドレス2 (KPCS2)
2FD7~2FD8	プログラムコードエンドアドレス2 (KPCE2)
2FD9	リセット設定 (KRES)
2FE0	16ビット乱数初期設定1 (KRL1)
2FE1	16ビット乱数初期設定2 (KRL2)
2FE2	16ビット乱数初期設定3 (KRL3)
2FE3	8ビット乱数初期設定1 (KRS1)
2FE4	8ビット乱数初期設定2 (KRS2)
2FEA	セキュリティ時間設定 (KSES)
2FEB	乱数クロック監視設定 (KRCS)

【図 7】

内蔵レジスタエリア (主要部分)

アドレス (H)	レジスタ名称
FE25	内部情報レジスタ (CIF)
FE5B	RL0ハードラッチ選択レジスタ0 (RL0LS0)
FE5C	RL0ハードラッチ選択レジスタ1 (RL0LS1)
FE5D	RL1ハードラッチ選択レジスタ (RL1LS)
FE5E	RL2ハードラッチ選択レジスタ (RL2LS)
FE5F	RL3ハードラッチ選択レジスタ (RL3LS)
FE60	RSハードラッチ選択レジスタ0 (RSLS0)
FE61	RSハードラッチ選択レジスタ1 (RSLS1)
FE64	RL割り込み制御レジスタ0 (RLIC0)
FE65	RL割り込み制御レジスタ1 (RLIC1)
FE66	RS割り込み制御レジスタ (RSIC)
FE67	RL0最大値設定レジスタ (RL0MX) の下位バイト
FE68	RL0最大値設定レジスタ (RL0MX) の上位バイト
FE69	RL1最大値設定レジスタ (RL1MX) の下位バイト
FE6A	RL1最大値設定レジスタ (RL1MX) の上位バイト
FE6B	RL2最大値設定レジスタ (RL2MX) の下位バイト
FE6C	RL2最大値設定レジスタ (RL2MX) の上位バイト
FE6D	RL3最大値設定レジスタ (RL3MX) の下位バイト
FE6E	RL3最大値設定レジスタ (RL3MX) の上位バイト
FE6F	RS0最大値設定レジスタ (RS0MX)
FE70	RS1最大値設定レジスタ (RS1MX)
FE71	RS2最大値設定レジスタ (RS2MX)
FE72	RS3最大値設定レジスタ (RS3MX)
FE73	乱数列変更レジスタ (RDSCL)
FE74	乱数ソフトラッチレジスタ (RDSL)
FE75	乱数ソフトラッチフラグレジスタ (RDSF)

【図 8】

内蔵レジスタエリア (主要部分)

アドレス (H)	レジスタ名称
FE76	RL0ソフトラッチ乱数値レジスタ (RL0SV) の下位バイト
FE77	RL0ソフトラッチ乱数値レジスタ (RL0SV) の上位バイト
FE78	RL1ソフトラッチ乱数値レジスタ (RL1SV) の下位バイト
FE79	RL1ソフトラッチ乱数値レジスタ (RL1SV) の上位バイト
FE7A	RL2ソフトラッチ乱数値レジスタ (RL2SV) の下位バイト
FE7B	RL2ソフトラッチ乱数値レジスタ (RL2SV) の上位バイト
FE7C	RL3ソフトラッチ乱数値レジスタ (RL3SV) の下位バイト
FE7D	RL3ソフトラッチ乱数値レジスタ (RL3SV) の上位バイト
FE7E	RS0ソフトラッチ乱数値レジスタ (RS0SV)
FE7F	RS1ソフトラッチ乱数値レジスタ (RS1SV)
FE80	RS2ソフトラッチ乱数値レジスタ (RS2SV)
FE81	RS3ソフトラッチ乱数値レジスタ (RS3SV)
FE82	RLハードラッチフラグレジスタ0 (RLHF0)
FE83	RLハードラッチフラグレジスタ1 (RLHF1)
FE84	RSハードラッチフラグレジスタ (RSHF)
FE85	RL0ハードラッチ乱数値レジスタ0 (RL0HV0) の下位バイト
FE86	RL0ハードラッチ乱数値レジスタ0 (RL0HV0) の上位バイト
FE87	RL0ハードラッチ乱数値レジスタ1 (RL0HV1) の下位バイト
FE88	RL0ハードラッチ乱数値レジスタ1 (RL0HV1) の上位バイト
FE89	RL0ハードラッチ乱数値レジスタ2 (RL0HV2) の下位バイト
FE8A	RL0ハードラッチ乱数値レジスタ2 (RL0HV2) の上位バイト
FE8B	RL0ハードラッチ乱数値レジスタ3 (RL0HV3) の下位バイト
FE8C	RL0ハードラッチ乱数値レジスタ3 (RL0HV3) の上位バイト
FE8D	RL1ハードラッチ乱数値レジスタ0 (RL1HV0) の下位バイト
FE8E	RL1ハードラッチ乱数値レジスタ0 (RL1HV0) の上位バイト
FE8F	RL1ハードラッチ乱数値レジスタ1 (RL1HV1) の下位バイト
FE90	RL1ハードラッチ乱数値レジスタ1 (RL1HV1) の上位バイト

【図 9】

内蔵レジスタエリア (主要部分)

アドレス (H)	レジスタ名称
FE91	RL2ハードラッチ乱数値レジスタ0 (RL2HV0) の下位バイト
FE92	RL2ハードラッチ乱数値レジスタ0 (RL2HV0) の上位バイト
FE93	RL2ハードラッチ乱数値レジスタ1 (RL2HV1) の下位バイト
FE94	RL2ハードラッチ乱数値レジスタ1 (RL2HV1) の上位バイト
FE95	RL3ハードラッチ乱数値レジスタ0 (RL3HV0) の下位バイト
FE96	RL3ハードラッチ乱数値レジスタ0 (RL3HV0) の上位バイト
FE97	RL3ハードラッチ乱数値レジスタ1 (RL3HV1) の下位バイト
FE98	RL3ハードラッチ乱数値レジスタ1 (RL3HV1) の上位バイト
FE99	RS0ハードラッチ乱数値レジスタ (RS0HV)
FE9A	RS1ハードラッチ乱数値レジスタ (RS1HV)
FE9B	RS2ハードラッチ乱数値レジスタ (RS2HV)
FE9C	RS3ハードラッチ乱数値レジスタ (RS3HV)

【図 10】

ヘッダ (KHDR)

アドレス (H)	設定データ (H)		
2FC0	4C	00	左記以外
2FC1	45	00	
2FC2	4D	00	
2FC3	35	00	
2FC4	30	00	
2FC5	41	00	
2FC6	56	00	
2FC7	35	00	
ROM読み出し機能	無効	有効	無効
バス出力マスク機能	有効	有効	無効

【図 12】

リセット設定 (KRES)

ビット番号	設定内容																																																			
7	ウォッチドッグタイマ (WDT) のタイムアウト信号・IAT発生により内部リセットが発生したときの動作を設定 0: ユーザリセット 1: システムリセット																																																			
6	ウォッチドッグタイマ (WDT) の起動方法を設定 0: ユーザーモード移行で自動起動 1: ソフトウェアで起動																																																			
5-4	ウォッチドッグタイマ (WDT) の基準クロックを設定 <table border="1"><thead><tr><th>設定値</th><th>選択基準クロック</th></tr></thead><tbody><tr><td>00</td><td><math>2^{15} \times T_{SCLK}</math> を選択</td></tr><tr><td>01</td><td><math>2^{19} \times T_{SCLK}</math> を選択</td></tr><tr><td>10</td><td><math>2^{22} \times T_{SCLK}</math> を選択</td></tr><tr><td>11</td><td><math>2^{25} \times T_{SCLK}</math> を選択</td></tr></tbody></table>	設定値	選択基準クロック	00	$2^{15} \times T_{SCLK}$ を選択	01	$2^{19} \times T_{SCLK}$ を選択	10	$2^{22} \times T_{SCLK}$ を選択	11	$2^{25} \times T_{SCLK}$ を選択																																									
設定値	選択基準クロック																																																			
00	$2^{15} \times T_{SCLK}$ を選択																																																			
01	$2^{19} \times T_{SCLK}$ を選択																																																			
10	$2^{22} \times T_{SCLK}$ を選択																																																			
11	$2^{25} \times T_{SCLK}$ を選択																																																			
3-0	ウォッチドッグタイマ (WDT) のタイムアウト時間を設定 タイムアウト時間 = (ビット5-4で選択した基準クロック) × (設定値) ウォッチドッグタイマ (WDT) を使用しない場合は0000Hを設定 <table border="1"><thead><tr><th colspan="5">設定値とタイムアウト時間の一例</th></tr><tr><th rowspan="2">設定値</th><th rowspan="2">ビット5-4</th><th rowspan="2">設定周期</th><th colspan="2">タイムアウト時間</th></tr><tr><th>SCLK = 10.0MHz</th><th>SCLK = 12.0MHz</th></tr></thead><tbody><tr><td>0000</td><td>—</td><td colspan="3">ウォッチドッグタイマを禁止 (使用しない)</td></tr><tr><td rowspan="4">1000</td><td>00</td><td><math>2^{15} \times T_{SCLK} \times 8</math></td><td>約52.4ms</td><td>約43.7ms</td></tr><tr><td>01</td><td><math>2^{19} \times T_{SCLK} \times 8</math></td><td>約419.4ms</td><td>約349.5ms</td></tr><tr><td>10</td><td><math>2^{22} \times T_{SCLK} \times 8</math></td><td>約3.36s</td><td>約2.80s</td></tr><tr><td>11</td><td><math>2^{25} \times T_{SCLK} \times 8</math></td><td>約23.49s</td><td>約22.37s</td></tr><tr><td rowspan="4">1111</td><td>00</td><td><math>2^{15} \times T_{SCLK} \times 15</math></td><td>約98.3ms</td><td>約81.9ms</td></tr><tr><td>01</td><td><math>2^{19} \times T_{SCLK} \times 15</math></td><td>約786.4ms</td><td>約655.4ms</td></tr><tr><td>10</td><td><math>2^{22} \times T_{SCLK} \times 15</math></td><td>約6.29s</td><td>約5.24s</td></tr><tr><td>11</td><td><math>2^{25} \times T_{SCLK} \times 15</math></td><td>約50.33s</td><td>約41.94s</td></tr></tbody></table>	設定値とタイムアウト時間の一例					設定値	ビット5-4	設定周期	タイムアウト時間		SCLK = 10.0MHz	SCLK = 12.0MHz	0000	—	ウォッチドッグタイマを禁止 (使用しない)			1000	00	$2^{15} \times T_{SCLK} \times 8$	約52.4ms	約43.7ms	01	$2^{19} \times T_{SCLK} \times 8$	約419.4ms	約349.5ms	10	$2^{22} \times T_{SCLK} \times 8$	約3.36s	約2.80s	11	$2^{25} \times T_{SCLK} \times 8$	約23.49s	約22.37s	1111	00	$2^{15} \times T_{SCLK} \times 15$	約98.3ms	約81.9ms	01	$2^{19} \times T_{SCLK} \times 15$	約786.4ms	約655.4ms	10	$2^{22} \times T_{SCLK} \times 15$	約6.29s	約5.24s	11	$2^{25} \times T_{SCLK} \times 15$	約50.33s	約41.94s
設定値とタイムアウト時間の一例																																																				
設定値	ビット5-4	設定周期	タイムアウト時間																																																	
			SCLK = 10.0MHz	SCLK = 12.0MHz																																																
0000	—	ウォッチドッグタイマを禁止 (使用しない)																																																		
1000	00	$2^{15} \times T_{SCLK} \times 8$	約52.4ms	約43.7ms																																																
	01	$2^{19} \times T_{SCLK} \times 8$	約419.4ms	約349.5ms																																																
	10	$2^{22} \times T_{SCLK} \times 8$	約3.36s	約2.80s																																																
	11	$2^{25} \times T_{SCLK} \times 8$	約23.49s	約22.37s																																																
1111	00	$2^{15} \times T_{SCLK} \times 15$	約98.3ms	約81.9ms																																																
	01	$2^{19} \times T_{SCLK} \times 15$	約786.4ms	約655.4ms																																																
	10	$2^{22} \times T_{SCLK} \times 15$	約6.29s	約5.24s																																																
	11	$2^{25} \times T_{SCLK} \times 15$	約50.33s	約41.94s																																																

【図 11】

(A) プログラムコードエンドアドレス (KPCE)

アドレス	設定データ
2FD3	プログラムコード1の最終アドレスの下位アドレス
2FD4	プログラムコード1の最終アドレスの上位アドレス

(B) プログラムコードスタートアドレス2 (KPCS2)

アドレス	設定データ
2FD5	プログラムコード2の先頭アドレスの下位アドレス
2FD6	プログラムコード2の先頭アドレスの上位アドレス

(C) プログラムコードエンドアドレス (KPCE2)

アドレス	設定データ
2FD7	プログラムコード2の最終アドレスの下位アドレス
2FD8	プログラムコード2の最終アドレスの上位アドレス

【図 13】

16ビット乱数初期設定1 (KRL1)

ビット番号	設定内容
7	16ビット乱数ch1の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動
6	16ビット乱数ch1の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周
5-4	16ビット乱数ch1の乱数列変更方法を設定
5-4	設定値
	00 変更しない
	01 ソフトウェアで変更
	10 2周目から自動で変更
	11 1周目から自動で変更
3	16ビット乱数ch0の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動
2	16ビット乱数ch0の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周
1-0	16ビット乱数ch0の乱数列変更方法を設定
1-0	設定値
	00 変更しない
	01 ソフトウェアで変更
	10 2周目から自動で変更
	11 1周目から自動で変更

【図 14】

16ビット乱数初期設定2 (KRL2)											
ビット番号	設定内容										
7	16ビット乱数ch3の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
6	16ビット乱数ch3の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
5-4	16ビット乱数ch3の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	16ビット乱数ch2の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
2	16ビット乱数ch2の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
1-0	16ビット乱数ch2の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図 15】

16ビット乱数初期設定3 (KRL3)	
ビット番号	設定内容
7	16ビット乱数ch3のスタート値を設定 0: 0001H 1: 1Dナンバを基にした値
6	16ビット乱数ch3のスタート値を、システムリセット毎に変更するかを設定 0: 変更しない 1: 変更する
5	16ビット乱数ch2のスタート値を設定 0: 0001H 1: 1Dナンバを基にした値
4	16ビット乱数ch2のスタート値を、システムリセット毎に変更するかを設定 0: 変更しない 1: 変更する
3	16ビット乱数ch1のスタート値を設定 0: 0001H 1: 1Dナンバを基にした値
2	16ビット乱数ch1のスタート値を、システムリセット毎に変更するかを設定 0: 変更しない 1: 変更する
1	16ビット乱数ch0のスタート値を設定 0: 0001H 1: 1Dナンバを基にした値
0	16ビット乱数ch0のスタート値を、システムリセット毎に変更するかを設定 0: 変更しない 1: 変更する

【図 16】

8ビット乱数初期設定1 (KRS1)											
ビット番号	設定内容										
7	8ビット乱数ch1の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
6	8ビット乱数ch1の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
5-4	8ビット乱数ch1の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	8ビット乱数ch0の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
2	8ビット乱数ch0の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
1-0	8ビット乱数ch0の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図 17】

8ビット乱数初期設定2 (KRS2)											
ビット番号	設定内容										
7	8ビット乱数ch3の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
6	8ビット乱数ch3の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
5-4	8ビット乱数ch3の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										
3	8ビット乱数ch2の起動方法を選択 0: 最大値設定 (ソフトウェア) で起動 1: ユーザモード移行で自動起動										
2	8ビット乱数ch2の更新クロックを設定 0: 内部システムクロック 1: 外部 (RCK端子に入力された) クロックの2分周										
1-0	8ビット乱数ch2の乱数列変更方法を設定 <table border="1"> <tr> <th>設定値</th><th>設定内容</th></tr> <tr> <td>00</td><td>変更しない</td></tr> <tr> <td>01</td><td>ソフトウェアで変更</td></tr> <tr> <td>10</td><td>2周目から自動で変更</td></tr> <tr> <td>11</td><td>1周目から自動で変更</td></tr> </table>	設定値	設定内容	00	変更しない	01	ソフトウェアで変更	10	2周目から自動で変更	11	1周目から自動で変更
設定値	設定内容										
00	変更しない										
01	ソフトウェアで変更										
10	2周目から自動で変更										
11	1周目から自動で変更										

【図 18】

セキュリティ時間設定 (KSES)

ビット番号	設定内容			
7-6	セキュリティモード時間をランダムに延長する時間を設定			
	設定値	設定周期	延長される時間の範囲	
			SCLK = 10.0MHz	SCLK = 12.0MHz
	00	延長しない		
	01	ショートモード	0~0.816ms	0~0.51ms
	10	ミドルモード	0~26.112ms	0~16.32ms
11	ロングモード	0~835.584ms	0~522.24ms	
5	セキュリティモード時間を固定延長する時間の基準クロックを設定			
	設定値	選択基準クロック		
	0	$2^{22} \times T_{SCLK}$ を選択		
	1	$2^{24} \times T_{SCLK}$ を選択		
4-0	セキュリティモード時間を固定で延長する時間を設定 固定延長時間 = (ビット5で選択された基準クロック) × (設定値) 固定延長をしない場合は00000Hを設定			
	設定値と延長時間の一例			
	設定値	ビット5	設定内容	固定延長時間
				SCLK = 10.0MHz   SCLK = 12.0MHz
	00001	0	$2^{22} \times T_{SCLK} \times 1$	約0.42s   約0.35s
		1	$2^{24} \times T_{SCLK} \times 1$	約1.68s   約1.40s
	01000	0	$2^{22} \times T_{SCLK} \times 8$	約3.36s   約2.80s
		1	$2^{24} \times T_{SCLK} \times 8$	約13.42s   約11.18s
	10000	0	$2^{22} \times T_{SCLK} \times 16$	約6.71s   約5.59s
		1	$2^{24} \times T_{SCLK} \times 16$	約26.84s   約22.37s
	11111	0	$2^{22} \times T_{SCLK} \times 31$	約13.00s   約10.84s
		1	$2^{24} \times T_{SCLK} \times 31$	約52.01s   約43.34s

【図 19】

乱数クロック監視設定 (KRCS)

ビット番号	設定内容
7-2	固定ビット (必ず全ビット0を設定)
1-0	乱数を更新するためのクロックを、外部 (RCK端子に入力された) クロックを選択した場合に、その入力クロックの異常を検知する周波数を設定。異常を検知した場合は、内部情報レジスタ (CIF) のビット3にセットされる。
	設定値 設定内容 (異常検知周波数)
	0 0 RCK < SCLK
	0 1 RCK < SCLK / 2
	1 0 RCK < SCLK / 2 <sup>2</sup>
	1 1 RCK < SCLK / 2 <sup>3</sup>

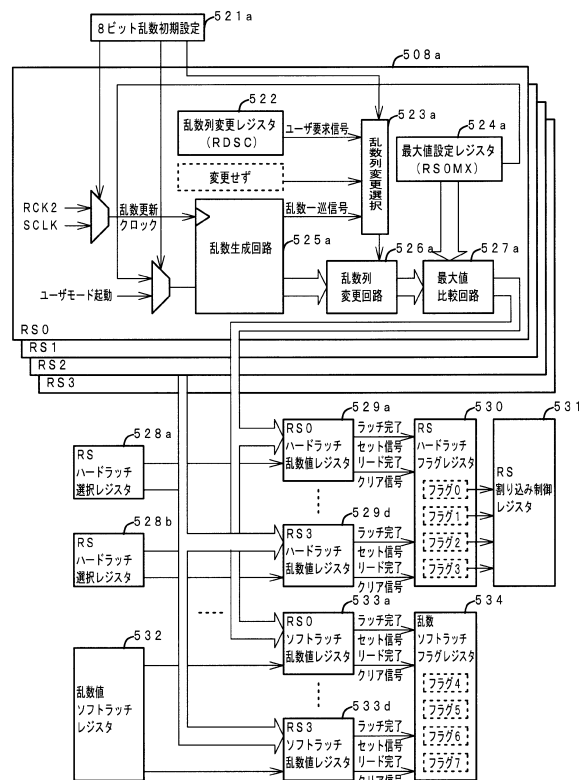
【図 20】

(A)	ビット番号	7	6	5	4	3	2	1	0
	CIF	RL3ER	RL2ER	RL1ER	RL0ER	RCER	SRSF	WDTF	IATF

(B) 内部情報レジスタ (CIF)

ビット番号	ビット名	意味
7	RL3ER	16ビット乱数RL3の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
6	RL2ER	16ビット乱数RL2の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
5	RL1ER	16ビット乱数RL1の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
4	RL0ER	16ビット乱数RL0の更新状態の異常を示すビット 0: 更新異常なし (初期値) 1: 更新異常あり
3	RCER	乱数更新用の外部クロック入力の周波数異常を示すビット 0: 周波数異常なし (初期値) 1: 周波数異常あり
2	SRSF	直前に発生したリセット要因がシステムリセットであることを示すビット 0: システムリセット未発生 1: システムリセット発生 (初期値)
1	WDTF	直前に発生したリセット要因がWDタイマアウト信号によるユーザリセットであることを示すビット 0: WDタイマアウト信号によるユーザリセット未発生 (初期値) 1: WDタイマアウト信号によるユーザリセット発生
0	IATF	直前に発生したリセット要因がIAT発生信号によるユーザリセットであることを示すビット 0: IAT発生信号によるユーザリセット未発生 (初期値) 1: IAT発生信号によるユーザリセット発生

【図 21】







## 【図 26】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RSLS0	RS1RF	RS1LS2	RS1LS1	RS1LS0	RS0RF	RS0LS2	RS0LS1	RS0LS0

(B) RSハードラッチ選択レジスタ0 (RSLS0)

ビット番号	ビット名	意味																				
7	RS1RF	RS1ハードラッチ乱数値レジスタ(RS1HW)に、外部端子入力により、8ビット乱数RS1の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする																				
6-4	RS1LS0~RS1LS2	RS1ハードラッチ乱数値レジスタ(RS1HW)に、どの外部端子入力により、8ビット乱数RS1の値を取り込むかを設定するためのビット <table><tr><th>設定値</th><th>選択される外部端子</th><th>設定値</th><th>選択される外部端子</th></tr><tr><td>000</td><td>PI0端子 (初期値)</td><td>100</td><td>PI4端子</td></tr><tr><td>001</td><td>PI1端子</td><td>101</td><td>PI5/XINT端子</td></tr><tr><td>010</td><td>PI2端子</td><td>110</td><td>無効</td></tr><tr><td>011</td><td>PI3端子</td><td>111</td><td></td></tr></table>	設定値	選択される外部端子	設定値	選択される外部端子	000	PI0端子 (初期値)	100	PI4端子	001	PI1端子	101	PI5/XINT端子	010	PI2端子	110	無効	011	PI3端子	111	
設定値	選択される外部端子	設定値	選択される外部端子																			
000	PI0端子 (初期値)	100	PI4端子																			
001	PI1端子	101	PI5/XINT端子																			
010	PI2端子	110	無効																			
011	PI3端子	111																				
3	RS0RF	RS0ハードラッチ乱数値レジスタ(RS0HW)に、外部端子入力により、8ビット乱数RS0の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする																				
2-0	RS0LS0~RS0LS2	RS0ハードラッチ乱数値レジスタ(RS0HW)に、どの外部端子入力により、8ビット乱数RS0の値を取り込むかを設定するためのビット <table><tr><th>設定値</th><th>選択される外部端子</th><th>設定値</th><th>選択される外部端子</th></tr><tr><td>000</td><td>PI0端子 (初期値)</td><td>100</td><td>PI4端子</td></tr><tr><td>001</td><td>PI1端子</td><td>101</td><td>PI5/XINT端子</td></tr><tr><td>010</td><td>PI2端子</td><td>110</td><td>無効</td></tr><tr><td>011</td><td>PI3端子</td><td>111</td><td></td></tr></table>	設定値	選択される外部端子	設定値	選択される外部端子	000	PI0端子 (初期値)	100	PI4端子	001	PI1端子	101	PI5/XINT端子	010	PI2端子	110	無効	011	PI3端子	111	
設定値	選択される外部端子	設定値	選択される外部端子																			
000	PI0端子 (初期値)	100	PI4端子																			
001	PI1端子	101	PI5/XINT端子																			
010	PI2端子	110	無効																			
011	PI3端子	111																				

## 【図 27】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RSLS1	RS3RF	RS3LS2	RS3LS1	RS3LS0	RS2RF	RS2LS2	RS2LS1	RS2LS0

(B) RSハードラッチ選択レジスタ1 (RSLS1)

ビット番号	ビット名	意味																				
7	RS3RF	RS3ハードラッチ乱数値レジスタ(RS3HW)に、外部端子入力により、8ビット乱数RS3の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする																				
6-4	RS3LS0~RS3LS2	RS3ハードラッチ乱数値レジスタ(RS3HW)に、どの外部端子入力により、8ビット乱数RS3の値を取り込むかを設定するためのビット <table><tr><th>設定値</th><th>選択される外部端子</th><th>設定値</th><th>選択される外部端子</th></tr><tr><td>000</td><td>PI0端子 (初期値)</td><td>100</td><td>PI4端子</td></tr><tr><td>001</td><td>PI1端子</td><td>101</td><td>PI5/XINT端子</td></tr><tr><td>010</td><td>PI2端子</td><td>110</td><td>無効</td></tr><tr><td>011</td><td>PI3端子</td><td>111</td><td></td></tr></table>	設定値	選択される外部端子	設定値	選択される外部端子	000	PI0端子 (初期値)	100	PI4端子	001	PI1端子	101	PI5/XINT端子	010	PI2端子	110	無効	011	PI3端子	111	
設定値	選択される外部端子	設定値	選択される外部端子																			
000	PI0端子 (初期値)	100	PI4端子																			
001	PI1端子	101	PI5/XINT端子																			
010	PI2端子	110	無効																			
011	PI3端子	111																				
3	RS2RF	RS2ハードラッチ乱数値レジスタ(RS2HW)に、外部端子入力により、8ビット乱数RS2の値を取り込む際の条件を設定するためのビット 0: 値を読み込まないと、次の値をラッチしない (初期値) 1: 値を読み込まなくても、次の値をラッチする																				
2-0	RS2LS0~RS2LS2	RS2ハードラッチ乱数値レジスタ(RS2HW)に、どの外部端子入力により、8ビット乱数RS2の値を取り込むかを設定するためのビット <table><tr><th>設定値</th><th>選択される外部端子</th><th>設定値</th><th>選択される外部端子</th></tr><tr><td>000</td><td>PI0端子 (初期値)</td><td>100</td><td>PI4端子</td></tr><tr><td>001</td><td>PI1端子</td><td>101</td><td>PI5/XINT端子</td></tr><tr><td>010</td><td>PI2端子</td><td>110</td><td>無効</td></tr><tr><td>011</td><td>PI3端子</td><td>111</td><td></td></tr></table>	設定値	選択される外部端子	設定値	選択される外部端子	000	PI0端子 (初期値)	100	PI4端子	001	PI1端子	101	PI5/XINT端子	010	PI2端子	110	無効	011	PI3端子	111	
設定値	選択される外部端子	設定値	選択される外部端子																			
000	PI0端子 (初期値)	100	PI4端子																			
001	PI1端子	101	PI5/XINT端子																			
010	PI2端子	110	無効																			
011	PI3端子	111																				

## 【図 28】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RLIC0	0	0	RL11IE	RL10IE	RL03IE	RL02IE	RL01IE	RL00IE

(B) RL割り込み制御レジスタ0 (RLIC0)

ビット番号	ビット名	意味
5	RL11IE	RL1ハードラッチ乱数値レジスタ1 (RL1HW1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
4	RL10IE	RL1ハードラッチ乱数値レジスタ0 (RL1HW0)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
3	RL03IE	RL0ハードラッチ乱数値レジスタ3 (RL0HW3)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
2	RL02IE	RL0ハードラッチ乱数値レジスタ2 (RL0HW2)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
1	RL01IE	RL0ハードラッチ乱数値レジスタ1 (RL0HW1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
0	RL00IE	RL0ハードラッチ乱数値レジスタ0 (RL0HW0)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可

## 【図 29】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RLIC1	0	0	RL31IE	RL30IE	0	0	RL21IE	RL20IE

(B) RL割り込み制御レジスタ1 (RLIC1)

ビット番号	ビット名	意味
5	RL31IE	RL3ハードラッチ乱数値レジスタ1 (RL3HW1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
4	RL30IE	RL3ハードラッチ乱数値レジスタ0 (RL3HW0)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
1	RL21IE	RL2ハードラッチ乱数値レジスタ1 (RL2HW1)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可
0	RL20IE	RL2ハードラッチ乱数値レジスタ0 (RL2HW0)に、乱数値が取り込まれたことを要因とする割り込みの禁止/許可を設定 0: 割り込み禁止 (初期値) 1: 割り込み許可

## 【図 30】

(A)	ビット 番号	7	6	5	4	3	2	1	0
RSIC		FR3IE	FR2IE	FR1IE	FR0IE	RS3IE	RS2IE	RS1IE	RS0IE

(B) RS割り込み制御レジスタ (RSIC)

ビット番号	ビット名	意味
7	FR3IE	FRC3ハードラッチレジスタ (FR3HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
6	FR2IE	FRC2ハードラッチレジスタ (FR2HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
5	FR1IE	FRC1ハードラッチレジスタ (FR1HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
4	FR0IE	FRC0ハードラッチレジスタ (FR0HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
3	RS3IE	RS3ハードラッチ乱数値レジスタ (RS3HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
2	RS2IE	RS2ハードラッチ乱数値レジスタ (RS2HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
1	RS1IE	RS1ハードラッチ乱数値レジスタ (RS1HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可
0	RS0IE	RS0ハードラッチ乱数値レジスタ (RS0HV) に、乱数値が 取り込まれたことを要因とする割り込みの禁止／許可を設定 0：割り込み禁止 (初期値) 1：割り込み許可

## 【図 31】

(A)	ビット 番号	7	6	5	4	3	2	1	0
RLnMX (L)		RLnMX7	RLnMX6	RLnMX5	RLnMX4	RLnMX3	RLnMX2	RLnMX1	RLnMX0

RLnMX (H)	RLnMX15	RLnMX14	RLnMX13	RLnMX12	RLnMX11	RLnMX10	RLnMX9	RLnMX8
-----------	---------	---------	---------	---------	---------	---------	--------	--------

(B) RLn 最大値設定レジスタ (RLnMX) (n=0~3)

ビット番号	ビット名	意味
15~0	RLnMX15~ RLnMX0	16ビット乱数RLnの最大値設定

## 【図 32】

(A)	ビット 番号	7	6	5	4	3	2	1	0
RSnMX		RSnMX7	RSnMX6	RSnMX5	RSnMX4	RSnMX3	RSnMX2	RSnMX1	RSnMX0

(B) RSn 最大値設定レジスタ (RSnMX) (n=0~3)

ビット番号	ビット名	意味
7~0	RSnMX7~ RSnMX0	8ビット乱数RSnの最大値設定

## 【図 33】

(A)	ビット 番号	7	6	5	4	3	2	1	0
RDSC		RS3SC	RS2SC	RS1SC	RS0SC	RL3SC	RL2SC	RL1SC	RL0SC

(B) 乱数列変更レジスタ (RDSC)

ビット番号	ビット名	意味
7	RS3SC	8ビット乱数RS3の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
6	RS2SC	8ビット乱数RS2の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
5	RS1SC	8ビット乱数RS1の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
4	RS0SC	8ビット乱数RS0の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
3	RL3SC	16ビット乱数RL3の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
2	RL2SC	16ビット乱数RL2の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
1	RL1SC	16ビット乱数RL1の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する
0	RL0SC	16ビット乱数RL0の乱数列変更要求ビット 0：乱数列を変更しない (初期値) 1：乱数列を変更する

## 【図 34】

(A)	ビット 番号	7	6	5	4	3	2	1	0
RDSL		RS3SL	RS2SL	RS1SL	RS0SL	RL3SL	RL2SL	RL1SL	RL0SL

(B) 乱数ソフトラッチレジスタ (RDSL)

ビット番号	ビット名	意味
7	RS3SL	8ビット乱数RS3の乱数値を、RS3ソフトラッチ乱数値 レジスタ (RS3SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
6	RS2SL	8ビット乱数RS2の乱数値を、RS2ソフトラッチ乱数値 レジスタ (RS2SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
5	RS1SL	8ビット乱数RS1の乱数値を、RS1ソフトラッチ乱数値 レジスタ (RS1SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
4	RS0SL	8ビット乱数RS0の乱数値を、RS0ソフトラッチ乱数値 レジスタ (RS0SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
3	RL3SL	16ビット乱数RL3の乱数値を、RL3ソフトラッチ乱数値 レジスタ (RL3SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
2	RL2SL	16ビット乱数RL2の乱数値を、RL2ソフトラッチ乱数値 レジスタ (RL2SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
1	RL1SL	16ビット乱数RL1の乱数値を、RL1ソフトラッチ乱数値 レジスタ (RL1SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み
0	RL0SL	16ビット乱数RL0の乱数値を、RL0ソフトラッチ乱数値 レジスタ (RL0SV) に取り込むためのビット 0：乱数値を取り込まない (初期値) 1：乱数値取り込み

## 【図 35】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RDSF	RS3SF	RS2SF	RS1SF	RS0SF	RL3SF	RL2SF	RL1SF	RL0SF

## (B) 乱数ソフトラッチフラグレジスタ (RDSF)

ビット番号	ビット名	意味
7	RS3SF	RS3ソフトラッチ乱数値レジスタ(RS3SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
6	RS2SF	RS2ソフトラッチ乱数値レジスタ(RS2SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
5	RS1SF	RS1ソフトラッチ乱数値レジスタ(RS1SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
4	RS0SF	RS0ソフトラッチ乱数値レジスタ(RS0SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
3	RL3SF	RL3ソフトラッチ乱数値レジスタ(RL3SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
2	RL2SF	RL2ソフトラッチ乱数値レジスタ(RL2SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
1	RL1SF	RL1ソフトラッチ乱数値レジスタ(RL1SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
0	RL0SF	RL0ソフトラッチ乱数値レジスタ(RL0SV)に、乱数値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み

## 【図 36】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RLnSV(L)	RLnSV7	RLnSV6	RLnSV5	RLnSV4	RLnSV3	RLnSV2	RLnSV1	RLnSV0

RLnSV(H)	RLnSV15	RLnSV14	RLnSV13	RLnSV12	RLnSV11	RLnSV10	RLnSV9	RLnSV8
----------	---------	---------	---------	---------	---------	---------	--------	--------

## (B) RLnソフトラッチ乱数値レジスタ (RLnSV) (n=0~3)

ビット番号	ビット名	意味
15-0	RLnSV15- RLnSV0	乱数ソフトラッチレジスタ(RDSL)により取り込まれた 16ビット乱数RLnの値 乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ (RDSF)の当該ビットがセット(1)される

## 【図 37】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RSnSV	RSnSV7	RSnSV6	RSnSV5	RSnSV4	RSnSV3	RSnSV2	RSnSV1	RSnSV0

## (B) RSnソフトラッチ乱数値レジスタ (RSnSV) (n=0~3)

ビット番号	ビット名	意味
7-0	RSnSV7- RSnSV0	乱数ソフトラッチレジスタ(RDSL)により取り込まれた 8ビット乱数RSnの値 乱数値が取り込まれると、乱数ソフトラッチフラグレジスタ (RDSF)の当該ビットがセット(1)される

## 【図 38】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RLHF0	0	0	RL1HF	RL10HF	RL03HF	RL02HF	RL01HF	RL00HF

## (B) RLハードラッチフラグレジスタ0 (RLHF0)

ビット番号	ビット名	意味
5	RL1HF	RL1ハードラッチ乱数値レジスタ1に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
4	RL10HF	RL1ハードラッチ乱数値レジスタ0に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
3	RL03HF	RL0ハードラッチ乱数値レジスタ3に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
2	RL02HF	RL0ハードラッチ乱数値レジスタ2に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
1	RL01HF	RL0ハードラッチ乱数値レジスタ1に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
0	RL00HF	RL0ハードラッチ乱数値レジスタ0に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み

## 【図 39】

(A)	ビット 番号	7	6	5	4	3	2	1	0
	RLHF1	0	0	RL3HF	RL30HF	0	0	RL21HF	RL20HF

## (B) RLハードラッチフラグレジスタ1 (RLHF1)

ビット番号	ビット名	意味
5	RL3HF	RL3ハードラッチ乱数値レジスタ1に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
4	RL30HF	RL3ハードラッチ乱数値レジスタ0に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
1	RL21HF	RL2ハードラッチ乱数値レジスタ1に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み
0	RL20HF	RL2ハードラッチ乱数値レジスタ0に、乱数値が取り込ま れたことを示すビット 0: 乱数値取り込まれていない(初期値) 1: 乱数値取り込み済み

## 【図 40】

(A) ビット 番号	7	6	5	4	3	2	1	0
RSHF	FR3HF	FR2HF	FR1HF	FROHF	RS3HF	RS2HF	RS1HF	RS0HF

(B) RSハードラッチフラグレジスタ (RSHF)

ビット番号	ビット名	意味
7	FR3HF	FRC3ハードラッチレジスタ (FR3HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
6	FR2HF	FRC2ハードラッチレジスタ (FR2HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
5	FR1HF	FRC1ハードラッチレジスタ (FR1HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
4	FROHF	FRC0ハードラッチレジスタ (FROHV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
3	RS3HF	RS3ハードラッチレジスタ (RS3HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
2	RS2HF	RS2ハードラッチレジスタ (RS2HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
1	RS1HF	RS1ハードラッチレジスタ (RS1HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み
0	RS0HF	RS0ハードラッチレジスタ (RS0HV) に、カウンタ値が 取り込まれたことを示すビット 0: 乱数値取り込まれていない (初期値) 1: 乱数値取り込み済み

## 【図 41】

(A) ビット 番号	7	6	5	4	3	2	1	0
RL0mHV (L)	RL0mHV7	RL0mHV6	RL0mHV5	RL0mHV4	RL0mHV3	RL0mHV2	RL0mHV1	RL0mHV0

RL0mHV (H)	RL0mHV15	RL0mHV14	RL0mHV13	RL0mHV12	RL0mHV11	RL0mHV10	RL0mHV9	RL0mHV8
------------	----------	----------	----------	----------	----------	----------	---------	---------

(B) RL0ハードラッチ乱数値レジスタm (RL0mHV) (m=0~3)

ビット番号	ビット名	意味
15-0	RL0mHV15- RL0mHV0	外部端子入力により取り込まれた16ビット乱数RL0の値 乱数値が取り込まれると、RLハードラッチフラグレジ スタ0 (RLHF0) の当該ビットがセット (1) される

## 【図 42】

(A) ビット 番号	7	6	5	4	3	2	1	0
RL1mHV (L)	RL1mHV7	RL1mHV6	RL1mHV5	RL1mHV4	RL1mHV3	RL1mHV2	RL1mHV1	RL1mHV0

RL1mHV (H)	RL1mHV15	RL1mHV14	RL1mHV13	RL1mHV12	RL1mHV11	RL1mHV10	RL1mHV9	RL1mHV8
------------	----------	----------	----------	----------	----------	----------	---------	---------

(B) RL1ハードラッチ乱数値レジスタm (RL1mHV) (m=0~1)

ビット番号	ビット名	意味
15-0	RL1mHV15- RL1mHV0	外部端子入力により取り込まれた16ビット乱数RL1の値 乱数値が取り込まれると、RLハードラッチフラグレジ スタ0 (RLHF0) の当該ビットがセット (1) される

## 【図 43】

(A) ビット 番号	7	6	5	4	3	2	1	0
RL2mHV (L)	RL2mHV7	RL2mHV6	RL2mHV5	RL2mHV4	RL2mHV3	RL2mHV2	RL2mHV1	RL2mHV0

RL2mHV (H)	RL2mHV15	RL2mHV14	RL2mHV13	RL2mHV12	RL2mHV11	RL2mHV10	RL2mHV9	RL2mHV8
------------	----------	----------	----------	----------	----------	----------	---------	---------

(B) RL2ハードラッチ乱数値レジスタm (RL2mHV) (m=0~1)

ビット番号	ビット名	意味
15-0	RL2mHV15- RL2mHV0	外部端子入力により取り込まれた16ビット乱数RL2の値 乱数値が取り込まれると、RLハードラッチフラグレジ スタ1 (RLHF1) の当該ビットがセット (1) される

## 【図 44】

(A) ビット 番号	7	6	5	4	3	2	1	0
RL3mHV (L)	RL3mHV7	RL3mHV6	RL3mHV5	RL3mHV4	RL3mHV3	RL3mHV2	RL3mHV1	RL3mHV0

RL3mHV (H)	RL3mHV15	RL3mHV14	RL3mHV13	RL3mHV12	RL3mHV11	RL3mHV10	RL3mHV9	RL3mHV8
------------	----------	----------	----------	----------	----------	----------	---------	---------

(B) RL3ハードラッチ乱数値レジスタm (RL3mHV) (m=0~1)

ビット番号	ビット名	意味
15-0	RL3mHV15- RL3mHV0	外部端子入力により取り込まれた16ビット乱数RL3の値 乱数値が取り込まれると、RLハードラッチフラグレジ スタ1 (RLHF1) の当該ビットがセット (1) される

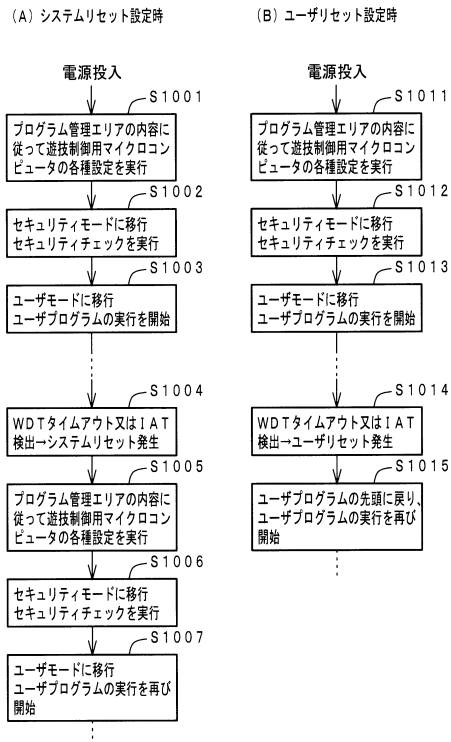
## 【図 45】

(A) ビット 番号	7	6	5	4	3	2	1	0
RSnHV	RSnHV7	RSnHV6	RSnHV5	RSnHV4	RSnHV3	RSnHV2	RSnHV1	RSnHV0

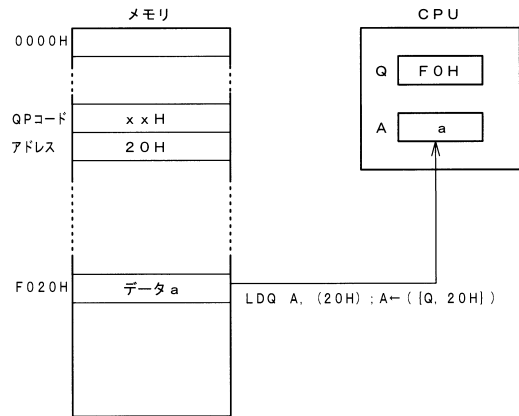
(B) RSnハードラッチ乱数値レジスタ (RSnHV) (n=0~3)

ビット番号	ビット名	意味
7-0	RSnHV7- RSnHV0	外部端子入力により取り込まれた8ビット乱数RSnの値 乱数値が取り込まれると、RSハードラッチフラグレジ スタ7 (RSHF7) の当該ビットがセット (1) される

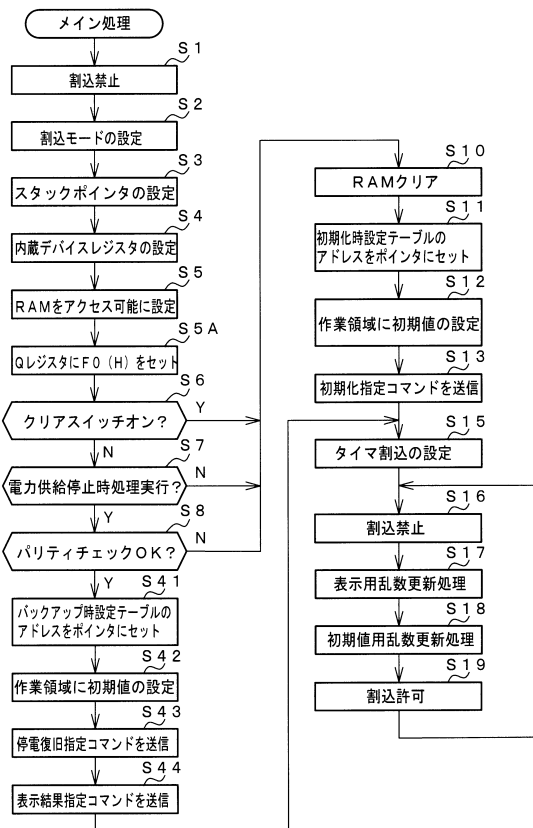
【図 46】



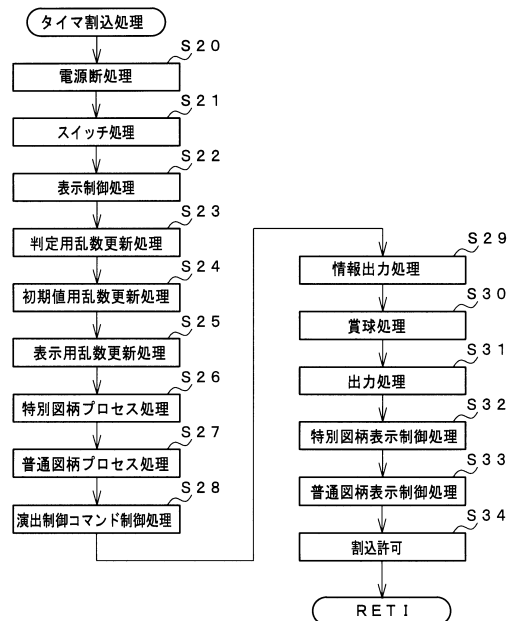
【図 47】



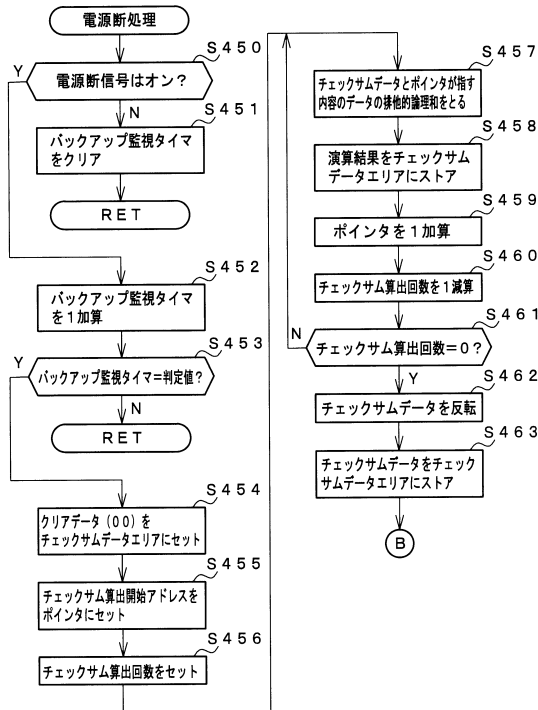
【図 48】



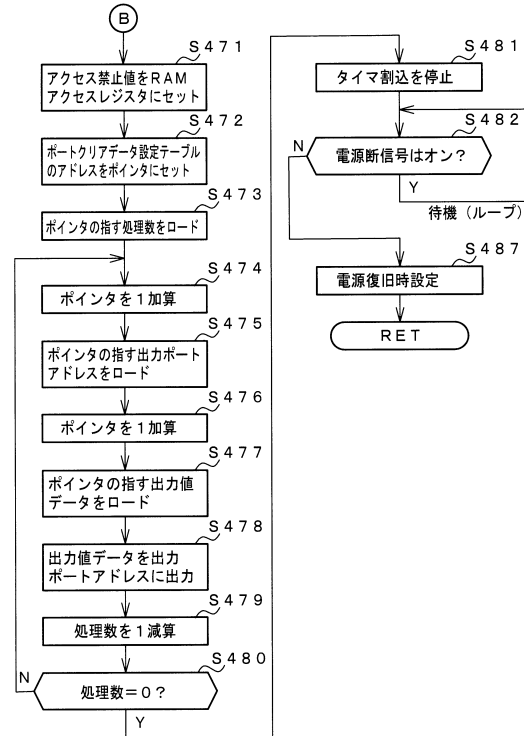
【図 49】



【図 50】



【図 51】



【図 52】

乱数	範囲	用途	加算
ランダム1	0~39	大当り種別判定用	0.002秒毎に1ずつ加算
ランダム2	1~251	変動パターン種別判定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
ランダム3	1~997	変動パターン判定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算
ランダム4	3~13	普通図柄当り判定用	0.002秒毎に1ずつ加算
ランダム5	3~13	ランダム4初期値決定用	0.002秒毎および割り込み処理 余り時間に1ずつ加算

【図 53】

大当り判定テーブル

大当り判定値 (ランダムR [0~65535] と比較される)	
通常時 (非確変時)	確変時
1020~1079, 13320~13477 (確率: 1/300)	1020~1519, 13320~15004 (確率: 1/30)

(A)

小当り判定テーブル (第1特別図柄用)

小当り判定値 (ランダムR [0~65535] と比較される)
54000~54217 (確率: 1/300)

(B)

小当り判定テーブル (第2特別図柄用)

小当り判定値 (ランダムR [0~65535] と比較される)
54000~54022 (確率: 1/3000)

(C)

大当り種別判定テーブル (第1特別図柄用)

大当り種別判定値 (ランダム2-1 と比較される)		
通常大当り	確変大当り	突然確変大当り
0~9	10~29	30~39

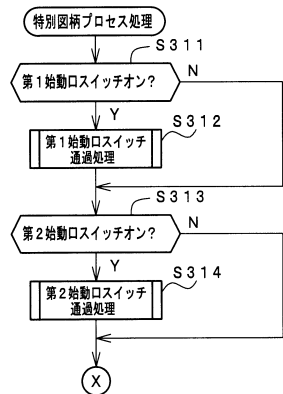
(D)

大当り種別判定テーブル (第2特別図柄用)

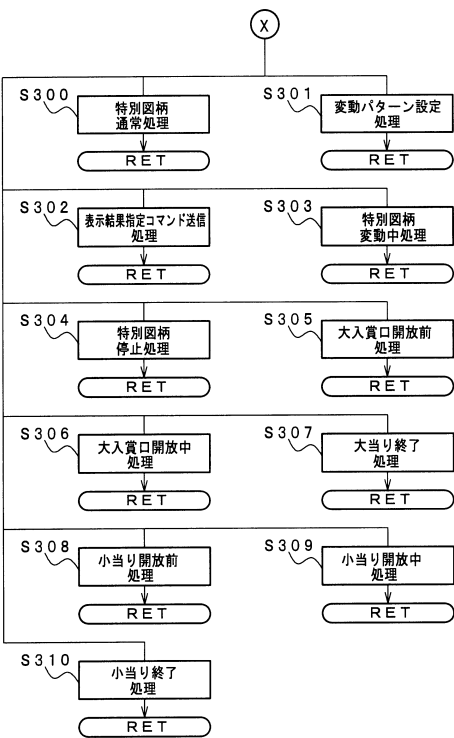
大当り種別判定値 (ランダム2-1 と比較される)		
通常大当り	確変大当り	突然確変大当り
0~9	10~36	37~39

(E)

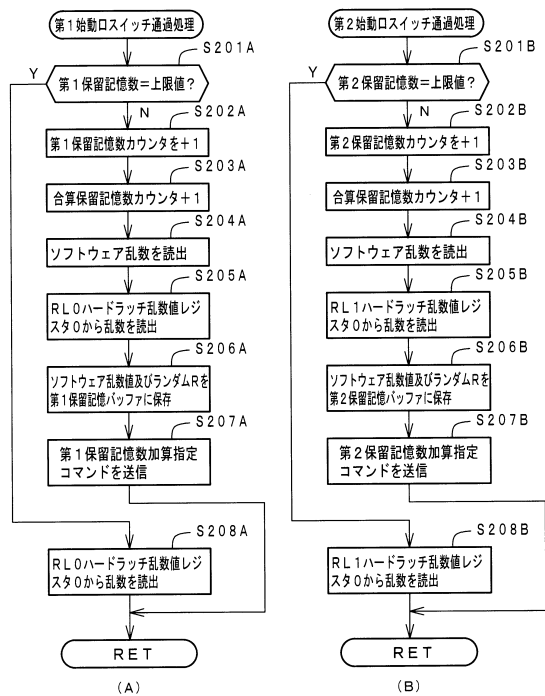
【図 5 4】



【図 5 5】



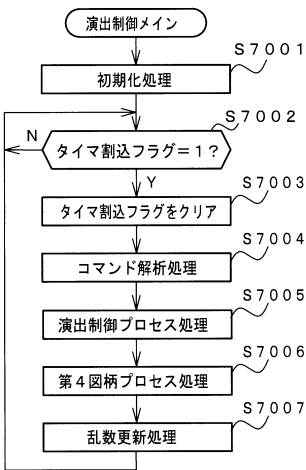
【図 5 6】



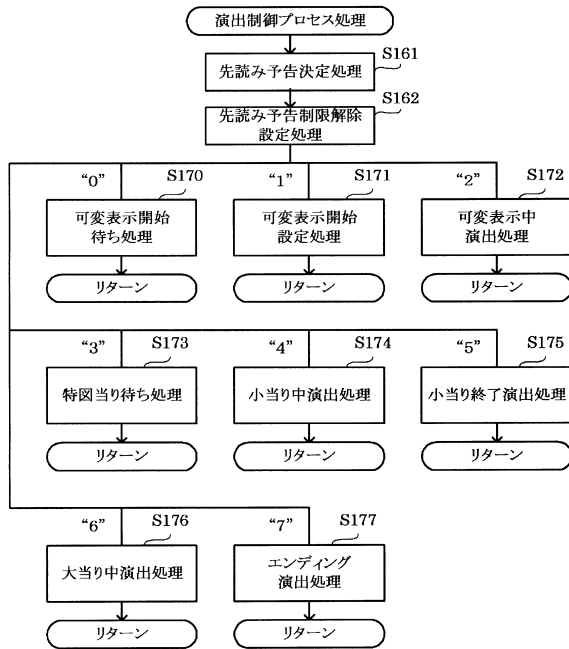
【図 5 7】

第1保留記憶 バッファ	第1保留記憶数=1に応じた保存領域	第2保留記憶 バッファ	第2保留記憶数=1に応じた保存領域
	第1保留記憶数=2に応じた保存領域		第2保留記憶数=2に応じた保存領域
	第1保留記憶数=3に応じた保存領域		第2保留記憶数=3に応じた保存領域
	第1保留記憶数=4に応じた保存領域		第2保留記憶数=4に応じた保存領域

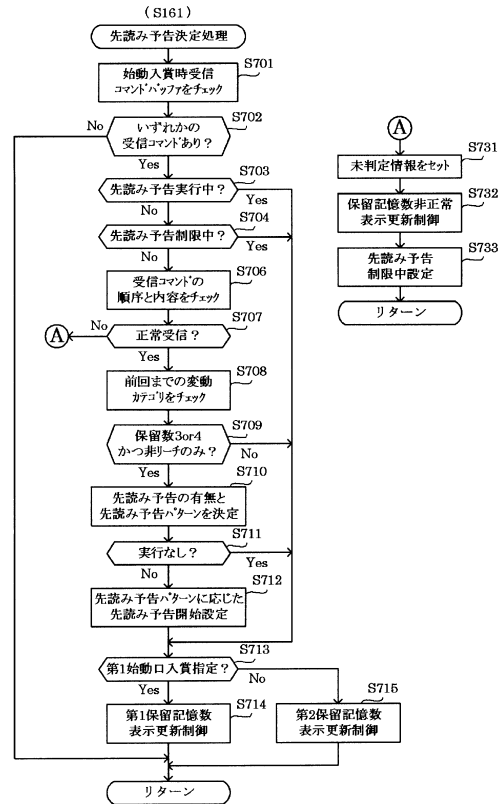
【図 5 8】



【図 59】



【図 60】



【図 61】

S710 における決定割合

実行の有無	先読み予告パターン	演出内容	変動カテゴリ				大当り信頼度
			非リーチハズレ	リーチハズレ	突確・小当り	大当り	
実行なし	SYP1-1	チャンス目A停止	90%	80%	70%	10%	低
	SYP1-2	チャンス目B停止	8%	10%	15%	10%	低
	SYP2-1	背景変化	1%	1%	2%	25%	高
	SYP3-1	チャンス目A停止→背景変化	1%	1%	3%	40%	最高

【図 62】

(A) チャンス目A

	左	中	右
CA1	1	1	2
CA2	2	2	3
CA3	3	3	4
CA4	4	4	5
CA5	5	5	6
CA6	6	6	7
CA7	7	7	8
CA8	8	8	1

(B) チャンス目B

	左	中	右
CB1	1	2	3
CB2	2	3	4
CB3	3	4	5
CB4	4	5	6
CB5	5	6	7
CB6	6	7	8

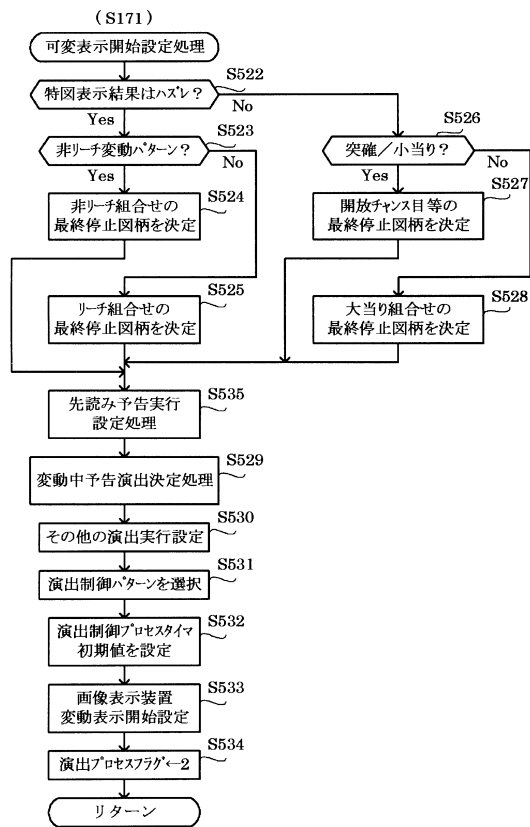
【図 63】

先読み予告演出制御パターン一覧

先読み予告パターン	決定時の保留数	先読み予告演出制御パターン	演出内容			
			1変動目	2変動目	3変動目	4変動目
SYP1-1	3	SCP1-1	チャンス目A停止	チャンス目A停止	変動パターンに依存(チャット)	-
	4	SCP1-2	チャンス目A停止	チャンス目A停止	チャンス目A停止	変動パターンに依存(チャット)
SYP1-2	3	SCP2-1	チャンス目B停止	チャンス目B停止	変動パターンに依存(チャット)	-
	4	SCP2-2	チャンス目B停止	チャンス目B停止	チャンス目B停止	変動パターンに依存(チャット)
SYP2-1	3	SCP3-1	背景変化	特殊背景	特殊背景(チャット)	-
	4	SCP3-2	背景変化	特殊背景	特殊背景	特殊背景(チャット)
SYP3-1	3	SCP4-1	チャンス目A停止	背景変化	特殊背景(チャット)	-
	4	SCP4-2	チャンス目A停止	背景変化	特殊背景	特殊背景(チャット)



【図 6 4】



【図 6 5】

S529 における決定割合

(A)

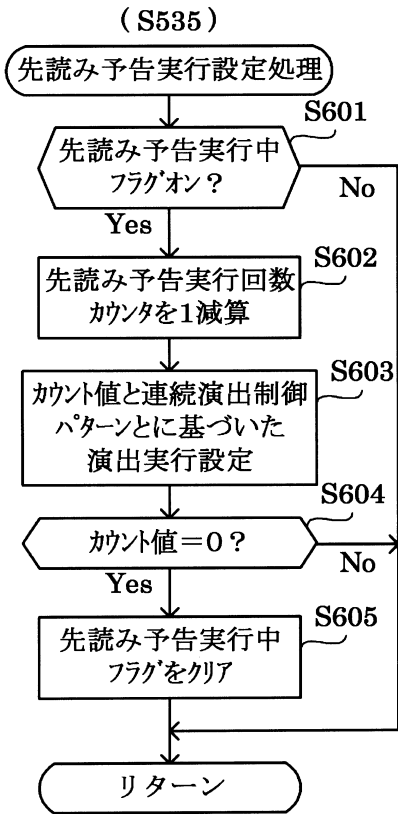
可変表示結果	予告実行なし	変動中予告パターン		
		予告X	予告Y	予告Z
ハズレ(非リーチ)	90%	6%	3%	1%
ハズレ(リーチ)	60%	20%	15%	5%
大当り	10%	5%	35%	50%
小当り	30%	40%	20%	10%

先読み予告パターンSYP3-1実行中(背景変化前)

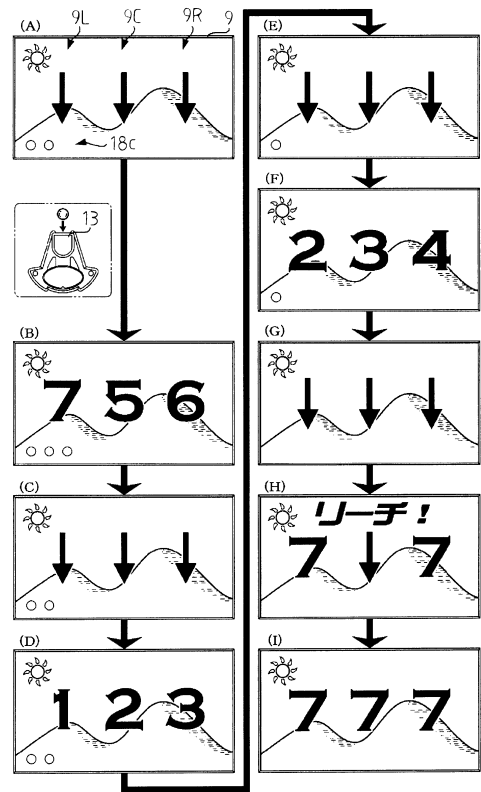
(B)

可変表示結果	予告実行なし	変動中予告パターン		
		予告X	予告Y	予告Z
ハズレ(非リーチ)	90%	0%	10%	0%
ハズレ(リーチ)	-	-	-	-
大当り	-	-	-	-
小当り	-	-	-	-

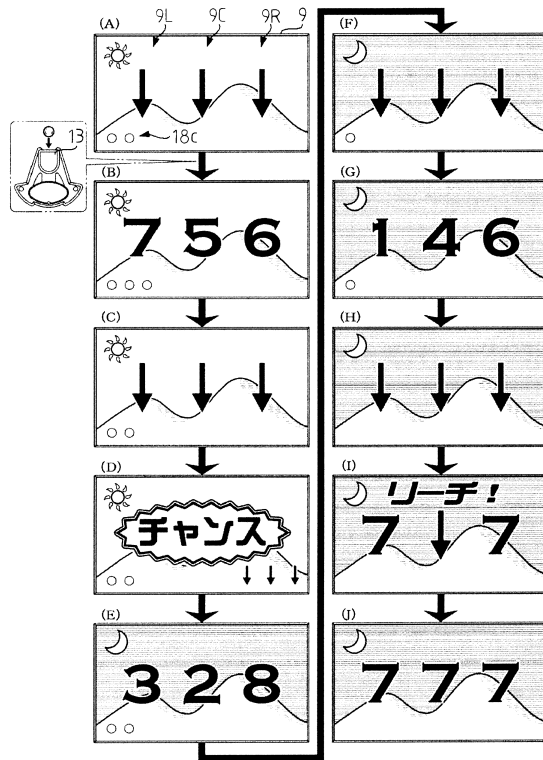
【図 6 6】



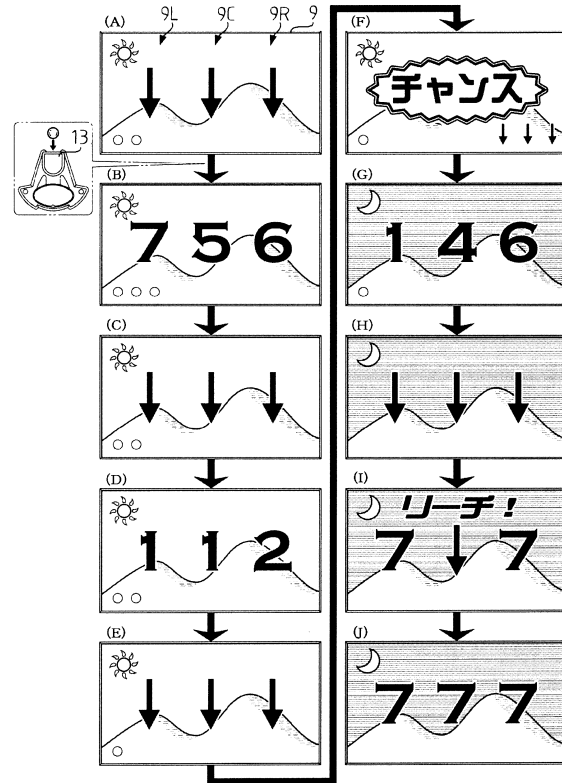
【図 6 7】



【図 68】



【図 69】



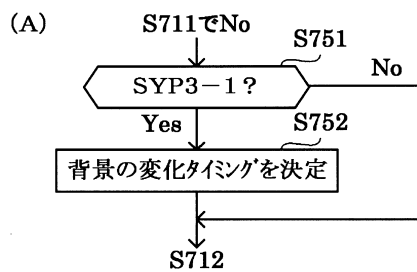
【図 70】

演出内容			
1変動目	2変動目	3変動目	4変動目
チャンス目A停止	チャンス目B停止	背景変化	特殊背景 (ターゲット)

【図 72】

先読み予告演出制御パターン						
先読み 予告パターン	決定時の 保留数	先読み予告 演出制御パターン	演出内容			
			1変動目	2変動目	3変動目	4変動目
SYP3-1	3	SCP4-1-1	チャンス目A停止	背景変化 (変動開始時)	特殊背景 (ターゲット)	-
		SCP4-1-2	チャンス目A停止	背景変化 (変動終了時)	特殊背景 (ターゲット)	-
	4	SCP4-2-1	チャンス目A停止	背景変化 (変動開始時)	特殊背景	特殊背景 (ターゲット)
		SCP4-2-2	チャンス目A停止	背景変化 (変動終了時)	特殊背景	特殊背景 (ターゲット)

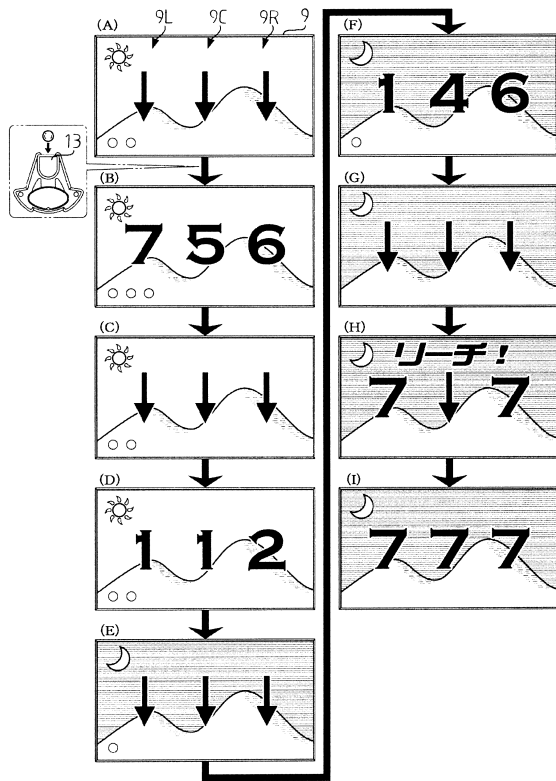
【図 71】



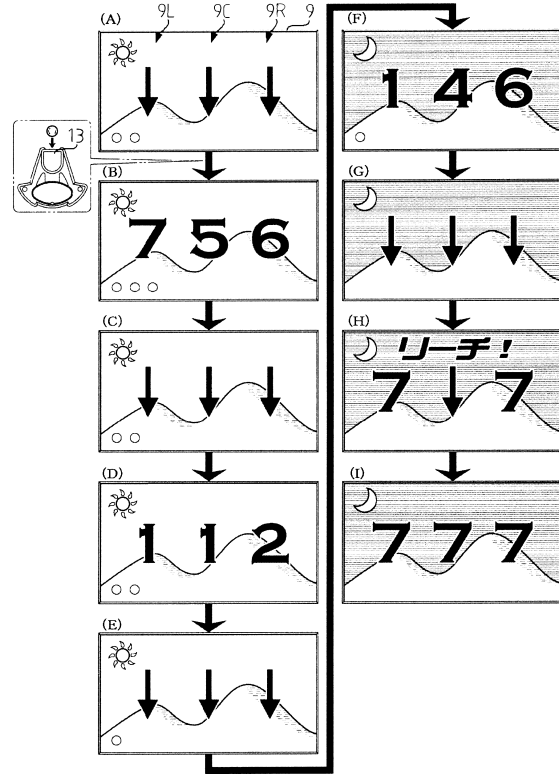
(B) S752 における決定割合

変化タイミング	変動カテゴリ			
	非リーチ ハズレ	リーチ ハズレ	突確・ 小当り	大当り
変動開始時	45%	40%	30%	3%
変動終了時	55%	60%	70%	97%

【図 73】



【図 74】



---

フロントページの続き

(56)参考文献 特許第5024843(JP, B2)  
特許第4991956(JP, B2)  
特開2011-250965(JP, A)

(58)調査した分野(Int.Cl., DB名)  
A63F 7/02  
A63F 5/04