

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-104680

(P2012-104680A)

(43) 公開日 平成24年5月31日(2012.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 M	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 2 K	
	HO 1 L 29/78 6 5 8 G	

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号	特願2010-252508 (P2010-252508)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成22年11月11日(2010.11.11)	(74) 代理人	100108062 弁理士 日向寺 雅彦
		(72) 発明者	松田 哲朗 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	木南 瀬里奈 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	ゴバル マハデヴァイ 東京都港区芝浦一丁目1番1号 株式会社東芝内

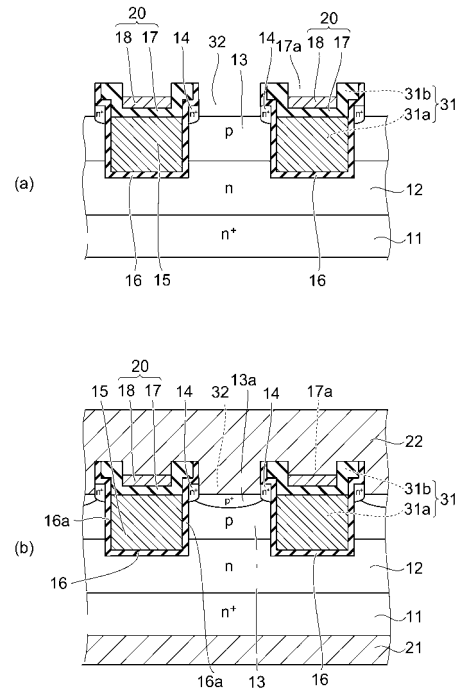
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ゲートトレンチをマスクにしたセルフアラインによる電極のトレンチコンタクト構造を高い信頼性で実現できる半導体装置及びその製造方法を提供する。

【解決手段】実施形態によれば、半導体装置は、第1の主電極と、半導体層と、第1導電形ベース層と、第2導電形ベース層と、ゲートトレンチと、第1導電形半導体領域と、第2の主電極と、ゲート絶縁膜と、ゲート電極と、層間膜とを備えている。第1導電形半導体領域は、ゲートトレンチの上部における下部よりも横方向に突出した部分の下に設けられている。第2の主電極は、第1導電形半導体領域に接している。層間膜は、ゲート電極の上に設けられた絶縁膜と、絶縁膜の上に設けられた導電性を有する膜とを有し、ゲートトレンチの上部に埋め込まれている。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

第 1 の主電極と、  
 前記第 1 の主電極上に設けられた半導体層と、  
 前記半導体層上に設けられた第 1 導電形ベース層と、  
 前記第 1 導電形ベース層の主面上に設けられた第 2 導電形ベース層と、  
 前記第 1 導電形ベース層及び前記第 2 導電形ベース層に隣接する下部と、前記下部の上  
 に設けられ前記第 1 導電形ベース層の前記主面に対して略平行な横方向の幅が前記下部よ  
 りも大きい上部とを有するゲートトレンチと、  
 前記ゲートトレンチの前記上部における、前記下部よりも前記横方向に突出した部分の  
 下に設けられた第 1 導電形半導体領域と、  
 前記第 1 導電形半導体領域に接する第 2 の主電極と、  
 前記ゲートトレンチの前記下部の側壁に設けられたゲート絶縁膜と、  
 前記ゲートトレンチの前記下部における前記ゲート絶縁膜の内側に設けられたゲート電  
 極と、  
 前記ゲート電極の上に設けられた絶縁膜と、前記絶縁膜の上に設けられた導電性を有す  
 る膜とを有し、前記ゲートトレンチの前記上部に埋め込まれた層間膜と、  
 を備えたことを特徴とする半導体装置。

## 【請求項 2】

前記第 2 の主電極は、前記ゲートトレンチの前記上部及び前記第 1 導電形半導体領域に  
 隣接して前記第 2 導電形ベース層に達するコンタクトトレンチ内に設けられたことを特徴  
 とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記層間膜は、前記導電性を有する膜の上に設けられた第 2 の絶縁膜をさらに有するこ  
 とを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

前記絶縁膜は凹部を有し、前記導電性を有する膜は前記凹部に設けられたことを特徴と  
 する請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

## 【請求項 5】

第 1 導電形ベース層に、下部と、前記下部の上に設けられ前記第 1 導電形ベース層の主  
 面に対して略平行な横方向の幅が前記下部よりも大きい上部とを有するゲートトレンチを  
 複数形成する工程と、

前記ゲートトレンチの前記下部の側壁にゲート絶縁膜を形成する工程と、  
 前記ゲートトレンチの前記下部における前記ゲート絶縁膜の内側にゲート電極を形成す  
 る工程と、

隣り合う前記ゲートトレンチ間の前記第 1 導電形ベース層の上部に、第 2 導電形ベース  
 層を形成する工程と、

前記ゲートトレンチの前記上部における前記下部よりも前記横方向に突出した部分の下  
 を含む前記第 2 導電形ベース層の上部に、第 1 導電形半導体領域を形成する工程と、

前記ゲート電極の上における前記ゲートトレンチの前記上部に、層間膜を埋め込む工程  
 と、

隣り合う前記ゲートトレンチ間の前記第 1 導電形半導体領域の表面よりも上方に前記層  
 間膜を突出させた状態で、前記層間膜をマスクにして自己整合的に前記第 1 導電形半導体  
 領域をエッチングして、前記第 2 導電形ベース層に達するコンタクトトレンチを形成する  
 工程と、

前記コンタクトトレンチ内に電極を埋め込む工程と、  
 を備えたことを特徴とする半導体装置の製造方法。

## 【請求項 6】

前記層間膜を形成する工程は、  
 前記ゲート電極上に絶縁膜を形成する工程と、

10

20

30

40

50

前記絶縁膜上に導電性を有する膜を形成する工程と、  
を有し、

前記導電性を有する膜を露出させた状態で、前記第1導電形半導体領域をエッチングすることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】

前記ゲートトレンチを形成する工程は、

前記第1導電形ベース層の表面にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜をパターンニングする工程と、

前記パターンニングされたシリコン窒化膜をマスクにして、前記第1導電形ベース層をエッチングする工程と、

を有し、

前記層間膜としてシリコン酸化膜を前記ゲートトレンチの前記上部に埋め込んだ後、前記シリコン窒化膜を除去して、前記層間膜を前記第1導電形半導体領域の表面よりも上方に突出させることを特徴とする請求項5記載の半導体装置の製造方法。

【請求項8】

前記ゲートトレンチを形成する工程は、

前記第1導電形ベース層の表面にシリコン酸化膜を形成する工程と、

前記シリコン酸化膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜及び前記シリコン酸化膜をパターンニングする工程と、

前記パターンニングされた前記シリコン窒化膜及び前記シリコン酸化膜をマスクにして、前記第1導電形ベース層をエッチングする工程と、

を有し、

前記層間膜としてシリコン酸化膜を前記ゲートトレンチの前記上部に埋め込んだ後、前記シリコン窒化膜を除去して、前記層間膜を前記第1導電形半導体領域の表面よりも上方に突出させることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

例えば電力制御などに用いられるパワーデバイスにおいて、トレンチゲート構造がよく用いられている。トレンチゲート構造のデバイスにおいて、トレンチゲート間のピッチ（セルピッチ）を狭くすることで単位面積当たりに流せる電流値を高めることができ、低損失かつ低コストのデバイスを実現していくひとつの方策としてセルピッチの微細化が進められている。

【0003】

しかしながら、ウェーハ表面にリソグラフィによってパターンを描画するという製造上の問題として、トレンチゲートと、ソース（またはエミッタ）電極との光学的合わせ余裕がセルピッチ微細化の制約となってくる。

【0004】

そこで、トレンチゲートパターンを利用して、ソースコンタクトトレンチを自己整合的（セルフアライン）に形成する方法が提案されている。これは、トレンチゲート電極上に設けた層間絶縁膜をマスクにして、ソースコンタクトトレンチをリソグラフィ工程なしで形成するものである。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許第6916745号明細書

【特許文献2】米国特許第7344943号明細書

10

20

30

40

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

実施形態は、トレンチゲートをマスクにしたセルフアラインによる電極のトレンチコンタクト構造を高い信頼性で実現できる半導体装置及びその製造方法を提供する。

## 【課題を解決するための手段】

## 【0007】

実施形態によれば、半導体装置は、第1の主電極と、半導体層と、第1導電形ベース層と、第2導電形ベース層と、ゲートトレンチと、第1導電形半導体領域と、第2の主電極と、ゲート絶縁膜と、ゲート電極と、層間膜と、を備えている。

10

前記半導体層は、前記第1の主電極上に設けられている。

前記第1導電形ベース層は、前記半導体層上に設けられている。

前記第2導電形ベース層は、前記第1導電形ベース層の主面上に設けられている。

前記ゲートトレンチは、前記第1導電形ベース層及び前記第2導電形ベース層に隣接する下部と、前記下部の上に設けられ前記第1導電形ベース層の前記主面に対して略平行な横方向の幅が前記下部よりも大きい上部とを有する。

前記第1導電形半導体領域は、前記ゲートトレンチの前記上部における、前記下部よりも前記横方向に突出した部分の下に設けられている。

前記第2の主電極は、前記第1導電形半導体領域に接している。

前記ゲート絶縁膜は、前記ゲートトレンチの前記下部の側壁に設けられている。

20

前記ゲート電極は、前記ゲートトレンチの前記下部における前記ゲート絶縁膜の内側に設けられている。

前記層間膜は、前記ゲート電極の上に設けられた絶縁膜と、前記絶縁膜の上に設けられた導電性を有する膜とを有し、前記ゲートトレンチの前記上部に埋め込まれている。

## 【図面の簡単な説明】

## 【0008】

【図1】第1実施形態に係る半導体装置の製造方法を示す模式断面図。

【図2】第1実施形態に係る半導体装置の製造方法を示す模式断面図。

【図3】第1実施形態に係る半導体装置の製造方法を示す模式断面図。

【図4】第1実施形態に係る半導体装置の製造方法を示す模式断面図。

30

【図5】第1実施形態に係る半導体装置の製造方法を示す模式断面図。

【図6】第2実施形態に係る半導体装置の模式断面図。

【図7】第3実施形態に係る半導体装置の製造方法を示す模式断面図。

【図8】第3実施形態に係る半導体装置の製造方法を示す模式断面図。

【図9】第3実施形態に係る半導体装置の製造方法を示す模式断面図。

【図10】第4実施形態に係る半導体装置の製造方法を示す模式断面図。

【図11】第4実施形態に係る半導体装置の製造方法を示す模式断面図。

【図12】第4実施形態に係る半導体装置の製造方法を示す模式断面図。

## 【発明を実施するための形態】

## 【0009】

40

以下、図面を参照し、実施形態について説明する。なお、各図面中、同じ要素には同じ符号を付している。以下の実施形態では第1導電形をn形、第2導電形をp形として説明するが、第1導電形をp形、第2導電形をn形としてもよい。

## 【0010】

実施形態に係る半導体装置は、半導体層（または基板）における厚さ方向の一方の主面側に設けられた第1の主電極と、他方の主面側に設けられた第2の主電極との間を結ぶ縦方向に電流経路が形成される縦型デバイスである。

## 【0011】

以下の実施形態では、半導体装置として、M O S F E T (Metal-Oxide-Semiconductor Field Effect Transistor) を例に挙げるが、I G B T (Insulated Gate Bipolar Transi

50

stor)であってもよい。IGBTの場合、以下に説明する $n^+$ 形のドレイン層11を、 $p^+$ 形のコレクタ層に置き換えればよい。

【0012】

また、実施形態の半導体装置は、半導体材料として例えばシリコンを用いている。あるいは、シリコン以外の半導体(例えばSiC、GaN等の化合物半導体)を用いてもよい。

【0013】

(第1実施形態)

図5(b)は、第1実施形態に係る半導体装置の模式断面図である。

【0014】

本実施形態の半導体装置は、 $n^+$ 形のドレイン層(もしくは基板)11と、 $n$ 形ベース層12と、 $p$ 形ベース層13と、 $n^+$ 形のソース領域14とを含む。ドレイン層11及びソース領域14は、 $n$ 形ベース層12よりも $n$ 形不純物濃度が高い。

【0015】

ドレイン層11は、第1の主電極21上に設けられている。ドレイン層11と第1の主電極21とはオーミック接触し、ドレイン層11は第1の主電極21と電氣的に接続されている。

【0016】

$n$ 形ベース層12は、ドレイン層11の主面上に設けられている。 $p$ 形ベース層13は、 $n$ 形ベース層12の主面上に設けられている。

【0017】

それら半導体層の表面側には、複数のゲートトレンチ31が形成されている。ゲートトレンチ31は、下部31aと、下部31aの上に設けられた上部31bとを有する段付き形状に形成されている。複数のゲートトレンチ31は、例えば紙面奥行き方向に延びるストライプ状の平面パターンで形成されている。

【0018】

ゲートトレンチ31の下部31aは、 $p$ 形ベース層13を貫通し、 $n$ 形ベース層12に達する。下部31aは、 $n$ 形ベース層12及び $p$ 形ベース層13に隣接している。上部31bは、 $p$ 形ベース層13よりも上に位置する。上部31bの深さは、下部31aの深さよりも浅い。

【0019】

ゲートトレンチ31の上部31bは、下部31aよりも大きい幅を有する。すなわち、上部31bは、下部31bよりも、 $n$ 形ベース層12の主面に対して略平行な横方向に突出している。したがって、隣り合うゲートトレンチ31において、上部31b間のピッチは下部31a間のピッチよりも小さい。

【0020】

ゲートトレンチ31の下部31aの側壁及び底部には、絶縁膜16が設けられている。この絶縁膜16のうち特に下部31aの側壁に設けられた絶縁膜をゲート絶縁膜16aとする。上部31bの側壁にも絶縁膜16が形成されている。また、絶縁膜16は、下部31aと上部31bとの段部を覆っている。

【0021】

ゲートトレンチ31の下部31aにおける、絶縁膜16の内側にゲート電極15が設けられている。ゲート電極15は、ゲート絶縁膜16aを介在させて、 $p$ 形ベース層13に対向している。ゲート電極15の一部は、ゲートトレンチ31の上方に引き出されて、図示しないゲート配線と接続されている。ゲート電極15は、不純物が添加され導電性を有する半導体材料(例えば多結晶シリコン)からなる。あるいは、ゲート電極15として、金属を用いてもよい。

【0022】

ゲートトレンチ31の上部31bにおける、下部31aよりも横方向に突出した部分の下には、ソース領域14が設けられている。ソース領域14は、ゲート絶縁膜16aに隣

10

20

30

40

50

接している。ソース領域 14 の底面は、p 形ベース層 13 に対して p n 接合している。

【0023】

ゲートトレンチ 31 における隣り合う上部 31b 間には、コンタクトトレンチ 32 が形成されている。コンタクトトレンチ 32 は、ゲートトレンチ 31 の上部 31b の側面及びソース領域 14 の側面に隣接している。

【0024】

コンタクトトレンチ 32 の底部は、ゲートトレンチ 31 の上部 31b よりも下方に位置し、p 形ベース層 13 に達する。コンタクトトレンチ 32 が達する p 形ベース層 13 の表面には、相対的に p 形不純物濃度が高い p<sup>+</sup> 形のコンタクト領域 13a が形成されている。なお、コンタクトトレンチ 32 の底部は、ソース領域 14 よりも深い位置に達していてもよい。

10

【0025】

コンタクトトレンチ 32 内には、第 2 の主電極 22 が設けられている。第 2 の主電極 22 は、ソース領域 14 の側面にオーミック接触し、ソース領域 14 は第 2 の主電極 22 と電氣的に接続されている。また、第 2 の主電極 22 は、コンタクト領域 13a の表面にオーミック接触している。したがって、p 形ベース層 13 は、コンタクト領域 13a を介して第 2 の主電極 22 と電氣的に接続されている。

【0026】

第 1 の主電極 21 及び第 2 の主電極 22 は、例えば金属材料からなる。

【0027】

ゲートトレンチ 31 の上部 31b には、層間膜 20 が埋め込まれている。層間膜 20 は、ゲート電極 15 の上に設けられた絶縁膜 17 と、絶縁膜 17 上に設けられた半導体膜 18 とを有する。絶縁膜 17 は凹部 17a を有し、その凹部 17a に半導体膜 18 が設けられている。

20

【0028】

絶縁膜 17 は、例えばシリコン酸化膜である。あるいは、絶縁膜 17 としてシリコン窒化膜を用いてもよい。半導体膜 18 は、不純物が添加され導電性を有する例えば多結晶シリコン膜である。層間膜 20 における絶縁膜 17 の上に設けられる膜は、導電性を有する膜であればよく、半導体膜に限らず、金属膜等の導体膜を用いてもよい。

【0029】

第 2 の主電極 22 は、層間膜 20 の上にも設けられている。したがって、第 2 の主電極 22 は、半導体膜 18 に接している。半導体膜 18 とゲート電極 15 との間には、絶縁膜 17 が介在しているため、第 2 の主電極 22 とゲート電極 15 とはつながっていない。

30

【0030】

以上説明した本実施形態の半導体装置において、相対的に、第 1 の主電極 21 に高電位、第 2 の主電極 22 に低電位が印加された状態で、ゲート電極 15 に所望のゲート電位が印加されると、p 形ベース層 13 におけるゲート絶縁膜 16a との界面付近に反転層 (n チャネル) が形成される。例えば、グランド電位または負電位が印加される第 2 の主電極 22 の電位に対して正電位がゲート電極 15 に印加される。第 1 の主電極 21 には、ゲート電位よりも高い正電位が印加される。

40

【0031】

これにより、ソース領域 14、n チャネル、n 形ベース層 12 およびドレイン層 11 を介して、第 2 の主電極 22 と第 1 の主電極 21 間に電流が流れ、オン状態になる。

【0032】

また、ゲートオフ時にアバランシェブレークダウンが発生すると、正孔電流は、p<sup>+</sup> 形のコンタクト領域 13a を介して第 2 の主電極 22 へと流れる。これにより、素子破壊を防止できる。

【0033】

次に、図 1 (a) ~ 図 5 (b) を参照して、第 1 実施形態に係る半導体装置の製造方法について説明する。

50

## 【0034】

図1(a)に示すように、基板(ドレイン層)11上にn形ベース層12を形成した後、n形ベース層12の表面上に、エッチングマスク41を形成する。エッチングマスク41には、選択的に開口41aが形成されている。

## 【0035】

そのエッチングマスク41をマスクにして、例えばRIE(Reactive Ion Etching)法でn形ベース層12をエッチングする。これにより、図1(b)に示すように、前述したゲートトレンチ31の下部31aになるトレンチがn形ベース層12に形成される。複数のゲートトレンチ31の下部31aが例えばストライプ状の平面パターンで形成される。

## 【0036】

次に、エッチングマスク41に対して等方的なエッチングを行う。このエッチングにより、エッチングマスク41は厚さ方向に消費されると共に平面方向にも消費される。このため、図2(a)に示すように、エッチングマスク41の開口41aの幅が広がる。このエッチングマスク41をマスクにして、RIEを行うことで、図2(b)に示すように、下部31aの上に、下部31aよりも幅が広い上部31bが形成される。すなわち、n形ベース層12に、段付き形状のゲートトレンチ31が複数形成される。

あるいは、図1(a)の状態、例えばケミカルドライエッチングでn形ベース層12の上部を等方的にエッチングして上部31bを形成し、その後エッチングマスク41をそのままの寸法で残した状態でRIEを行い、下部31aを形成してもよい。

## 【0037】

次に、エッチングマスク41を除去した後、図3(a)に示すように、ゲートトレンチ31の内壁に絶縁膜16を形成する。絶縁膜16は、n形ベース層12の表面上にも形成される。

## 【0038】

絶縁膜16を形成した後、ゲートトレンチ31内を埋め込むようにn形ベース層12上に、ゲート電極材を形成する。この後、ゲート電極材をエッチバックする。これにより、図3(a)に示すように、ゲートトレンチ31の下部31a内にゲート電極15が残される。

## 【0039】

次に、隣り合うゲートトレンチ31間のn形ベース層12の上部に、p形不純物をイオン注入法で導入して、図3(b)に示すp形ベース層13を形成する。さらに、p形ベース層13の上部に、n形不純物をイオン注入法で導入して、p形ベース層13上にn<sup>+</sup>形のソース領域14を形成する。

## 【0040】

p形ベース層13及びソース領域14は、ゲートトレンチ31、絶縁膜16及びゲート電極15を形成した後、それらをマスクにして自己整合的に形成される。

## 【0041】

ソース領域14は、隣り合うゲートトレンチ31の上部31bと上部31bとの間に形成される。また、ゲートトレンチ31の上部31bは下部31aよりも横方向に突出している。したがって、その上部31bの横方向に突出した部分の下にもn形不純物が打ち込まれ、その部分にもソース領域14が形成される。

## 【0042】

次に、図4(a)に示すように、ゲートトレンチ31の上部31bに、層間膜20を埋め込む。層間膜20は、絶縁膜17と半導体膜18を含む。ゲート電極15上に、絶縁膜17として例えばシリコン酸化膜を形成する。絶縁膜17を形成した後、絶縁膜17上に、半導体膜18として例えば多結晶シリコン膜を形成する。絶縁膜17及び半導体膜18は、例えばCVD(chemical vapor deposition)法で形成される。

## 【0043】

絶縁膜17は、ゲートトレンチ31の下部31aと上部31bとの段差部を覆う。さらに、絶縁膜17は、隣り合うゲートトレンチ31間のソース領域14及び絶縁膜16上に

10

20

30

40

50

も形成される。絶縁膜 17 は、ゲートトレンチ 31 の上部 31 b の内壁に形成され、上部 31 b は絶縁膜 17 で完全には埋め込まれない。したがって、上部 31 b の内壁に形成された絶縁膜 17 の内側には凹部 17 a が存在する。その凹部 17 a を埋め込むように、半導体膜 18 は絶縁膜 17 上の全面にわたって形成される。

【0044】

次に、半導体膜 18 をエッチバックする。隣り合うゲートトレンチ 31 間の絶縁膜 17 が露出するまで、半導体膜 18 はエッチバックされる。半導体膜 18 のエッチバックにより絶縁膜 17 が露出すると、絶縁膜 17 及びその下の絶縁膜 16 をエッチバックする。

【0045】

絶縁膜 17 及び絶縁膜 16 は、図 4 (b) に示すように、隣り合うゲートトレンチ 31 間のソース領域 14 の表面が露出するまでエッチバックされる。このとき、絶縁膜 17 及び絶縁膜 16 とは異なる材料の半導体膜 18 の厚さ方向の消費は抑えられる。したがって、ゲートトレンチ 31 の上部 31 b に設けられた半導体膜 18 は、図 4 (b) に示すように、ソース領域 14 の表面及び絶縁膜 17 の表面よりも上方に突出する。残された半導体膜 18 の厚さ(高さ)は、後の工程で形成するコンタクトトレンチ 32 の深さと同じか、それ以上である。

【0046】

ソース領域 14 の表面よりも上方に半導体膜 18 を突出させ且つ露出させた状態で、その半導体膜 18 及び絶縁膜 17 を含む層間膜 20 をマスクにして自己整合的にソース領域 14 を、例えば RIE 法でエッチングする。このエッチングに際して、リソグラフィによって別途マスクは形成しない。

【0047】

このエッチングによって、図 5 (a) に示すコンタクトトレンチ 32 が形成される。コンタクトトレンチ 32 は p 形ベース層 13 に達し、コンタクトトレンチ 32 の底部に p 形ベース層 13 が露出する。その p 形ベース層 13 の表面に、p 形不純物がイオン注入法で導入され、図 5 (b) に示す p<sup>+</sup> 形のコンタクト領域 13 a が形成される。

【0048】

隣り合うゲートトレンチ 31 の上部 31 b の間に形成されたソース領域 14 は除去される。RIE は異方性のエッチングであるため、上部 31 b と下部 31 a との段差部の下に形成されたソース領域 14 は、その上の絶縁膜 16 及び絶縁膜 17 がマスクとなって残される。そのソース領域 14 の側面は、コンタクトトレンチ 32 に露出する。

【0049】

コンタクトトレンチ 32 内には、図 5 (b) に示すように、第 2 の主電極 22 が埋め込まれる。コンタクトトレンチ 32 内の第 2 の主電極 22 は、コンタクト領域 13 a の表面およびソース領域 14 の側面にオーミック接触する。

【0050】

本実施形態では、ゲートトレンチ 31 の上部 31 b に設けられた層間膜 20 をマスクにした RIE 法によるエッチングにより、コンタクトトレンチ 32 を形成する。すなわち、リソグラフィによるパターンニングを行うことなく、ゲートトレンチ 31 のパターン情報を利用してコンタクトトレンチ 32 が自己整合的(セルフアライン)に形成される。

【0051】

このため、リソグラフィにおけるゲートトレンチ 31 とコンタクトトレンチ 32 との光学的合わせ余裕に制約されることなく、ゲートトレンチ 31 間のピッチ(セルピッチ)の縮小が可能となる。セルピッチを狭くすることで、単位面積当たりに流せる電流値を高めることができ、低損失かつ低コストのデバイスを実現できる。

【0052】

ここで、比較例として、ゲートトレンチ上部に絶縁膜のみを設けた状態で、それをマスクに RIE して、コンタクトトレンチを形成する方法も考えられる。しかし、RIE 時に露出している絶縁膜の面積が大きいと、RIE 時に加速されたイオンが絶縁膜に打ち込まれて蓄積される電荷の影響が懸念される。

10

20

30

40

50

## 【0053】

絶縁膜に蓄積された電荷は、ゲート電極を経由してゲート絶縁膜に注入され、ゲート絶縁膜の信頼性劣化や破壊をきたす懸念がある。また、絶縁膜中での電荷は移動が制約され、絶縁膜中に局所的に高い電荷密度の箇所が生じてしまうと、そこから素子特性が低下してしまう。

## 【0054】

本実施形態では、導電性を有する半導体膜18を、図4(b)に示すようにゲートトレンチ31上に露出させた状態でRIEを行う。このため、ゲート電極15上の絶縁膜17に対する電荷の蓄積を低減できる。この結果、ゲート絶縁膜16aの信頼性低下や破壊を防ぐことができる。また、電荷は半導体膜18中で自由に動けることから、半導体膜18のチャージアップが面方向で偏らず、局所的に高い電荷密度の箇所が発生しにくい。これは、素子特性の低下を抑制する。

10

## 【0055】

ソース領域14及びp形ベース層13をシリコン系材料、半導体膜18もシリコン系材料とした場合、コンタクトトレンチ32の形成時、半導体膜18はコンタクトトレンチ32のエッチングレートに近いレートで消費される。半導体膜18は、コンタクトトレンチ32のRIE中、存在していればよい。したがって、そのRIEを行う前の状態で、半導体膜18の厚さ(高さ)をコンタクトトレンチ32の深さと同じか、それ以上にする。図4(b)に示すように、半導体膜18をソース領域14の表面よりも上方に突出させることで、ゲート電極15上の絶縁膜17の厚さの低減を抑えつつ、半導体膜18の厚さを増大できる。

20

## 【0056】

また、上記比較例において、セルピッチが同一ウェーハ面内で変化するデザインの場合、単位面積当たりのトレンチゲート上絶縁膜と、ソース領域との比率が同一ウェーハ面内で変化する。これは、コンタクトトレンチのRIEの際に、いわゆるマイクロローディング効果により、コンタクトトレンチの深さが、絶縁膜とソース領域との面積比率に応じてばらついてしまう原因になる。コンタクトトレンチの深さは、トランジスタの性能を決める重要なパラメータであるため、厳密な管理が要求される。

## 【0057】

上記コンタクトトレンチの深さのばらつきを防ぐために、絶縁膜とソース領域との面積比率に応じて、RIEの条件を変えることが考えられるが、これは製造効率の低下をまねき、コストアップにつながる。コンタクトトレンチのRIE時、ウェーハ表面は、なるべく同質の材料で形成されている方がよい。

30

## 【0058】

本実施形態では、コンタクトトレンチ32のRIE時、ゲートトレンチ31の表面に半導体膜18が露出している。半導体であるソース領域14とは異種材料の絶縁膜17の露出面積が相対的に低減している。これにより、マイクロローディング効果を抑制して、トレンチコンタクト32の深さのばらつきを抑制できる。すなわち、コンタクトトレンチ32のRIE時に、ウェーハ表面に露出する絶縁膜の面積が、ゲートトレンチ31の幅やピッチに依存することなくほぼ一定となり、コンタクトトレンチ32の深さやテーパ角度などの制御が容易となる。

40

## 【0059】

(第2実施形態)

図6は、第2実施形態に係る半導体装置の模式断面図である。

## 【0060】

本実施形態において、ゲートトレンチ31の上部31bに設けられる層間膜は、第1実施形態と同様に絶縁膜17及び半導体膜18を有し、さらに半導体膜18の上に設けられた絶縁膜(第2の絶縁膜)19を有する。

## 【0061】

絶縁膜19は、半導体膜18と第2の主電極22との間に設けられている。半導体膜1

50

8は第2の主電極22と接続されず、電氣的にフローティングである。あるいは、半導体膜18の電位は、他の電極と同電位もしくは複数の電極間の中間電位として、寄生容量の低減など、素子設計の目的に合わせて適宜設定可能である。

絶縁膜19を設けたことで、第2の主電極22とゲート電極15との間の絶縁膜の厚さを増大でき、第2の主電極22とゲート電極15間の耐圧を向上できる。

【0062】

絶縁膜19は、コンタクトトレンチ32を形成した後に形成される。絶縁膜19として、例えばCVD法でシリコン酸化膜やシリコン窒化膜を形成する。したがって、コンタクトトレンチ32を形成するRIEの時には、半導体膜18は絶縁膜19で覆われずに露出している。このため、コンタクトトレンチ32のRIE時、ゲート電極15上の絶縁膜17に対する電荷の蓄積を低減でき、ゲート絶縁膜16aの信頼性低下や破壊を防ぐことができる。

【0063】

(第3実施形態)

図7(a)~図9(b)は、第3実施形態に係る半導体装置の製造方法を示す模式断面図である。

【0064】

図7(a)に示すように、基板(ドレイン層)11上にn形ベース層12を形成した後、n形ベース層12の表面上に、エッチングマスクとなるシリコン窒化膜51を形成する。n形ベース層12はシリコン層である。

【0065】

シリコン窒化膜51上にはレジスト膜53が形成される。レジスト膜53は、所望の開口を有するパターンにパターンニングされる。

【0066】

そのパターンニングされたレジスト膜53をマスクにして、シリコン窒化膜51をエッチングする。これにより、シリコン窒化膜51に、選択的に開口が形成される。

【0067】

そして、そのシリコン窒化膜51をマスクにして、図7(b)に示すように、RIE法でn形ベース層12をエッチングする。これにより、ゲートトレンチ31の下部31aになるトレンチがn形ベース層12に形成される。複数のゲートトレンチ31の下部31aが例えばストライプ状の平面パターンで形成される。

【0068】

次に、シリコン窒化膜51に対して等方的なエッチングを行う。このエッチングにより、シリコン窒化膜51は厚さ方向に消費されると共に平面方向にも消費される。このため、図7(c)に示すように、シリコン窒化膜51の開口幅が広がる。このシリコン窒化膜51をマスクにして、RIEを行うことで、下部31aの上に、下部31aよりも幅が広い上部31bが形成される。すなわち、n形ベース層12に、段付き形状のゲートトレンチ31が複数形成される。

【0069】

次に、図8(a)に示すように、ゲートトレンチ31の内壁に絶縁膜16を形成する。絶縁膜16を形成した後、ゲートトレンチ31内を埋め込むようにn形ベース層12上に、ゲート電極材を形成する。この後、ゲート電極材をエッチバックする。これにより、図8(b)に示すように、ゲートトレンチ31の下部31a内にゲート電極15が残される。

【0070】

次に、隣り合うゲートトレンチ31間のn形ベース層12の上部に、p形不純物をイオン注入法で導入して、p形ベース層13を形成する。さらに、p形ベース層13の上部に、n形不純物をイオン注入法で導入して、p形ベース層13上にn<sup>+</sup>形のソース領域14を形成する。p形ベース層13及びソース領域14は、ゲートトレンチ31、絶縁膜16及びゲート電極15を形成した後、それらをマスクにして自己整合的に形成される。

10

20

30

40

50

## 【0071】

ソース領域14は、隣り合うゲートトレンチ31の上部31bと上部31bとの間に形成される。また、ゲートトレンチ31の上部31bは下部31aよりも横方向に突出している。したがって、その上部31bの横方向に突出した部分の下にもn形不純物が打ち込まれ、その部分にもソース領域14が形成される。

## 【0072】

次に、図8(c)に示すように、ゲートトレンチ31の上部31b及びその上のシリコン窒化膜51の開口内に、層間膜61を埋め込む。層間膜61として、例えばシリコン酸化膜をCVD法で形成する。層間膜61は、シリコン窒化膜51の全面に堆積された後、シリコン窒化膜51の表面が露出するまでエッチバックされる。層間膜61の表面は、シリコン窒化膜51の表面とほぼ同一面にある。

10

## 【0073】

次に、シリコン窒化膜51をエッチングにより除去する。層間膜61はシリコン窒化膜51とは異なる材料からなり、層間膜61の消費は抑えられる。したがって、シリコン窒化膜51が除去されると、図9(a)に示すように、層間膜61はソース領域14の表面よりも上方に突出する。

## 【0074】

ソース領域14の表面よりも上方に層間膜61を突出させた状態で、その層間膜61をマスクにして自己整合的にソース領域14を、例えばRIE法でエッチングする。このエッチングに際して、リソグラフィによって別途マスクは形成しない。

20

## 【0075】

このエッチングによって、図9(b)に示すコンタクトトレンチ32が形成される。コンタクトトレンチ32はp形ベース層13に達し、コンタクトトレンチ32の底部にp形ベース層13が露出する。

## 【0076】

隣り合うゲートトレンチ31の上部31bの間に形成されたソース領域14は除去される。RIEは異方性のエッチングであるため、上部31bと下部31aとの段差部の下に形成されたソース領域14は、その上の層間膜61がマスクとなって残される。そのソース領域14の側面は、コンタクトトレンチ32に露出する。

## 【0077】

コンタクトトレンチ32内には、前述した実施形態と同様に、第2の主電極22が埋め込まれ、コンタクトトレンチ32内の第2の主電極22はソース領域14の側面にオーミック接触する。

30

## 【0078】

本実施形態では、ゲートトレンチ31の上部31bに設けられた層間膜61をマスクにしたRIE法によるエッチングにより、コンタクトトレンチ32を形成する。すなわち、リソグラフィによるパターンニングを行うことなく、ゲートトレンチ31のパターン情報を利用してコンタクトトレンチ32が自己整合的(セルフアライン)に形成される。

## 【0079】

このため、リソグラフィにおけるゲートトレンチ31とコンタクトトレンチ32との光学的合わせ余裕に制約されることなく、ゲートトレンチ31間のピッチ(セルピッチ)の縮小が可能となる。セルピッチを狭くすることで、単位面積当たりに流せる電流値を高めることができ、低損失かつ低コストのデバイスを実現できる。

40

## 【0080】

ここで、比較例として、図9(a)において、層間膜61の表面が、ソース領域14の表面よりも上方に突出せず、ソース領域14の表面とほぼ同一面にある場合を考える。層間膜61の絶縁信頼性が保たれる膜厚が $x$ (nm)とすると、ゲート電極15の上端はソース領域14の表面から $x$ (nm)下方に位置しなければならないことになる。

## 【0081】

このため、ゲート抵抗を低抵抗化する目的で、ゲート電極面積を増大するには、更にア

50

スペクト比（幅に対する深さの比）の高いゲートトレンチを形成しなければならない。ここで、ゲート幅の拡大は、セルピッチの縮小というセルフアラインによるトレンチコンタクト構造の前提を覆すことになるため考慮しない。ゲートトレンチのアスペクト比の増大は、ゲート電極材の埋め込み性を悪くし、素子全体の信頼性の劣化につながる。

**【0082】**

本実施形態では、シリコン窒化膜51を用いたプロセスにより、図9(a)に示すように、ソース領域14の表面よりも上方に突出した層間膜61を容易に形成することができる。層間膜61をソース領域14の表面よりも上方に厚くしたことで、ゲート電極15の上端の位置も上方に設計することが可能となる。したがって、ゲートトレンチ31のアスペクト比を増大させることなく、ゲート抵抗の低抵抗化のためのゲート電極面積の増大が容易になる。

10

**【0083】**

また、層間膜61を厚くすることで、層間膜61の容積が増大し、コンタクトトレンチ32を形成するRIE時の層間膜61に対するチャージダメージが緩和される。

**【0084】**

（第4実施形態）

図10(a)～図12(c)は、第4実施形態に係る半導体装置の製造方法を示す模式断面図である。

**【0085】**

図10(a)に示すように、基板（ドレイン層）11上にn形ベース層12を形成した後、シリコン層であるn形ベース層12の表面上にシリコン酸化膜52形成し、さらにシリコン酸化膜52上にシリコン窒化膜51を形成する。

20

**【0086】**

シリコン窒化膜51上にはレジスト膜53が形成される。レジスト膜53は、所望の開口を有するパターンにパターニングされる。

**【0087】**

そのパターニングされたレジスト膜53をマスクにして、シリコン窒化膜51及びシリコン酸化膜52をエッチングする。これにより、シリコン窒化膜51及びシリコン酸化膜52に、選択的に開口が形成される。

**【0088】**

そして、それらシリコン窒化膜51及びシリコン酸化膜52をマスクにして、図10(b)に示すように、RIE法でn形ベース層12をエッチングする。これにより、ゲートトレンチ31の下部31aになるトレンチがn形ベース層12に形成される。複数のゲートトレンチ31の下部31aが例えばストライプ状の平面パターンで形成される。

30

**【0089】**

次に、シリコン窒化膜51及びシリコン酸化膜52に対して等方的なエッチングを行う。このエッチングにより、図10(c)に示すように、シリコン窒化膜51及びシリコン酸化膜52の開口幅が広がる。これらシリコン窒化膜51及びシリコン酸化膜52をマスクにして、RIEを行うことで、下部31aの上に、下部31aよりも幅が広い上部31bが形成される。すなわち、n形ベース層12に、段付き形状のゲートトレンチ31が複数形成される。

40

**【0090】**

次に、図11(a)に示すように、ゲートトレンチ31の内壁に絶縁膜16を形成する。絶縁膜16を形成した後、ゲートトレンチ31内を埋め込むようにn形ベース層12上に、ゲート電極材を形成する。この後、ゲート電極材をエッチバックする。これにより、図11(b)に示すように、ゲートトレンチ31の下部31a内にゲート電極15が残される。

**【0091】**

次に、隣り合うゲートトレンチ31間のn形ベース層12の上部に、p形不純物をイオン注入法で導入して、p形ベース層13を形成する。さらに、p形ベース層13の上部に

50

、n形不純物をイオン注入法で導入して、p形ベース層13上にn<sup>+</sup>形のソース領域14を形成する。p形ベース層13及びソース領域14は、ゲートトレンチ31、絶縁膜16及びゲート電極15を形成した後、それらをマスクにして自己整合的に形成される。

【0092】

ソース領域14は、隣り合うゲートトレンチ31の上部31bと上部31bとの間に形成される。また、ゲートトレンチ31の上部31bは下部31aよりも横方向に突出している。したがって、その上部31bの横方向に突出した部分の下にもn形不純物が打ち込まれ、その部分にもソース領域14が形成される。

【0093】

次に、図11(c)に示すように、ゲートトレンチ31の上部31bと、その上のシリコン酸化膜52及びシリコン窒化膜51の開口内に、層間膜61を埋め込む。層間膜61として、例えばシリコン酸化膜をCVD法で形成する。層間膜61は、シリコン窒化膜51の全面に堆積された後、シリコン窒化膜51の表面が露出するまでエッチバックされる。層間膜61の表面は、シリコン窒化膜51の表面とほぼ同一面にある。

10

【0094】

次に、シリコン窒化膜51をエッチングにより除去する(図12(a))。層間膜61はシリコン窒化膜51とは異なる材料からなり、層間膜61の消費は抑えられる。この後、さらにシリコン酸化膜52を除去して、図12(b)に示すように、ソース領域14の表面を露出させる。シリコン酸化膜52のエッチング時、同じシリコン酸化膜である層間膜62も厚さ方向に同程度エッチングされる。

20

【0095】

シリコン窒化膜51及びシリコン酸化膜52が除去されると、図12(b)に示すように、層間膜61はソース領域14の表面よりも上方に突出する。

【0096】

ソース領域14の表面よりも上方に層間膜61を突出させた状態で、その層間膜61をマスクにして自己整合的にソース領域14を、例えばRIE法でエッチングする。このエッチングに際して、リソグラフィによって別途マスクは形成しない。

【0097】

このエッチングによって、図12(c)に示すコンタクトトレンチ32が形成される。コンタクトトレンチ32はp形ベース層13に達し、コンタクトトレンチ32の底部にp形ベース層13が露出する。

30

【0098】

コンタクトトレンチ32内には、前述した実施形態と同様に、第2の主電極22が埋め込まれ、コンタクトトレンチ32内の第2の主電極22はソース領域14の側面にオーミック接触する。

【0099】

本実施形態においても、リソグラフィによるパターンニングを行うことなく、ゲートトレンチ31のパターン情報を利用してコンタクトトレンチ32が自己整合的(セルフアライン)に形成される。このため、ゲートトレンチ31間のピッチ(セルピッチ)の縮小が可能となる。セルピッチを狭くすることで、単位面積当たりに流せる電流値を高めることができ、低損失かつ低コストのデバイスを実現できる。

40

【0100】

また、図12(b)に示すように、ソース領域14の表面よりも上方に突出した層間膜61を容易に形成することができる。層間膜61をソース領域14の表面よりも上方に厚くしたことで、ゲート電極15の上端の位置も上方に設計することが可能となる。したがって、ゲートトレンチ31のアスペクト比を増大させることなく、ゲート抵抗の低抵抗化のためのゲート電極面積の増大が容易になる。

【0101】

また、層間膜61を厚くすることで、層間膜61の容積が増大し、コンタクトトレンチ32を形成するRIE時の層間膜61に対するチャージダメージが緩和される。

50

## 【0102】

シリコン酸化膜52は、シリコン窒化膜51に比べてシリコンに対するエッチング選択比が高い。したがって、n形ベース層12上にシリコン酸化膜52を形成することで、ソース領域14の表面を露出させるエッチングを容易に行える。また、シリコン酸化膜52は、シリコン窒化膜51に比べて膜自体の応力が小さい。このため、n形ベース層12の表面に、シリコン窒化膜51ではなく、シリコン酸化膜52を形成することで、下層の単結晶シリコンに対するダメージを抑制できる。

## 【0103】

前述した第1、第2実施形態において、コンタクトトレンチ32を形成せずに、図4(b)に示す構造の上に第2の主電極22を設けて、ソース領域14を第2の主電極22に接続させてもよい。あるいは、図4(b)において、隣り合うゲートトレンチ31間に、p形ベース層13の表面が露出しているもよい。

10

## 【0104】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

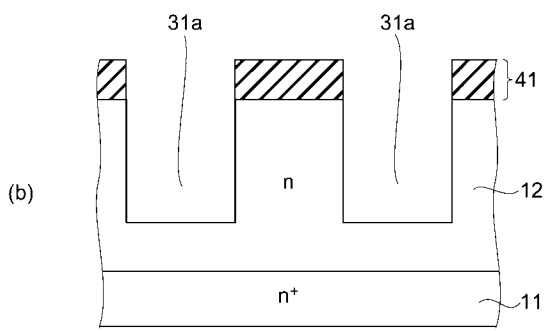
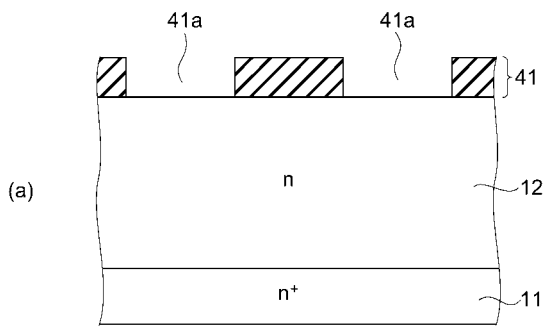
20

## 【符号の説明】

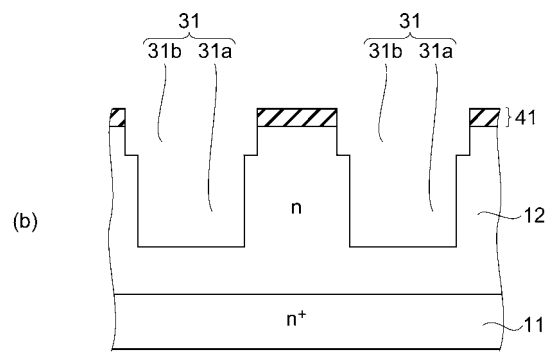
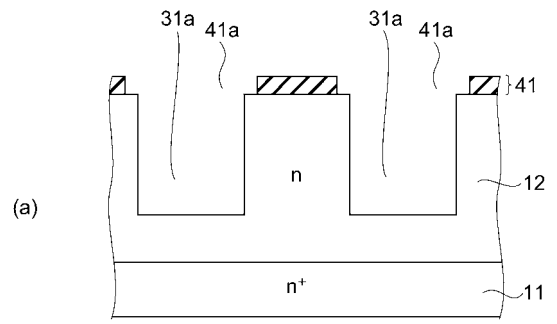
## 【0105】

11...ドレイン層、12...n形ベース層、13...p形ベース層、13a...コンタクト領域、14...ソース領域、15...ゲート電極、17, 19...絶縁膜、18...導電性を有する膜、20, 61...層間膜、21...第1の主電極、22...第2の主電極、31...ゲートトレンチ、31a...ゲートトレンチの下部、31b...ゲートトレンチの上部、32...コンタクトトレンチ、51...シリコン窒化膜、52...シリコン酸化膜

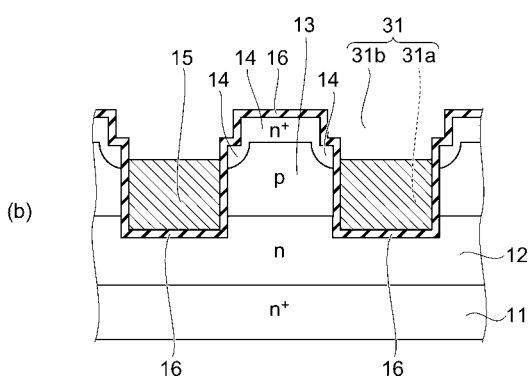
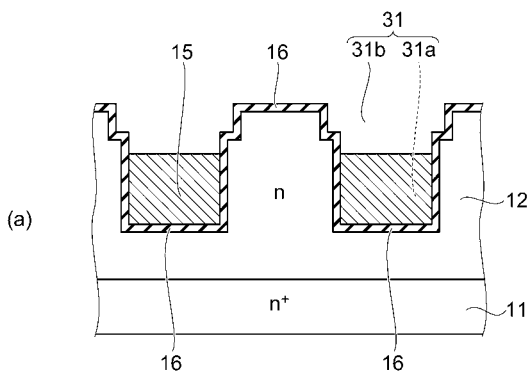
【 図 1 】



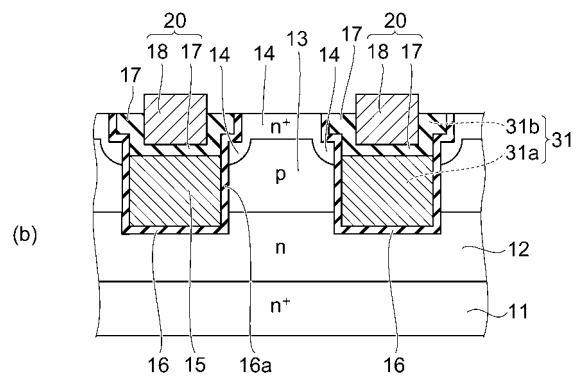
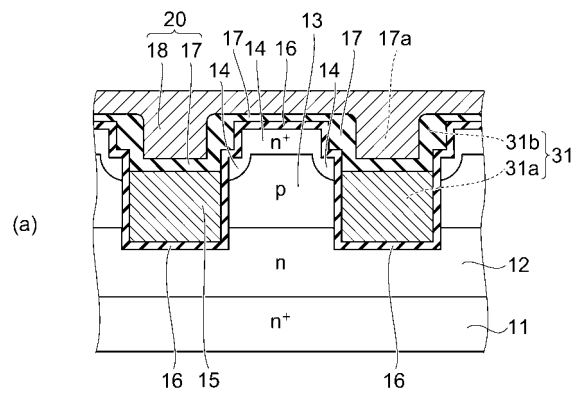
【 図 2 】



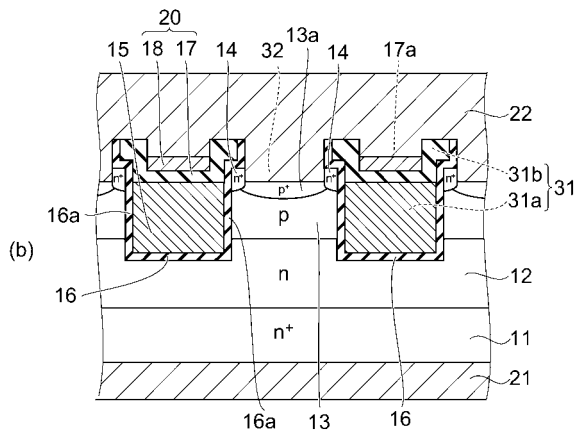
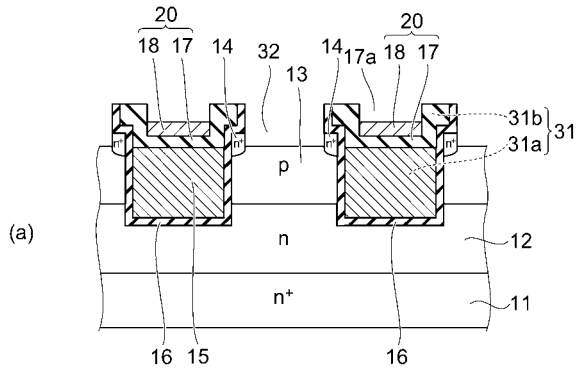
【 図 3 】



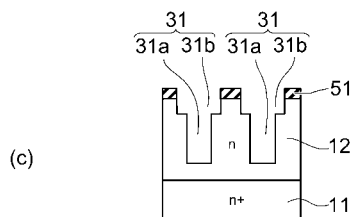
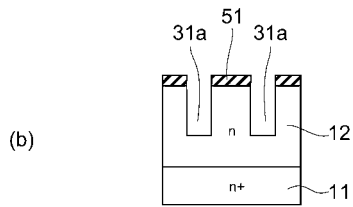
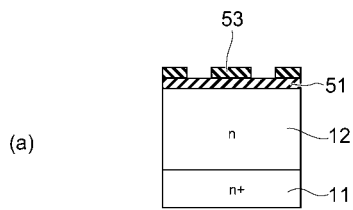
【 図 4 】



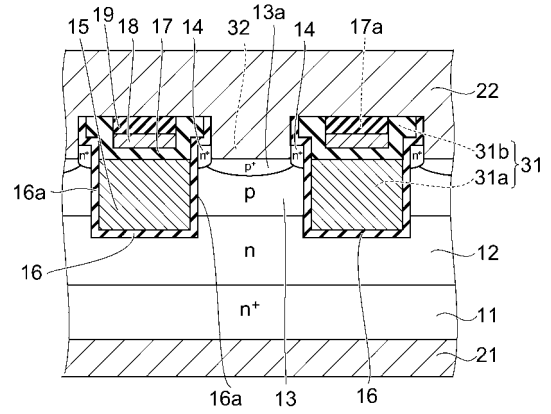
【 図 5 】



【 図 7 】



【 図 6 】



【 図 8 】

