



(12) 发明专利

(10) 授权公告号 CN 101814521 B

(45) 授权公告日 2012. 11. 14

(21) 申请号 201010003502. 1

说明书第 2 页第 1 段 - 第 6 页第 1 段, 第 8 页第 1-2 段.

(22) 申请日 2010. 01. 12

US 2008/0311722 A1, 2008. 12. 18, 附图

(30) 优先权数据

12/353, 219 2009. 01. 13 US

2A-2H、说明书第 [0036]-[0051] 段.

(73) 专利权人 旺宏电子股份有限公司

CN 1828922 A, 2006. 09. 06, 附图 2-5H、说明书第 2 页第 6-19 行, 第 4 页第 10 行 - 第 6 页第 30 行.

地址 中国台湾新竹科学工业园区力行路 16 号

CN 1248065 A, 2000. 03. 22, 说明书第 9 页第 14-16 行.

专利权人 国际商用机器公司

CN 1622360 A, 2005. 06. 01, 附图 1, 3、说明书第 2 页第 16 行 - 第 3 页第 6 行, 第 7 页第 19 行 - 第 10 页第 24 行.

(72) 发明人 龙翔澜 赖二琨 拉詹德南·毕平 林仲汉

CN 1855511 A, 2006. 11. 01, 全文.

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

审查员 季茂源

代理人 周国城

(51) Int. Cl.

H01L 27/24(2006. 01)

H01L 29/73(2006. 01)

H01L 21/822(2006. 01)

H01L 21/331(2006. 01)

(56) 对比文件

CN 101262004 A, 2008. 09. 10, 附图 1-2G、说

权利要求书 3 页 说明书 11 页 附图 45 页

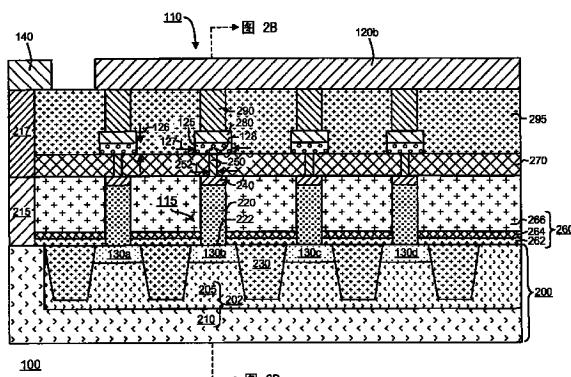
(54) 发明名称

相变化存储器的多晶硅栓塞双极性晶体管及其制造方法

(57) 摘要

本发明公开了一种相变化存储器的多晶硅栓塞双极性晶体管及其制造方法。该相变化存储器的多晶硅栓塞双极性晶体管包括多个存储单元，且每个存储单元包括双极性结晶体管与存储元件。该双极性结晶体管是以共集极组态方式耦接，且包括射极，射极包括具有第一导电性的掺杂多晶硅，且与一条对应字线连接以定义出一pn结；双极性结晶体管亦包括基极与集极，其中基极利用位于该射极下方的该条对应字线一部分所形成，且集极包括位于基极下方的该单晶半导体衬底一部分。

CN 101814521



1. 一种存储装置,其特征在于,包括:

一单晶半导体衬底,具有一第一导电性;

多条字线,位于该单晶半导体衬底内,具有一与该第一导电性相异的第二导电性;

多个存储单元,每个存储单元包括双极性结晶体管与存储元件,该双极性结晶体管是
以共集极组态方式耦接,且该双极性结晶体管包括:

一射极,包括具有该第一导电性的掺杂多晶硅,该射极与一条对应字线连接以定义出
一pn结,该射极透过该存储元件耦接至一位线;

一基极,利用位于该射极下方的该条对应字线一部分所形成;以及

一集极,包括位于该基极下方的该单晶半导体衬底一部分。

2. 根据权利要求1所述的存储装置,其特征在于,该单晶半导体衬底包括一第一掺杂区
与一位于该第一掺杂区下方的第二掺杂区,该第二掺杂区的掺杂浓度高于该第一掺杂区。

3. 根据权利要求1所述的存储装置,其特征在于,更包括导电接触窗,该导电接触窗与
该单晶半导体衬底接触,并耦接至一参考电压。

4. 根据权利要求1所述的存储装置,其特征在于,更包括具有硅化物的侧壁导体,该侧
壁导体位于该多个字线的侧壁表面上。

5. 根据权利要求1所述的存储装置,其特征在于,

该单晶半导体衬底包括n型掺杂的半导体材料;

该多个字线包括p型掺杂的半导体材料;且

每个存储单元的射极包括n型掺杂的多晶硅。

6. 根据权利要求1所述的存储装置,其特征在于,

该单晶半导体衬底包括p型掺杂的半导体材料;

该多个字线包括n型掺杂的半导体材料;且

每个存储单元的射极包括p型掺杂的多晶硅。

7. 根据权利要求1所述的存储装置,其特征在于,该存储单元还包括:

一导电覆盖层,包括硅化物,位于对应的双极性结晶体管上;

一下电极,位于该导电覆盖层与该存储元件之间,该下电极的宽度小于该存储元件的
宽度;以及

一上电极,位于该存储元件之上。

8. 根据权利要求1所述的存储装置,其特征在于,该存储单元还包括:

一导电覆盖层,包括硅化物,位于对应的双极性结晶体管上;以及

一上电极,透过该存储元件与该导电覆盖层电性耦接。

9. 根据权利要求8所述的存储装置,其特征在于,该存储元件包括一存储材料柱,该存
储材料柱是由一介电质所环绕,且该存储材料柱的宽度小于该导电覆盖层与该上电极的
宽度。

10. 根据权利要求8所述的存储装置,其特征在于,该存储元件包括:

一第一部分,位于该导电覆盖层之上,且由一介电质所环绕;

一第二部分,位于该第一部分之上,其中该第一部分的宽度小于该第二部分、该导电覆
盖层以及该上电极的宽度。

11. 一种制造一存储装置的方法,其特征在于,包括:

形成一具有一第一导电性的单晶半导体衬底;

于该单晶半导体衬底内形成多条字线,该多个字线具有一与该第一导电性相异的第二导电性;

形成多个存储单元,并使各存储单元包括双极性结晶体管与存储元件,该双极性结晶体管是以共集组态方式耦接,且该双极性结晶体管包括:

一射极,包括具有该第一导电性的经掺杂多晶硅,该射极与一条对应字线接触以定义一pn结,该射极透过该存储元件耦接至一位线;

一基极,利用位于该射极下方的该条对应字线一部分所形成;以及

一集极,包括位于该基极下方的该单晶半导体衬底一部分。

12. 根据权利要求11所述的方法,其特征在于,该单晶半导体衬底包括一第一掺杂区与位于该第一掺杂区下方的第二掺杂区,该第二掺杂区的掺杂浓度高于该第一掺杂区。

13. 根据权利要求11所述的方法,其特征在于,更包括形成导电接触窗,该导电接触窗与该单晶半导体衬底接触,并耦接至一参考电压。

14. 根据权利要求11所述的方法,其特征在于,更包括形成具有硅化物的侧壁导体,该侧壁导体位于该多个字线的侧壁表面上。

15. 根据权利要求11所述的方法,其特征在于,

该单晶半导体衬底包括n型掺杂的半导体材料;

该多个字线包括p型掺杂的半导体材料;且

每个存储单元的射极包括n型掺杂的多晶硅。

16. 根据权利要求11所述的方法,其特征在于,

该单晶半导体衬底包括p型掺杂的半导体材料;

该多个字线包括n型掺杂的半导体材料;且

每个存储单元的射极包括p型掺杂的多晶硅。

17. 根据权利要求11所述的方法,其特征在于,该形成多个存储单元的步骤更包括:

形成一导电覆盖层,包括硅化物,该导电覆盖层位于对应的双极性结晶体管上;

形成一下电极,该下电极位于该导电覆盖层与该存储元件之间,且该下电极的宽度小于该存储元件的宽度;以及

形成一上电极,该上电极位于该存储元件上。

18. 根据权利要求11所述的方法,其特征在于,该形成多个存储单元的步骤更包括:

形成一导电覆盖层,包括硅化物,该导电覆盖层位于对应的双极性结晶体管上;以及

形成一上电极,该上电极透过该存储元件与该导电覆盖层电性耦接。

19. 根据权利要求18所述的方法,其特征在于,该存储元件包括一存储材料柱,该存储材料柱是由一介电质所环绕,且该存储材料柱的宽度小于该导电覆盖层与该上电极的宽度。

20. 根据权利要求18所述的方法,其特征在于,该存储元件包括:

一第一部分,位于该导电覆盖层上,且由一介电质所环绕;

一第二部分,位于该第一部分上,其中该第一部分的宽度小于该第二部分、该导电覆盖层以及该上电极的宽度。

21. 一种制造一存储装置的方法,其特征在于,包括:

形成一具有一第一导电性的单晶半导体衬底;

于该单晶半导体衬底内形成多个介电沟道;

于该单晶半导体衬底内形成多条字线,该多个字线具有一与该第一导电性相异的第二导电性,且相邻的字线是由该介电沟道所分隔;

形成多个经掺杂的多晶硅栓塞,其具有该第一导电性,且与该多个字线接触;

形成多个存储元件,其电性耦接至该经掺杂的多晶硅栓塞;

于该存储元件上形成上电极;

于上电极之上形成多条位线,该多个位线耦接至该上电极。

22. 根据权利要求 21 所述的方法,其特征在于,该形成单晶半导体衬底与该形成多条字线的步骤包括:

形成该单晶半导体衬底;

于该单晶半导体衬底内形成该介电沟道;

由该介电沟道移除一部分材料,以暴露该单晶半导体衬底的侧壁表面;

于该单晶半导体衬底的侧壁表面上形成侧壁导体,该侧壁导体包括硅化物;

以介电材料注入该介电沟道;以及

注入杂质于该介电沟道之间的该单晶半导体衬底内,以形成该多个字线。

23. 根据权利要求 21 所述的方法,其特征在于,该形成多个经掺杂的多晶硅栓塞的步骤包括:

于该单晶半导体衬底上形成介电质,并形成多个贯穿该介电质的开口以暴露该多个字线;以及

于该开口内形成经掺杂的多晶硅栓塞。

24. 根据权利要求 21 所述的方法,其特征在于,该形成多个存储元件以及该形成上电极的步骤包括:

于该经掺杂的多晶硅栓塞之上形成导电覆盖层,该导电覆盖层包括硅化物;

于该导电覆盖层之上形成下电极,该下电极的宽度小于该导电覆盖层的宽度;

于该下电极之上形成一层存储材料,并于该层存储材料之上形成一层上电极材料;以及

图案化该层存储材料与该层上电极材料。

25. 根据权利要求 24 所述的方法,其特征在于,该于该导电覆盖层之上形成下电极的步骤包括:

于该导电覆盖层之上形成一介电层;

形成贯穿该介电层的开口以暴露该导电覆盖层之上表面;以及

于该开口内形成该下电极。

26. 根据权利要求 21 所述的方法,其特征在于,该形成多个存储元件与该形成上电极的步骤包括:

于该经掺杂的多晶硅栓塞之上形成导电覆盖层,该导电覆盖层包括硅化物;

形成与该导电覆盖层接触之该存储元件;以及

于该存储元件之上形成该上电极。

相变化存储器的多晶硅栓塞双极性晶体管及其制造方法

技术领域

[0001] 本发明是关于一种使用相变化存储材料的高密度存储装置及其制造方法，其中，相变化存储材料可包括硫属化物材料及其它可编程电阻材料。

背景技术

[0002] 相变化存储材料，如硫属化物材料及其它类似材料，在施加强度适用于集成电路的电流时，可于非晶态与晶态之间进行相变化。大致非晶态的电阻较大致晶态来得高，而此特性正可用于数据的表示。由于具备此种特性，业界致力研究如何将可编程电阻材料应用于可随机读写存取的非易失性存储电路。

[0003] 由非晶态转变为晶态大致上属于低电流操作，而由晶态转变为非晶态（此处称为复位）则大致上属于高电流操作。复位过程是使用短暂的高电流密度脉冲来熔化或破坏晶体结构，之后相变化材料快速冷却，将熔融状态的相变化材料予以淬火，使至少部份相变化材料可稳定存在非晶态。

[0004] 由于相变化是由加热所引发，欲提高相变化材料的温度并造成相变化，就必须提供相对高的电流。然而，因为场效晶体管是使用低电流来驱动，对于具有场效晶体管存取装置的相变化存储单元而言，如何取得需要的电流就成了问题。

[0005] 虽然双极性结晶体管可提供较场效晶体管更大的电流驱动，但要将双极性结晶体管与 CMOS 周边电路进行整合并不容易，且会让设计及工艺变得非常复杂。

[0006] 因此，有必要提供一种相变化存储单元，其具有与 CMOS 周边电路兼容的双极性结晶体管存取装置，且其设计整合与工艺相对容易。

发明内容

[0007] 本发明提供的一种存储装置，包括一单晶半导体衬底及位于衬底内的多条字线，其中单晶半导体衬底具有第一导电性，且字线具有与第一导电性相异的第二导电性。存储装置包括多个存储单元，其中某些存储单元包括双极性结晶体管与存储元件。双极性结晶体管包括射极、基极以及集极，其中，射极包括具有第一导电性的掺杂多晶硅，且与对应字线连接以定义出 pn 结。基极利用位于射极下方的对应字线一部分所形成，集极包括位于该基极下方的单晶半导体衬底一部分。

[0008] 此处所描述的存储装置制造方法包括形成一具有第一导电性的单晶半导体衬底，以及于该单晶半导体衬底内形成多个介电沟道。多条字线乃形成于单晶半导体衬底内，字线是具有与第一导电性相异的第二导电性，且相邻的字线是由介电沟道所分隔。该方法亦形成多个掺杂多晶硅栓塞、多个存储元件、上电极以及多条位线，其中，掺杂多晶硅栓塞具有该第一导电性，且与字线接触；存储元件是电性耦接至掺杂多晶硅栓塞；上电极位于存储元件上；位线位于上电极上，且耦接至上电极。

[0009] 此处所描述的存储装置包括相变化存储单元，其不但具有与 CMOS 周边电路兼容的双极性结晶体管存取装置，且不需特别复杂的设计整合与工艺即可生产。

[0010] 本发明的其它特色与优点可配合图式、实施方式及权利要求范围来了解。

附图说明

[0011] 图 1 是部分存储单元阵列的示意图，其中存储单元包括具有多晶硅射极的双极性结晶体管。

[0012] 图 2A ~ 图 2B 为阵列中第一实施例的存储单元部分剖面图。

[0013] 图 2C 为阵列中第一实施例的存储单元的俯视图。

[0014] 图 3A ~ 图 3B 为阵列中第二实施例的存储单元部分剖面图。

[0015] 图 4A ~ 图 4B 为阵列中第三实施例的存储单元部分剖面图。

[0016] 图 5A ~ 图 5B 为阵列中第四实施例的存储单元部分剖面图。

[0017] 图 6 ~ 图 20 依序为制造存储单元阵列的各步骤。

[0018] 图 21 ~ 图 24 为图 7A ~ 图 7B 所示制造字线步骤的另一实施例。

[0019] 图 25 为集成电路的简化方块图，该集成电路的存储单元阵列内的存储单元包括前述具有多晶硅射极的双极性结晶体管。

【主要元件符号说明】

[0021]	100	存储单元阵列
[0022]	110	存储单元
[0023]	115	双极性结晶体管
[0024]	120、120a、120b、120c、位线	
[0025]	120d、2520	
[0026]	125	存储元件
[0027]	126、400	存储元件厚度
[0028]	127	存储元件宽度
[0029]	128	主动区域
[0030]	130、130a、130b、130c、字线	
[0031]	130d、2516	
[0032]	140	导电材料
[0033]	150、2514	字线译码器与驱动器
[0034]	160、2518	位线译码器
[0035]	165	感应放大器 / 数据输入结构
[0036]	200	衬底
[0037]	202	阱
[0038]	205	第一掺杂区
[0039]	210	第二掺杂区
[0040]	215、217、290	导电接触窗
[0041]	220	掺杂多晶硅栓塞
[0042]	222	pn 结
[0043]	230	介电沟道
[0044]	240	导电覆盖层

[0045]	250	下电极
[0046]	252	下电极宽度
[0047]	260、270、295	介电质
[0048]	262	二氧化硅层
[0049]	264	氮化硅层
[0050]	266	BPSG 或 PSG 层
[0051]	280	上电极
[0052]	300	第一部分宽度
[0053]	323	第一部分
[0054]	324	第二部分
[0055]	510	侧壁导体
[0056]	900、1400	介电质开口
[0057]	1410	开口宽度
[0058]	1700	上电极开口
[0059]	1750	接触窗开口
[0060]	2000	周边电路
[0061]	2100	侧壁表面
[0062]	2510	集成电路
[0063]	2522、2526	总线
[0064]	2524	感应放大器与数据输入结构
[0065]	2528	数据输入线
[0066]	2530	其它电路
[0067]	2532	数据输出线
[0068]	2534	控制器
[0069]	2536	偏压调整供应电压与电流源

具体实施方式

[0070] 以下揭露的内容大多需配合参考特定结构实施例及方法,然而,揭露内容的范围并不仅限于该多个特定结构实施例及方法,且揭露内容亦可透过其它特征、元件、方法及实例来实施。本发明所揭露的内容虽可透过较佳实施例来说明,但该多个实施例不可用来限制本发明的范围,本发明专利权的范围须以权利要求范围为准。本领域具有通常知识者于参考本发明揭露的内容后,应可了解其它可能的均等实施方式。此外,于后述的内容中,不同实施例的相同元件乃以相同元件符号表示。

[0071] 图 1 是部分存储单元阵列 100 的示意图,其中存储单元包括具有多晶硅射极的双极性结晶体管。

[0072] 如图 1 所示,阵列 100 中的各存储单元均包括双极性结晶体管存取装置及电性串连的存储元件,且存储元件可被设置成多种电阻状态之一,进而储存一个以上的数据位。

[0073] 阵列 100 包括多条字线 130,如字线 130a、130b、130c、130d,其是于第一方向上平行延伸,并与字线译码器与驱动器 150 形成电性连接。字线 130 是耦接至阵列 100 的双极

性存取晶体管的基极端。

[0074] 多条位线 120, 如位线 120a、120b、120c、120d, 是于第二方向上平行延伸, 并与位线译码器 160 形成电性连接。各双极性结晶体管的射极端是透过存储元件耦接至一条对应的位线 120。

[0075] 阵列 100 的存储单元乃以共集极组态方式耦接, 也就是说, 存储单元的集极端被耦接至参考电压, 且其输入、输出分别为基极与射极端。因此, 在操作过程中, 位线 120 与字线 130 的电压, 会诱发电流自位线 120 经由射极端与存储元件流至集极端或是反向亦然自集极端流至位线 120。

[0076] 于图 1 中, 集极端是接地。无庸置疑地, 集极端不一定要接地, 其亦可耦接至可提供参考电压的电压源, 举例来说, 如图 25 的偏压调整供应电压、电流源 2536。

[0077] 以存储单元阵列 100 中的存储单元 110 为例, 其包括双极性结晶体管 115 及电性连接的相变化存储元件 125。双极性结晶体管 115 的基极端耦接至字线 130b, 而双极性结晶体管 115 的射极端则透过相变化存储元件 125 耦接至位线 120b。

[0078] 为读取或写入存储单元阵列 100 中的存储单元 110, 可施加适当大小的电压及 / 或电流至对应的字线 130b 与位线 120b, 以诱发流经特定存储单元 110 的电流。电压及 / 或电流的施加时间与强度是依所进行的操作而定, 如读取操作或写入操作。

[0079] 于存储单元 110 的复位 (擦除) 操作中, 施加至字线 130b 与位线 120b 的复位脉冲会诱发流经存储元件 125 的电流, 以使主动区域开始转变成非晶相, 而将相变化材料的电阻设定在与复位状态相关的电阻值范围内。前述的复位脉冲属于相对高能量的脉冲, 其至少可提高存储元件 125 的主动区域的温度, 使之高于相变化材料的相变 (结晶) 温度外, 也高于熔融温度, 以至少让主动区域成为液态。之后, 快速终止复位脉冲, 使主动区域在一短暂的淬火时间内快速冷却至相变温度以下, 并稳定形成一大致非晶相。

[0080] 于存储单元 110 的设置 (或编程) 操作中, 乃于适当的时间内施加适当大小的编程脉冲至字线 130b 与位线 120b, 以诱发流经存储单元 110 的电流, 其可将部分主动区域的温度升高至相变温度以上, 并使该部分主动区域产生由非晶相转变至结晶相的变化, 而此变化会降低存储元件 125 的电阻, 并将存储单元 110 设置在一特定状态。

[0081] 于存储单元 110 内数据的读取 (或感应) 操作中, 乃于适当的时间内施加适当大小的读取脉冲至字线 130b 与位线 120b, 以诱发不致使存储元件 125 的电阻状态发生改变的电流。由于流经存储单元 110 的该电流, 其大小端视存储元件 125 的电阻与储存在存储单元 110 的数据而定。因此, 可利用方块 165 的感应放大器来比较位线 120b 的电流与一稳定的参考电流, 或以其它方式, 来确定存储单元的数据状态。

[0082] 图 2A 及图 2B 为阵列 100 中存储单元 (包括存储单元 110) 部分的剖面图, 前者是沿位线 120 进行剖面而得, 而后者是沿字线 130 进行剖面而得。图 2C 则为阵列 100 的俯视图。

[0083] 阵列包括衬底 200, 其包括具有第一导电性的阱 202, 且该阱 202 包括第一掺杂区 205 与第二掺杂区 210, 第二掺杂区 210 的掺杂浓度是较第一掺杂区 205 高。衬底 200 尚包括位于阱 202 内的字线 130, 字线 130 是沿贯穿图 2A 的第一方向延伸, 且其导电性与第一导电性不同之处, 除了第一掺杂区 205、第二掺杂区 210 以及字线 130 外, 衬底 200 更包括单晶半导体衬底。

[0084] 存储单元 110 包括经掺杂的多晶硅栓塞 220，其具有第一导电性，且被作为双极性结晶体管 115 的射极。此外，经掺杂的多晶硅栓塞 220 与对应的字线 130b 接触，以定义 pn 结 222。

[0085] 字线 130b 位于栓塞 220 下的部分被作为双极性结晶体管 115 的基极，而阱 202 位于字线 130b 下的部分则作为双极性结晶体管 115 的集极。

[0086] 字线 130 是由位于阱 202 内包含介电材料的介电沟道 230 所分隔。导电接触窗 215、217 将阱 202 的第二掺杂区 210 耦接至与参考电压耦接的导电材料 140。

[0087] 于本例示实施例中，经掺杂的多晶硅栓塞 220 包括浓掺杂的 N 型 (N++) 多晶硅，字线 130 包括位于硅衬底 200 内的 P 型材料掺杂区域，第一掺杂区 205 包括位于硅衬底 200 内的 N 型材料掺杂区域，且第二掺杂区 210 包括位于硅衬底 200 内的浓掺杂 N 型 (N+) 材料区域，据此以形成 npn 双极性晶体管 115。

[0088] 于另一实施例中，经掺杂的多晶硅栓塞 220 包括浓掺杂的 P 型 (P++) 多晶硅，字线 130 包括位于硅衬底 200 内的 N 型材料掺杂区域，第一掺杂区 205 包括位于硅衬底 200 内的 P 型材料掺杂区域，且第二掺杂区 210 包括位于硅衬底 200 内的浓掺杂 P 型 (P+) 材料区域，据此以形成 pnp 双极性晶体管 115。

[0089] 存储单元 110 包括位于经掺杂的多晶硅栓塞 220 上的导电覆盖层 240，于本实施例中，导电覆盖层 240 包括硅化物，如含有 Ti、W、Co、Ni 或 Ta 的硅化物。导电覆盖层 240 可提供介于经掺杂的多晶硅栓塞 220 与下电极 250 之间的低电阻接触，且经掺杂的多晶硅栓塞 220 与导电覆盖层 240 是贯穿介电质 260。于本实施例中，介电质 260 包括二氧化硅层 262、位于二氧化硅层 262 上的氮化硅层 264 以及位于氮化硅层 264 上的硼磷硅玻璃 (BPSG) 层或磷硅玻璃 (PSG) 层。在某些实施例中，则可以不需要氮化硅层 264。

[0090] 下电极 250 位于导电覆盖层 240 之上，且贯穿介电质 270 并与存储元件 125 的下表面接触，其中存储元件 125 可包括一种以上选自下列群组的材料：锗、锑、碲、硒、铟、钛、镓、铋、锡、铜、钯、铅、银、硫、硅、氧、磷、砷、氮及金。

[0091] 下电极 250 可以包括氮化钛或氮化钽，且不以此为限。氮化钛不但可与 GST (容后详述) 形成良好的接触，且是半导体工艺常用的材料，又能在 GST 相变的高温 (通常介于 600 至 700°C) 提供良好的扩散势垒，因此，当存储元件 125 包括 GST 时，下电极的材料较佳为氮化钛。此外，下电极 250 也可以包括氮化铝钛或氮化铝钽，或包括一种以上选自下列群组的材料：钛、钨、钼、铝、钽、铜、铂、铱、镧、镍、氮、氧、钌或以上元素的组合。

[0092] 上电极 280 位于存储元件 125 之上，且由导电接触窗 290 电性耦接至位线 120b。上电极 280 与位线 120 可包括前述任一种下电极 250 所包括的材料，且不以此为限。

[0093] 介电质 295 环绕于存储元件 125、上电极 280 与导电接触窗 290 的四周，且于本实施例中，介电质 295 包括二氧化硅，而介电质 270 包括氮化硅。

[0094] 于操作时，位线 120b 及字线 130b 的电压，会诱发电流自位线 120b 经由射极端与存储元件 125 流至衬底 200 或是反向亦然自衬底 200 流至位线 120b。

[0095] 主动区域 128 属于存储元件 125 的一部分，且位于主动区域 128 中的存储材料可被诱发而在至少两个固态相间进行相变化。本领域具有通常知识者应可了解，主动区域 128 可以非常小，如图 2A 所示，并可以此降低诱发相变化所需电流的大小。存储元件 125 的厚度 126 可通过薄膜沉积来建立，于某些实施例中，厚度 126 可小于 100 纳米，如介于 10 到 100

纳米之间。此外，存储元件 125 的宽度 127 大于下电极 250 的宽度 252，且下电极 250 的宽度 252 较佳小于形成阵列 100 所采用工艺的最小特征尺寸，如光刻工艺。由于下电极 250 越小，就越能将其附近的部分存储元件 125 的电流集中，因此较小的下电极 250 将可降低诱发主动区域 128 产生相变化所需电流的大小。此外，由于介电质 270 还可提供主动区域 128 额外的隔热效果，产生相变化所需电流的大小亦可进一步降低。

[0096] 如前所述，双极性结晶体管所能提供的电流驱动较场效晶体管来得大，此外，因为晶体管的射极包含掺杂多晶硅材料，而可以获得相对较大的电流增益，以此降低字线 130 所需使存储元件产生相变化的电流。

[0097] 图 3A ~ 图 3B 为阵列 100 中第二实施例的存储单元（包括存储单元 110）部分剖面图，前者是沿位线 120 进行剖面而得，而后者是沿字线 130 进行剖面而得。

[0098] 于此实施例中，存储元件 125 包括第一部分 323 与第二部分 324。介电质 270 环绕于第一部分 323 四周，且第一部分 323 贯穿介电质 270 并与导电覆盖层 240 接触。第二部分 324 位于第一部分 323 之上，而存储元件 125 将导电覆盖层 240 耦接至上电极 280。

[0099] 本领域具有通常知识者应可了解，主动区域 128 可以非常小，如图 3A ~ 图 3B 所示，并可以此降低诱发相变化所需电流的大小。存储元件 125 第一部分 323 的宽度 300 小于导电覆盖层 240 的宽度，也小于存储元件 125 第二部分 324 的宽度。于较佳实施例中，第一部分 323 的宽度 300 小于形成阵列 100 所采用工艺的最小特征尺寸，如光刻工艺。由于存储元件 125 的第一部分 323 越小就越能将其电流集中，因此较小的第一部分 323 将可降低诱发主动区域 128 产生相变化所需电流的大小。此外，于较佳实施例中，介电质 270 可包括能提供主动区域 128 额外隔热效果的材料，以进一步降低产生相变化所需电流的大小。除此之外，存储元件 125 的第二部分 324 以及第一部分 323 的其它部分还可提供主动区域 128 一定的隔热效果，以隔绝来自上电极 280 的热能。

[0100] 图 4A ~ 图 4B 为阵列 100 中第三实施例的存储单元（包括存储单元 110）部分剖面图，前者是沿位线 120 进行剖面而得，而后者是沿字线 130 进行剖面而得。

[0101] 于此实施例中，存储元件 125 包括存储材料柱，其贯穿介电质 270 并将导电覆盖层 240 耦接至上电极 280，而介电质 270 环绕于存储元件 125 的四周。

[0102] 本领域具有通常知识者应可了解，主动区域 128 可以非常小，以降低诱发相变化所需电流的大小。存储元件 125 的宽度 400 小于上电极 280 与导电覆盖层 240 的宽度，且较佳小于形成阵列 100 所采用工艺的最小特征尺寸，如光刻工艺。由于宽度的不同，电流将集中于此微小的柱状存储元件 125，并可以此降低诱发主动区域 128 产生相变化所需电流的大小。此外，于较佳实施例中，介电质 270 可包括能提供主动区域 128 隔热效果的材料，以进一步降低产生相变化所需电流的大小。同时，可将主动区域 128 从导电覆盖层 240 及上电极 280 区隔开，让存储元件 125 的其它部分也可提供主动区域 128 一定的隔热效果。

[0103] 图 5A ~ 图 5B 为阵列 100 中第四实施例的存储单元（包括存储单元 110）部分剖面图，前者是沿位线 120 进行剖面而得，而后者是沿字线 130 进行剖面而得。

[0104] 图 5A ~ 图 5B 所示的实施例与图 2A ~ 图 2C 所示者相似，在字线 130 的侧壁表面上有侧壁导体 510。于此实施例中，侧壁导体 510 包括自我对准的硅化物（金属硅化物），且其包括钛、钨、钴、镍、钽，但并不以此为限。侧壁导体 510 可增加字线 130 的导电性，进而降低其负载，并提升阵列的一致性。

[0105] 存储单元的实施例包括了使用相变化存储材料（包含硫属化物材料与其它材料）的存储元件。硫属化物包括下列四元素的任一者：氧 (O)、硫 (S)、硒 (Se)、以及碲 (Te)，其位于元素周期表的第 VI 族。硫属化物包括将一硫属元素与一更具正电性的元素或自由基结合而得。硫属化物合金包括将硫属化物与其它物质如过渡金属等结合。硫属化物合金通常包括一个以上选自元素周期表第六栏的元素，例如锗 (Ge) 以及锡 (Sn)。通常，硫属化物合金包括下列元素中一个以上的复合物：锑 (Sb)、镓 (Ga)、铟 (In) 以及银 (Ag)。许多以相变化为基础的存储材料已经被描述于技术文件中，包括下列合金：镓 / 锗、铟 / 锗、铟 / 硒、锑 / 碲、锗 / 碲、锗 / 锗 / 锑、铟 / 锑 / 硒 / 碲、锡 / 锗 / 碲、铟 / 锗 / 锗 / 锗、银 / 铟 / 锗 / 碲、锗 / 锡 / 锗 / 碲、锗 / 锗 / 硒 / 碲以及碲 / 锗 / 锗 / 硫。在锗 / 锗 / 碲合金家族中，可以尝试大范围的合金成分。此成分可以下列特征式表示： $\text{Te}_a\text{Ge}_b\text{Sb}_{100-(a+b)}$ 。曾有研究员指出，最有用的合金是在沉积材料中所包含的平均碲浓度是远低于 70%，典型地是低于 60%，并在一般型态合金中的碲含量范围从最低 23% 至最高 58%，且最佳是介于 48% 至 58% 的碲含量。锗的浓度是高于约 5%，且其在材料中的平均范围是从最低 8% 至最高 30%，一般是低于 50%，最佳地，锗的浓度范围是介于 8% 至 40%。在此成分中所剩下的主要成分则为锑。其中百分比代表所组成元素的原子总数为 100% 时，各原子的百分比，请参考 Ovshinsky 5,687,112 专利第 10 ~ 11 栏。由另一研究者所评估的特殊合金包括 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 GeSb_2Te_4 以及 GeSb_4Te_7 ，请参考 Noboru Yamada 的文章 "Potential of Ge-Sb-TePhase-Change Optical Disks for High-Data-Rate Recording"，SPIE v. 3109, pp. 28-37 (1997)。更一般地，过渡金属如铬 (Cr)、铁 (Fe)、镍 (Ni)、铌 (Nb)、钯 (Pd)、铂 (Pt) 以及上述的混合物或合金，可与锗 / 锗 / 碲结合以形成一有可编程的电阻的相变化合金。可使用的存储材料的范例，是如 Ovshinsky `112 专利中第 11-13 栏所述，其范例在此被列入参考。

[0106] 在某些实施例中，硫属化物以及其它相变化材料是掺杂有杂质，以修正其导电性、相变化温度、熔化温度以及其它使用掺杂硫属化物的存储元件的性质。用以掺杂硫属化物的代表性杂质包括氮、硅、氧、二氧化硅、氮化硅、铜、银、金、铝、氧化铝、钽、氧化钽、氮化钽、钛以及钛氧化物，请参见美国专利 6800504 号以及美国专利公开号 2005/0029502 号。

[0107] 相变化合金可在此存储单元主动通道区域内，依其位置顺序于大致非晶态的第一结构状态与为大致结晶态的第二结构状态之间切换。这些合金至少为双稳定态。「非晶」是指相对较无次序的结构，其较单晶更无次序性，而带有可检测的特征，如较结晶态更高的电阻值。「结晶态」是指相对较有次序的结构，其较非晶态更有次序，因此包括可检测的特征例，如比非晶态更低的电阻值。典型地，相变化材料可电性切换至完全结晶态与完全非晶态之间所有可检测的不同状态。其它受到非晶态与结晶态的改变而影响的材料特征包括原子次序、自由电子密度以及活化能。此材料可切换为不同的固态或可切换成为由两种以上固态所形成的混合物，提供从非晶态至结晶态之间的灰阶部分。此材料中的电性质亦可能随之改变。

[0108] 相变化合金可通过电脉冲而从一种相态切换至另一相态。曾有研究人员指出，一较短、较大幅度的脉冲倾向于将相变化材料的相态改变成大致非晶态。一较长、较低幅度的脉冲倾向于将相变化合金的相态改变成大致结晶态。由于较短、较大幅度脉冲中的能量够大，其足以破坏结晶结构的键能，同时时间够短，因此可以防止原子再次排列成结晶态。在无须过度实验的情形下，可利用实验方法决定适合特定相变化合金的适当脉冲量变曲线。

在本说明书的后续部份，相变化材料乃以 GST 指称。此外，应了解的是，也可以使用其它类型的相变化材料。适用于 PCRAM 中的材料系为 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 。

[0109] 其它可以使用于本发明其它实施例的可编程电阻存储材料包括利用不同晶体变化来决定电阻者，或是利用电脉冲来改变电阻状态者。举例来说，可使用电阻随机存取存储器 (RRAM) 的金属氧化物材料，如钨氧化物 (WO_x)、氧化镍、五氧化二铌、二氧化铜、五氧化二钽、三氧化二铝、氧化钴、三氧化二铁、二氧化铪、二氧化钛、钛酸锶、锆酸锶、钛酸锶钡。其它实施例则可包括用于磁阻随机存取存储器 (MRAM) 的材料，而磁阻随机存取存储器可以是旋转力矩转移随机存取存储器 (STT MRAM)。举例来说，这些材料可以是以下群组至少一种：钴铁硼、铁、钴、镍、钆、镝、钴铁、镍铁、锰砷、锰铋、锰锑、二氧化铬、氧化锰三氧化二铁、氧化铁五氧化二铁、氧化镍三氧化二铁、氧化镁二铁、氧化铕及铁磁性氧化物钇铁石榴石 ($\text{Y}_3\text{Fe}_5\text{O}_{12}$)。此可参考美国专利公开号第 2007/0176251 号，其发明名称为“Magnetic Memory Device and Method of Fabricating the Same”，其中的内容乃并入本文作为参考。其它的例子还包括用于可编程金属存储单元 (PMC) 的固态电解质材料，或用于纳米离子存储单元的材料，如银掺杂的锗硫化物解质或铜掺杂的锗硫化物解质。此部分请参考 N. E. Gilbert 等人发表的文章“A macro model of programmable metallization cell devices”，Solid-State Electronics, 49 (2005), 1813–1819，且其内容乃并入本文作为参考。

[0110] 用以形成硫属化物材料的例示方法利用 PVD 溅射或磁控溅射方式，其反应气体为氩气、氮气及 / 或氦气，压力为 1mTorr 至 100mTorr。此沉积步骤一般是于室温下进行。一长宽比为 1 ~ 5 的准直器可用以改良其注入表现。为了改善其注入表现，亦可使用数十至数百伏特的直流偏压。另一方面，亦可同时合并使用直流偏压以及准直器。

[0111] 有时需要在真空中或氮气环境中进行一沉积后退火处理，以改良硫属化物材料的结晶态。此退火处理的温度典型地是介于 100°C 至 400°C，而退火时间则少于 30 分钟。

[0112] 图 6 ~ 图 20 依序为制造存储单元阵列的各步骤。

[0113] 图 6A 和图 6B 分别为剖面图与俯视图，其显示形成衬底 200 的第一步骤。衬底 200 包括阱 202，其具有第一掺杂区 205、第二掺杂区 210 以及介电沟道 230，且阱 202 以垂直图面的方向延伸。第一掺杂区 205 与第二掺杂区 210 可利用注入法及活化退火的方式形成，该多个方法均为具有通常知识者所熟知。于本实施例中，第一掺杂区 205 包括位于硅衬底 200 内的 N 型材料掺杂区域，第二掺杂区 210 包括位于硅衬底 200 内的浓掺杂 N 型 (N+) 材料区域。于另一实施例中，第一掺杂区 205 包括位于硅衬底 200 内的 P 型材料掺杂区域，且第二掺杂区 210 包括位于硅衬底 200 内的浓掺杂 P 型 (P+) 材料区域。

[0114] 接着，进行离子注入以于阱 202 内第一掺杂区 205 形成字线 130，其中字线 130 的导电性与第一掺杂区 205 及第二掺杂区 210 相异。此外，如本实施例所示，于衬底内再进行第二次离子注入，以形成由衬底上表面延伸至第二掺杂区 210 的浓掺杂区域，以得到如图 7A、图 7B 所示的结构。于本实施例中，字线 130 包括位于硅衬底 200 内的 P 型材料掺杂区域，于其它实施例中，字线 130 可包括位于硅衬底 200 内的 N 型材料掺杂区域。

[0115] 接着，介电质 260 乃形成于图 7A、图 7B 所示的结构上，以产生如图 8A、图 8B 所示的结构。于本实施例中，形成介电质 260 的步骤于衬底 200 上沉积包括二氧化硅之层 262、于层 262 上沉积包括氮化硅的层 264 以及于层 264 上沉积包括 BPSG 或 PSG 的层 266，且在某些实施例中可以不需要层 264。

[0116] 接着,形成贯穿介电质 260 的开口 900,以暴露出字线 130 并形成第 9A、9B 图所示的结构。欲形成开口 900,可先利用层 264 作为刻蚀停止层来选择性刻蚀层 266,再选择性刻蚀层 264 以露出层 262,最后再利用如湿法刻蚀的方式刻蚀层 262 以露出字线 130。欲在操作过程中产生较大的电流,必须在字线 130 与之后形成的经掺杂的多晶硅栓塞 220 之间形成未受损害的接口,因此,湿法刻蚀比较适合用来刻蚀层 262,并避免损害到射极-基极间接口。此外,在其它实施例中,湿法刻蚀并不会移除全部的刻蚀层 262。在字线 130 与之后形成的经掺杂的多晶硅栓塞 220 之间形成质量较佳的接口,可以选择性进行重新氧化步骤及 / 或高温退火步骤。

[0117] 接着,经掺杂的多晶硅栓塞 220 乃形成于开口 900 内,以产生如图 10A、图 10B 所示的结构。经掺杂的多晶硅栓塞 220 具有和字线 130 不同的导电性,且其与对应的字线 130 接触于两者间定义 pn 结 222。欲形成经掺杂的多晶硅栓塞 220,可先对图 9A、图 9B 所示的结构进行沉积多晶硅材料,再进行如化学机械抛光 CMP 的平面化步骤。

[0118] 之后,形成多个贯穿介电质 260 而与第二掺杂区 210 接触的导电接触窗 215,以产生如图 11A、图 11B 所示的结构,而于本实施例中,导电接触窗 215 包括钨。

[0119] 接着,导电覆盖层 240 乃形成于经掺杂的多晶硅栓塞 220 上,如图 12A、图 12B 所示。导电覆盖层 240 包括硅化物,且该硅化物可包含钛、钨、钴、镍、钽,且不以此为限。于某实施例中,导电覆盖层 240 包括钴的硅化物 (CoSi),且其形成方式是先沉积一层钴,再进行快速热处理工艺 (RTP),以使钴与栓塞 220 的硅反应,而形成导电覆盖层 240。应了解的是,其它硅化物也可通过沉积钛、砷、经掺杂的镍或其合金,并透过类似前述的方法形成。

[0120] 接着形成介电质 270,而产生如图 13A、图 13B 所示的结构。于本实施例中,介电质 270 包括氮化硅。

[0121] 之后,形成贯穿介电质 270 的开口 1400 以暴露出导电覆盖层 240 的上表面,并产生如图 14A、图 14B 所示的结构,且开口 1400 的宽度 1410 较佳是属于亚光刻等级。于本实施例中,开口 1400 具有圆形剖面,所以宽度 1410 正好等于圆形剖面的直径。然而,在其它实施例中,开口 1400 的剖面也可以是正方形、椭圆形、长方形或其它不规则形状,端视形成开口 1400 的方法而定。

[0122] 具有亚光刻等级宽度 1410 的开口 1400 可利用美国专利申请案第 11/855979 号所揭露的方法、材料、步骤,该申请案的发明名称为”PhaseChange Memory Cell in Via Array with Self-Aligned, Self-Converged BottomElectrode and Method for Manufacturing”,申请日为 2007 年 9 月 14 日,其内容乃并入本文作参考。举例来说,隔离层先形成于介电质 270 上,而牺牲层再形成于隔离层上。之后,在牺牲层上形成具有大小约略等于屏蔽工艺最小特征尺寸的开口的屏蔽,而该多个开口正好覆盖于开口 1400 上。之后以屏蔽选择性刻蚀隔离层与牺牲层,以于隔离层与牺牲层内形成通孔,并暴露出介电质 270 的上表面。于移除屏蔽后,对通孔进行选择性下切刻蚀,而在不影响牺牲层与介电质 270 的情形下刻蚀隔离层。之后,在通孔内形成注入材料。由于采用了选择性下切刻蚀工艺,通孔内的注入材料将会形成自我对准孔洞。接着,非等向性刻蚀注入材料以暴露出孔洞,并继续刻蚀以使介电质 270 暴露于孔洞以下的区域,进而在各通孔内形成包括有注入材料的侧壁间隔物。由于侧壁间隔物具有大致由孔洞大小所决定的开口尺寸,因此其可小于光刻工艺的最小特征尺寸。之后,以侧壁间隔物为屏蔽对介电质 270 进行刻蚀,以形成宽度 1410 小

于最小特征尺寸的开口 1400。隔离层与牺牲层可利用如 CMP 的平面化工艺移除,以产生如图 14A、图 14B 所示的结构。此外,隔离层与牺牲层也可在材料(如电极材料)形成于开口 1400 后再以平面化工艺移除。

[0123] 接着在开口 1400 内形成,以产生如图 15A、图 15B 所示的结构。于本实施例中,下电极 250 包括氮化钛,且下电极 250 的形成是先将下电极材料以 CVD 沉积于图 14A、图 14B 所示的结构上,再进行如 CMP 的平面化步骤。于其它实施例中,如图 14A、图 14B 或图 5A、图 5B 所示的,可将相变化材料沉积于开口 1400 内。

[0124] 之后,存储元件 125 乃形成于下电极 250 之上,而上电极 280 乃形成于之上,以产生如图 16A、图 16B 所示的结构。欲形成存储元件 125 与上电极 280,可将一层存储材料沉积于图 15A、图 15B 所示的结构上,再将一层上电极材料沉积于上,并将一层图案化光刻胶形成于上电极材料层上,再刻蚀存储材料层与上电极材料层。于此种实施例中,存储元件与对应的上电极可形成多层堆栈。

[0125] 于图 14A、图 14B 某些开口 1400 注入有存储材料的实施例中,可以不需形成存储材料层。

[0126] 于本实施例中,存储元件 125 与上电极 280 具有大致正方形的剖面。然而,在其它实施例中,存储元件 125 与上电极 280 的剖面也可以是圆形、椭圆形、长方形或其它不规则形状,端视形成存储元件 125 与上电极 280 的方法而定。

[0127] 之后,介电质 295 乃形成于图 16A、图 16B 所示的结构上,并形成暴露上电极 280 的开口 1700 与暴露接触窗 215 的开口 1750,以产生如图 17A、图 17B 所示的结构。

[0128] 接着再将导电接触窗 217 形成于开口 1750 内,并将导电接触窗 290 形成于开口 1700 内,以产生如图 18A、图 18B 所示的结构。

[0129] 之后再形成与参考电压耦接的导电材料 140 及位线 120,以产生如图 19A、图 19B 所示的结构。

[0130] 位线 120 延伸至包括 CMOS 装置的周边电路 2000,如图 20A、图 20B 所示。

[0131] 图 21 ~ 图 24 为图 7A ~ 图 7B 所示制造字线 130a 步骤的另一实施例。

[0132] 如图 21A 与图 21B 所示,图 6A ~ 图 6B 中介电沟道 230 内的部分介电材料乃利用刻蚀方式移除,并暴露出介电沟道 230 之间的阱的第一掺杂区 205 的侧壁表面 2100。

[0133] 接着在侧壁表面 2100 上形成侧壁导体 510,以产生如图 22A、图 22B 所示的结构。侧壁导体 510 包括硅化物,其包含钛、钨、钴、镍、钽,但并不以此为限。于某实施例中,侧壁导体 510 包括钴的硅化物 (CoSi),且其形成方式是先沉积一层钴,再进行快速热处理工艺 (RTP),以使钴与第一掺杂区 205 的硅反应,而形成侧壁导体 510。应了解的是,其它硅化物也可通过沉积钛、砷、经掺杂的镍或其合金,并透过类似前述的方法形成。

[0134] 之后乃形成介电材料,以注入介电沟道 230,并产生如图 23A、图 23B 所示的结构。

[0135] 接着,再进行离子注入来注入掺杂物,以形成字线 130,并产生如图 24A、图 24B 所示的结构,其中字线 130 的导电性与第一掺杂区 205 及第二掺杂区 210 相异。于本实施例中,字线 130 包括衬底 200 的经掺杂的 P 型材料。

[0136] 图 25 是可应用本发明的集成电路 2510 的简化方块图。集成电路 2510 内的存储器阵列 100 的存储单元具有多晶硅射极的双极性结晶体管。具有读取、设置与重设功能的字线译码器 2514 被耦接至多条字线 2516,其间并形成电性连接,且该字线译码器与驱动器

2514 是沿着存储器阵列 100 的列排列。位线（行）译码器 2518 被耦接并电性连接至多条沿着存储器阵列 100 的行排列的位线 2520，以读取、设置或重设阵列 100 内的相变化存储单元（图未示）。地址是透过总线 2522 提供至字线译码器与驱动器 2514 及位线译码器 2518。方块 2524 中的感应放大器与数据输入结构包括读取、设置与擦除模式的电压及 / 或电流源，是透过数据总线 2526 耦接至位线译码器 2518。数据是由集成电路 2510 上的输入 / 输出端或其它内部或外部的数据来源，透过数据输入线 2528 传送至方块 2524 的数据输入结构。集成电路 2500 亦可包括其它电路 2530，如一般用途的处理器、特定用途的应用电路或是可提供此阵列 100 所支持的系统单芯片功能的多个模块的组合。数据是由方块 2524 中的感应放大器，透过数据输出线 2532，传送至集成电路 2510 上的输入 / 输出端或其它集成电路 2510 内或外的数据目的地。

[0137] 于本实施例中，控制器 2534 是以偏压调整状态机构来控制偏压调整供应电压、电流源 2536，如读取、编程、擦除、擦除验证及编程验证电压及 / 或电流。此外，控制器 2534 亦可利用技术领域中已知的特殊目的逻辑电路来实作。于其它实施方式中，控制器 2534 可包括一般用途的处理器以执行计算机程序来控制元件的操作，而该处理器可以实作于相同的集成电路上。于另外的实施方式中，控制器 2534 可利用特殊目的逻辑电路与一般用途的处理器的组合来实作。

[0138] 虽然本发明已参照实施例来加以描述，然本发明创作并未受限于其详细描述内容。替换方式及修改样式已于先前描述中所建议，且其它替换方式及修改样式将为熟习此项技艺的人士所思及。特别是，所有具有实质上相同于本发明的构件结合而达成与本发明实质上相同结果者，皆不脱离本发明的精神范畴。因此，所有此等替换方式及修改样式系意欲落在本发明于随附权利要求范围及其均等物所界定的范畴之中。

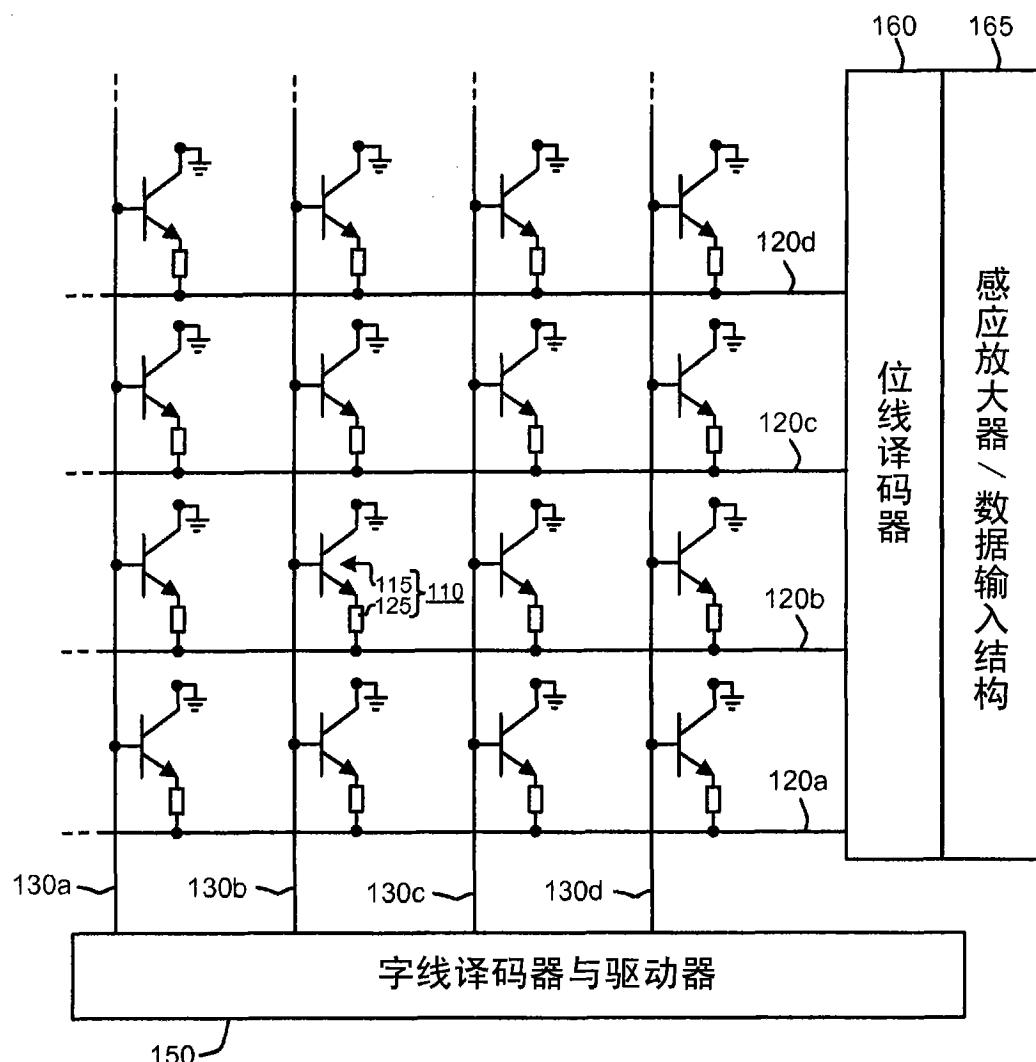
100

图 1

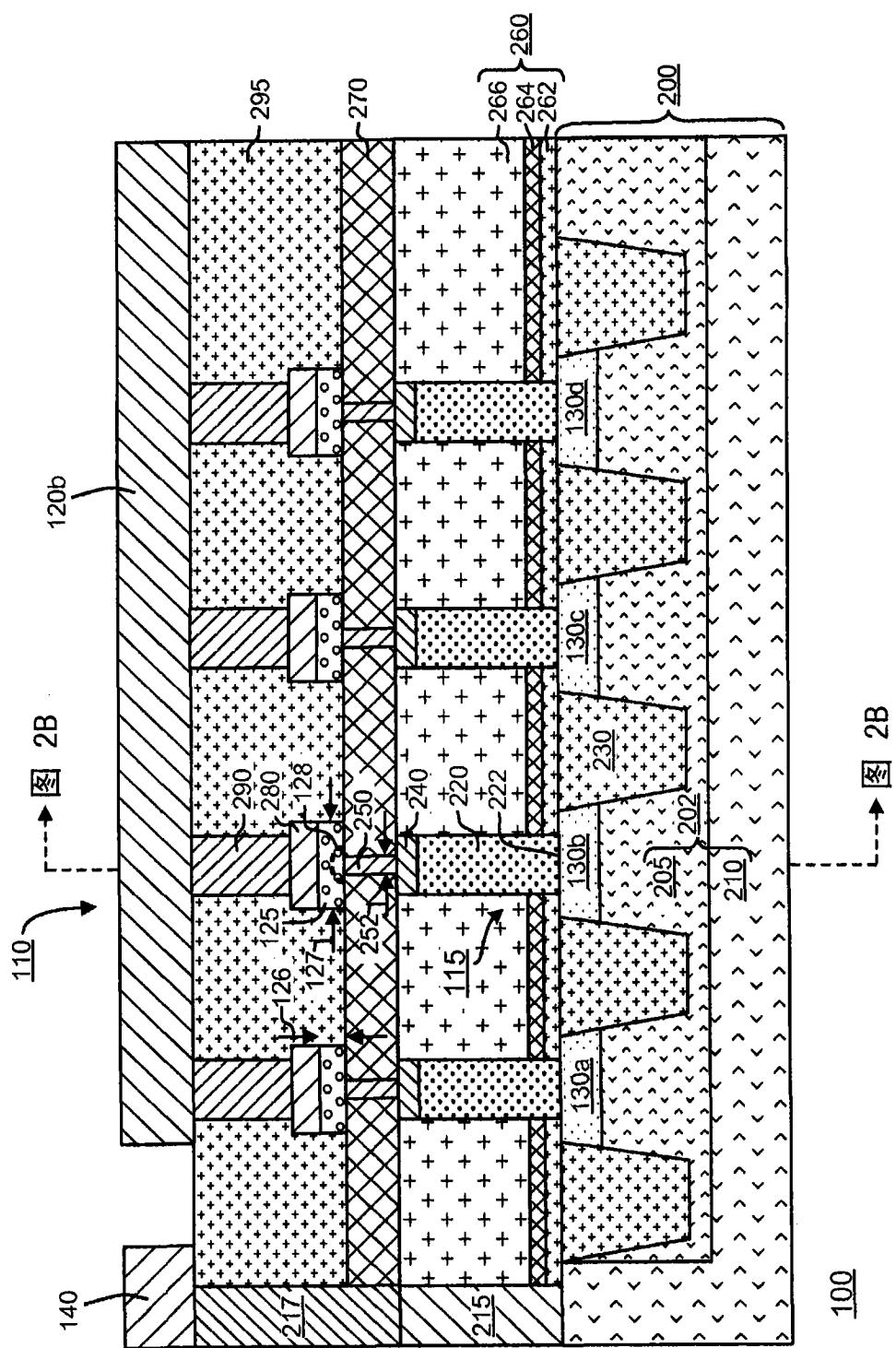


图 2A

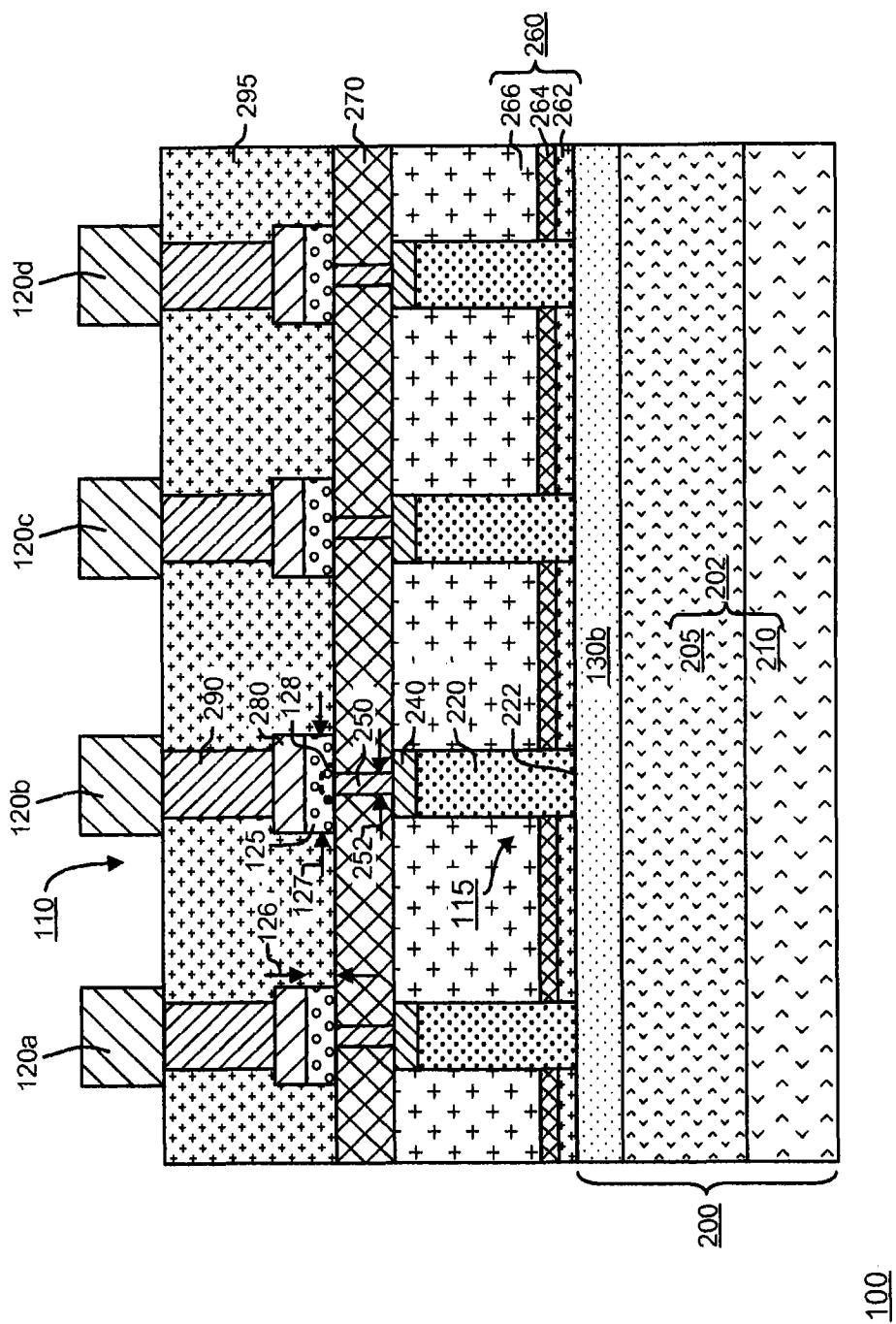


图 2B

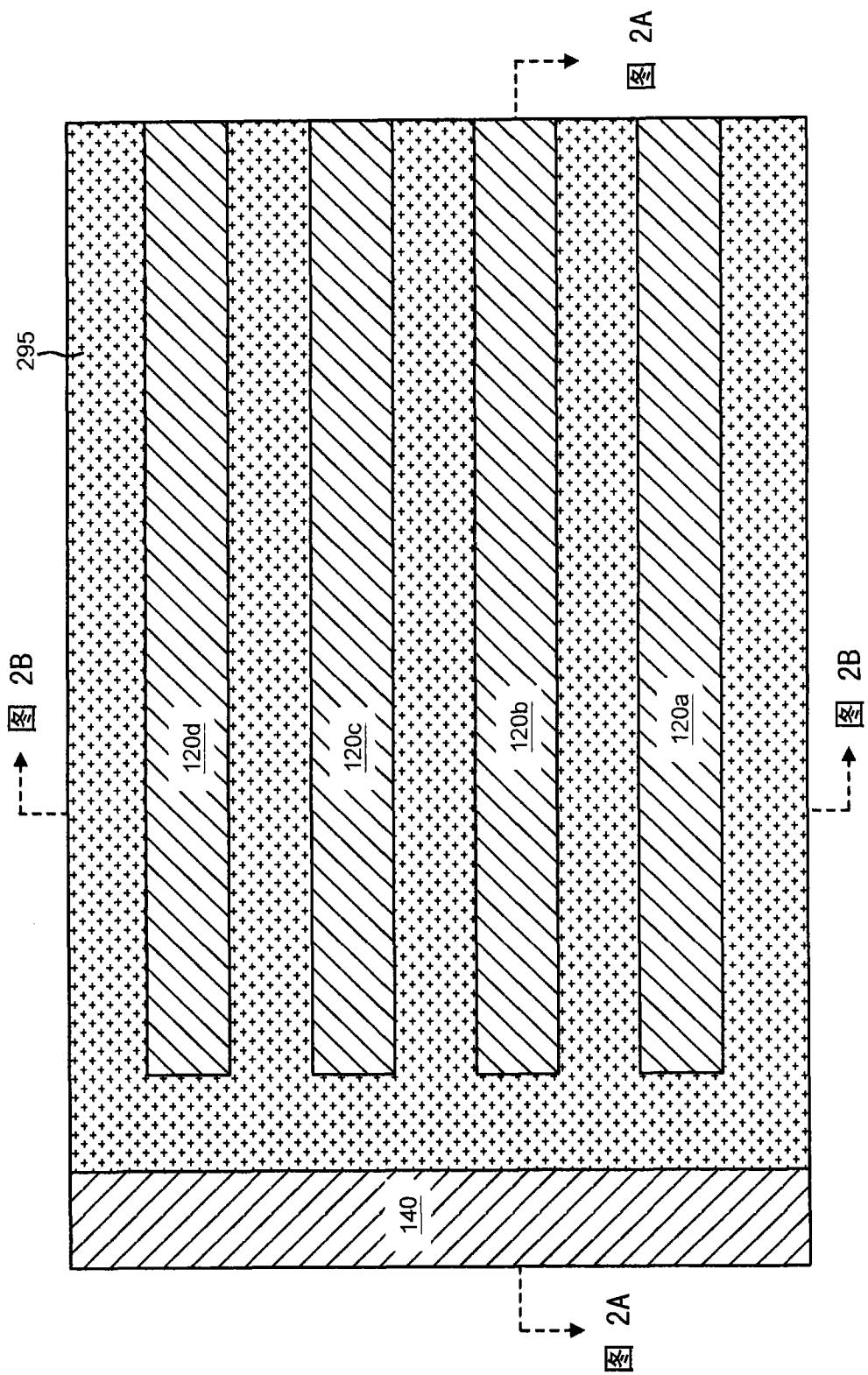


图 2C

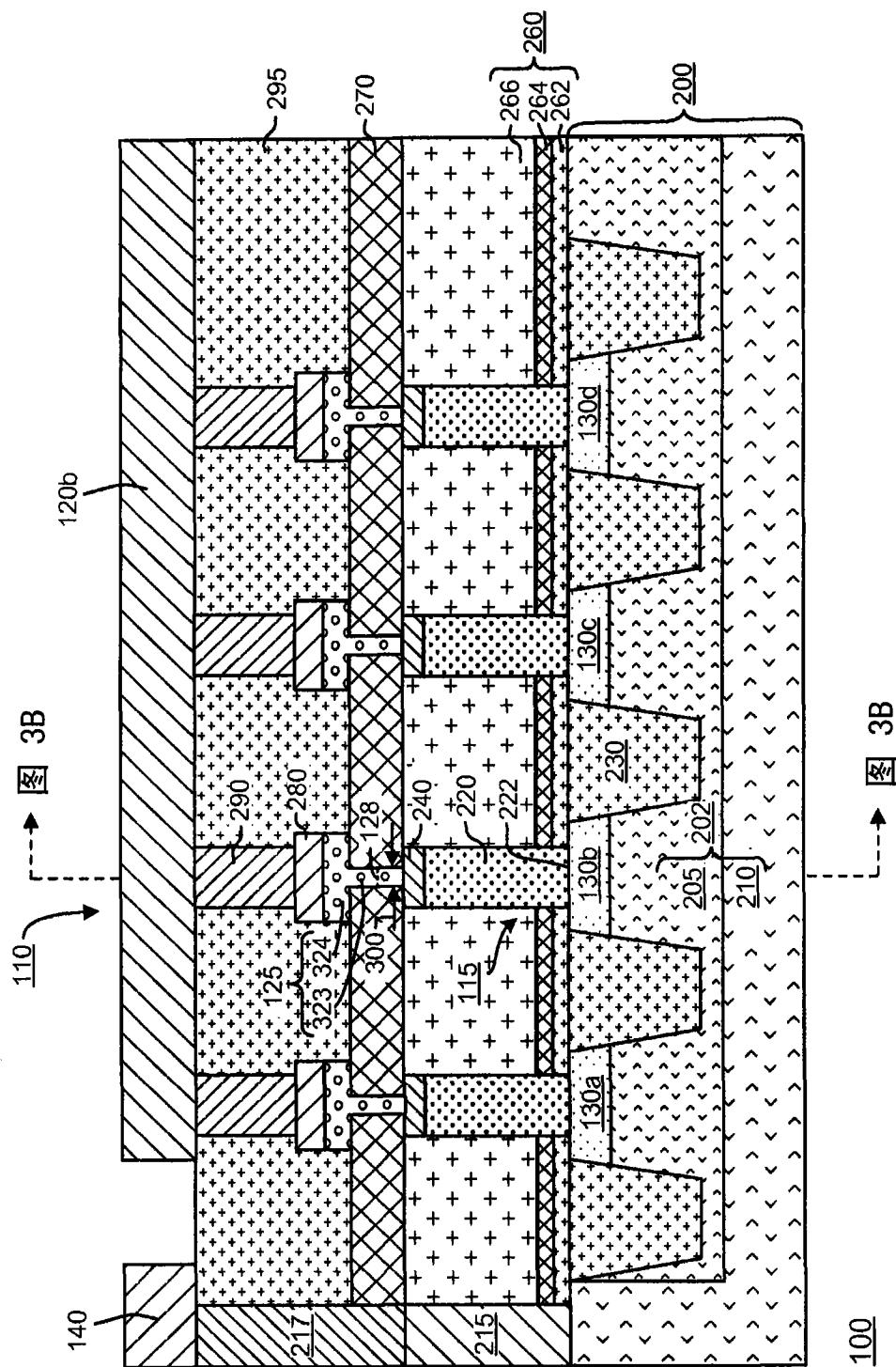


图 3A

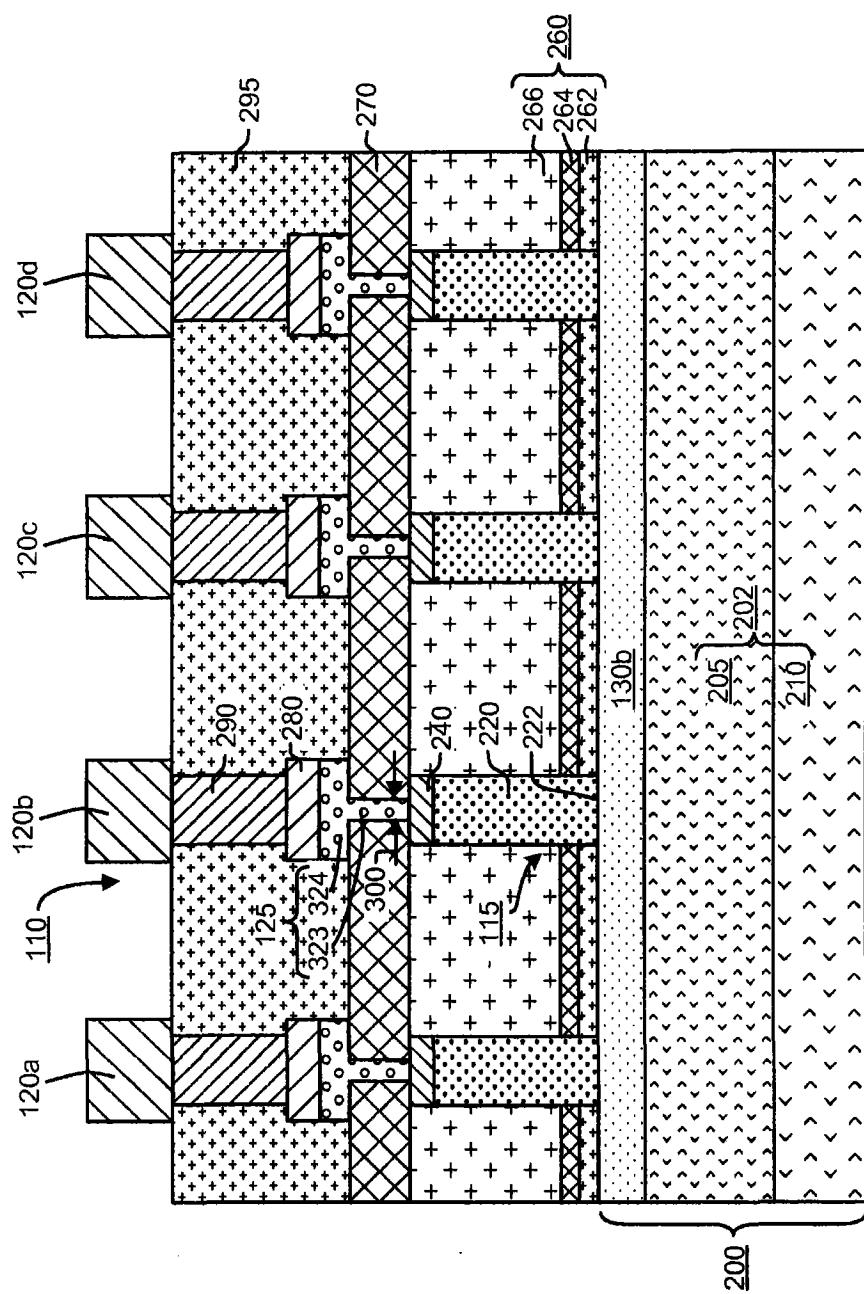


图 3B

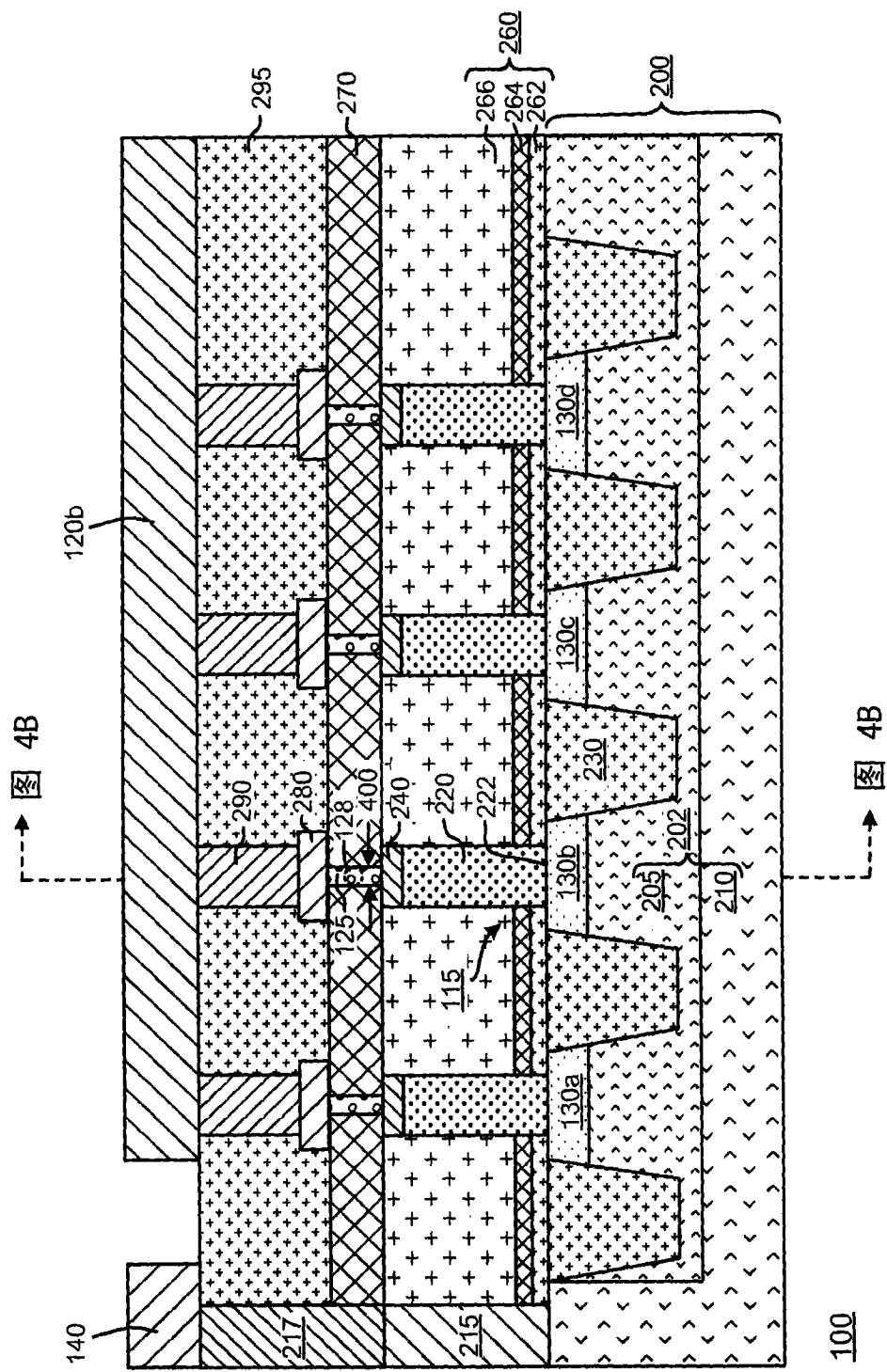


图 4A

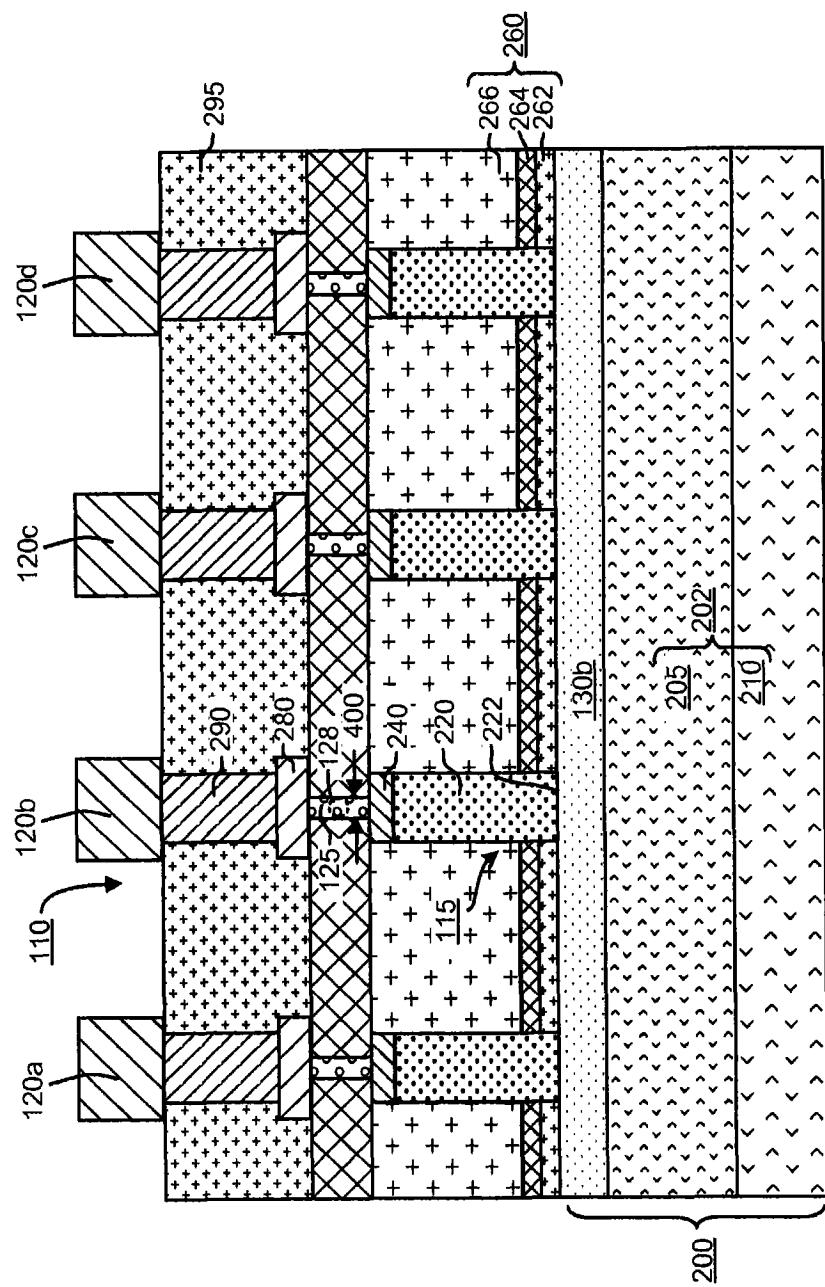


图 4B

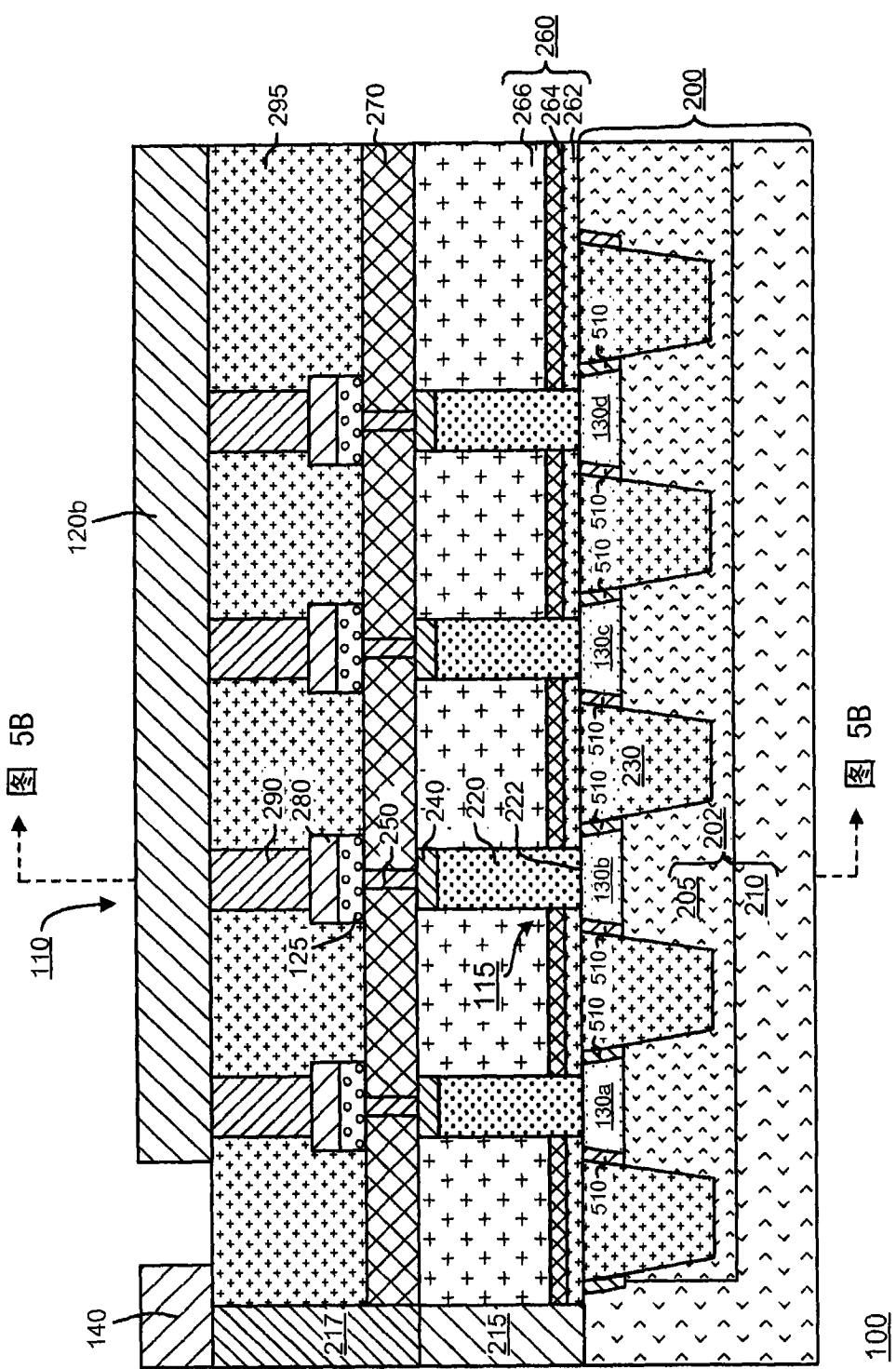


图 5A

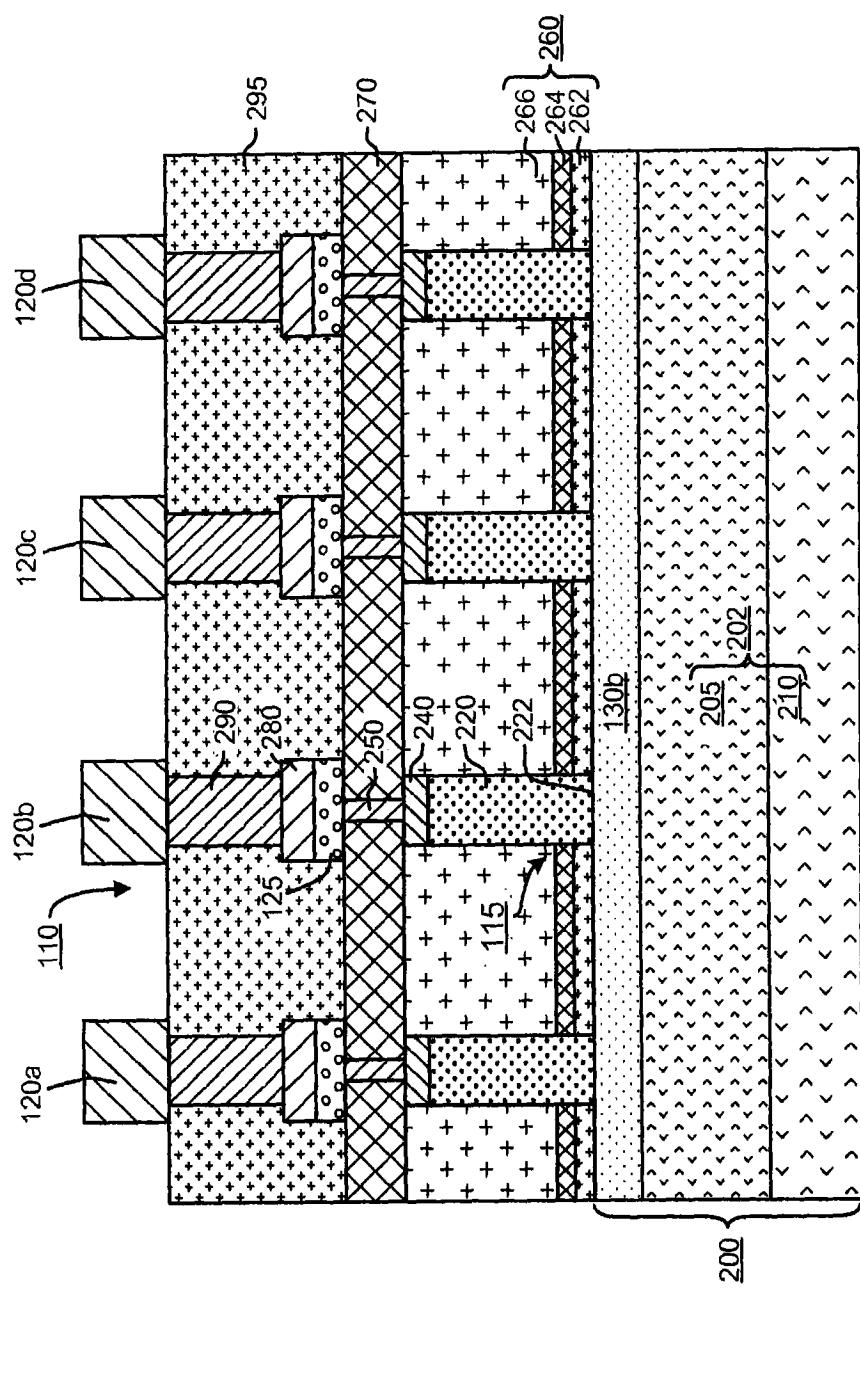


图 5B

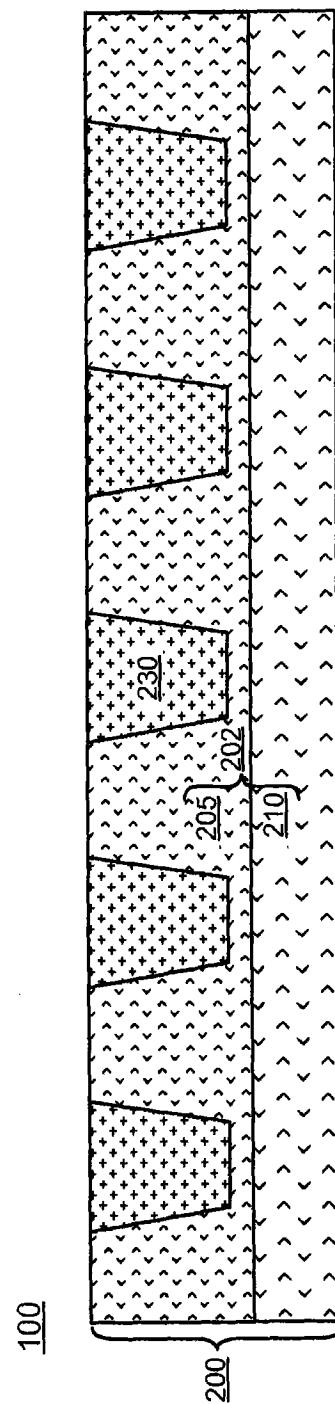


图 6A

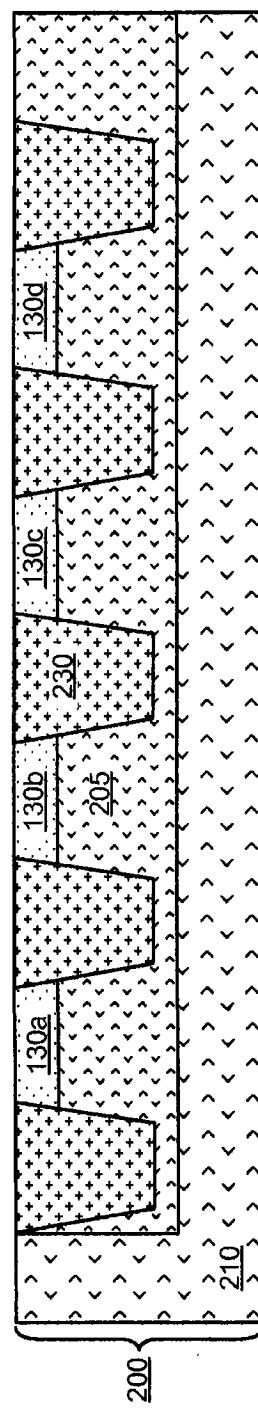
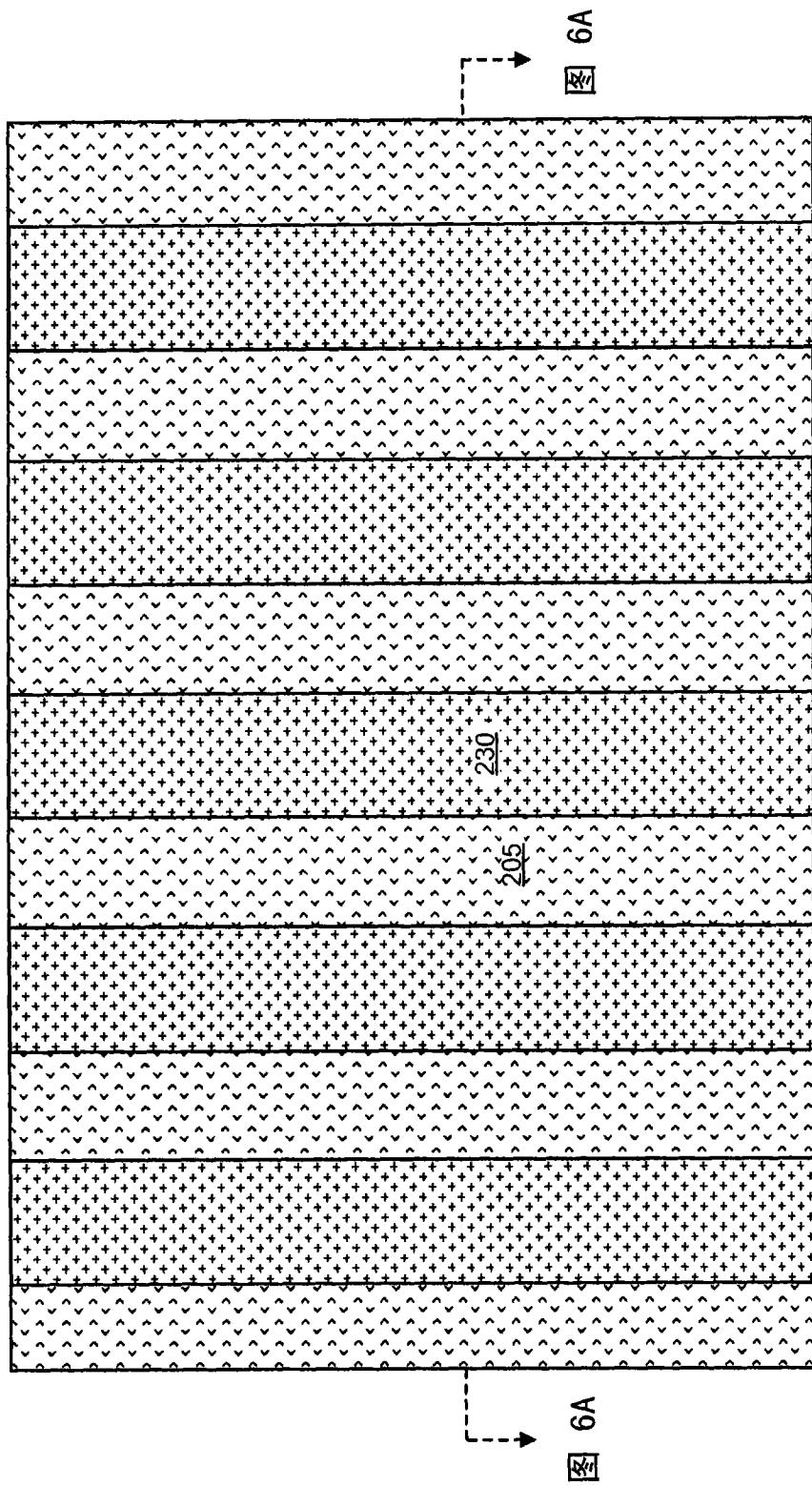


图 6B

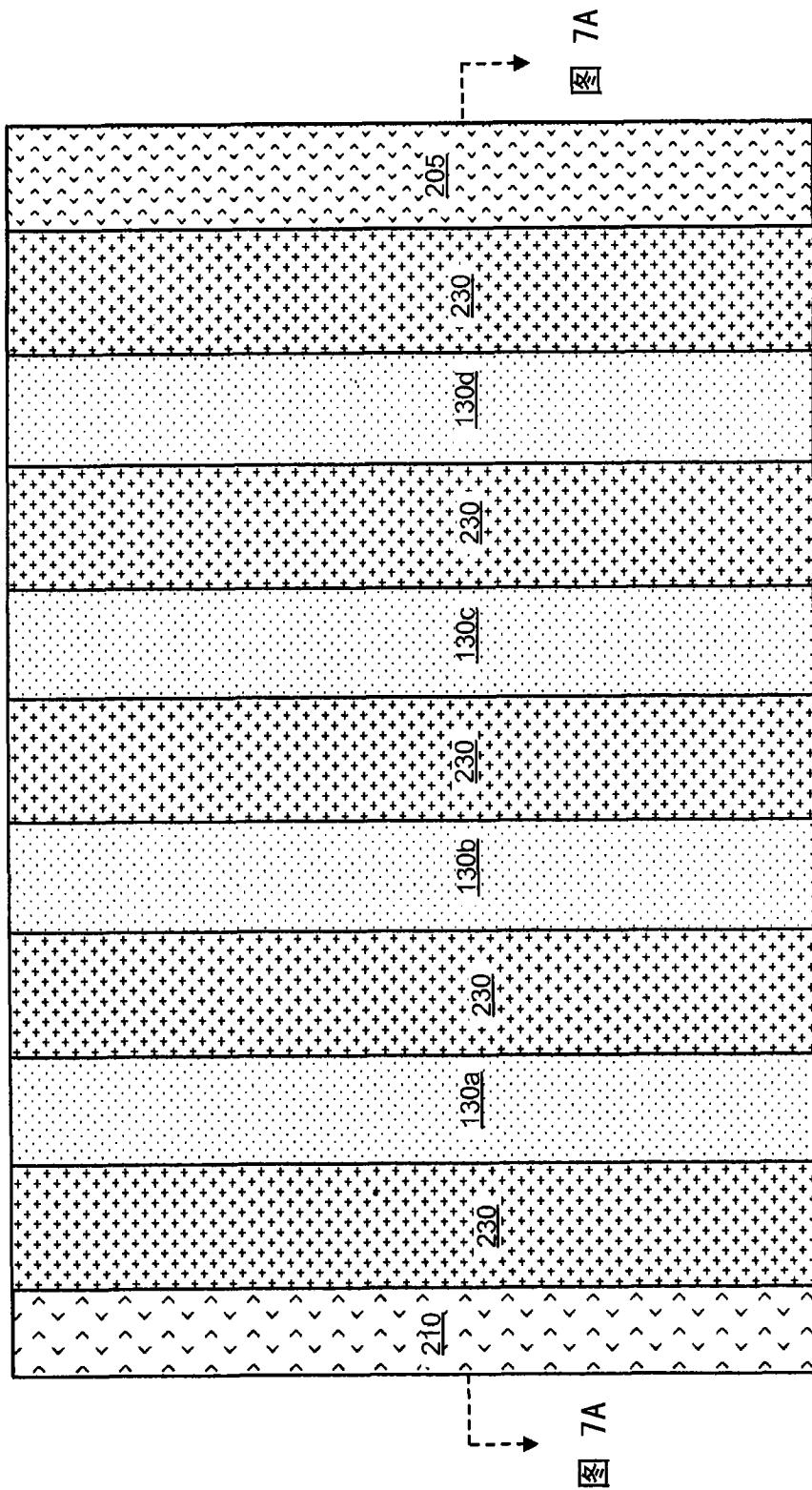


图 7B

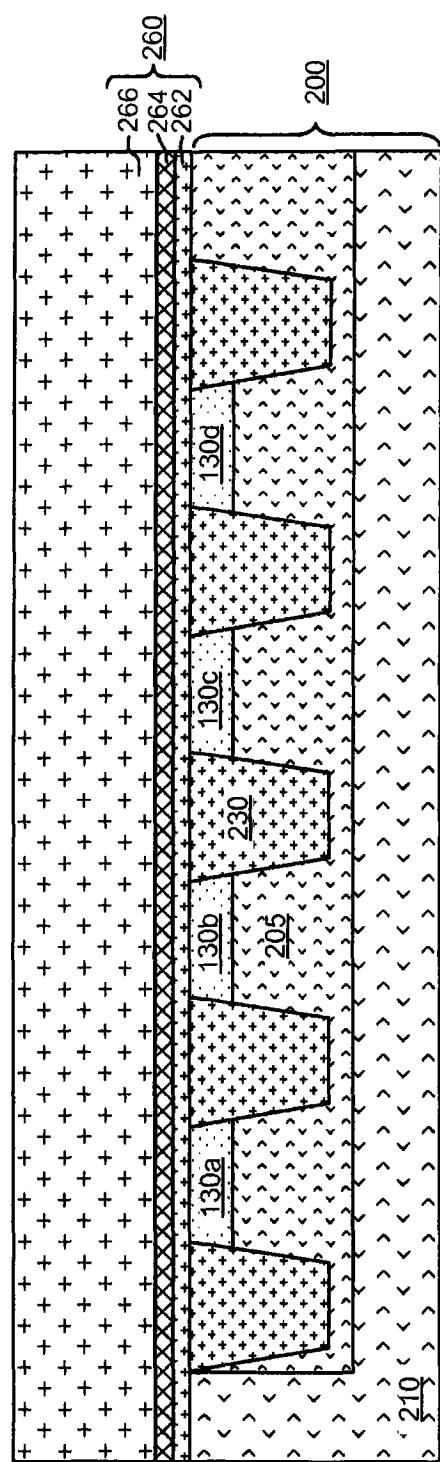


图 8A

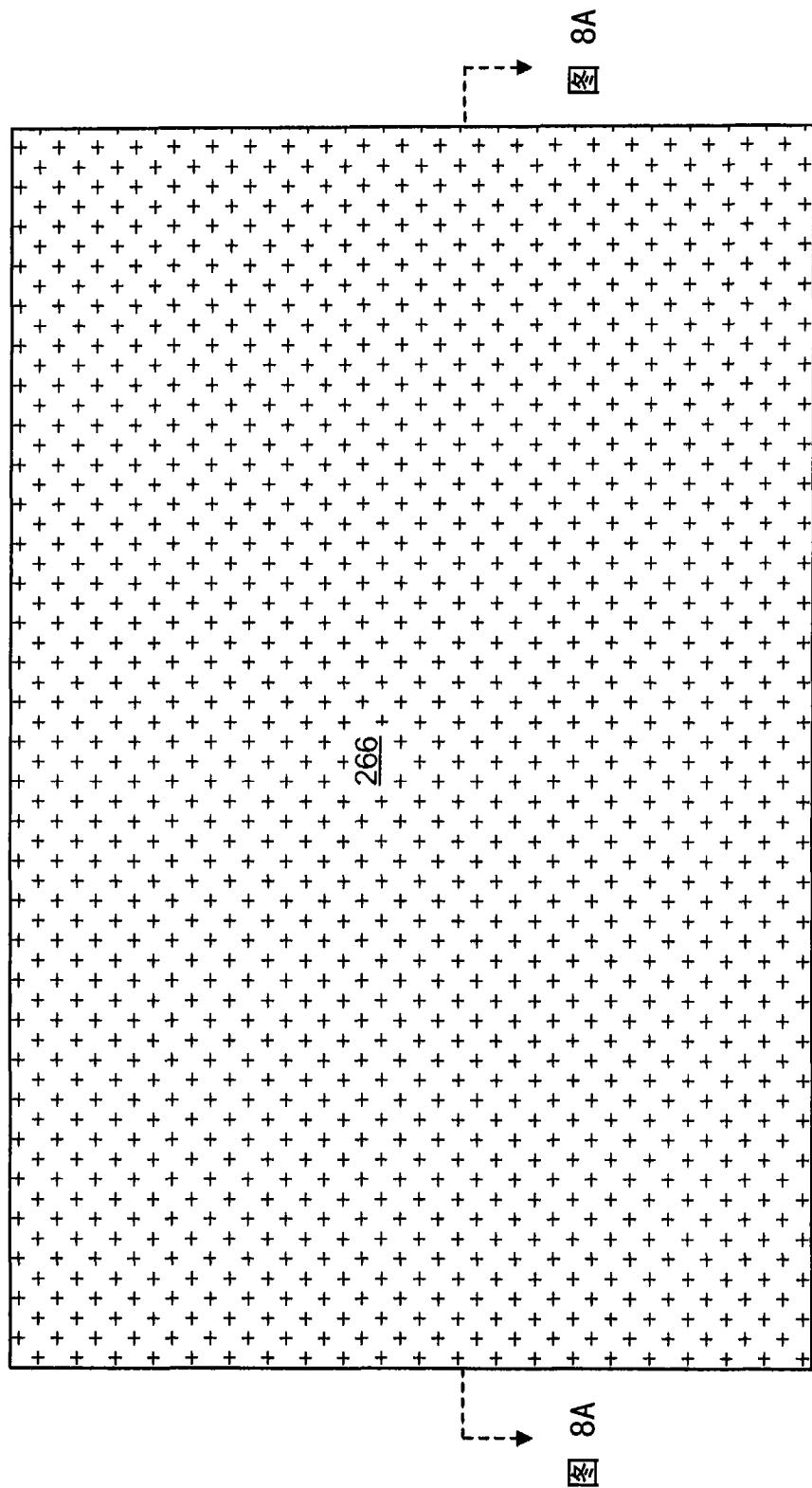


图 8B

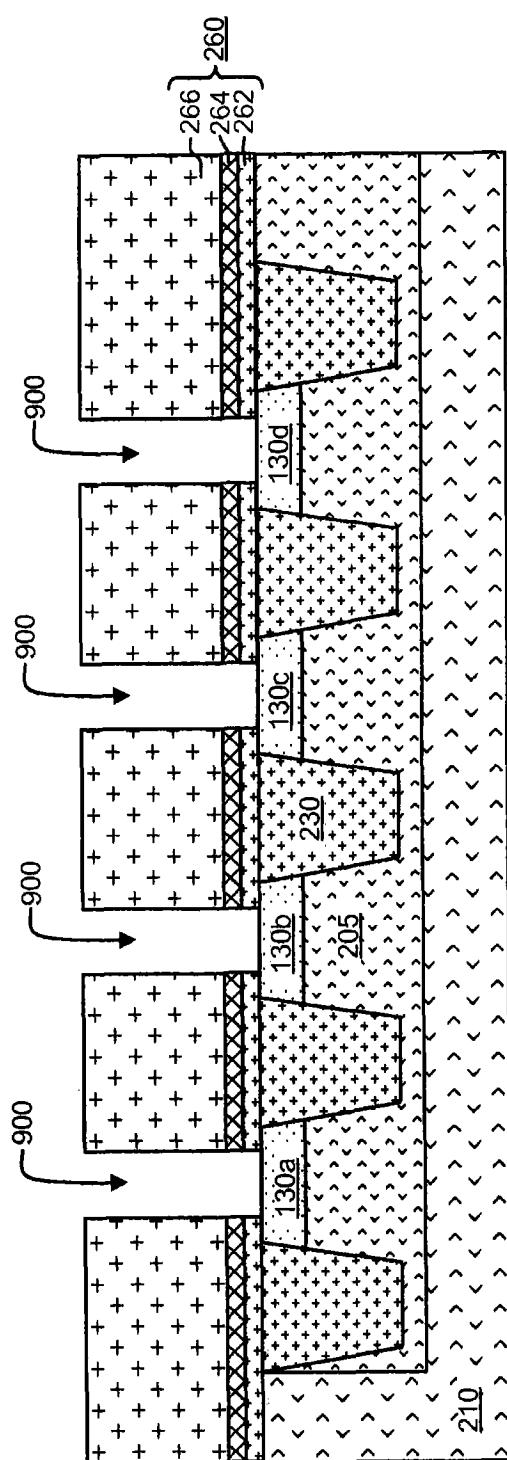


图 9A

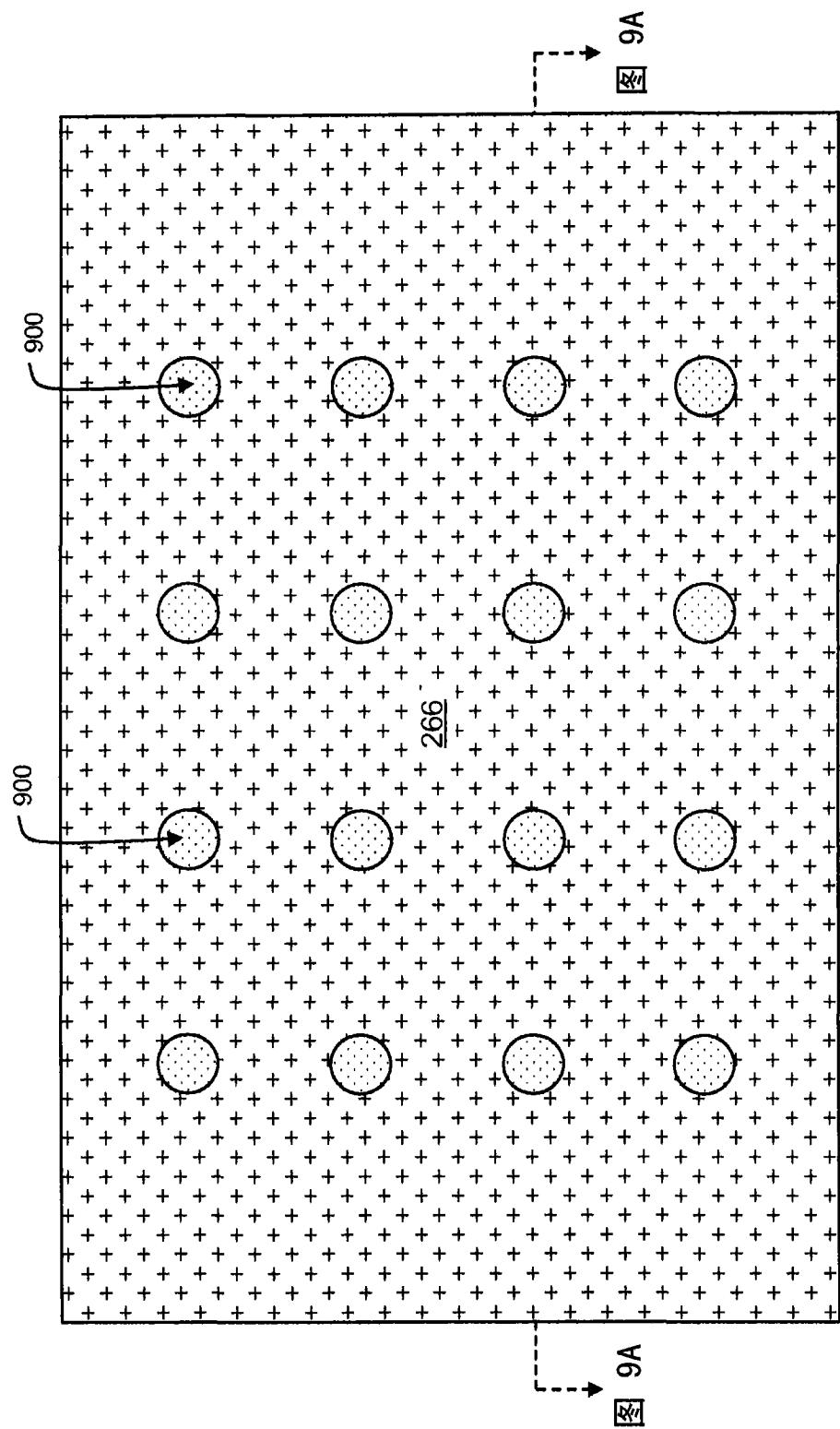


图 9B

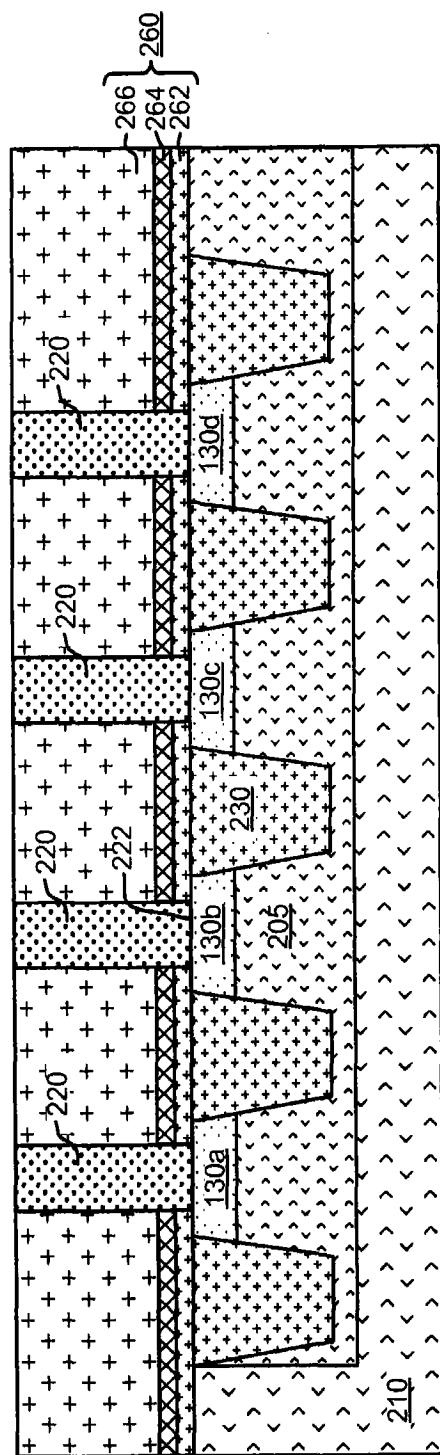


图 10A

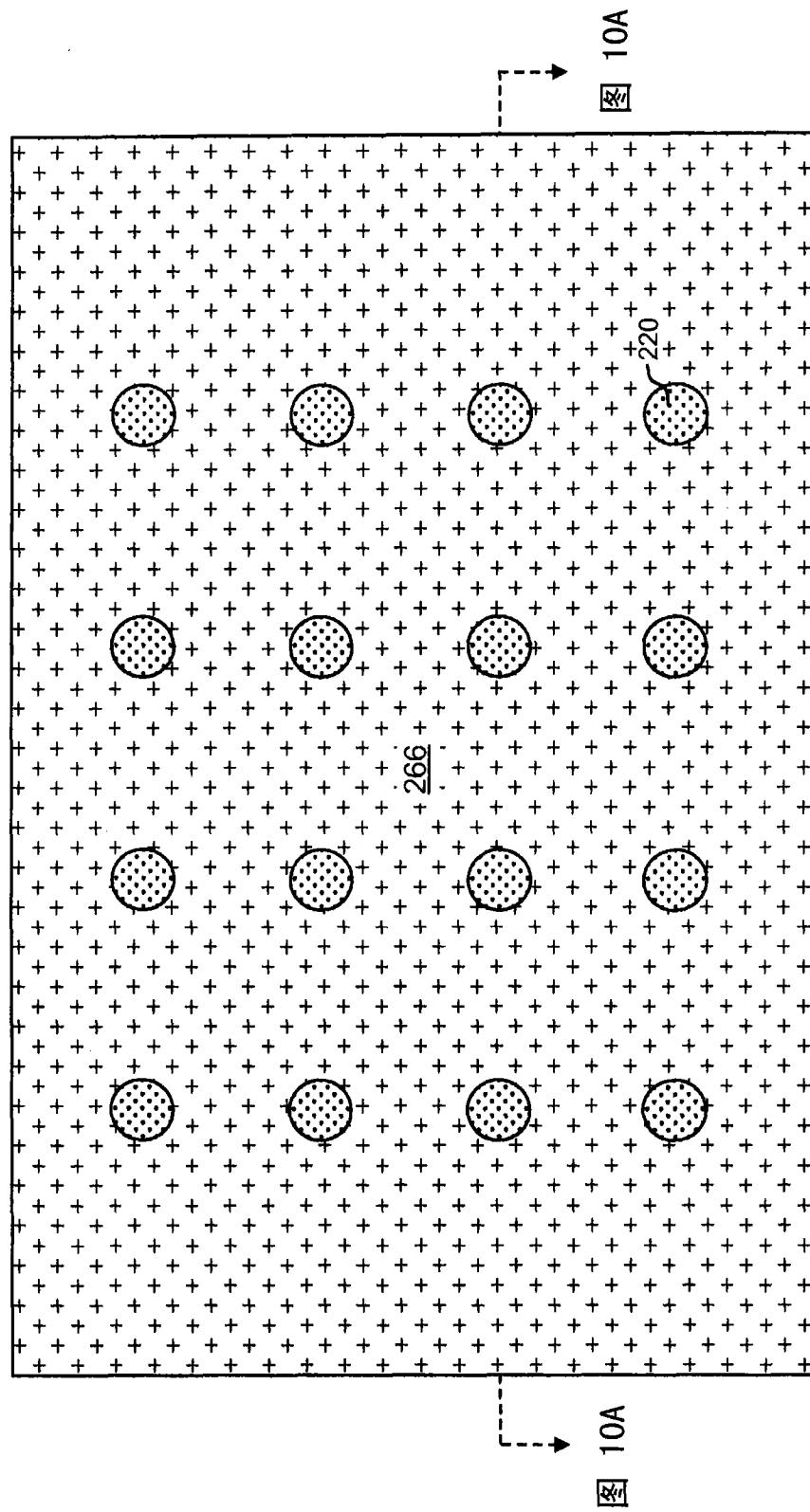


图 10B

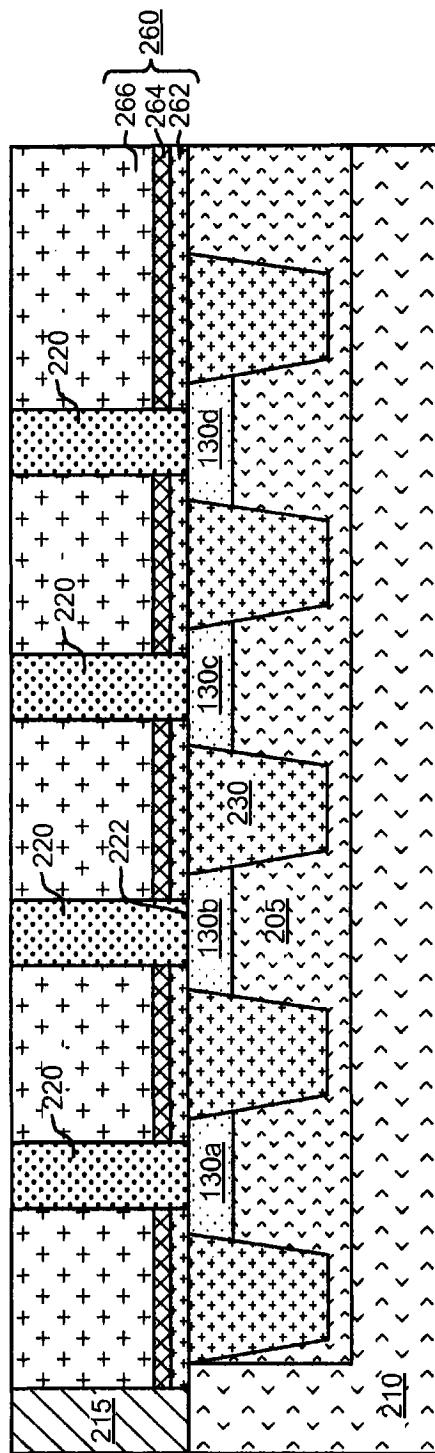


图 11A

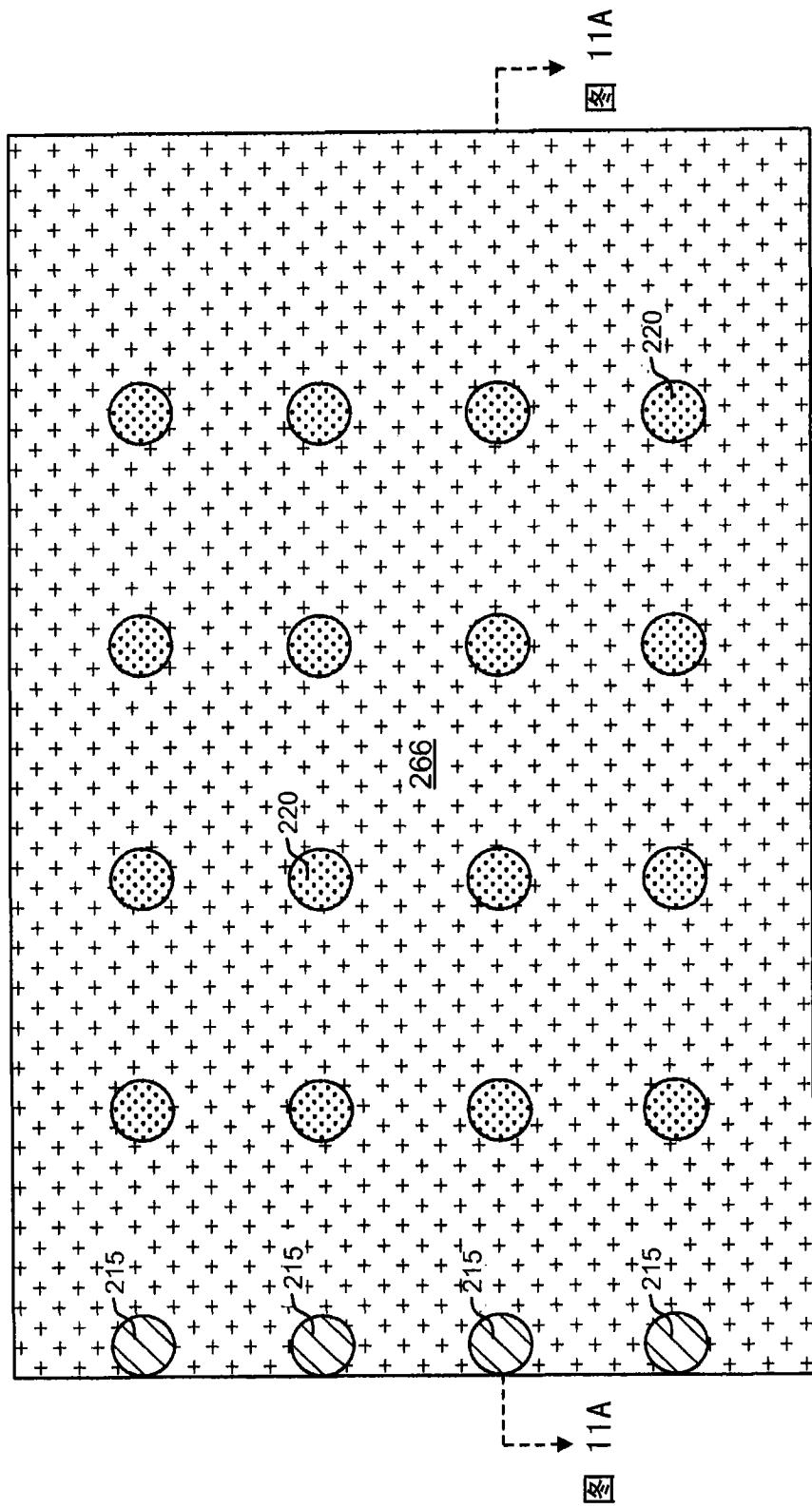


图 11B

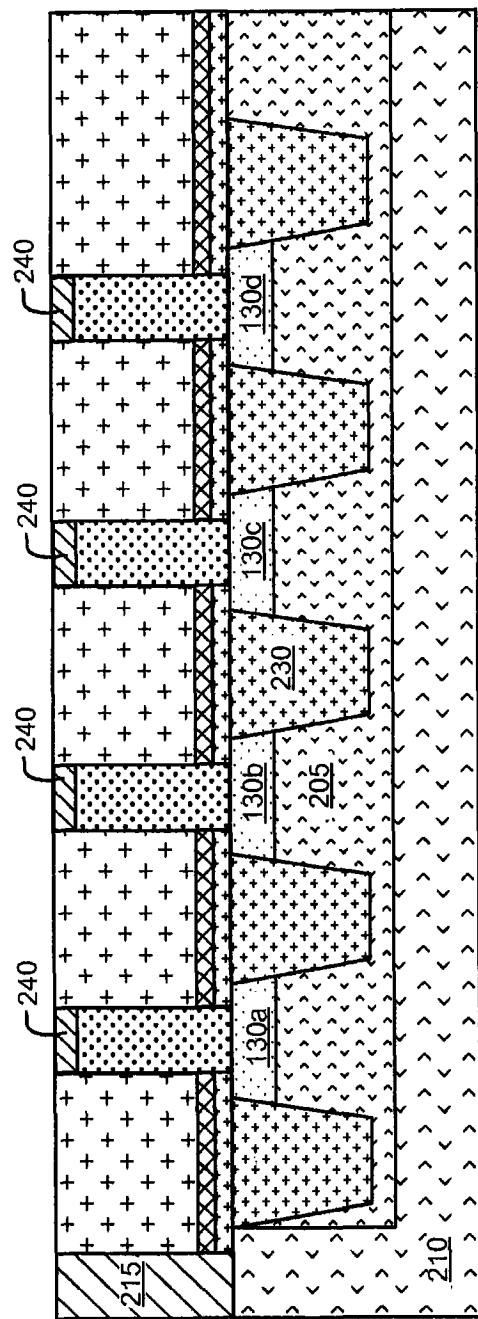


图 12A

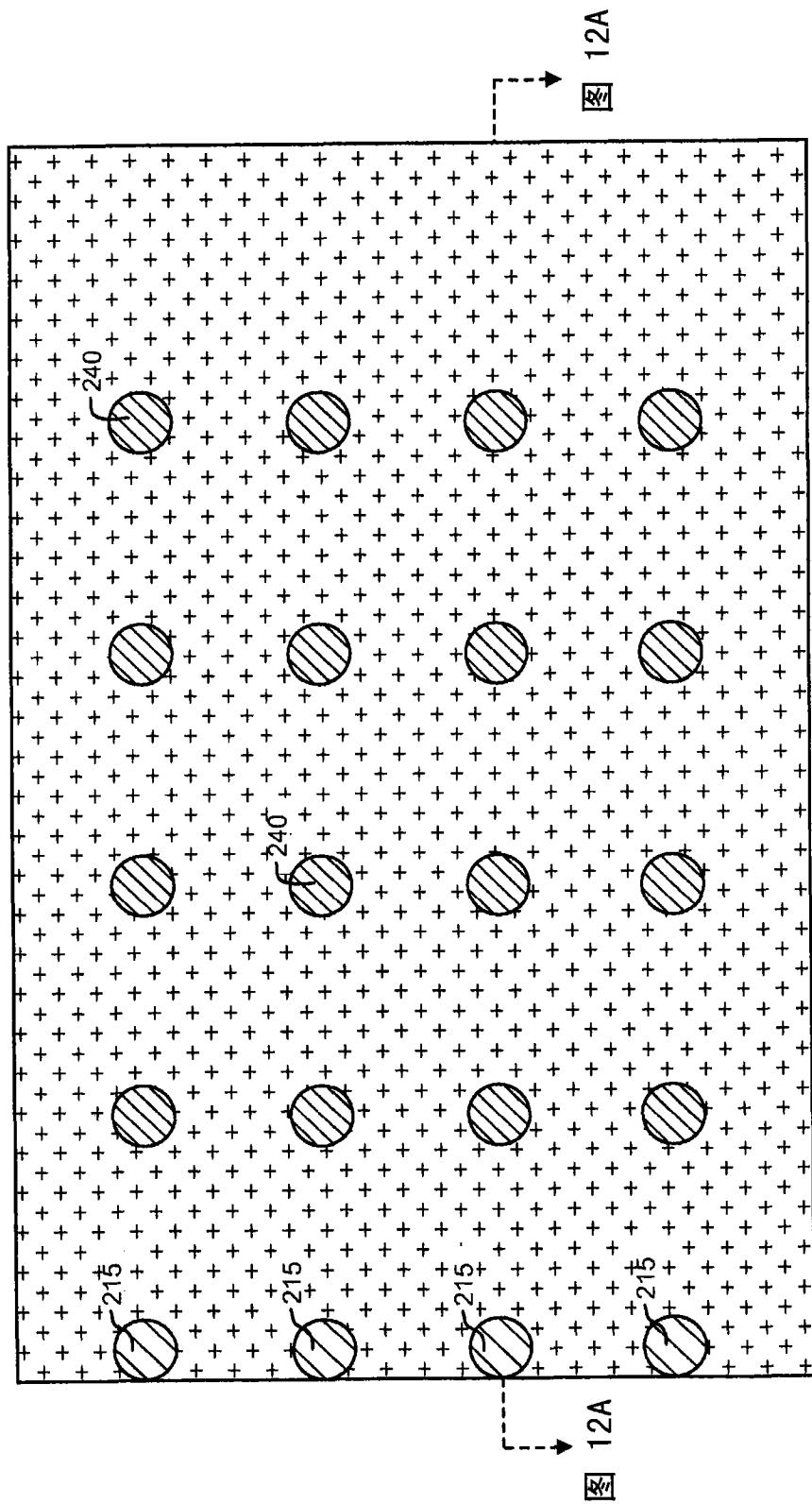


图 12B

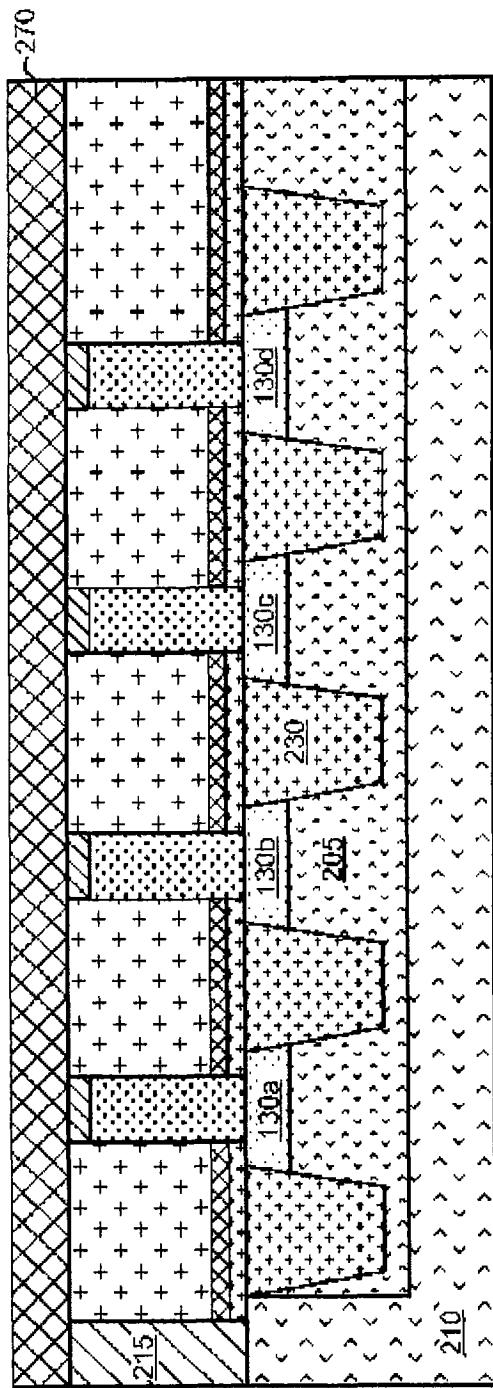


图 13A

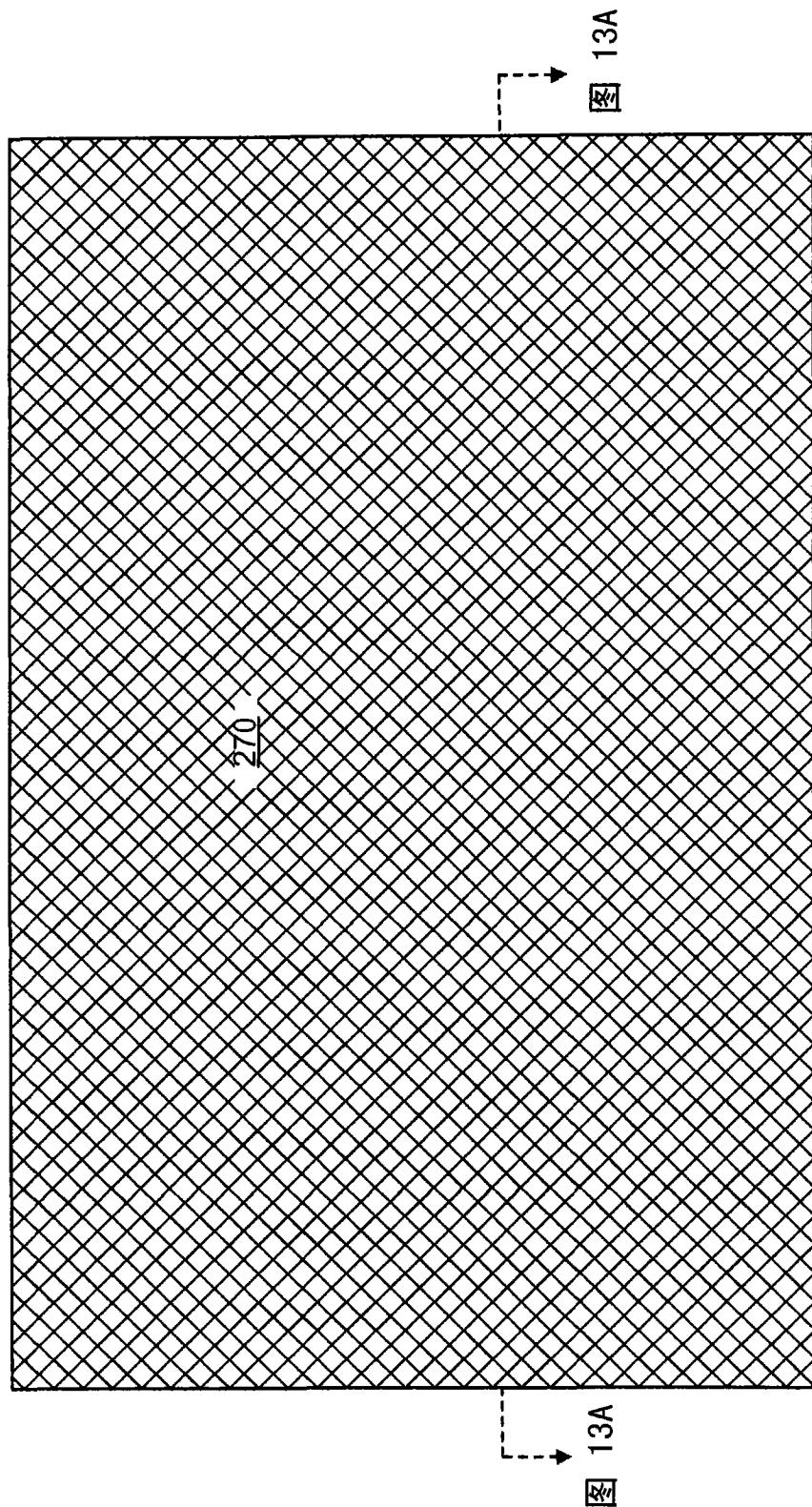


图 13B

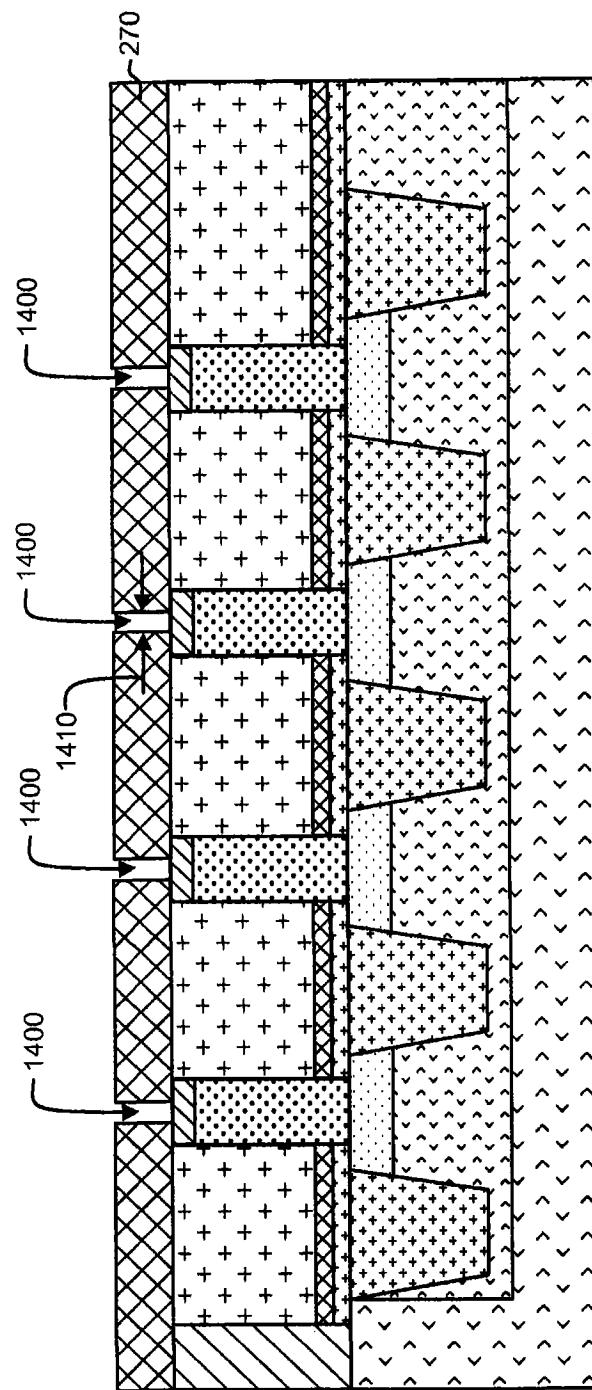


图 14A

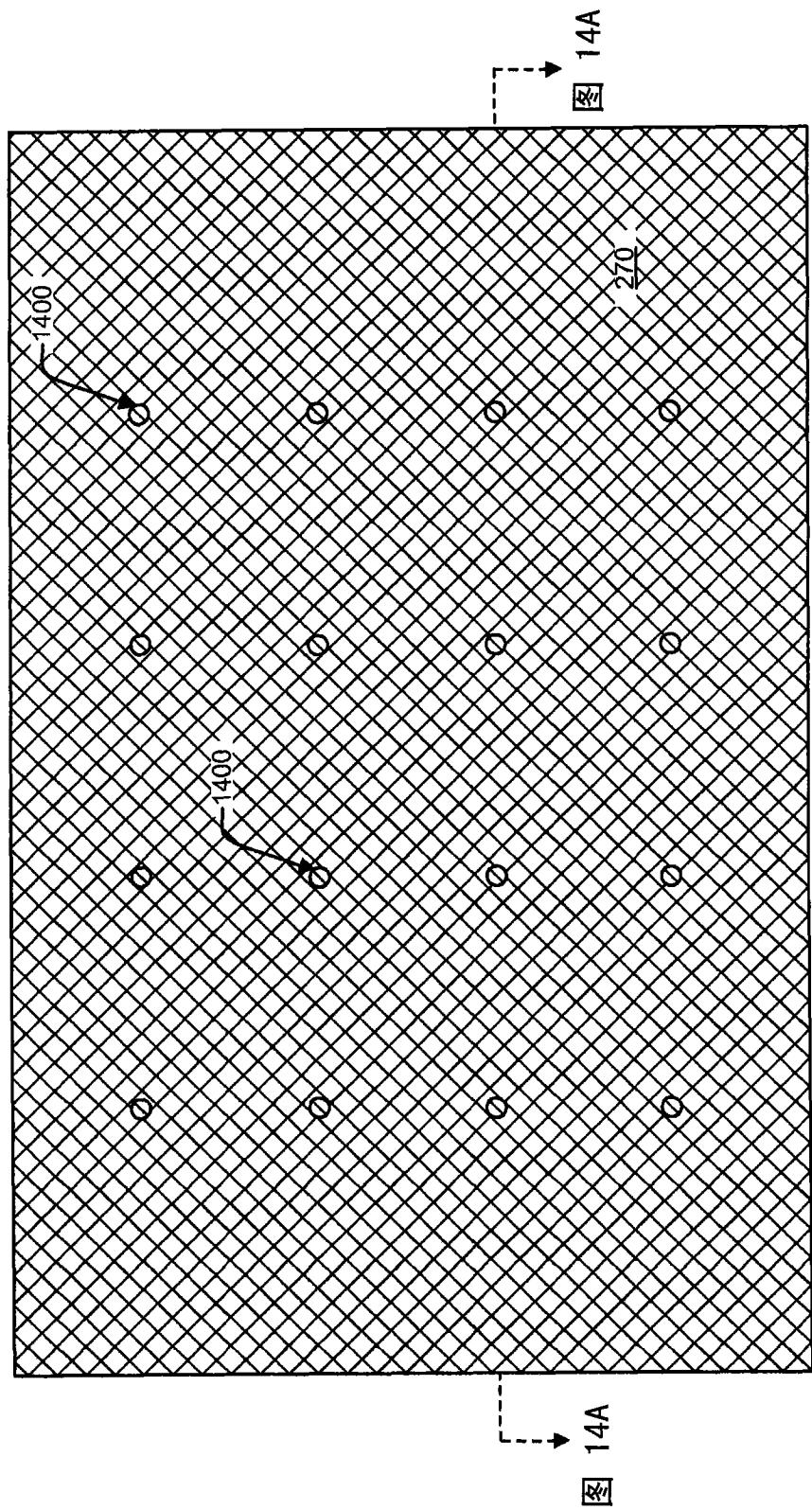


图 14B

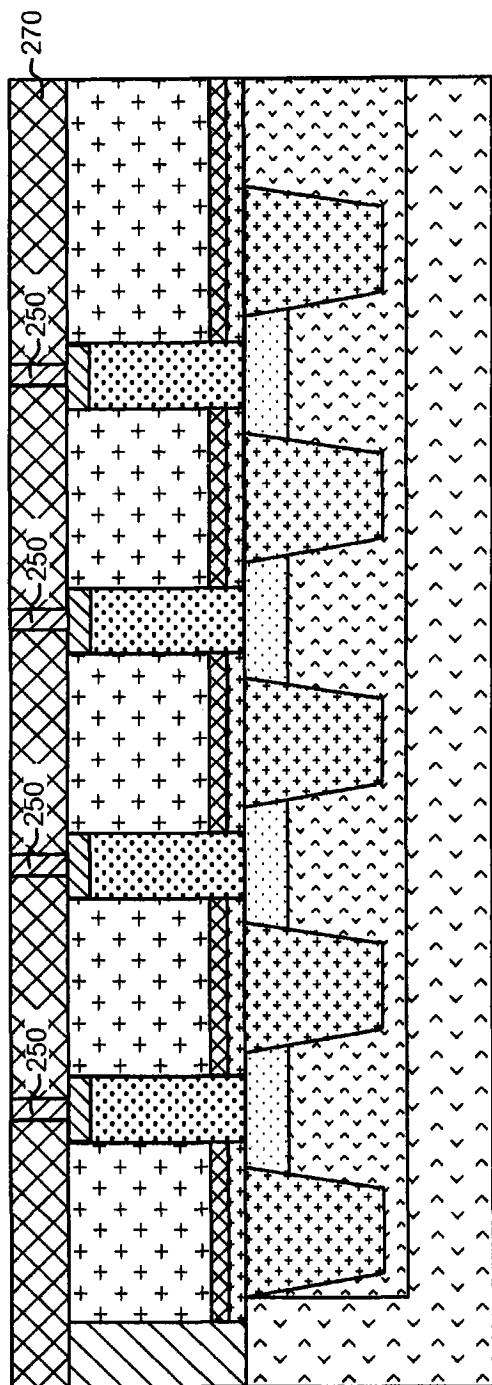


图 15A

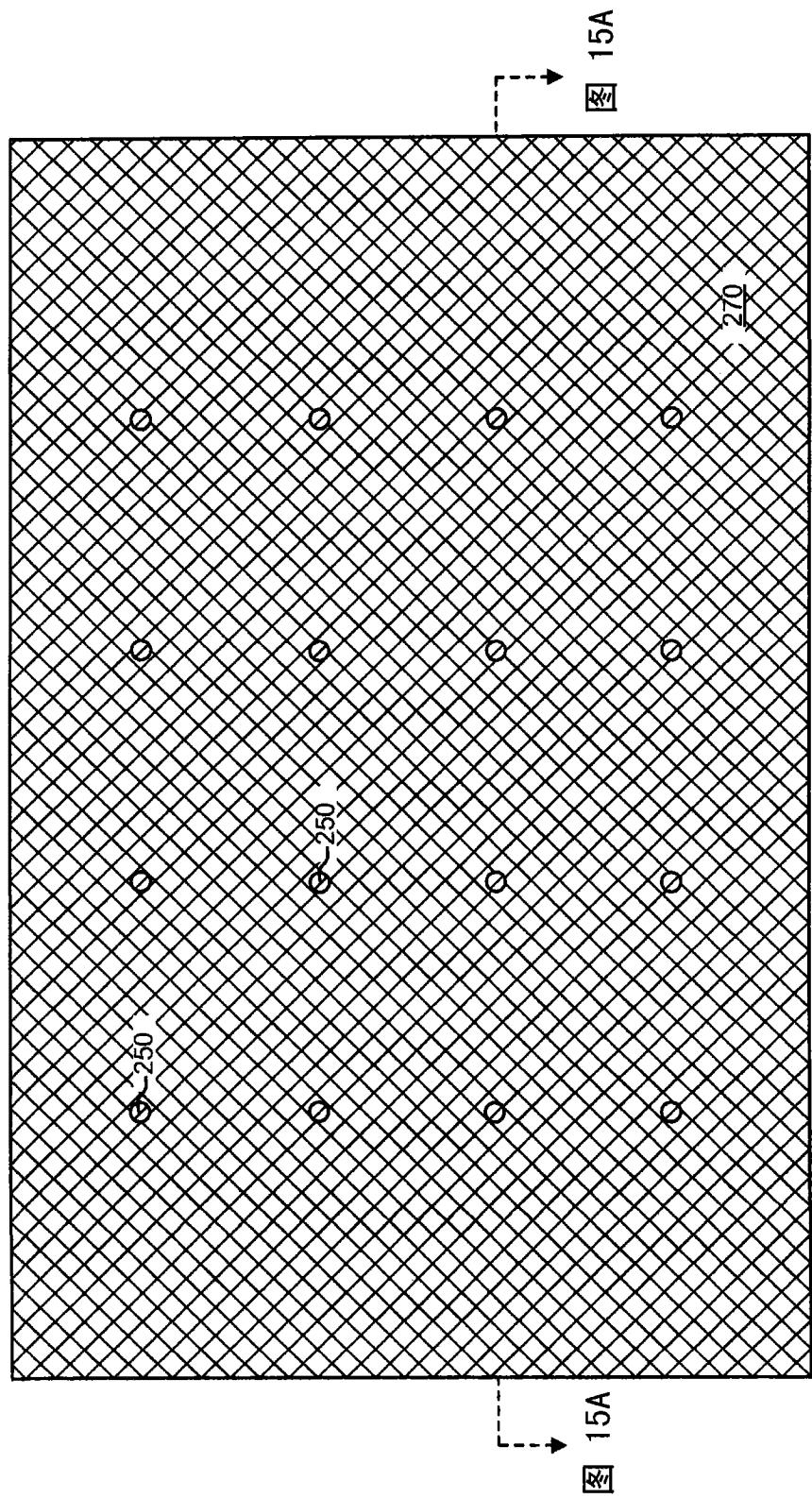


图 15B

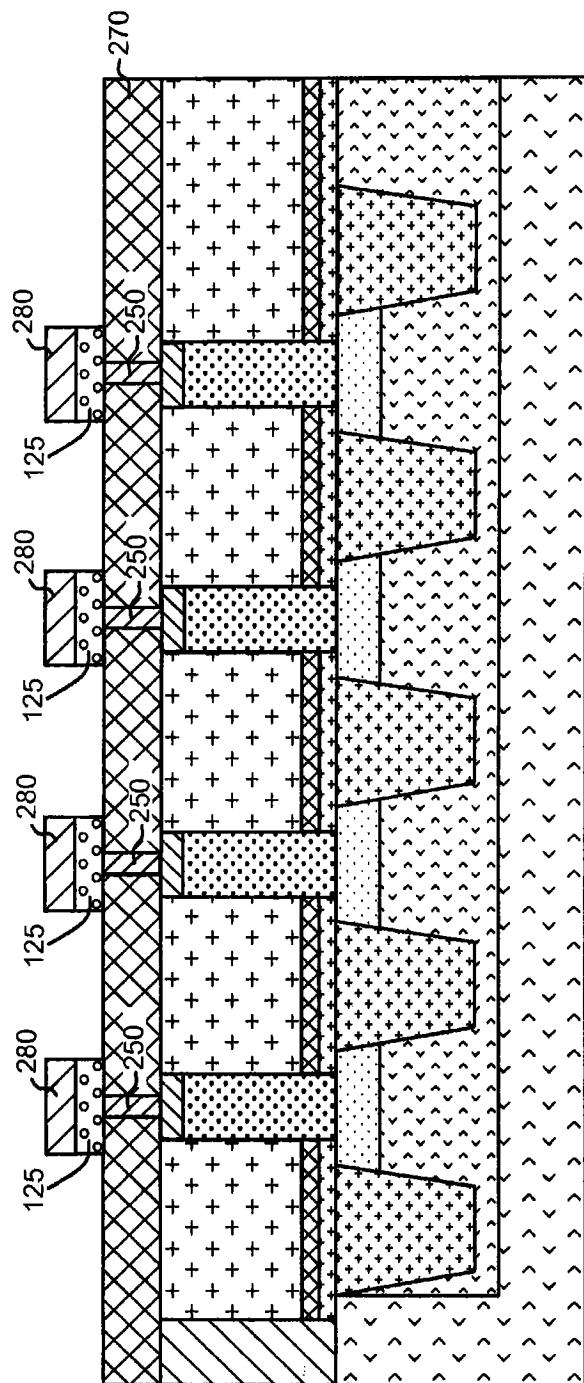


图 16A

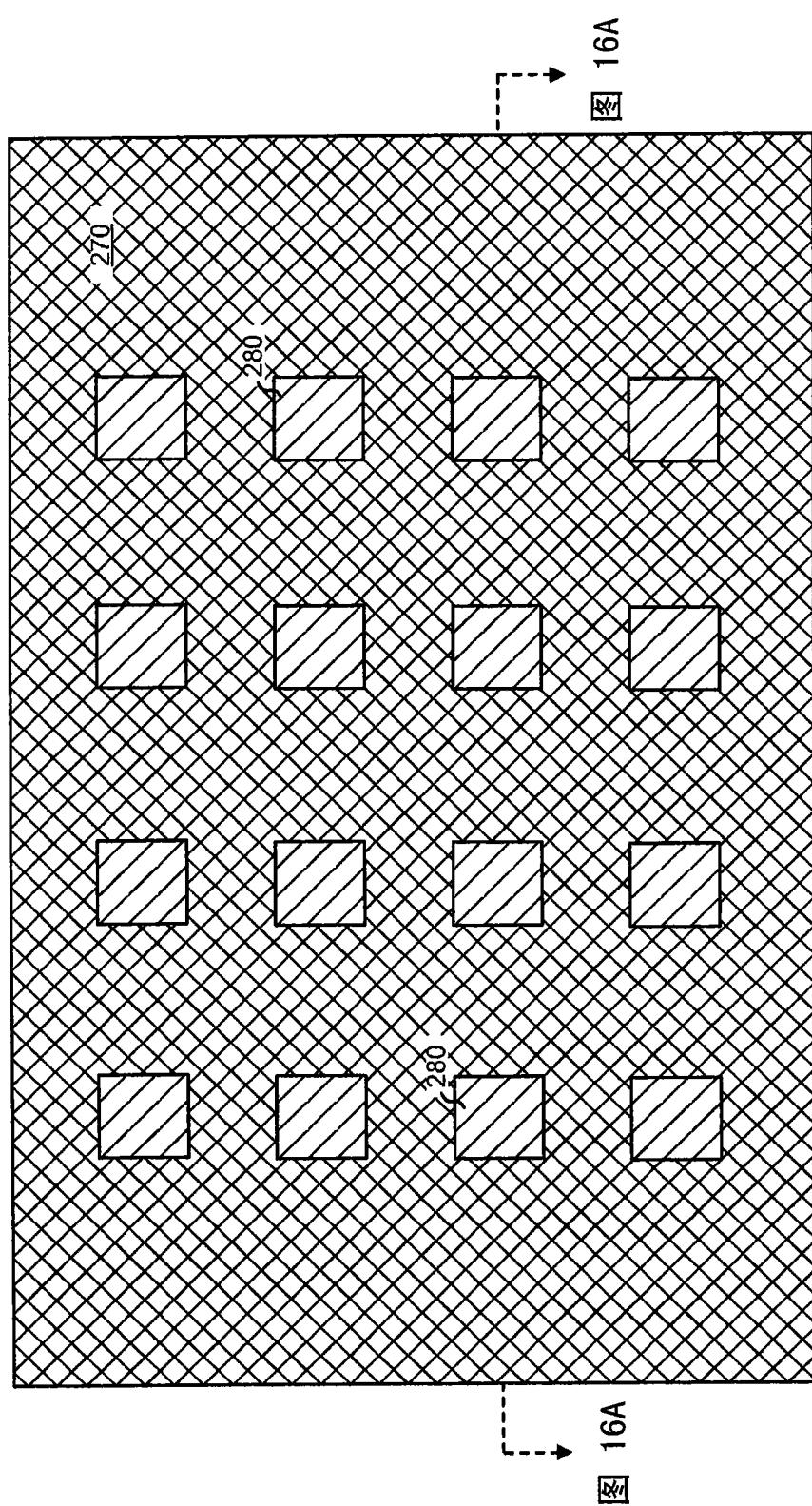


图 16B

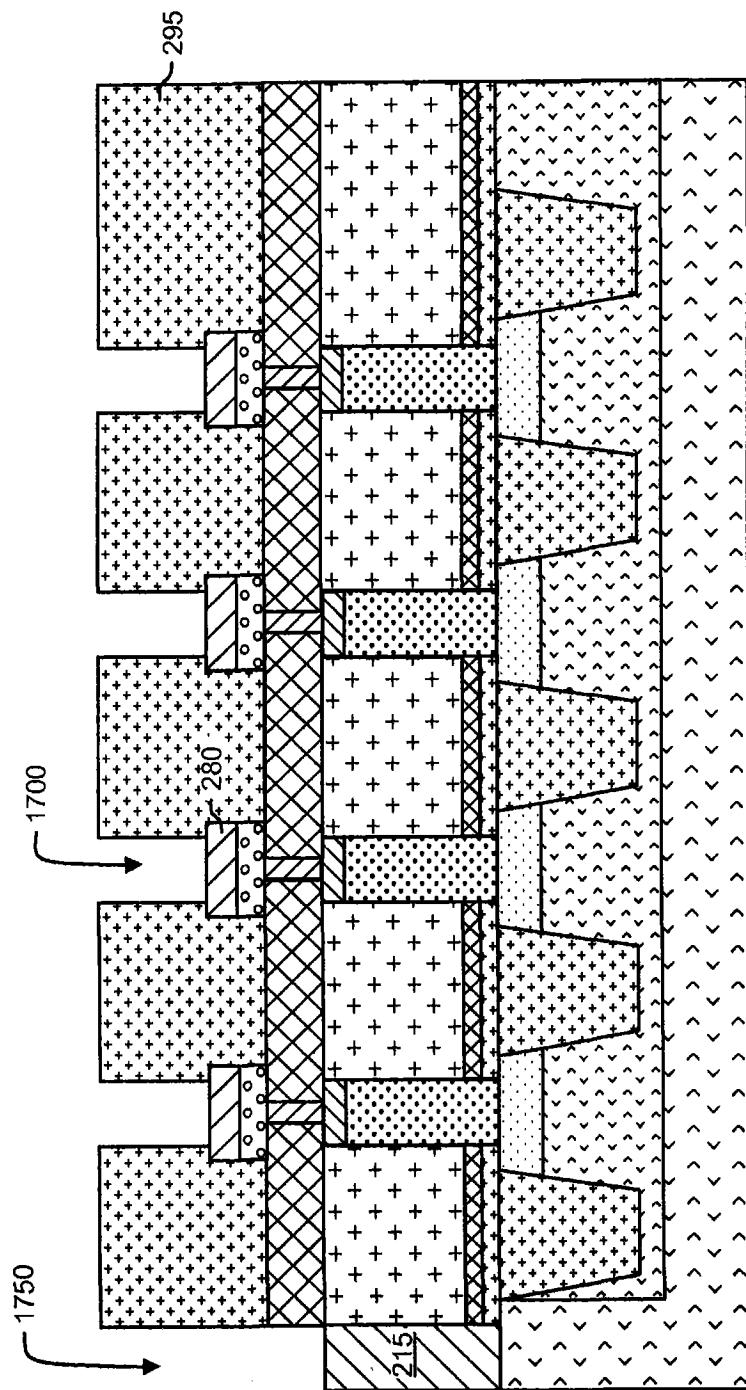


图 17A

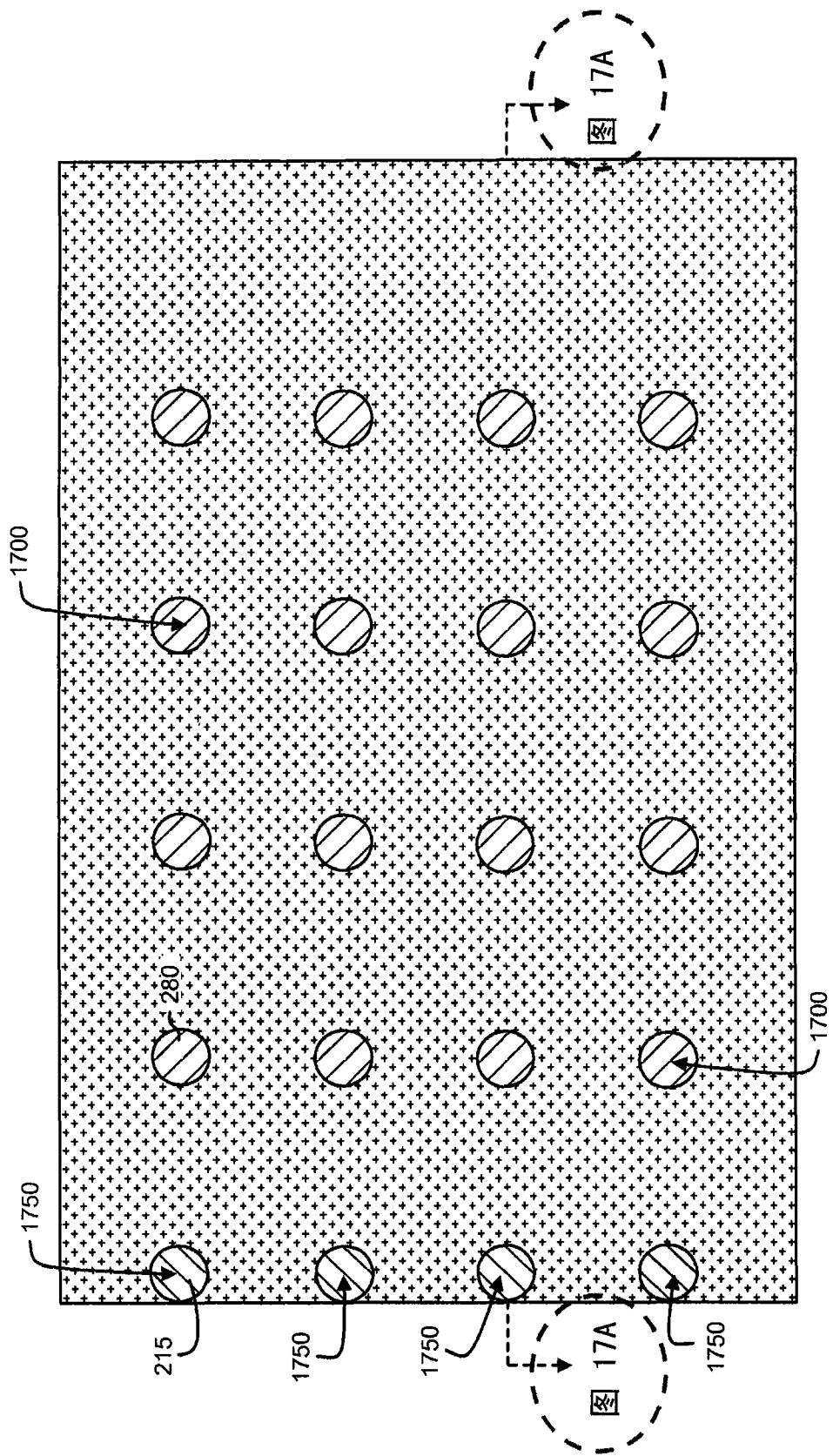


图 17B

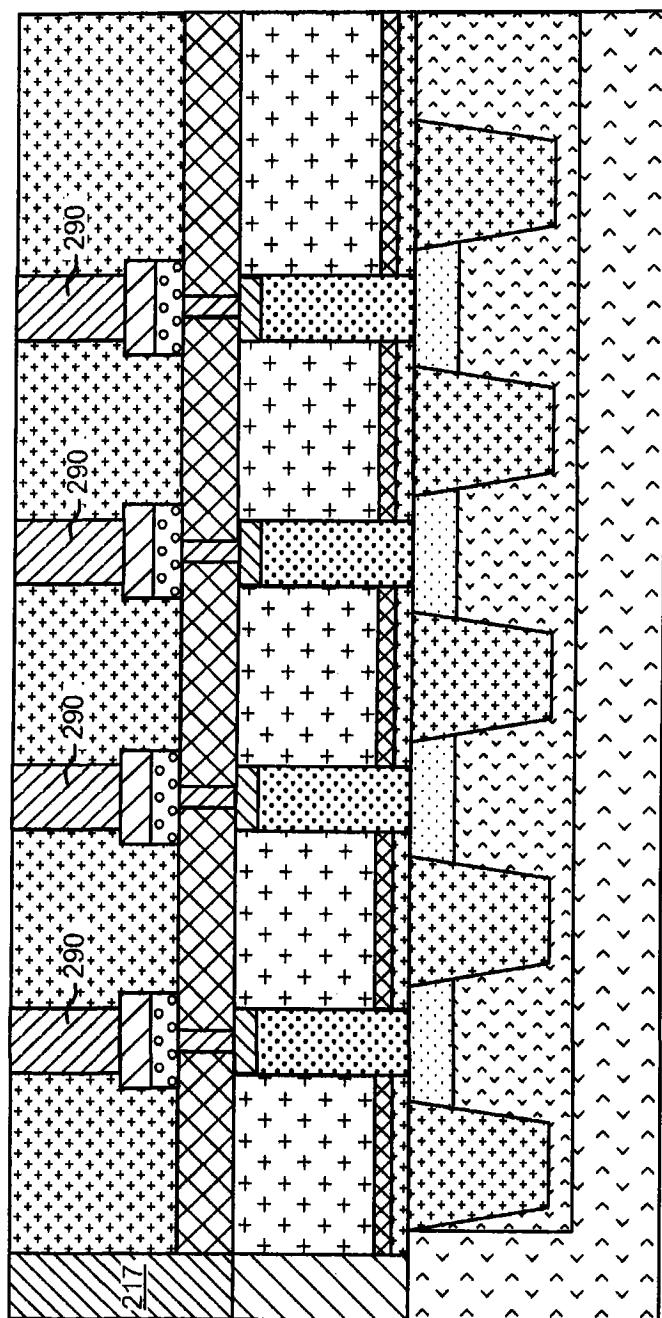


图 18A

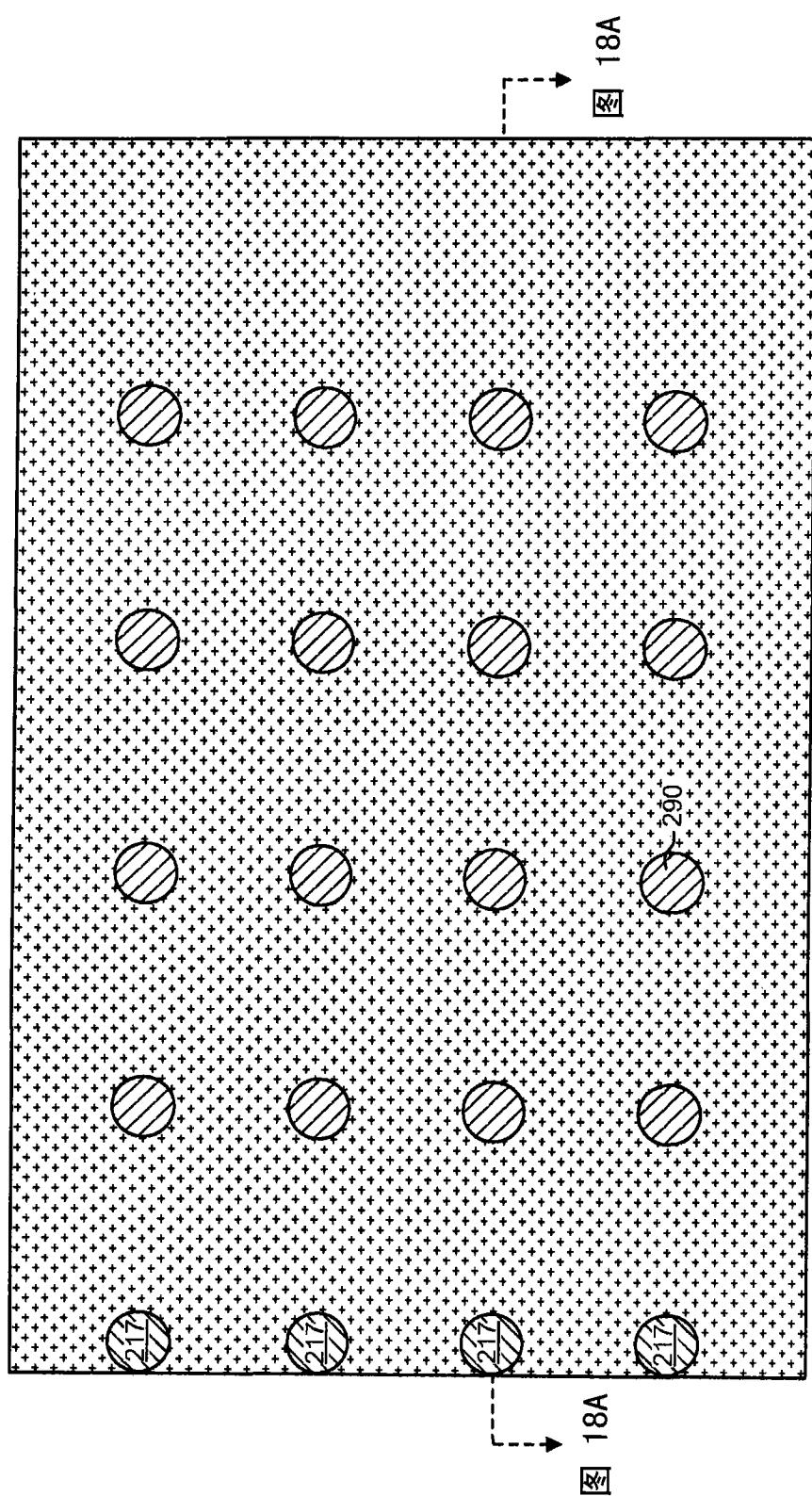


图 18B

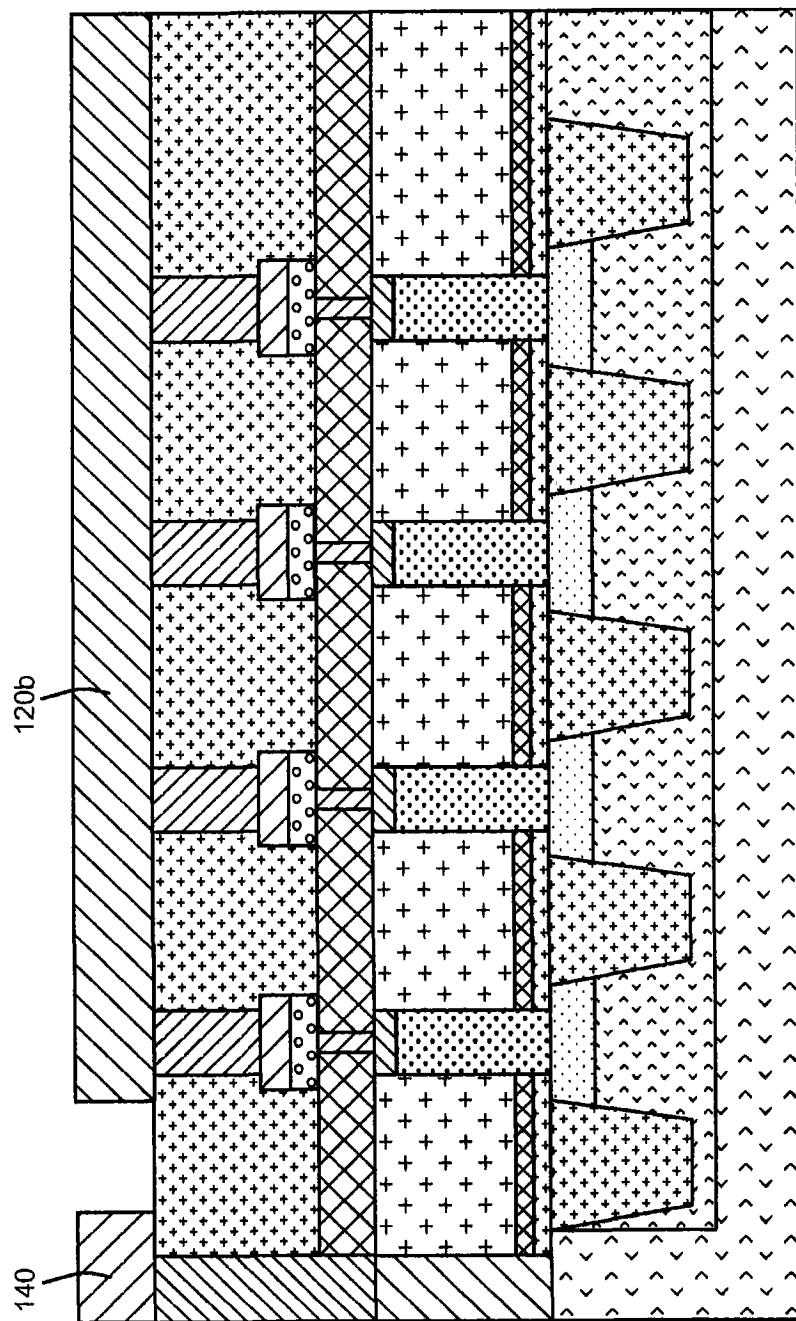


图 19A

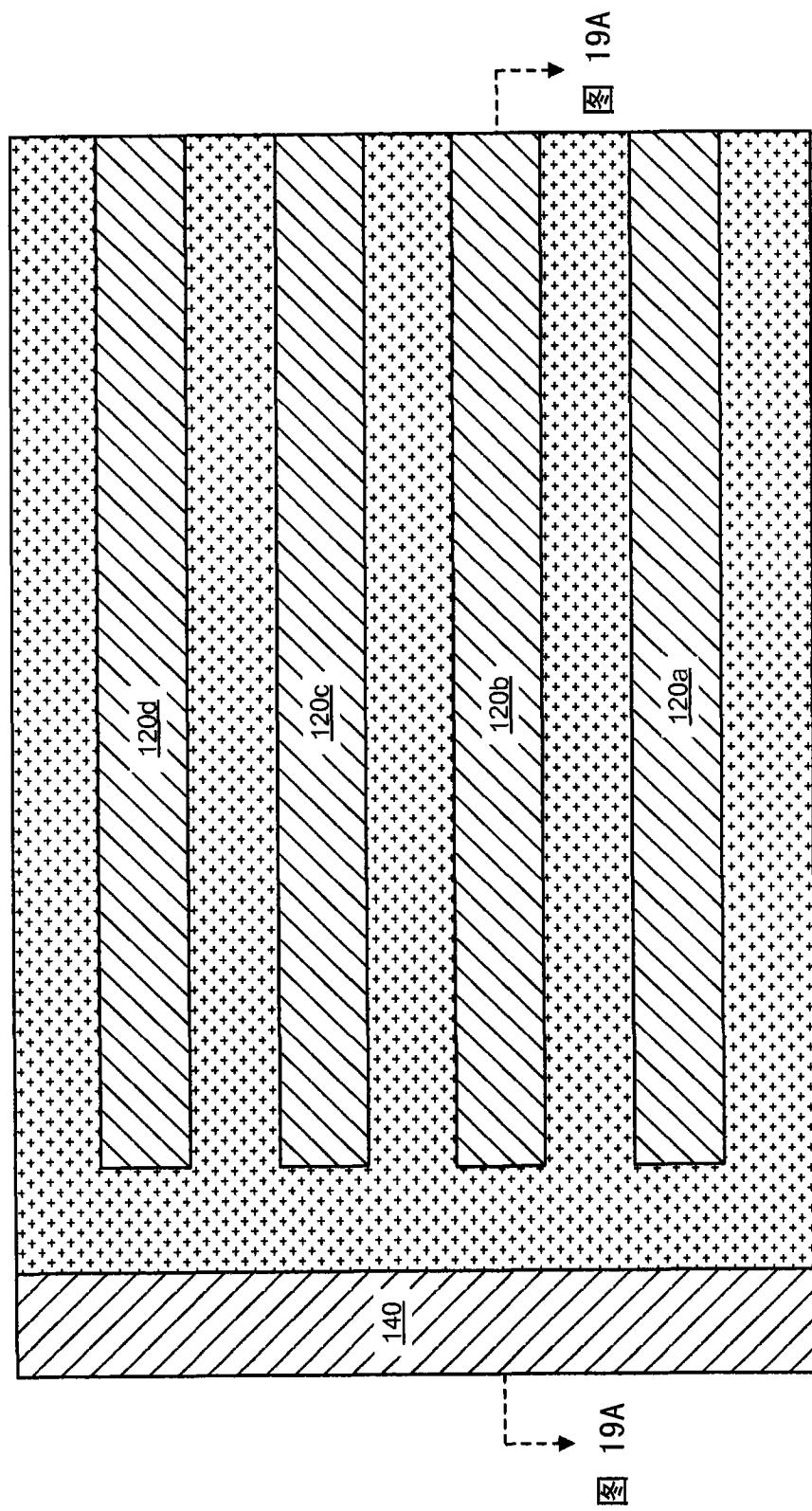


图 19B

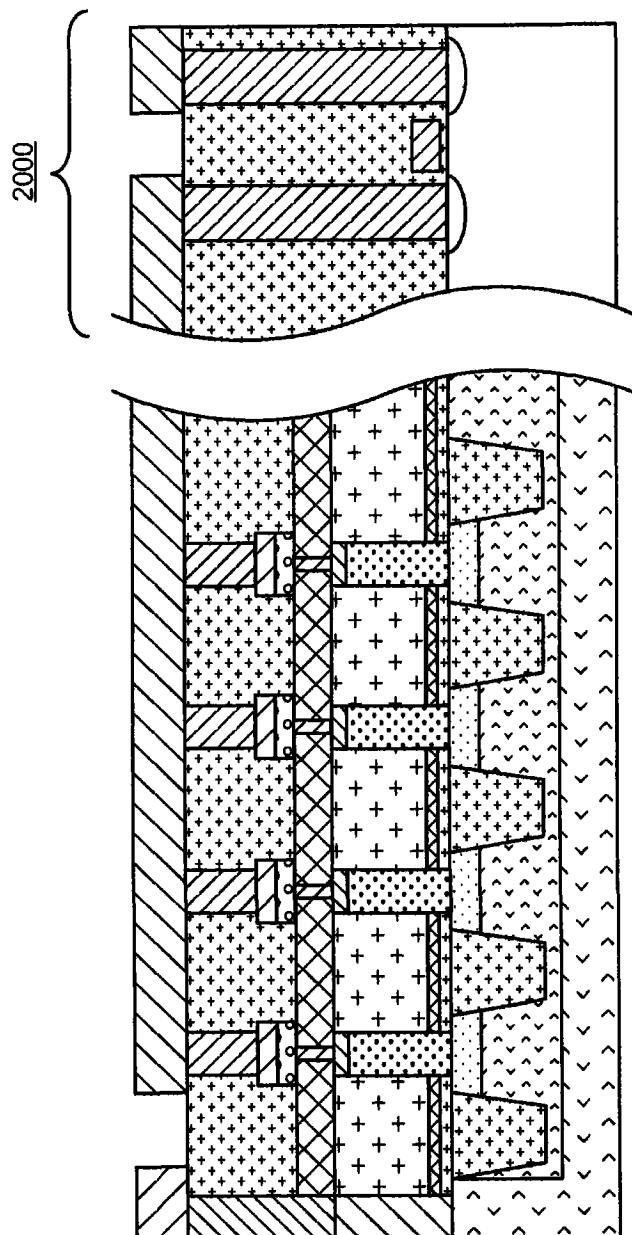


图 20A

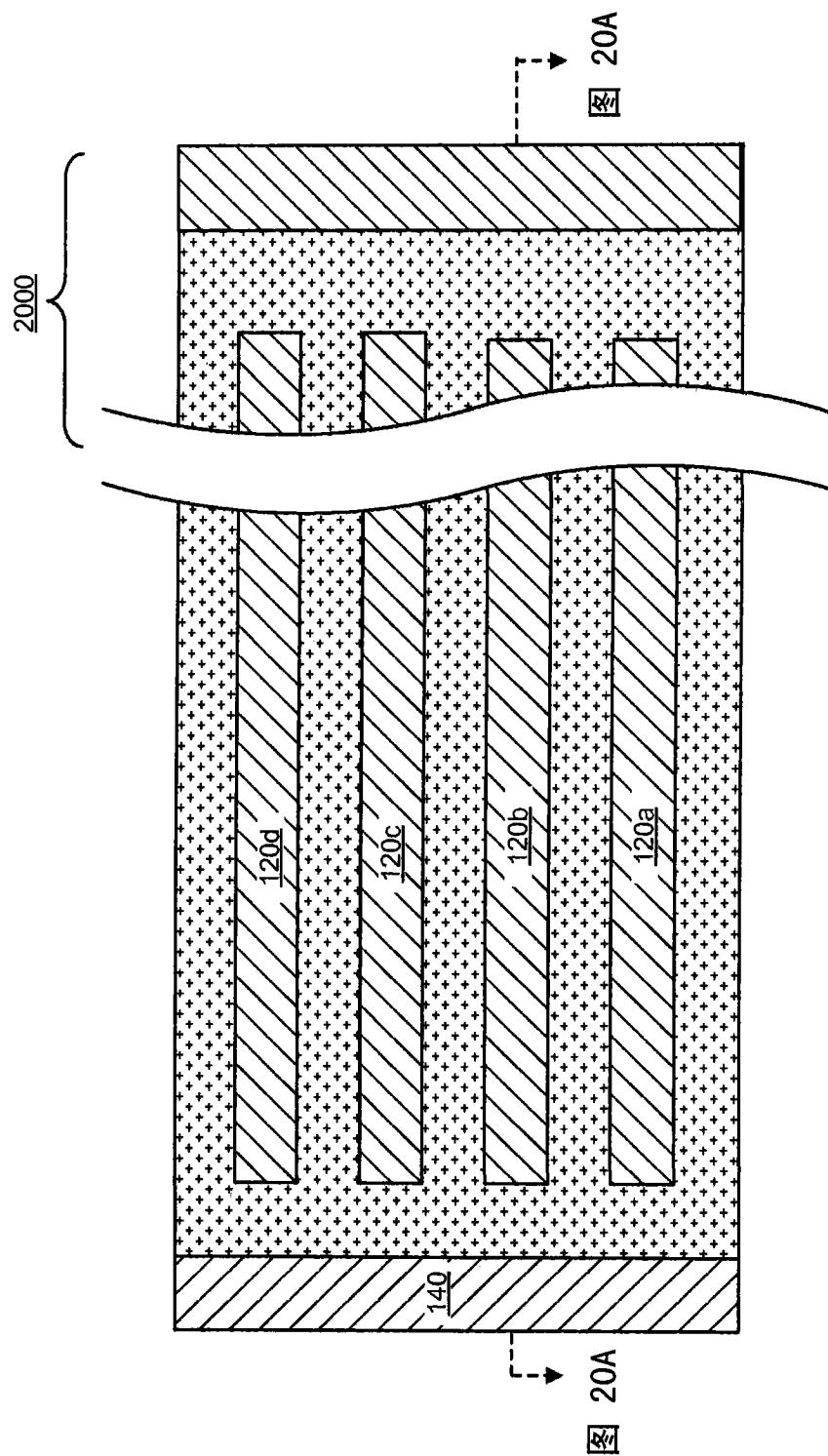


图 20B

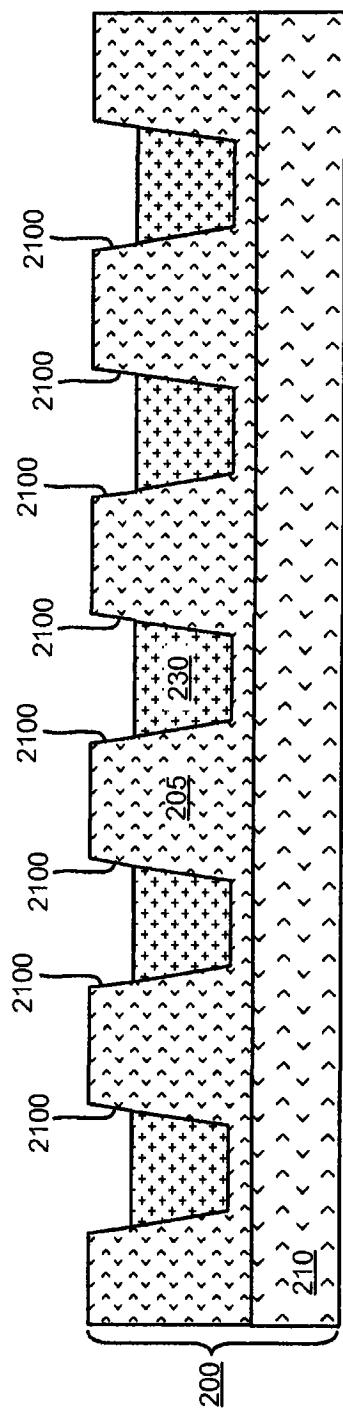


图 21A

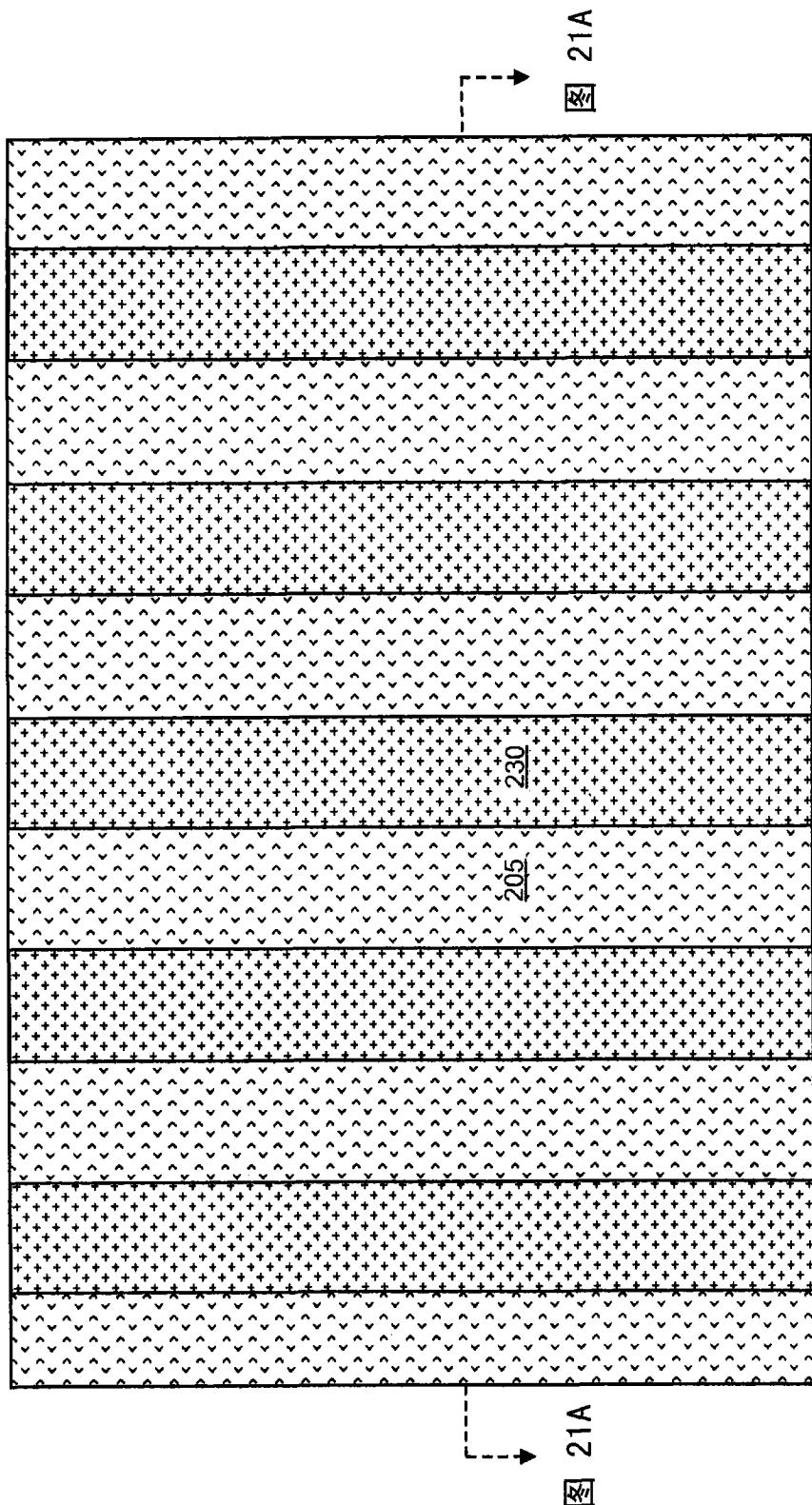


图 21B

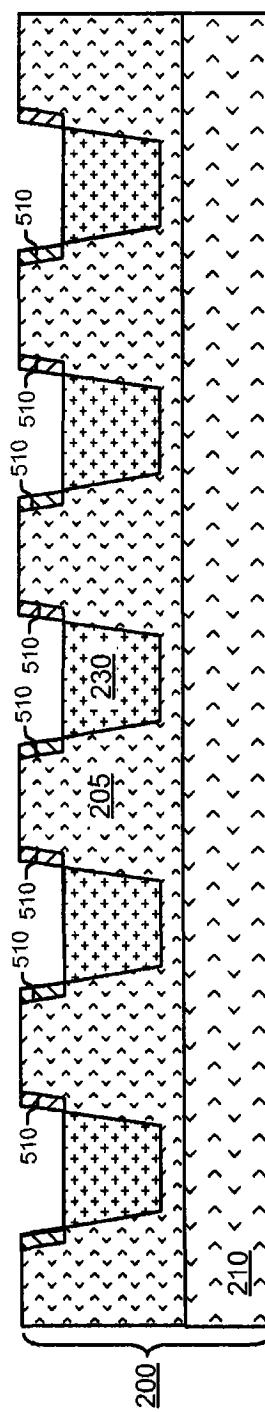


图 22A

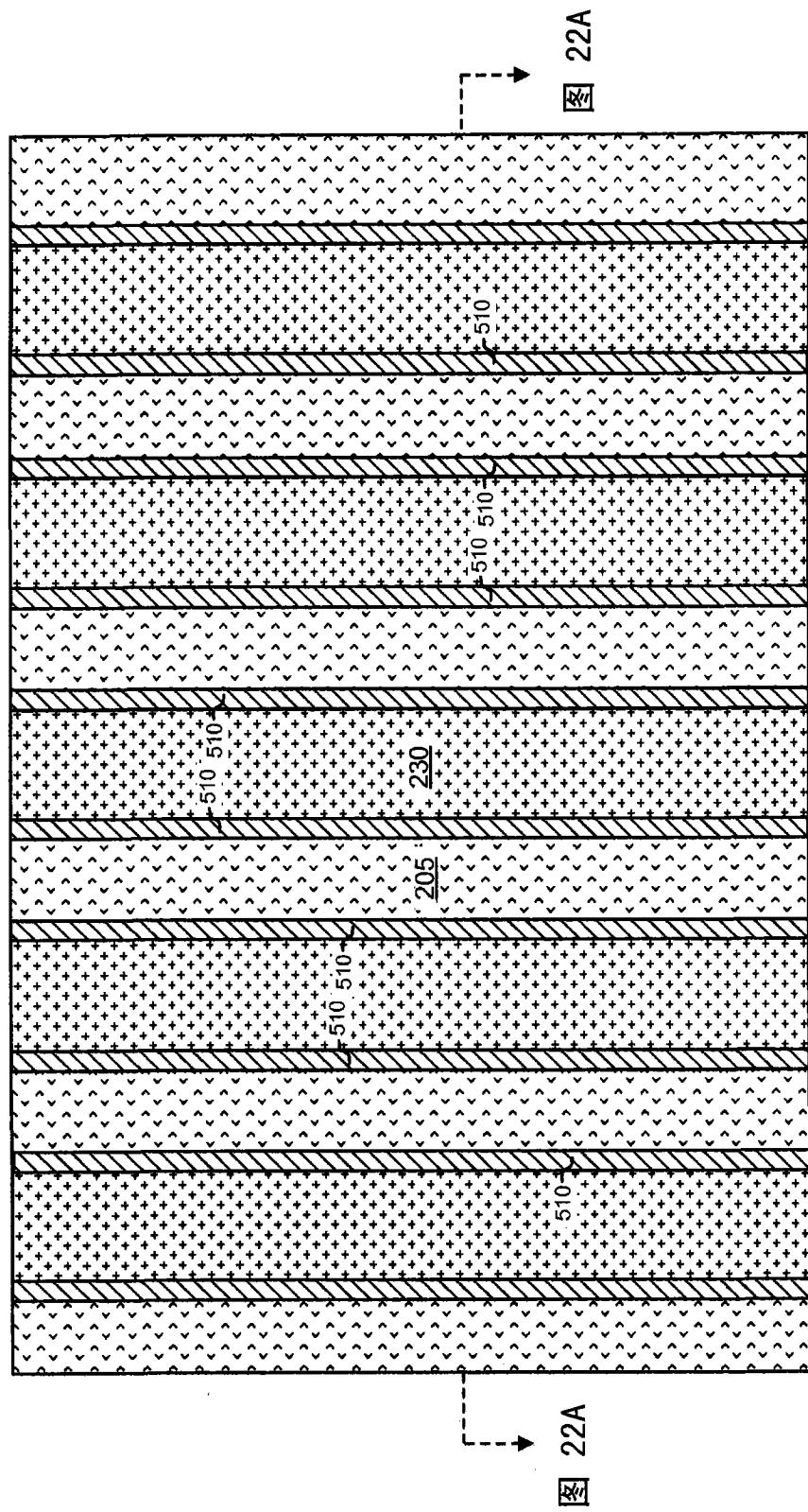


图 22B

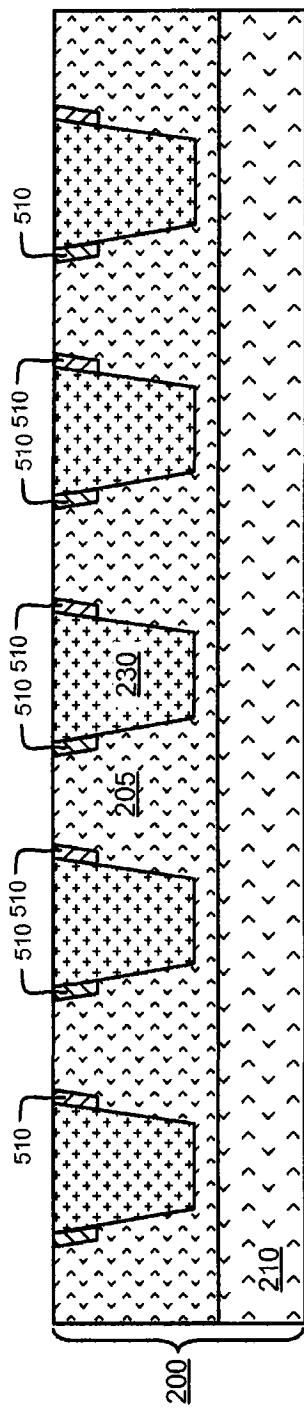


图 23A

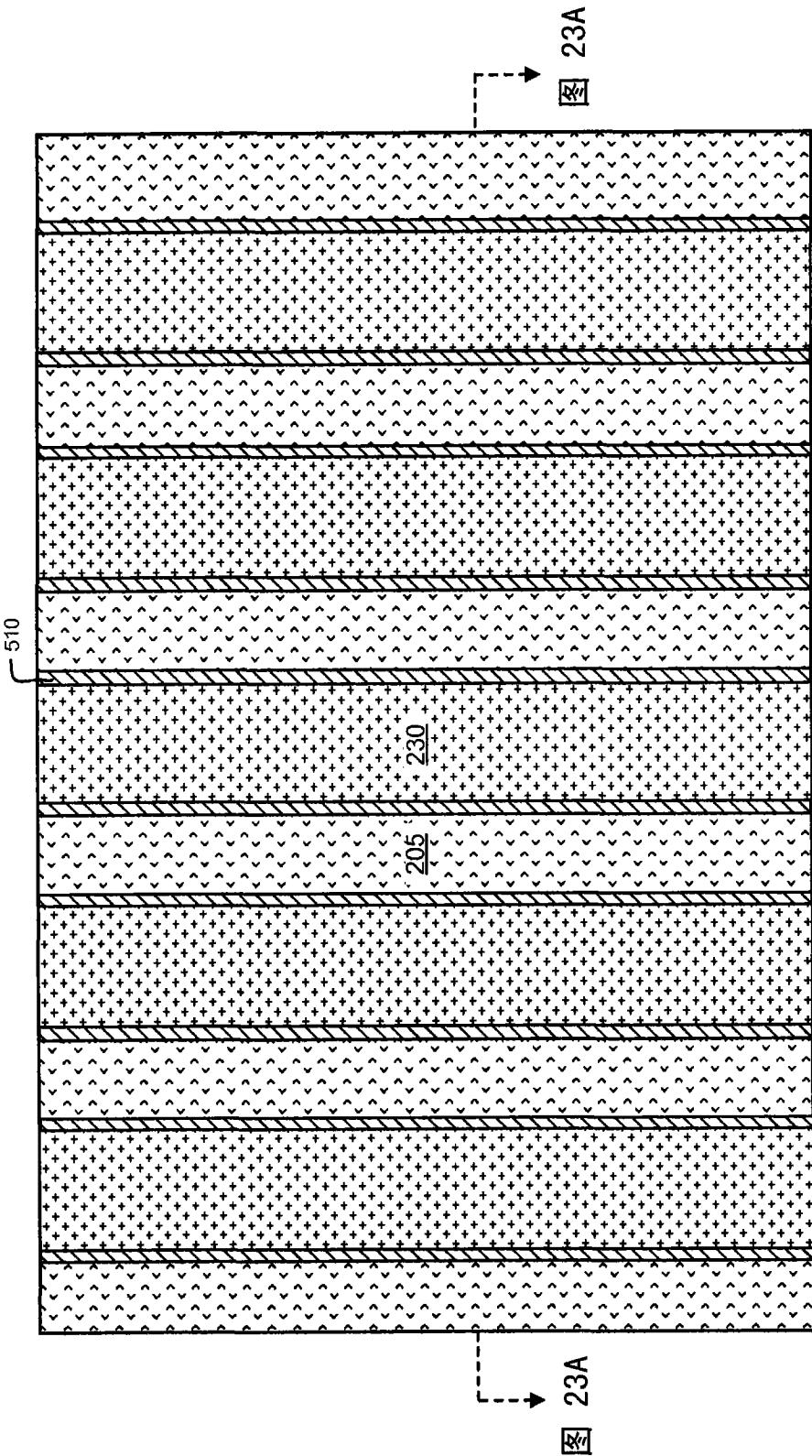


图 23B

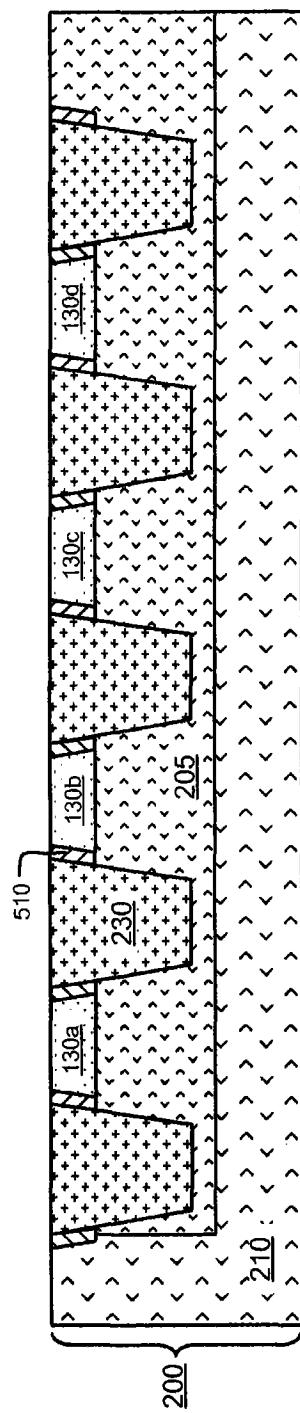


图 24A

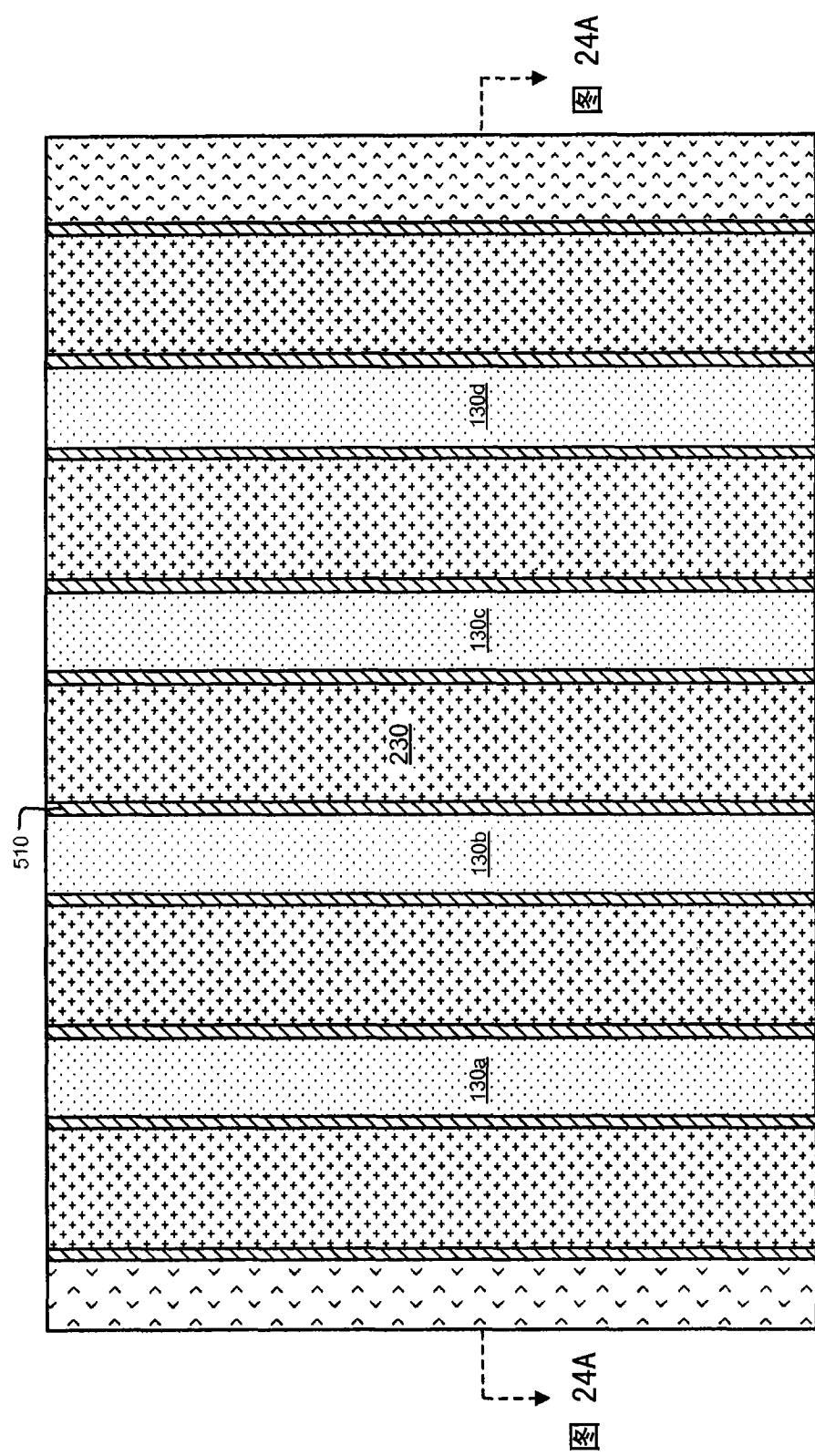


图 24B

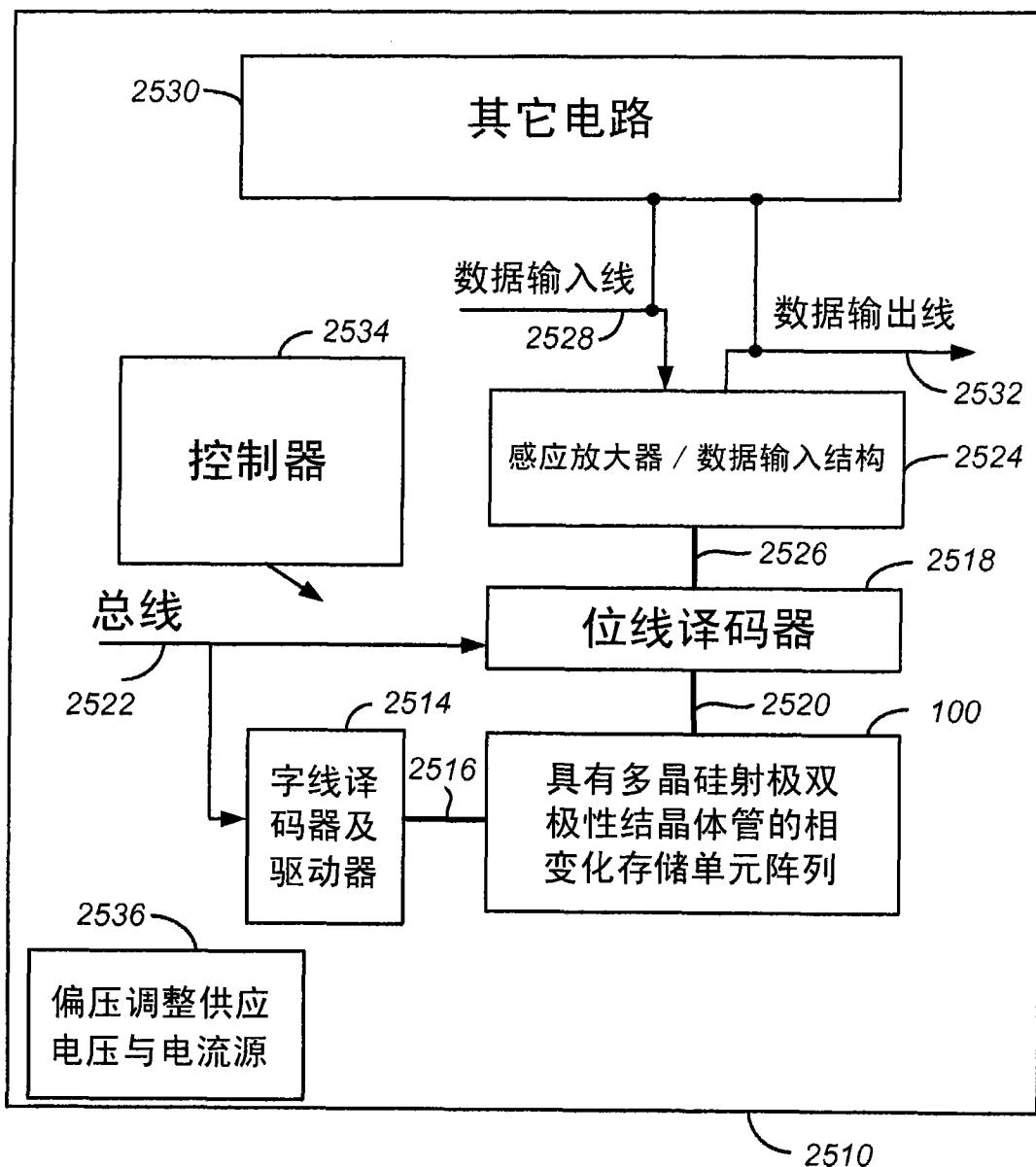


图 25