

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6817835号
(P6817835)

(45) 発行日 令和3年1月20日(2021.1.20)

(24) 登録日 令和3年1月4日(2021.1.4)

(51) Int.Cl.

F 1

H01L 27/146	(2006.01)	H01L 27/146	F
H04N 5/374	(2011.01)	H01L 27/146	A
H01L 31/10	(2006.01)	H01L 27/146	D
H01L 31/12	(2006.01)	HO4N 5/374	
		HO1L 31/10	A

請求項の数 15 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2017-20334 (P2017-20334)
(22) 出願日	平成29年2月7日(2017.2.7)
(65) 公開番号	特開2018-129359 (P2018-129359A)
(43) 公開日	平成30年8月16日(2018.8.16)
審査請求日	令和2年2月5日(2020.2.5)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100094112 弁理士 岡部 譲
(74) 代理人	100101498 弁理士 越智 隆夫
(74) 代理人	100106183 弁理士 吉澤 弘司
(74) 代理人	100128668 弁理士 斎藤 正巳
(72) 発明者	内田 武志 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項 1】

第1の受光部と、前記第1の受光部が検出した光量に応じた光量で発光する発光部と、をそれぞれが含む複数の第1の画素が設けられた第1の基板と、

前記第1の基板に対向して設けられ、前記第1の画素の前記発光部から出射された光を検出する第2の受光部をそれぞれが含む複数の第2の画素と、前記複数の第2の画素が検出した情報に基づく画像信号を出力する読み出し回路と、が設けられた第2の基板と、を有し、

前記第1の基板には、第1導電型の第1の化合物半導体層と、前記第1の化合物半導体層の上に設けられた第2導電型の第2の化合物半導体層と、前記第2の化合物半導体層の上に設けられた前記第1導電型の第3の化合物半導体層とを含む複数の化合物半導体層が積層されており、

前記第2の化合物半導体層の厚さは、前記第2の化合物半導体層における前記第1導電型のキャリアの拡散長に相当する厚さよりも厚い

ことを特徴とする撮像装置。

【請求項 2】

前記複数の化合物半導体層は、前記第1の化合物半導体層と前記第2の化合物半導体層との間に設けられた前記第1の受光部の受光層と、前記第2の化合物半導体層と前記第3の化合物半導体層との間に設けられた前記発光部の発光層とを含み、

前記受光層を構成する第1の化合物半導体材料のエネルギー・バンド・ギャップと、前記発

光層を構成する第2の化合物半導体材料のエネルギー・バンドギャップとが異なっていることを特徴とする請求項1記載の撮像装置。

【請求項3】

前記第2の化合物半導体材料の前記エネルギー・バンドギャップは、前記第1の化合物半導体材料の前記エネルギー・バンドギャップよりも大きいことを特徴とする請求項2記載の撮像装置。

【請求項4】

前記複数の化合物半導体層は、InP層を含むことを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

【請求項5】

前記第2の受光部を構成する半導体材料の吸収波長帯域は、前記第1の化合物半導体材料の吸収波長帯域よりも長波長である

ことを特徴とする請求項2又は3記載の撮像装置。

10

【請求項6】

前記半導体材料は、シリコンであることを特徴とする請求項5記載の撮像装置。

【請求項7】

前記複数の第1の画素の前記第1の化合物半導体層及び前記複数の第1の画素の前記第3の化合物半導体層のそれぞれは、互いに電気的に接続されていることを特徴とする請求項1乃至6のいずれか1項に記載の撮像装置。

20

【請求項8】

前記複数の第1の画素の少なくとも一部は、前記第2の化合物半導体層に電気的に接続された個別電極を有する

ことを特徴とする請求項1乃至7のいずれか1項に記載の撮像装置。

【請求項9】

前記第1の画素の前記第3の化合物半導体層は、前記発光部が局所的に強く発光するよう、前記第1導電型の不純物に面内分布が設けられている

ことを特徴とする請求項1乃至8のいずれか1項に記載の撮像装置。

【請求項10】

前記第1の画素は、前記第3の化合物半導体層に電気的に接続された電極を更に有し、前記電極は、前記第1の画素の前記発光部から出射された光が、前記第1の画素に対応する第2の画素とは異なる他の第2の画素に入射するのを防止する遮光壁として機能することを特徴とする請求項1乃至9のいずれか1項に記載の撮像装置。

30

【請求項11】

前記第2の基板に設けられ、前記発光部から出射された光を前記第2の受光部に集光する第1のレンズを更に有する

ことを特徴とする請求項1乃至10のいずれか1項に記載の撮像装置。

【請求項12】

前記第1の基板に設けられ、前記発光部から出射された光を前記第2の受光部に集光する第2のレンズを更に有する

40

ことを特徴とする請求項1乃至11のいずれか1項に記載の撮像装置。

【請求項13】

前記複数の第1の画素のそれぞれは、少なくとも前記発光部が互いに独立したメサ構造体をなしており、前記メサ構造体の側壁に遮光膜を有する

ことを特徴とする請求項1乃至12のいずれか1項に記載の撮像装置。

【請求項14】

前記第1の基板と前記第2の基板との間に、空気の層又は前記発光部から出射された光に対して透明な材料からなる層が設けられている

ことを特徴とする請求項1乃至13のいずれか1項に記載の撮像装置。

【請求項15】

50

請求項 1 乃至 1_4 のいずれか 1 項に記載の撮像装置と、
前記撮像装置から出力される前記画像信号を処理する信号処理部と
を有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置及び撮像システムに関する。

【背景技術】

【0002】

1 . 0 μm を超える波長帯域の画像を取得する撮像装置として、特許文献 1 には、フォトダイオードアレイが設けられた第 1 の基板と信号処理を行うための機能素子が設けられた第 2 の基板とを金属バンプにより接続した構成の撮像装置が開示されている。この撮像装置は、第 1 の基板と第 2 の基板とをそれぞれウェハプロセスにより作成した後、第 1 の基板と第 2 の基板とを In 等の金属バンプにより電気的・機械的に接続することにより製造される。10

【0003】

第 1 の基板は、フォトダイオードアレイを構成するフォトダイオードと同じ数の信号を出力する。第 2 の基板は、第 1 の基板からの出力信号を画像信号に変換し、一般的なパッケージで対応可能な電極ピン数で電気的なアウトプットをするという機能を備える。そのため、第 1 の基板だけで 1 つのモジュールを構成すると、信号を取り出す電極ピン数が膨大になり、現実的には撮像装置としては使いにくい。このような観点から、フォトダイオードアレイが設けられた第 1 の基板だけではなく、機能素子が設けられた第 2 の基板をも含めてモジュール化し、撮像装置を構成している。20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 05 - 335375 号公報

【特許文献 2】特開昭 55 - 026615 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、フォトダイオードアレイが設けられた第 1 の基板と機能素子が設けられた第 2 の基板とにより構成される撮像装置には、第 1 の基板と第 2 の基板との接続形態に起因して性能やコスト等の面から種々の制約があった。

本発明の目的は、受光部が設けられた基板と読み出し回路が設けられた基板とを含む高性能で信頼性の高い撮像装置及び撮像システムを提供することにある。

【課題を解決するための手段】

【0006】

本発明の一観点によれば、第 1 の受光部と、前記第 1 の受光部が検出した光量に応じた光量で発光する発光部と、をそれぞれが含む複数の第 1 の画素が設けられた第 1 の基板と、前記第 1 の基板に対向して設けられ、前記第 1 の画素の前記発光部から出射された光を検出する第 2 の受光部をそれぞれが含む複数の第 2 の画素と、前記複数の第 2 の画素が検出した情報に基づく画像信号を出力する読み出し回路と、が設けられた第 2 の基板と、を有し、前記第 1 の基板には、第 1 導電型の第 1 の化合物半導体層と、前記第 1 の化合物半導体層の上に設けられた第 2 導電型の第 2 の化合物半導体層と、前記第 2 の化合物半導体層が積層されており、前記第 2 の化合物半導体層の厚さは、前記第 2 の化合物半導体層における前記第 1 導電型のキャリアの拡散長に相当する厚さよりも厚い撮像装置が提供される。

【発明の効果】

50

【0007】

本発明によれば、受光部が設けられた基板と読み出し回路が設けられた基板とを含む高性能で信頼性の高い撮像装置及び撮像システムを実現することができる。

【図面の簡単な説明】**【0008】**

【図1】本発明の第1実施形態による撮像装置の構造を示す斜視略図である。

【図2】本発明の第1実施形態による撮像装置を構成する読み出し回路基板及びセンサ基板の平面レイアウトの一例を示す図である。

【図3】本発明の第1実施形態による撮像装置の構造を示す概略断面図である。

【図4】本発明の第1実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。10

【図5】本発明の第1実施形態による撮像装置を構成する読み出し回路基板とセンサ基板との間の光学的な接続を説明する図である。

【図6】一般的なCMOSイメージセンサの光学系を通過する光の軌跡を説明する図である。

【図7】本発明の第1実施形態による撮像装置を構成するセンサ基板の動作を説明する等価回路図である。

【図8】本発明の第2実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。

【図9】本発明の第3実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。20

【図10】本発明の第4実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。

【図11】本発明の第5実施形態による撮像装置の構造を示す概略断面図である。

【図12】本発明の第6実施形態による撮像装置の構造を示す概略断面図である。

【図13】読み出し回路基板とセンサ基板との間の距離と光結合効率との関係を示すグラフである。

【図14】本発明の第7実施形態による撮像装置の構造を示す概略断面図である。

【図15】本発明の第8実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。30

【図16】本発明の第9実施形態による撮像システムの概略構成を示すブロック図である。

【発明を実施するための形態】**【0009】**

前述のように、フォトダイオードアレイが設けられた第1の基板と機能素子が設けられた第2の基板とを金属バンプにより接続した形態の撮像装置には、性能や製造コスト等の面から種々の制約があった。

【0010】

例えば、金属バンプによる接続時に加熱をする場合、第1の基板の熱膨張係数と第2の基板の熱膨張係数との違いに起因して、センサ部の面積に制約が生じることがあった。第1の基板としては典型的には化合物半導体基板が用いられ、第2の基板としては典型的にはシリコン基板が用いられる。例えば、第1の基板としてInP基板を、第2の基板としてシリコン基板を用いる場合、基板の幅が30mm程度になると、加熱条件によっては熱膨張による長さの変化の差が20μm程度にもなる。この差は一般的な1画素のサイズに相当する程の大きさになるため、この条件の下でバンプ接続を実現することは困難であった。

【0011】

また、画素のサイズに制約が生じることもあった。第1の基板及び第2の基板が反りのない理想的な状態であれば、金属バンプの高さが低くても接合上問題はないが、実際には両方の基板には多少なりとも反りが存在する。このような基板を接合した場合、基板間の40

ギャップには基板の反りに応じた面内分布が生じことがある。そのため、第1の基板と第2の基板とを電気的に接続する金属バンプの高さにはギャップの差に応じた許容幅を持たせておく必要があり、結果として金属バンプにはある程度の高さが求められることとなる。一方、金属バンプのアスペクト比（横幅と高さとの比）には限界があり、アスペクト比の限界値を超えて金属バンプの横幅を狭くすることはできない。その結果、画素のサイズは金属バンプのサイズによる制約を受け、ある大きさ以下には縮小できなかった。

【0012】

また、金属バンプを用いた基板同士の接合プロセスの歩留りは、一般にはシリコンウェーハプロセスの歩留りほどは高くなかった。そのため、第1の基板と第2の基板とを金属バンプで接続してなる撮像装置の歩留りは、接合プロセスの歩留りの影響を受け、シリコンのみで構成された可視光帯域の画像を取得する撮像装置の歩留りよりも低くなる場合が多くなった。

【0013】

以下では、上記課題を解決しうる本発明の幾つかの実施形態を説明する。なお、本発明は以下に説明する実施形態のみに限定されるものではない。例えば、本発明の趣旨を超えない範囲で以下に説明される実施形態の一部の構成が変更された変形例も、本発明の実施形態である。また、以下のいずれかの実施形態の一部の構成を、他の実施形態に追加した形態、或いは他の実施形態の一部の構成と置換した形態も本発明の実施形態である。

【0014】

[第1実施形態]

本発明の第1実施形態による撮像装置について、図1乃至図7を用いて説明する。図1は、本実施形態による撮像装置の構造を示す斜視図である。図2は、本実施形態による撮像装置を構成する読み出し回路基板及びセンサ基板の平面レイアウトの一例を示す図である。図3は、本実施形態による撮像装置の構造を示す概略断面図である。図4は、本実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。図5は、本実施形態による撮像装置を構成する読み出し回路基板とセンサ基板との間の光学的な接続を説明する図である。図6は、可視光帯のカメラ等で使用されている一般的なCMOSイメージセンサの光学系を通過する光の軌跡を説明する図である。図7は、本実施形態による撮像装置を構成するセンサ基板の動作を説明する等価回路図である。

【0015】

本実施形態による撮像装置300は、図1に示すように、読み出し回路基板100とセンサ基板200とが貼り合わされた構造を有している。センサ基板200は、撮像のための光センサを含む基板である。読み出し回路基板100は、センサ基板200の光センサで検出した情報を読み出し画像信号として出力するための読み出し集積回路（RoIC：Readout Integrated Circuit）を含む基板である。読み出し回路基板100とセンサ基板200とは、所定の間隔を空けて対向するように、スペーサ290を介して貼り合わされている。読み出し回路基板100とセンサ基板200との間には、これらを電気的に接続する役割を担うバンプ170が設けられている。

【0016】

読み出し回路基板100の基材には、読み出し集積回路を設ける観点から、ウェーハプロセス技術や集積化技術に蓄積のあるシリコン基板が好適に用いられる。また、読み出し回路基板100とは別のセンサ基板200に光センサを搭載している主たる理由は、読み出し回路基板100の構成材料とは光吸収特性の異なる材料の基板を用いることである。かかる観点から、センサ基板200の基材には、シリコンとは異なる材料の基板、例えば化合物半導体基板が好適に用いられる。化合物半導体基板としては、InP基板、GaAs基板等が挙げられる。なお、InPやGaAs基板上に結晶成長可能な、InGaAs, GaAsSb, AlGaInAsP系などの材料が持つ吸収波長帯域は、単結晶シリコンの吸収波長帯域よりも長波長側である。センサ基板200は、サファイア基板などの別の基板上にInP層等の化合物半導体層が設けられたものでもよい。本実施形態では、読み出し回路基板100の基材としてシリコン基板を、センサ基板200の基材としてInP

10

20

30

40

50

基板を用いた例を説明するが、読み出し回路基板 100 及びセンサ基板 200 の材料は必要に応じて適宜選択することができる。

【0017】

図 2 (a) は、読み出し回路基板 100 の平面レイアウトの一例を示す図である。読み出し回路基板 100 には、図 2 (a) に示すように、複数の画素 102 が行列状に配された画素領域 104 と、画素 102 の駆動や画素 102 の出力信号の処理を実行するための周辺回路が配された周辺回路領域 106 とが設けられている。読み出し回路基板 100 には、また、バンプ 170 を介してセンサ基板 200 と電気的に接続するためのパッド電極 150, 152 と、外部との電気的な接続を行うための複数のパッド電極 154 とが設けられている。パッド電極 150, 152 は、画素領域 104 の外側に設けられている。パッド電極 150, 152 は、不図示の内部配線を介して周辺回路に接続されており、パッド電極 150, 152 及びバンプ 170 を介してセンサ基板 200 に電力を供給できるようになっている。10

【0018】

図 2 (b) は、センサ基板 200 の平面レイアウトの一例を示す図である。センサ基板 200 には、図 2 (b) に示すように、複数の画素 202 が行列状に配された画素領域 204 と、画素領域 204 を囲うように配されたスペーサ 290 とが設けられている。センサ基板 200 には、また、画素領域 204 を囲うように配された共通電極 262 に電気的に接続されたパッド電極 270 と、各画素 202 のリング電極 260 に電気的に接続されたパッド電極 272 とが設けられている。パッド電極 270, 272 は、画素領域 204 の外側に設けられている。複数の画素 202 は、読み出し回路基板 100 とセンサ基板 200 とを貼り合わせたときに読み出し回路基板 100 の画素領域 104 に配された複数の画素 102 にそれぞれ対向するように、配されている。また、パッド電極 270, 272 は、読み出し回路基板 100 とセンサ基板 200 とを貼り合わせたときに読み出し回路基板 100 に配されたパッド電極 150, 152 にそれぞれ対向するように、配されている。20

【0019】

図 3 は、読み出し回路基板 100 とセンサ基板 200 とを貼り合わせた後における、図 2 の A - A 線断面に沿った概略断面図である。

読み出し回路基板 100 は、基材としてのシリコン基板 110 を含む。前述の画素領域 104 及び周辺回路領域 106 は、シリコン基板 110 に設けられる。図 3 には、画素領域 104 に配された 3 つの画素 102 と、周辺回路領域 106 に配された 1 つの周辺トランジスタ M P を示している。実際には、画素領域 104 には複数の画素 102 が行列状に配される。また、周辺回路領域 106 には逆導電型のものも含め複数の周辺トランジスタ M P が配される。なお、以下の説明では、信号電荷が電子である場合を例にして説明するが、信号電荷はホールであってもよい。信号電荷がホールの場合には、各半導体領域の導電型は逆導電型となる。30

【0020】

それぞれの画素 102 は、受光部 116 と、フローティングディフュージョン（以下、「F D」と表記する）と、転送トランジスタ M 1 と、第 1 レンズ 162 と、第 2 レンズ 166 とを含む。なお、画素 102 は、一般的な CMOS イメージセンサと同様、増幅トランジスタ、リセットトランジスタ、選択トランジスタ等を含む画素内読み出し回路を有してもよい。40

【0021】

受光部 116 は、シリコン基板 110 内に設けられた n 型半導体領域 114 と p 型半導体領域 115 とを含むフォトダイオードである。シリコン基板 110 内で光電変換により生成された信号電荷は、n 型半導体領域 114 に収集される。p 型半導体領域 115 は、シリコン基板 110 の正面 112 に接するように配されている。受光部 116 を構成するフォトダイオードは、いわゆる埋め込みフォトダイオードである。

【0022】

F Dは、シリコン基板110内に設けられたn型半導体領域118により構成されている。転送トランジスタM1は、n型半導体領域114とn型半導体領域118との間のシリコン基板110上にゲート絶縁膜124を介して設けられたゲート電極128を含む。転送トランジスタM1は、受光部116で生成され、n型半導体領域114に蓄積された信号電荷をFDに転送する機能を備える。FDに転送された信号電荷は、FDが有する容量成分により、受光部116から転送された信号電荷の量に応じた電圧に変換される。FDは、不図示の增幅部の入力ノードに電気的に接続されている。增幅部は、各画素に配されてもよい。或いは、FDは、不図示の信号出力線に電気的に接続されている。

【0023】

周辺トランジスタMPは、シリコン基板110内に設けられたソース／ドレイン領域としてのn型半導体領域120，122と、n型半導体領域120，122の間のシリコン基板110上にゲート絶縁膜126を介して設けられたゲート電極130とを含む。10

【0024】

シリコン基板110の上には、絶縁層140が設けられている。絶縁層140は、例えば酸化シリコンにより構成することができる。絶縁層140内には、第1配線層142及び第2配線層144が設けられている。絶縁層140の上には、第3配線層146が設けられている。第1配線層142、第2配線層144及び第3配線層146は、シリコン基板110の正面112を基準として異なる高さに配されている。第1配線層142及び第2配線層144は、例えば銅を主体とする導電部材により構成されている。第3配線層146は、例えばアルミニウムを主体とする導電部材により構成されている。パッド電極150，152，154は、第3配線層146により構成されている。20

【0025】

第1配線層142の一部の導電部材と第2配線層144の一部の導電部材とは、不図示のビアプラグによって電気的に接続されている。第2配線層144の一部の導電部材と第3配線層146の一部の導電部材とは、不図示のビアプラグによって電気的に接続されている。ビアプラグは、例えばタンクスチタンなどの導電材料により構成することができる。第1配線層142の導電部材、第2配線層144の導電部材及び第3配線層146の導電部材は、ビアプラグによって電気的に接続されている部分を除き、絶縁層140によって互いに絶縁されている。ここでは、これら複数の配線層のうち第3配線層146が、シリコン基板110から最も離れて配された配線層であるものとする。30

【0026】

なお、絶縁層140は、必ずしも一種類の絶縁材料により構成されている必要はなく、異なる材料を含む複数の絶縁層の積層体により構成されていてもよい。例えば、絶縁層140は、シリコン基板110の表面における反射を防止する反射防止膜、導電部材の拡散を防止する拡散防止膜、エッチングストップ膜等を含み得る。

【0027】

また、配線層の層数は、3層に限定されるものではない。また、第1配線層142、第2配線層144及び第3配線層146を構成する導電部材も上記の例に限定されるものではなく、例えば、第1配線層142及び第2配線層144を、アルミニウムを主体とする導電部材で構成してもよい。40

【0028】

第3配線層146が設けられた絶縁層140の上には、絶縁層160が設けられている。絶縁層160は、保護膜として機能しうる。絶縁層160の上には、各画素102に対応して、第1レンズ162がそれぞれ配されている。絶縁層160及び第1レンズ162は、例えば窒化シリコンにより構成することができる。この場合、絶縁層160の構成部材及び第1レンズ162の構成部材の屈折率は、いずれも絶縁層140の構成部材の屈折率よりも高い。なお、絶縁層160の構成部材の屈折率は、絶縁層140の構成部材の屈折率と異なっていればよい。また、絶縁層160及び第1レンズ162は、必ずしも設ける必要はない。さらに、第1レンズ162の上に、平坦化膜164及び第2レンズ166を更に設けてもよい。50

【0029】

センサ基板200は、基材としてのInP基板210を含む。前述の画素領域204は、InP基板210に設けられる。InP基板210の上には、例えばp型InPよりなる共通層212が設けられている。共通層212の上には、受光部220、発光部230及びリング電極260を含むメサ構造体からなる複数の画素202が設けられている。共通層212は、受光部220を構成する半導体層の一部であってもよい。メサ構造体の側壁部には、保護膜280が設けられている。InP基板210の裏面には反射防止膜214が設けられている。

【0030】

画素領域204を構成する複数の画素202のリング電極260とパッド電極272とは、図2(b)に示すように、互いに電気的に接続されている。また、画素領域204を構成する複数の画素202の受光部220は、共通層212に接続されている。そして、共通層212へ電気的なコンタクトをとるための共通電極262を介して、パッド電極270に電気的に接続されている。つまり、共通電極262での電圧降下を除けば、複数の画素202のメサ構造体には、リング電極260と共に電極262とを通じて実質的に同じ電圧が印加されるように設計されている。

【0031】

センサ基板200のより具体的な構造としては、例えば図4に示す層構成を適用可能である。なお、図4では、InP基板210の上に結晶成長する順番で各層を説明する関係上、図3とは上下が逆になっている。

【0032】

厚さ約500μmのInP基板210の正面の上には、各画素202の受光部220に接続される共通層212が設けられている。共通層212は、例えば厚さ3μmのp型InP層により構成される。共通層212の上には、厚さ4μmのアンドープInGaAs層222と、厚さ1μmのn型InP層224とが、この順番で積層されている。共通層212、アンドープInGaAs層222及びn型InP層224が上述の受光部220を構成し、アンドープInGaAs層222が受光層として機能する。InGaAsからなる受光層は、赤外線の波長帯域に吸収波長帯域をもつ。n型InP層224の上には、厚さ4μmのn型InP層232と、アンドープInP層234と、p型InP層236とが、この順番で積層されている。n型InP層232、アンドープInP層234及びp型InP層236が上述の発光部230を構成し、アンドープInP層234が発光層として機能する。発光層がInPで構成される発光部230の発光中心波長は、約920nmである。p型InP層236の上には、不図示のInGaAsコンタクト層を介して、リング電極260が設けられている。各画素202の発光部230上に設けられているリング電極260は、前述のように、互いに電気的に接続されており、これらを接続する配線の電気抵抗による電圧降下分を除けば、実質的に同電位となっている。

【0033】

読み出し回路基板100とセンサ基板200とは、図3に示すように、これらの正面が対向し且つ平行になるように配置されている。読み出し回路基板100の複数の画素102とセンサ基板200の複数の画素202とは、それぞれが対になるように同じピッチで配置されている。対をなす画素102の受光部116と画素202の発光部230とは、第1レンズ162と第2レンズ166とを介して光学的に接続されている。

【0034】

このように、本実施形態による撮像装置は、撮像用のセンサ素子(受光部220)が設けられたセンサ基板200に発光部230を有し、RoICが設けられた読み出し回路基板100に受光部116を有している。そして、センサ基板200に設けられた発光部230から出射された光を読み出し回路基板100に設けられた受光部116で検出する構成となっている。そのため、受光部220が受光した光量に応じて発光部230を発光し、それを受光部116により検出することで、受光部220が検出した情報を読み出し回路基板100へと送ることが可能である。すなわち、本実施形態による撮像装置では、読

10

20

30

40

50

み出し回路基板 100 に設けられた画素 102 とセンサ基板 200 に設けられた画素 202 とが金属パンプを介して電気的に接続された構成とはなっていない。

【0035】

図 5 は、読み出し回路基板 100 とセンサ基板 200 との間の光学的な接続を説明する図である。本実施形態の撮像装置では、第 1 レンズ 162 と第 2 レンズ 166 により 1 つのレンズ群を構成しており、センサ基板 200 の発光部 230 から出射した光 400 は、このレンズ群によって読み出し回路基板 100 の受光部 116 に結像される。

【0036】

本実施形態の撮像装置では、いわゆるレンズの公式より、以下の式(1)の関係を基本として光学系が設計される。

$$1/f = 1/d_1 + 1/d_2 \dots (1)$$

ここで、 d_1 は、第 2 レンズ 166 と空気との界面から受光部 116 までの光学的距離である。 d_2 は、第 2 レンズ 166 と空気との界面から発光部 230 までの光学的距離である。 f は、レンズ群の実効的な焦点距離である。なお、光学的距離は、光が伝搬する物質の屈折率と、光がその物質を伝搬する物理的な距離との積として表される。

【0037】

比較のため、可視光帯域に感度があるカメラ等で使用されている一般的な CMOS イメージセンサの光学系を通過する光 402 の軌跡の一例を図 6 に示す。一般的な CMOS イメージセンサの光学系は、図 6 に示すように、本実施形態の光学系の場合と比較して、より平行光に近い光を受光部 116 に集光する構成となっている。すなわち、一般的な CMOS イメージセンサでは、本実施形態による撮像装置とは異なり、以下の式(2)の関係を基本として光学系が設計される。

$$f = d_1 \dots (2)$$

次に、本実施形態による撮像装置において、センサ基板 200 の受光部 220 が検出したイメージを読み出し回路基板 100 に送る原理を説明する。

【0038】

図 7 は、センサ基板 200 の動作を説明するための等価回路図である。図 7 中、フォトダイオード D1 は図 3 の受光部 220 に相当し、発光ダイオード D2 は図 3 の発光部 230 に相当する。なお、図 7 では、各画素 202 のリング電極 260 間を接続する配線、共通電極 262 及び共通層 212 の電気抵抗は省略している。

【0039】

図 7 に示すように、各画素 202 を構成するフォトダイオード D1 と発光ダイオード D2 とは、互いに p-n 接合の向きが逆向きになるように直列に接続されている。そして、読み出し回路基板 100 からパッド電極 150, 152, 270, 272 を介してセンサ基板 200 へと供給される DC 電源 180 は、フォトダイオード D1 に逆バイアスを印加し、発光ダイオード D2 に順バイアスを印加するように接続されている。DC 電源 180 の電圧は、例えば 5.0 V である。

【0040】

フォトダイオード D1 と発光ダイオード D2 との直列接続体にこのように DC 電源 180 を接続すると、DC 電源 180 から供給される電圧の大部分はフォトダイオード D1 に印加される。これによりフォトダイオード D1 は十分な逆バイアスが印加された状態となり、フォトダイオード D1 を流れる電流はフォトダイオード D1 に入射する光の量に依存して変化することになる。フォトダイオード D1 と発光ダイオード D2 とは直列に接続されているため、発光ダイオード D2 に流れる電流は、フォトダイオード D1 に流れる電流と同じになる。そして、発光ダイオード D2 の発光光量は、一般的な LED と同じく、発光ダイオード D2 に印加される電圧ではなく発光ダイオード D2 を流れる電流値に比例する。その結果、発光ダイオード D2 は、フォトダイオード D1 に入射した光の量に比例した光量で発光することになる。

【0041】

ただし、本実施形態による撮像装置では、その構造上、発光部 230 から受光部 220

10

20

30

40

50

へある程度の光がフィードバックされる。このフィードバック量が1を超えて正帰還になると、一旦発光部230が閾値を超えると受光部220への入射光量にかかわらず発光部230が発光してしまい、受光部220の情報を読み出し回路基板へと送ることができなくなる。そのため、発光部230から受光部220への帰還量、より具体的には、発光部230に流れ込む電流の量に対して、その電流により発光部230で発光する光によって受光部220で生成される電流の量が小さいことが求められる。そのため、例えば特許文献2に記載のような、正帰還により2つの安定状態となりメモリとしての効果を有する構成は、本実施形態による撮像装置のセンサ基板200の構成としては不向きである。

【0042】

図4に示す構造において、共通層212からp型InP層236までの積層体は、途中にi層が挿入されているものの、全体としてみればpnp構造となっている。そのため、n型InP層224, 232の合計膜厚が、少数キャリアである正孔が拡散できる厚さ以下であると、バイポーラトランジスタのような動作を示す。バイポーラトランジスタのような動作が顕著となり增幅効果が一定以上になると、発光部230から受光部220へと正帰還が起こり、発光部230での発光量が受光部220での受光量に応じたものとなる。

10

【0043】

そこで、本実施形態では、正帰還を起こさずに安定して画素202を動作させるために、ベース層に相当するn型InP層224, 232の合計膜厚を、少数キャリアの拡散長に相当する厚さよりも厚くなるようにしている。例えば、本実施形態のn型InP層224, 232における正孔の拡散長は、約4μmである。そこで、本実施形態では、n型InP層224, 232の合計膜厚を、正孔の拡散長よりも厚い5μmに設定している。

20

【0044】

なお、ここでは正孔の拡散長が約4μmである場合を想定しているが、正孔の拡散長は材料などによって変化し、また、バイポーラトランジスタの増幅率はpn接合を構成する各層のドーピング濃度によって変化する。したがって、n型層の合計膜厚は、受光部220及び発光部230の構成材料や各層のドーピング濃度に応じて適宜調整することが望ましい。

【0045】

また、受光部220及び発光部230を構成する積層体にAlInP等のような周囲よりもエネルギー・バンドギャップの大きな層を挿入し、価電子帯側に障壁を設けることによって少数キャリアの拡散をブロックするようにしてもよい。また、少数キャリアを閉じ込めるためにInPよりもエネルギー・バンドギャップの小さい層を挿入し、キャリアの蓄積及び再結合を促進するようにしてもよい。

30

【0046】

本実施形態では、InP基板210の厚さを約500μmとしており、各層の結晶成長に用いるInP基板210の初期の厚さから大きく薄膜化はしていない。これには、センサ基板200の製造時における取扱いを容易にすることのほか、可視光を吸収するという目的がある。

【0047】

40

例えば、波長950nmの光に対するInPの吸収係数は $3 \times 10^2 \text{ cm}^{-1}$ であることから、波長950nmの光を99%吸収するためには約230μmの厚さのInP基板210が必要となる。波長950nmよりも短波長側の光の吸収係数はさらに大きいため、約230μm以上の厚さがあれば可視光は確実に吸収することができる。

【0048】

次に、本実施形態による撮像装置の製造方法（読み出し回路基板100とセンサ基板200とを貼り合わせる工程）の概略を説明する。

まず、半導体ウェハプロセスにより、読み出し回路基板100及びセンサ基板200をそれぞれ作成する。その後、読み出し回路基板100のパッド電極150, 152上及びセンサ基板200のパッド電極270, 272上に、金や銅などの金属材料からなる金属

50

バンプをそれぞれ形成する。

【0049】

次いで、読み出し回路基板100の上にセンサ基板200を位置合わせして設置し、昇温下で読み出し回路基板100にセンサ基板200を押し付ける。これにより、パッド電極150, 152上に設置した金属バンプとパッド電極270, 272上に設置した金属バンプとをそれぞれ熱圧着し、読み出し回路基板100とセンサ基板200との間の電気的な接続を確立する。この際、読み出し回路基板100とセンサ基板200との間の間隔は、スペーサ290の高さによって規定される。

【0050】

本実施形態において、読み出し回路基板100とセンサ基板200との電気的な接続部分は、パッド電極150とパッド電極270との間とパッド電極152とパッド電極272との間を接続するバンプ170だけである。したがって、読み出し回路基板100とセンサ基板200との接合プロセスが製造歩留りに与える影響を低減するとともに、読み出し回路基板100とセンサ基板200との間の接続信頼性を向上することができる。10

【0051】

次いで、常温に戻したのちに、ディスペンサー等を用いてセンサ基板200の外周部に接着剤を塗布し、センサ基板200を読み出し回路基板100に固定する。

なお、読み出し回路基板100とセンサ基板200とを電気的に接続するためのパッド電極の数や配置、画素領域104, 204の外周形状や周辺回路領域106の配置等は、必要に応じて適宜変更することができる。また、読み出し回路基板100とセンサ基板200との電気的な接続方法は、電力を供給できる形態であれば金属バンプに限定されるものではなく、例えば導電性ペースト等を用いてもよい。また、読み出し回路基板100へのセンサ基板200の固定方法も、接着剤に限定されるものではなく、他の固定方法を用いてもよい。20

【0052】

このように、本実施形態によれば、画素ごとの電気的な接続を用いることなく、センサ基板200で捉えたイメージ情報を読み出し回路基板100へと伝達し、電気的に読み出すことができる。これにより、画素サイズの縮小やセンサ部の面積を拡大することが容易となり、 $1.0 \mu m$ を超えるような長波長帯域の画像を取得しうる高性能で信頼性の高い撮像装置を実現することができる。30

【0053】

[第2実施形態]

本発明の第2実施形態による撮像装置について、図8を用いて説明する。第1実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図8は、本実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。

【0054】

本実施形態による撮像装置は、センサ基板200に設けられた発光部230の構成が異なるほかは、第1実施形態による撮像装置と同様である。すなわち、本実施形態による撮像装置の画素202は、図8に示すように、受光部220の上に、n型AlInAs層238と、アンドープAlGaInAs層240と、p型AlInAs層242とがこの順番で積層されてなる発光部230を有している。アンドープAlGaInAs層240が発光層として機能する。40

【0055】

アンドープAlGaInAs層240を構成するAlGaInAsは、AlAs, GaAs, InAsの混晶であり、これらの組成比に応じてエネルギー・バンドギャップ、すなわち発光中心波長を制御することができる。これにより、第1実施形態の撮像装置において発光部230の発光層に用いているInPよりもエネルギー・バンドギャップの大きい組成も実現可能であり、例えば発光中心波長を約820nmに設定することもできる。この場合、シリコンからなるフォトダイオード(受光部116)の感度は、InPの発光中心50

波長である波長 920 nm の光と比較して波長 820 nm の光の方が高いため、発光部 230 の発光をより高感度で検出することが可能となる。

【0056】

なお、本実施形態では、発光部 230 の発光層を AlGaNAs により構成しているが、所望の発光中心波長を有し、基材 (InP 基板 210) の上にエピタキシャル成長可能な材料であれば、特に限定されるものではない。例えば、AlGaNAs の代わりに、Ga を除いた AlInAs を用いてもよい。また、発光層は、複数の層で構成してもよいし、量子井戸構造としてもよい。その他、発光部 230 として、一般的な LED に使用されている構造を導入することも可能である。

このように、本実施形態によれば、第 1 実施形態と同様の効果に加え、撮像装置の高感度化を実現することができる。 10

【0057】

[第3実施形態]

本発明の第 3 実施形態による撮像装置について、図 9 を用いて説明する。第 1 及び第 2 実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図 9 は、本実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。

【0058】

本実施形態による撮像装置は、センサ基板 200 に設けられた発光部 230 の構成が異なるほかは、第 1 及び第 2 実施形態による撮像装置と同様である。すなわち、本実施形態による撮像装置の画素 202 は、図 9 に示すように、受光部 220 の上に、n 型 AlInAs 層 238 と、アンドープ AlGaNAs 層 240 と、アンドープ AlInAs 層 244 とがこの順番で積層されてなる発光部 230 を有している。アンドープ AlInAs 層 244 には、p 型領域 250, 252 が設けられている。p 型領域 250 は、リング電極 260 に接するようにアンドープ AlInAs 層 244 の表面部に設けられている。p 型領域 252 は、リング電極 260 よりも内側のアンドープ AlInAs 層 244 内に、アンドープ AlInAs 層 244 の表面部から、p 型領域 250 の深さよりも深くに渡って設けられている。このようにして、アンドープ AlInAs 層 244 に添加される p 型不純物に面内分布を設けている。 20

【0059】

このようにすることで、発光部 230 に流れる電流は、アンドープ AlInAs 層 244 の深さ方向の幅が最も狭い p 型領域 252 を通る経路に集中し、その部分で局所的に強く発光する。結果として、リング電極 260 より内側の光取り出し窓領域で発光する割合を高めることができ、光取り出し効率を向上することができる。 30

【0060】

p 型領域 250, 252 は、特に限定されるものではないが、例えば、イオン注入法によりアンドープ AlGaNAs 層 240 に Zn を添加することにより形成することができる。その際、注入イオンの加速エネルギーを代えることで、深さの異なる p 型領域 250, 252 を形成することができる。

【0061】

なお、本実施形態では、第 2 実施形態による撮像装置への適用例を示したが、第 1 実施形態による撮像装置において同様の構成を適用してもよい。この場合、p 型 InP 層 236 をアンドープ InP 層とし、このアンドープ InP 層に p 型領域 250, 252 と同様の p 型領域を設ければよい。 40

このように、本実施形態によれば、第 1 及び第 2 実施形態と同様の効果に加え、撮像装置の更なる高感度化を実現することができる。

【0062】

[第4実施形態]

本発明の第 4 実施形態による撮像装置について、図 10 を用いて説明する。第 1 乃至第 3 実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは 50

簡潔にする。図10は、本実施形態による撮像装置を構成するセンサ基板の構造を示す概略断面図である。

【0063】

本実施形態による撮像装置は、センサ基板200に設けられた複数の画素202のうちの一部が、発光部230のn側端子に接続された個別電極を更に有している点で、第1乃至第3実施形態による撮像装置とは異なっている。

【0064】

図10は、本実施形態の上記構成を第3実施形態による撮像装置のセンサ基板200に適用した例を示している。すなわち、センサ基板200に設けられた複数の画素202のうちの一部の画素202Aは、発光部230のn側端子であるn型AlInAs層238の上に設けられた個別電極264を有している。個別電極264は、リング電極260や共通電極262と同様、図示しない配線やバンプを介して読み出し回路基板100に設けられた周辺回路に電気的に接続されている。これにより、画素202Aの発光部230は、n側電極としての個別電極264とp側電極としてのリング電極260との間に電圧を印加することによって、受光部220への光の入射によらず独立して発光させることができる。

10

【0065】

画素202Aに設けられた発光部230は、画素102への情報の伝達のほか、読み出し回路基板100とセンサ基板200とのアライメントの確認に用いることができる。例えば、読み出し回路基板100とセンサ基板200とを接合後、電極264とリング電極260との間に電圧を印加して画素202Aの発光部230を発光させ、画素202Aと対をなす画素102の受光部116が受光する光量を確認する。このようにすることで、基板の主面に平行な方向の接合の位置ずれが許容範囲内であるか否かを確認することができる。これにより、読み出し回路基板100とセンサ基板200との間の位置ずれ量が許容範囲外である不良品が、セラミックパッケージへの実装工程へと送られるのを防ぐことができる。

20

【0066】

画素領域204内における画素202Aの配置場所や配置数は、特に限定されるものではない。読み出し回路基板100とセンサ基板200との間の2次元的な位置ずれを検出する観点からは、離れた場所に配置された少なくとも2つの画素202Aが必要である。例えば、画素領域204が図2(b)に示すような矩形形状を有する場合、画素領域204の4つの角部の近傍に位置する2~4の画素202を、画素202Aとすることができる。

30

【0067】

読み出し回路基板100とセンサ基板200との間の位置ずれ量の確認は、読み出し回路基板100とセンサ基板200との接合時に行ってもよい。この場合、読み出し回路基板100とセンサ基板200とを接合する際に画素202Aの発光部230を発光させ、画素202Aと対をなす画素102の受光部116が受光する光量をモニターしながら最適な場所に位置合わせする。

40

【0068】

この場合の効果として、実装装置の機械的な位置合わせ精度よりも高い精度で位置合わせできる点が挙げられる。特に、センサ基板200の発光部230と読み出し回路基板100の受光部116との間の光学的な接続にレンズを用いた構成でレンズにより光が絞られる場合や、画素ピッチが10マイクロメートル以下と小さい場合などに、大きな効果を奏する。なお、レンズが装荷されている状態で効果が大きい理由は、レンズにより光が小さな領域に絞られるためその領域と受光部116とのずれが生じた場合の光量の変動量が、レンズがない場合と比較して大きくなるためである。

【0069】

実装装置による位置合わせでは、まず、画像認識によって読み出し回路基板100上のパターンとセンサ基板200上のパターンとを認識し、主面に平行な方向の位置ずれ量を

50

把握する。その後、読み出し回路基板 100 とセンサ基板 200 とを近づけ、加熱してパンプを接合する。しかし、位置ずれ量の把握後に機械的な精度だけに頼って貼り合わせを行うと、理想位置からのずれが生じる等、少なからず位置ずれが生じる。画素ピッチが比較的大きい場合にはそのずれによる問題が小さいが、画素ピッチがシリコンで構成された通常の可視光帯域のイメージセンサに近づいていくと、上記アライメントずれによる影響が無視できなくなる。

【0070】

そこで、読み出し回路基板 100 とセンサ基板 200 とが接触する数マイクロメートル手前まで近づけ、その状態で画素 202A の発光部 230 を発光させ、受光部 116 で受光量をモニターしながら受光量が最大になる位置を探す。このようにすることで、画像認識を使用せず、読み出し回路基板 100 とセンサ基板 200 とを極力近づけた状態でアライメントできるため、アライメント後の移動等による位置ずれを大幅に低減することができる。

【0071】

なお、本実施形態では、第 3 実施形態による撮像装置への適用例を示したが、第 1 又は第 2 実施形態による撮像装置において同様の構成を適用してもよい。

このように、本実施形態によれば、第 1 乃至第 3 実施形態の効果に加え、読み出し回路基板 100 とセンサ基板 200 との位置合わせ精度を向上することができる。これにより、製造歩留りの向上と更なる高感度化を実現することができる。

【0072】

〔第 5 実施形態〕

本発明の第 5 実施形態による撮像装置について、図 11 を用いて説明する。第 1 乃至第 4 実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図 11 は、本実施形態による撮像装置の構造を示す概略断面図である。

【0073】

本実施形態による撮像装置は、図 11 に示すように、センサ基板 200 の発光部 230 の上に設けられたレンズ 282 を更に有する点で、第 1 乃至第 4 実施形態による撮像装置とは異なっている。レンズ 282 は、発光部 230 から出射した光を略平行光に成形する機能を備える。また、本実施形態による撮像装置では、読み出し回路基板 100 に設けられた第 1 レンズ 162 及び第 2 レンズ 166 は、レンズ 282 から出射した平行光 404 を受光部 116 に集光するように構成されている。

【0074】

本実施形態による撮像装置では、センサ基板 200 側にもレンズ 282 を設けるため、製造工程数は増加する。しかしながら、本実施形態による撮像装置には、読み出し回路基板 100 とセンサ基板 200 との間の間隔のばらつきによる光結合効率の変動を抑制できるという特有の効果がある。

【0075】

読み出し回路基板 100 及びセンサ基板 200 の反りや貼り合わせ工程におけるばらつき等により、読み出し回路基板 100 とセンサ基板 200 との間の間隔に面内分布やばらつきが生じることがある。読み出し回路基板 100 とセンサ基板 200 との間の距離が変化すると、第 1 レンズ 162 及び第 2 レンズ 166 により構成されるレンズ群と発光部 230 との間の距離が変化する。その結果、第 1 実施形態による撮像装置では、当該レンズ群によって光線が集光する位置と受光部 116 の表面の位置とにずれが生じ、読み出し回路基板 100 とセンサ基板 200 との間の光結合効率などに影響が生じることになる。

【0076】

この点、本実施形態による撮像装置では、発光部 230 から出射した光はレンズ 282 によって平行光 404 に成形されるため、基板間の距離が変化しても、読み出し回路基板 100 内で光が集光する位置はほとんど変化しない。結果として、本実施形態による撮像装置によれば、読み出し回路基板 100 とセンサ基板 200 との間の間隔の面内分布やばらつきに伴う光結合効率の変動を抑制することができる。

10

20

30

40

50

【0077】

このように、本実施形態によれば、第1乃至第4実施形態の効果に加え、読み出し回路基板100とセンサ基板200との間の間隔の面内分布やばらつきに伴う光結合効率の変動を抑制することができる。

【0078】**[第6実施形態]**

本発明の第6実施形態による撮像装置について、図12及び図13を用いて説明する。第1乃至第5実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図12は、本実施形態による撮像装置の構造を示す概略断面図である。図13は、読み出し回路基板とセンサ基板との間の距離と光結合効率との関係を示すグラフである。10

【0079】

本実施形態による撮像装置は、読み出し回路基板100にレンズ群（第1レンズ162及び第2レンズ166）が設けられていないほかは、第1乃至第4実施形態による撮像装置と同様である。センサ基板200に設けられた画素202の発光部230と読み出し回路基板100に設けられた画素102の受光部116との間の光学的な接続には、本実施形態において示すように、必ずしもレンズ群を用いる必要はない。本実施形態による撮像装置には、第1レンズ162及び第2レンズ166を形成する工程を省略することにより製造コストを低廉化できるメリットがある。20

【0080】

図13は、本実施形態による撮像装置の構成において、読み出し回路基板100とセンサ基板200との間の光結合効率の基板間距離依存性を計算により求めた結果を示すグラフである。横軸は、発光部230の表面位置と、受光部116の表面位置との間の光学的距離L（図12を参照）を示している。左側の縦軸は、画素202と画素102との間の光結合効率を示している。右側の縦軸は、直下の画素102への光結合効率と直下の画素102に隣接する画素102への光結合効率との比率を示している。図13中、印のプロットは、画素202と、当該画素202の直下の画素102との間の光結合効率を示している。印のプロットは、画素202と、当該画素202の直下の画素102に隣接する画素102との間の光結合効率を示している。印のプロットは、直下の画素102への光結合効率と隣接する画素102への光結合効率との比率を示している。30

【0081】

図13の計算では、画素102, 202のピッチが $19\text{ }\mu\text{m}$ であり、発光部230及び受光部116の実効的な開口径が $5\text{ }\mu\text{m}$ である場合を想定している。ただし、計算に当たっては、発光部230の発光層よりも外側に設けられた部材（例えば、リング電極260など）による遮光の影響は無視している。

【0082】

図13に示すように、画素202と画素102との間の光結合効率は、読み出し回路基板100とセンサ基板200との間の間隔を狭めるほどに増加する。したがって、必要とされる光結合効率に応じて読み出し回路基板100とセンサ基板200との間の間隔を適宜設定することにより、読み出し回路基板100にレンズ群を設けない構成においても所望の特性を実現することは可能である。40

【0083】

例えば、読み出し回路基板100とセンサ基板200との間の距離Lを $5\text{ }\mu\text{m}$ 以下にすることで、直下の画素102の受光部116への光の入射量に対する、隣接する画素102の受光部116への光の入射量を、約3.5%以下に抑えることができる。 $1.0\text{ }\mu\text{m}$ を超える波長帯域の光を検出する撮像装置は、可視光帯域の光を検出するカラーの撮像装置とは異なり、画素によって透過波長帯域の異なるフィルタを持たない、いわゆるモノクロの撮像装置である。そのため、用途によっては、隣接画素へのクロストークが3.5%程度であっても使用可能な場合がある。そのような場合には、本実施形態のようなレンズを設けない構成により、より低コストで撮像装置を実現することができる。さらに、隣接50

画素へのクロストークを10%程度まで許容できるのであれば、読み出し回路基板100とセンサ基板200との間の距離Lを7μm程度まで広げることができる。

【0084】

なお、本実施形態では、第1乃至第4実施形態による撮像装置への適用例を示したが、第5実施形態による撮像装置において本実施形態と同様の構成を適用してもよい。

このように、本実施形態によれば、第1乃至第4実施形態の効果に加え、製造コストを低減することができる。

【0085】

[第7実施形態]

本発明の第7実施形態による撮像装置について、図14を用いて説明する。第1乃至第6実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図14は、本実施形態による撮像装置の構造を示す概略断面図である。

【0086】

第6実施形態で説明したような隣接画素へのクロストークを低減するために、遮光壁を設けることも有効である。このような遮光壁としては、例えばリング電極260を利用することができる。本実施形態では、第6実施形態による撮像装置において、リング電極260を遮光壁として用いる場合の例を説明する。

【0087】

ここで、発光部230のリング電極260よりも内側の領域を、光が出射する開口部であるものと考える。また、図14に示すように、第1乃至第6実施形態の場合よりも高さの高いリング電極260を想定し、仮に発光部230から出射した光がリング電極260を透過できる場合を考える。このとき、画素202Aの発光部230から出射して直下の画素102Aに隣接する画素102Bの受光部116に入射する光線のうち、リング電極260の最も高い部分を通過する光線は、図14に点線で示す光線408となる。

【0088】

したがって、リング電極260を遮光壁として用いる場合、リング電極260(遮光壁)の高さhが以下の(3)式の関係を満たすときに、直下の画素102Aに隣接する画素102Bの受光部116に入射する光線を効果的に遮ることができる。

$$h > w \times \tan 1 \quad \dots (3)$$

ここで、1は光線408が発光部230の表面に対してなす角度であり、wは発光部230の開口部の幅である(図14参照)。

【0089】

例えば、発光部の開口部の幅wを5μm、受光部116の開口部の幅を5μm、発光部230の表面と受光部116の表面との光学的な距離を5μm、画素ピッチを19μmとすると、上記関係を満たす遮光壁の高さhは1.3μmとなる。

【0090】

遮光壁の高さは、発光部230の光の出射面からの高さとの差が重要となる。そのため、必ずしも遮光壁としての部材をその高さまで設ける必要はない。例えば、発光部230の光を出射する部分を0.5μmエッチングし、その周囲に高さ0.8μmのリング電極260を配置することによっても、同様の効果を備えた遮光壁を実現することができる。また、(3)式を満たす遮光壁は、必ずしもリング電極260である必要はなく、他の部材を用いて形成してもよい。また、読み出し回路基板100側に同様の機能を備えた遮光壁を設けるようにしてもよい。

このように、本実施形態によれば、第6実施形態の効果に加え、隣接画素へのクロストークを低減することができる。

【0091】

[第8実施形態]

本発明の第8実施形態による撮像装置について、図15を用いて説明する。第1乃至第7実施形態による撮像装置と同様の構成要素には同一の符号を付し、説明を省略し或いは簡潔にする。図15は、本実施形態による撮像装置を構成するセンサ基板の構造を示す概

10

20

30

40

50

略断面図である。

【0092】

第1乃至第7実施形態による撮像装置では、センサ基板200に設けられた各画素202を、受光部220と発光部230とを含むメサ構造体により形成している。これに対し、本実施形態による撮像装置は、図15に示すように、発光部230は画素202毎に独立したメサ構造を有しているが、受光部220を構成するアンドープInGaAs層222とn型InP層224とは画素202毎にパターニングされてはいない。n型InP層224の画素202間の領域には、p型領域226が設けられている。p型領域226は、平面視において、各画素202の周囲を囲うように形成されている。p型領域226は、特に限定されるものではないが、例えば、イオン注入法によりn型InP層224にZnを添加することにより形成することができる。
10

【0093】

n型InP層224にp型領域226を設けることで、n型InP層224とp型領域226との界面にpn接合を形成することができる。このpn接合の逆方向特性により、隣接する画素202の受光部220を電気的に分離することができる。

【0094】

本実施形態の上記構成では、受光部220及び発光部230を含むメサ構造体を形成する第1乃至第7実施形態の場合と比較して、メサ構造体を形成する際のエッチング深さが少なくて済むため、加工プロセスを容易にすることができます。また、受光部220はメサ構造を有していないため、メサ側壁を介した表面電流が流れることはない。
20

【0095】

また、本実施形態による撮像装置は、隣接する画素202の発光部230の間に、遮光膜284を更に有している。遮光膜284は、特に限定されるものではないが、例えば、厚さ10nmのCr膜と厚さ100nmのAu膜との積層膜により構成することができる。
。

【0096】

本実施形態による撮像装置において遮光膜284を設けている理由は、ある画素202の発光部230で発生した光が隣接する画素202の受光部（アンドープInGaAs層222）に入射しないようにするためである。これにより、画素202間の光のクロストークを抑制することができる。
30

【0097】

遮光膜284は、第1乃至第7実施形態による撮像装置にも適用可能である。ただし、第1乃至第7実施形態による撮像装置では、前述のように、各画素202のメサ構造体を分離するために必要な溝の深さが本実施形態の場合よりも深いため、遮光膜284の形成の相対的な難易度は高くなる。

【0098】

なお、本実施形態では、第3実施形態による撮像装置への適用例を示したが、その他の実施形態による撮像装置において本実施形態と同様の構成を適用してもよい。

このように、本実施形態によれば、第1乃至第7実施形態の効果に加え、製造プロセスを容易にするとともに、隣接画素へのクロストークを低減することができる。
40

【0099】

[第9実施形態]

本発明の第9実施形態による撮像システムについて、図16を用いて説明する。第1乃至第8実施形態による撮像装置と同様の構成要素には同一の符号を付し説明を省略し或いは簡潔にする。図16は、本実施形態による撮像システムの概略構成を示すブロック図である。

【0100】

上記第1乃至第8実施形態で述べた撮像装置300は、種々の撮像システムに適用可能である。適用可能な撮像システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などが挙げら
50

れる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、撮像システムに含まれる。図16には、これらのうちの一例として、デジタルスチルカメラのプロック図を例示している。

【0101】

図16に例示した撮像システム500は、撮像装置501、被写体の光学像を撮像装置501に結像させるレンズ502、レンズ502を通過する光量を可変にするための絞り504、レンズ502の保護のためのバリア506を有する。レンズ502及び絞り504は、撮像装置501に光を集光する光学系である。撮像装置501は、第1乃至第8実施形態で説明した撮像装置300である。撮像装置501は、レンズ502によってセンサ基板200の画素領域204に結像された光学像を、各画素202の受光部220及び発光部230を介して読み出し回路基板100へと送信する。読み出し回路基板100は、センサ基板200から送信された情報を画素領域104に配された各画素102で受信し、画像信号に変換する。10

【0102】

撮像システム500は、また、撮像装置501より出力される画像信号の処理を行う信号処理部508を有する。信号処理部508は、撮像装置501が出力するアナログ信号をデジタル信号に変換するA/D変換を行う。また、信号処理部508はその他、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。信号処理部508の一部であるA/D変換部は、撮像装置501が設けられた半導体基板（読み出し回路基板100）に設けられていてもよいし、撮像装置501とは別の半導体基板に設けられていてもよい。また、撮像装置501と信号処理部508とが同一の半導体基板に設けられていてもよい。20

【0103】

撮像システム500は、さらに、画像データを一時的に記憶するためのメモリ部510、外部コンピュータ等と通信するための外部インターフェース部（外部I/F部）512を有する。さらに撮像システム500は、画像データの記録又は読み出しを行うための半導体メモリ等の記録媒体514、記録媒体514に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御I/F部）516を有する。なお、記録媒体514は、撮像システム500に内蔵されてもよく、着脱可能であってもよい。

【0104】

さらに撮像システム500は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部518、撮像装置501と信号処理部508に各種タイミング信号を出力するタイミング発生部520を有する。ここで、タイミング信号などは外部から入力されてもよく、撮像システム500は少なくとも撮像装置501と、撮像装置501から出力された出力信号を処理する信号処理部508とを有すればよい。30

【0105】

撮像装置501は、画像信号を信号処理部508に出力する。信号処理部508は、撮像装置501から出力される画像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部508は、画像データを用いて、画像を生成する。

【0106】

第1乃至第8実施形態による撮像装置300を適用することにより、 $1.0 \mu m$ を超えるような長波長帯域の光の高精細な画像を取得しうる撮像システムを実現することができる。

【0107】

[変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

例えば、上記実施形態に示した材料や構成等は本発明の効果を奏する範囲で適宜変更することができる。例えば、上記実施形態において、読み出し回路基板100の画素領域104を、裏面照射型のCMOSイメージセンサと同様の構成としてもよい。また、上記実施形態において、センサ基板200の受光部に、より長波長の光を検出できるInGaA4050

s S b 系の材料や、紫外線領域の光を効率的に受光可能な A l G a I n N 系の材料や、 I I - V I 族化合物半導体材料を適用してもよい。

【 0 1 0 8 】

また、上記実施形態では、読み出し回路基板 1 0 0 とセンサ基板 2 0 0 とを所定の間隔で離間し、その間に空気層が介在する構成となっていたが、読み出し回路基板 1 0 0 とセンサ基板 2 0 0 との間は必ずしも空気層である必要はない。例えば、読み出し回路基板 1 0 0 とセンサ基板 2 0 0 との間に、発光部 2 3 0 から出射される光に対して透明な材料、例えば光透過性の樹脂を充填する構成としてもよい。また、読み出し回路基板 1 0 0 の表面とセンサ基板 2 0 0 の表面とが接するように読み出し回路基板 1 0 0 とセンサ基板 2 0 0 とを接合してもよい。

10

【 0 1 0 9 】

また、センサ基板 2 0 0 に設けられた一部の画素 2 0 2 の受光部 2 2 0 に外部からの光が入らないように遮光材を設け、その画素 2 0 2 を、周囲温度変化などによる暗電流の変化量などをモニターする、いわゆるオプティカルブラック画素としてもよい。

【 0 1 1 0 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

20

【 0 1 1 1 】

1 0 0 ... 読み出し回路基板

1 0 2 ... 画素

1 0 4 ... 画素領域

1 1 6 ... 受光部

2 0 0 ... センサ基板

2 0 2 ... 画素

2 0 4 ... 画素領域

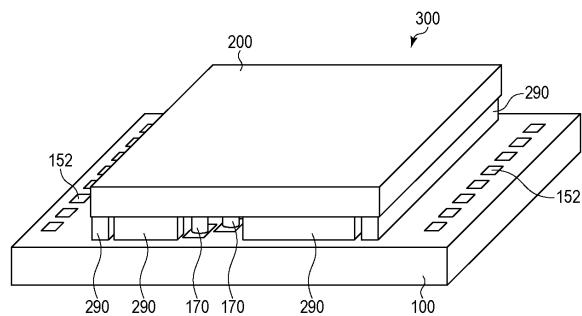
2 2 0 ... 受光部

2 3 0 ... 発光部

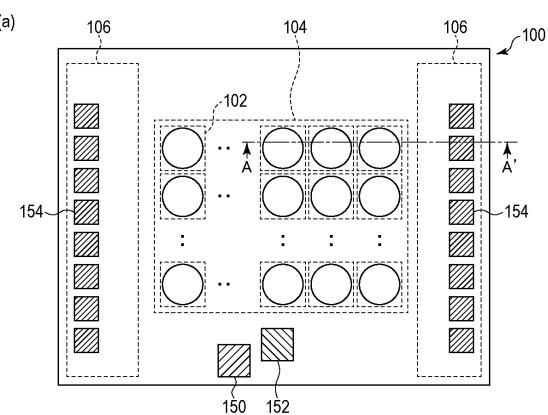
3 0 0 ... 撮像装置

30

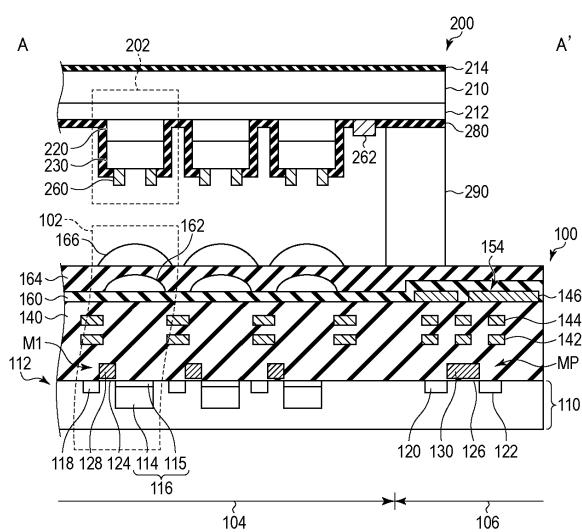
【図1】



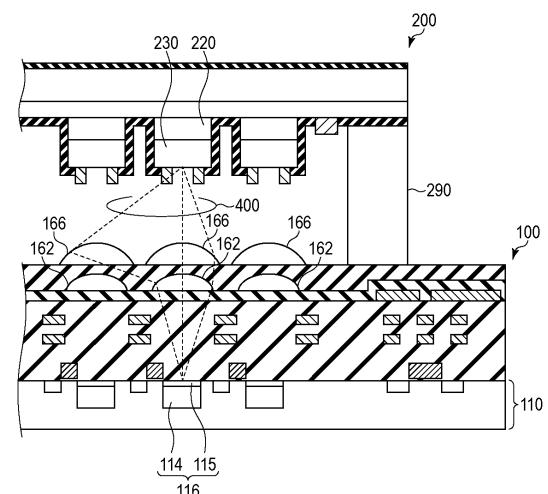
【図2】



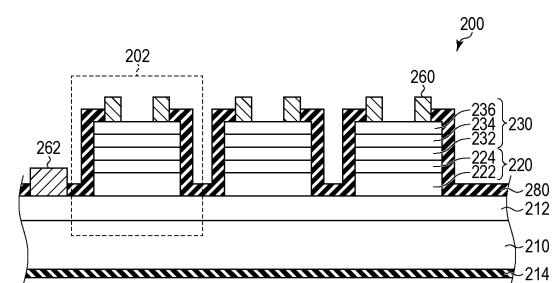
【図3】



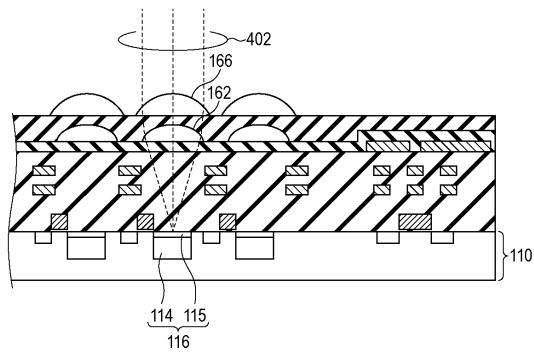
【図5】



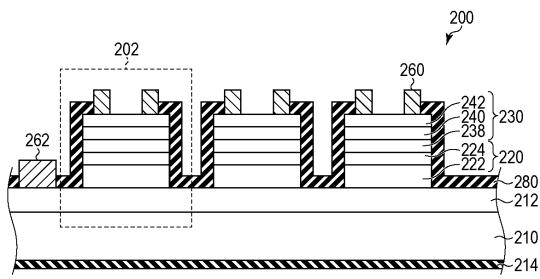
【図4】



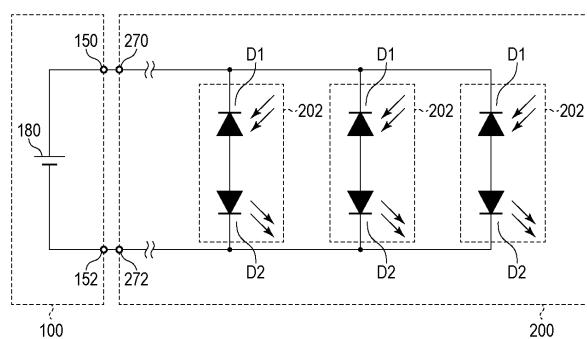
【図6】



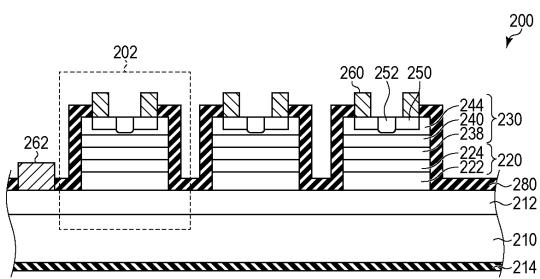
【図8】



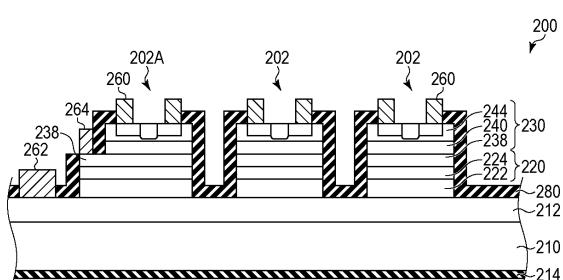
【図7】



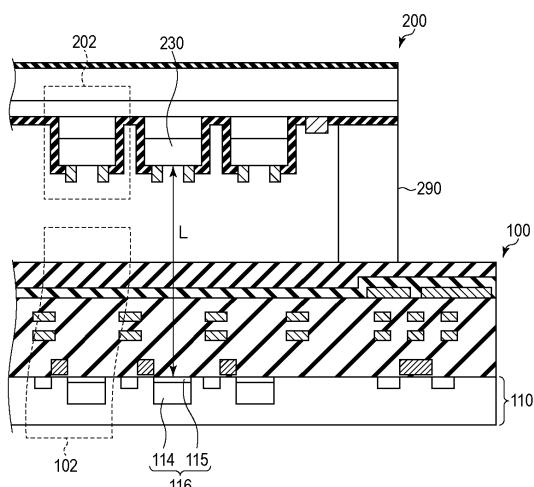
【図9】



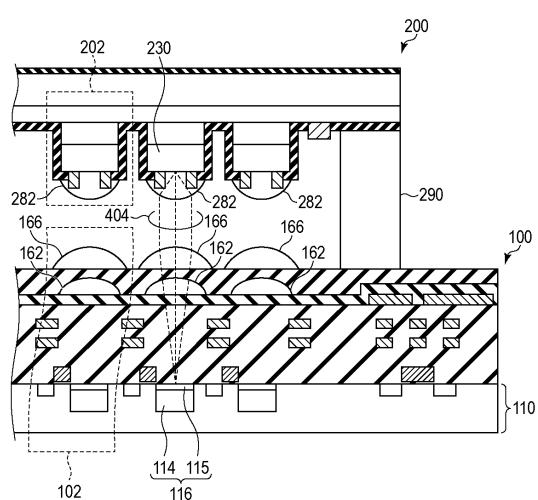
【図10】



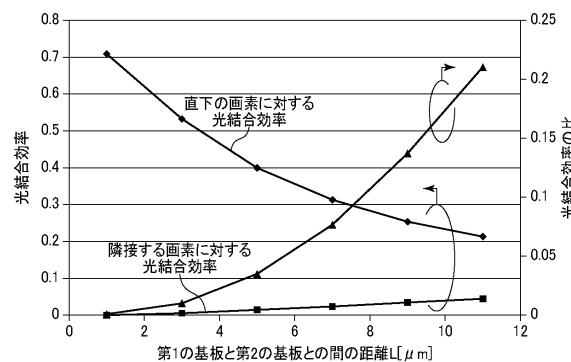
【図12】



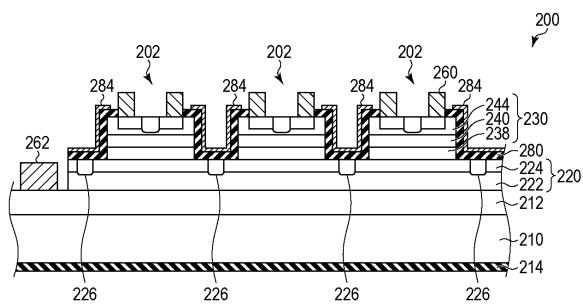
【図11】



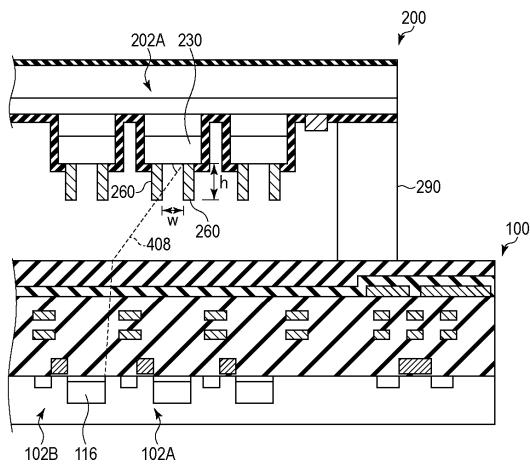
【図13】



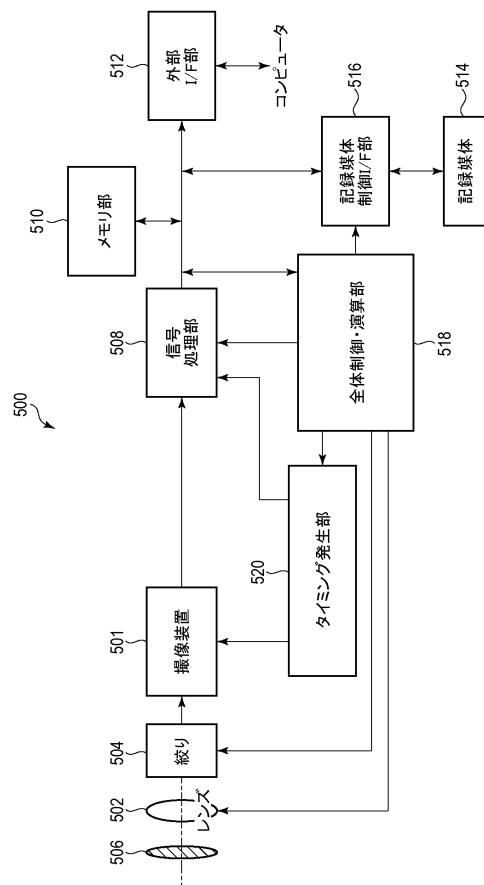
【図15】



【図14】



【図16】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 31/12

B

(72)発明者 伊庭 潤

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 西出 隆二

(56)参考文献 特開2011-77467 (JP, A)

特開平5-40214 (JP, A)

米国特許出願公開第2005/0083567 (US, A1)

特開平6-97490 (JP, A)

特開平5-21837 (JP, A)

米国特許第5567955 (US, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 1 4 6

H 0 1 L 3 1 / 1 0

H 0 1 L 3 1 / 1 2

H 0 4 N 5 / 3 7 4