

①9 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

①1 N° de publication :

2 568 077

(à n'utiliser que pour les  
commandes de reproduction)

②1 N° d'enregistrement national :

85 10881

⑤1 Int Cl<sup>4</sup> : H 04 N 1/40.

⑫

## DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 16 juillet 1985.

③0 Priorité : JP, 17 juillet 1984, n° 146963/1984,  
146964/1984, 146965/1984, 146966/1984 et  
146967/1984.

④3 Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 4 du 24 janvier 1986.

⑥0 Références à d'autres documents nationaux appa-  
rentés :

⑦1 Demandeur(s) : Société dite : CANON KABUSHIKI  
KAISHA. — JP.

⑦2 Inventeur(s) : Katsumi Nakagawa, Toshiyuki Komatsu,  
Shinichi Seitoh et Katsunori Hatanaka.

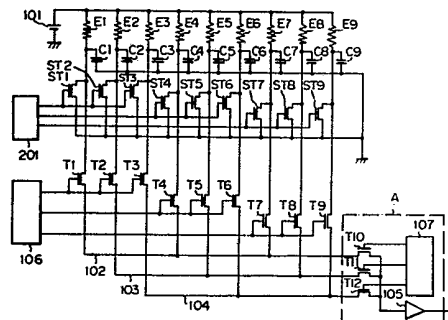
⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Rinuy, Santarelli.

⑤4 Appareil de lecture d'image.

⑤7 L'invention concerne un appareil de lecture d'image.

L'appareil comprend plusieurs transducteurs photo-électriques E1 à E9, des moyens de stockage C1 à C9 prévus pour chacun des transducteurs pour stocker leurs signaux de sortie et des moyens de commutation à action de décharge ST1 à ST9 disposés en parallèle sur chacun des moyens de stockage. Les transducteurs et les moyens de décharge sont respectivement répartis en un nombre prédéterminé de blocs et le transfert des signaux est effectué bloc par bloc, ce qui autorise un fonctionnement fiable et rapide.



FR 2 568 077 - A1

D

La présente invention concerne un appareil de lecture d'image et, plus particulièrement, un appareil de lecture d'image comportant un moyen pour mémoriser une information arrivant sous forme lumineuse. La présente invention peut s'appliquer à une unité de lecture d'image telle qu'un  
5 appareil de télécopie.

La figure 1 montre un schéma de principe d'un appareil de lecture d'image de l'art antérieur, dans lequel une rangée de photodétecteurs comprenant neuf photodétecteurs  
10 est montrée à titre d'exemple illustratif de tels appareils de lecture d'image.

Sur la figure 1, une rangée de photodétecteurs est constituée de trois blocs qui sont chacun constitués de trois des neuf photodétecteurs E1 à E9. De même sont agencés des  
15 condensateurs C1 à C9 et des transistors de commutation T1 à T9, qui correspondent respectivement aux photodétecteurs E1 à E9. Une électrode (électrode commune) de chaque photodétecteur E1 à E9 est connectée à une source d'alimentation 101, tandis que les autres électrodes, séparées, sont connectées  
20 par l'intermédiaire des condensateurs respectifs C1 à C9 à une électrode commune qui est reliée à la masse.

Parmi ces électrodes séparées, celles qui occupent des positions de même ordre dans leurs blocs respectifs sont connectées à l'une des lignes communes 102 à 104 par l'inter-  
25 médiaire des transistors de commutation correspondants T1 à T9. En particulier, les premiers transistors de commutation T1, T4 et T7 des blocs sont connectés à la ligne commune 102, les deuxièmes transistors de commutation T2, T5 et T8, à la ligne commune 103, et les troisièmes transistors de commutation T3, T6 et T9, à la ligne commune  
30 104. Les lignes communes 102 à 104 sont reliées à un amplificateur 105 par l'intermédiaire de transistors de commutation respectifs T10 à T12.

Les électrodes de commande des transistors de  
35 commutation T1 à T9 sont, dans chaque bloc, reliées ensemble et connectées à une borne de sortie parallèle correspondante

d'un registre à décalage 106. Les bornes de sortie parallèle du registre à décalage 106 délivrent séquentiellement des signaux de niveau haut, de sorte que les transistors de commutation T1 à T9 sont séquentiellement rendus conducteurs, tous ensemble dans chaque bloc.

L'électrode de commande de chaque transistor de commutation T10 à T12 est connectée à une borne de sortie parallèle correspondante d'un registre à décalage 107. Les bornes de sortie parallèles du registre à décalage 107 délivrent séquentiellement des signaux de niveau haut, de sorte que les transistors de commutation T10 à T12 sont séquentiellement rendus conducteurs à des moments déterminés. Les électrodes reliées ensemble des transistors de commutation T10 à T12 sont mises à la masse par l'intermédiaire d'un transistor de commutation T13 servant à la décharge. L'électrode de commande du transistor T13 est connectée à une borne 108.

Le fonctionnement de l'appareil de lecture d'image de l'art antérieur réalisé comme ci-dessus va maintenant être brièvement expliqué.

Lorsque les photodétecteurs E1 à E9 reçoivent de la lumière, les condensateurs C1 à C9 emmagasinent des charges électriques dont l'importance est fonction des intensités lumineuses respectives. Ensuite, les registres à décalage 106 et 107 délivrent sur leurs bornes de sortie des signaux de niveau haut à des moments respectivement déterminés. On admet maintenant que des signaux de niveau haut sont délivrés en même temps par les premières bornes de sortie parallèle des deux registres 106 et 107. Le transistor de commutation T10, connecté aux transistors de commutation T1 à T3 du premier bloc par l'intermédiaire de la ligne commune 102, est alors rendu conducteur et la charge électrique stockée dans le condensateur C1 est transférée, par l'intermédiaire du transistor de commutation T1, de la ligne commune 102 et du transistor de commutation T10, à l'amplificateur 105 pour présenter ainsi en sortie la charge électrique à titre d'information d'image.

Après lecture de la charge électrique stockée dans le condensateur C1, un signal externe incident de niveau haut est appliqué à la borne 108 et le transistor de commutation T13 passe à l'état conducteur. De ce fait, la charge électrique résiduelle du condensateur C1 est complètement évacuée en passant par le transistor de commutation T1, la ligne commune 102, le transistor de commutation T10 et le transistor de commutation T13.

La première borne de sortie parallèle du registre à décalage 106 étant maintenue au niveau haut, des signaux de sortie parallèle provenant du registre à décalage 107 sont ensuite successivement appliqués aux transistors de commutation T11 et T12 pour les rendre conducteurs. En procédant de la sorte, des opérations de lecture et de décharge telles que ci-dessus sont effectuées sur les condensateurs C2 et C3 pour lire ainsi séquentiellement l'information mémorisée dans ces condensateurs.

Après achèvement de la lecture de l'information du premier bloc, le registre à décalage 106 effectue séquentiellement un décalage pour exécuter la lecture de l'information des deuxième et troisième blocs de la même manière que décrit ci-dessus. En conséquence, l'information mémorisée dans les condensateurs C1 à C9 est lue séquentiellement et présentée en sortie par l'amplificateur 105 à titre d'information d'image.

Etant donné que l'appareil de lecture d'image de l'art antérieur représenté sur la figure 1 comporte des condensateurs pour stocker des charges électriques, il est possible d'obtenir un signal de sortie de grande amplitude. Un autre avantage est que, si les photodétecteurs E1 à E9, les condensateurs C1 à C9 et les transistors de commutation T1 à T9 sont réalisés sur un substrat unique constitué d'un semiconducteur en couche mince, le nombre de points de branchement à des circuits externes peut être réduit.

A ce propos, cependant, une propriété d'un transistor à couche mince est de présenter une résistance élevée

à l'état conducteur. Par conséquent, au transistor à couche mince sont associés certains inconvénients du fait que les constantes de temps déterminées par les capacités des condensateurs C1 à C9 et par les résistances des transistors de commutation T1 à T9 correspondants deviennent plus longues, et que les durées de décharge des condensateurs C1 à C9 deviennent également plus longues en raison des capacités et résistances réparties présentées par les lignes communes 102 à 104 et par les transistors de commutation T10 à T13. En outre, un inconvénient de l'appareil de lecture d'image de l'art antérieur est qu'il ne peut fonctionner à grande vitesse du fait que chacun des condensateurs C1 à C9 nécessite une opération de décharge après chaque opération de lecture.

La présente invention a été mise au point en considération des inconvénients ci-dessus de l'art antérieur. Par conséquent, un but de la présente invention est de fournir un appareil de lecture d'image qui peut être actionné à grande vitesse et qui n'a que peu de points de branchement nécessaires pour l'accès à des circuits externes.

Un autre but de la présente invention est de fournir un appareil de lecture d'image dans lequel des transistors de commutation à action de décharge sont disposés en parallèle sur des condensateurs de stockage de charges qui stockent les signaux délivrés par des transducteurs photoélectriques.

Un autre but encore de la présente invention est de fournir un appareil de lecture d'image dans lequel l'information de chaque bloc est temporairement transférée à d'autres condensateurs, l'information est lue séquentiellement sur ces autres condensateurs, et les charges électriques résiduelles des condensateurs sont ensuite évacuées bloc par bloc.

Un autre but encore de la présente invention est de fournir un appareil de lecture d'image dans lequel l'information d'image mémorisée dans des premiers condensateurs

est, pour chaque bloc, transférée simultanément à d'autres condensateurs et, après lecture séquentielle sur ces autres condensateurs, les premiers condensateurs et les autres condensateurs sont déchargés indépendamment.

5 Un autre but encore de la présente invention est de fournir un appareil de lecture d'image qui comporte des seconds condensateurs capables de mémoriser l'information de plusieurs blocs, des transistors de commutation à action de décharge connectés en parallèle sur les seconds condensateurs respectifs pour agir bloc par bloc, et des transistors de commutation servant à prélever séquentiellement l'information de chaque bloc à partir des seconds condensateurs respectifs.

10 Un autre but encore de la présente invention est de fournir un appareil de lecture d'image qui comporte des premiers transistors de commutation à action de décharge connectés en parallèle sur des premiers condensateurs respectifs servant à stocker les charges produites par voie photoélectrique, des seconds condensateurs capables de mémoriser l'information de plusieurs blocs, des transistors de commutation à action de décharge connectés en parallèle sur les seconds condensateurs respectifs pour agir bloc par bloc, et des transistors de commutation servant à extraire séquentiellement l'information de chaque bloc à partir des seconds condensateurs respectifs.

25 La présente invention sera décrite plus en détail en regard des dessins annexés sur lesquels :

la figure 1 est un schéma de principe d'un appareil classique de lecture d'image ;

30 la figure 2 est un schéma de principe d'un appareil de lecture d'image selon une première forme de réalisation de la présente invention ;

la figure 3 est un chronogramme servant à expliquer le fonctionnement de la première forme de réalisation ;

35 la figure 4 est un schéma de principe d'un appareil de lecture d'image selon une deuxième forme de réalisation ;

sation de la présente invention, une partie du circuit ayant été omise ;

la figure 5 est un schéma de principe d'un appareil de lecture d'image selon une troisième forme de réalisation de la présente invention ;

la figure 6 est un chronogramme servant à expliquer le fonctionnement de la troisième forme de réalisation ;

la figure 7 est un schéma de principe d'un appareil de lecture d'image selon une quatrième forme de réalisation de la présente invention ;

la figure 8 est un chronogramme servant à expliquer le fonctionnement de la quatrième forme de réalisation ;

les figures 9A et 9B, considérées ensemble, sont un schéma de principe d'un appareil de lecture d'image selon une cinquième forme de réalisation de la présente invention ;

la figure 10 est un chronogramme servant à expliquer le fonctionnement de la cinquième forme de réalisation ;

les figures 11A et 11B, considérées ensemble, sont un schéma de principe d'un appareil de lecture d'image selon une sixième forme de réalisation de la présente invention ;

la figure 12 est un chronogramme servant à expliquer le fonctionnement de la sixième forme de réalisation ;

la figure 13 est un schéma de principe d'un appareil de lecture d'image selon une septième forme de réalisation de la présente invention ;

la figure 14 est un chronogramme servant à expliquer le fonctionnement de la septième forme de réalisation ;

les figures 15A et 15B, considérées ensemble, sont un schéma de principe d'un appareil de lecture d'image selon une huitième forme de réalisation de la présente invention ;

la figure 16 est un chronogramme servant à expliquer le fonctionnement de la huitième forme de réalisation ;

la figure 17 est un schéma de principe d'une partie d'un appareil de lecture d'image selon une neuvième forme de réalisation de la présente invention ;

les figures 18A et 18B, considérées ensemble, sont

un schéma de principe d'un appareil de lecture d'image selon une dixième forme de réalisation de la présente invention ; et

la figure 19 est un chronogramme servant à expliquer le fonctionnement de la dixième forme de réalisation.

Les formes de réalisation préférées de la présente invention vont maintenant être décrites en détail en regard des dessins annexés.

Dans les formes de réalisation suivantes, les agencements des photodétecteurs E1 à E9, des condensateurs C1 à C9, des transistors de commutation T1 à T12 et des registres à décalage 106 et 107 et autres éléments identiques, sont les mêmes que ceux de l'appareil de l'art antérieur représenté sur la figure 1 et par conséquent leur description est omise.

Sur la figure 2, les électrodes séparées des photodétecteurs E1 à E9 sont reliées à la masse par l'intermédiaire de transistors de commutation respectifs ST1 à ST9. En particulier, chacun des transistors de commutation ST1 à ST9 est connecté en parallèle sur celui des condensateurs C1 à C9 qui lui correspond.

De même que pour les électrodes de commande des transistors de commutation T1 à T9, les électrodes de commande des transistors de commutation ST1 à ST9 sont reliées ensemble dans chaque bloc et les électrodes reliées ensemble de chaque bloc sont connectées à une borne de sortie parallèle correspondante d'un registre à décalage 201. Par conséquent, les transistors de commutation ST1 à ST9 sont rendus conducteurs bloc par bloc aux moments déterminés par le registre à décalage 201.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va maintenant être expliqué en regard du chronogramme de la figure 3 qui se rapporte aux transistors de commutation T1 à T12 et ST1 à ST9. De même que pour les chronogrammes correspondant aux autres formes de réalisation, les périodes de conduction des transistors

indiqués en tête de chaque ligne sont symbolisées par des niveaux hauts.

Tout d'abord, les photodétecteurs E1 à E9 recevant des rayons lumineux, des charges électriques dont l'importance correspond aux intensités lumineuses respectives sont emmagasinées dans les condensateurs C1 à C9 à partir de la source d'alimentation 101. Puis, la première borne de sortie parallèle du registre à décalage 106 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 3].

Pendant que les transistors de commutation T1 à T3 sont conducteurs, le registre à décalage 107 effectue une séquence de décalage pour rendre séquentiellement conducteurs les transistors de commutation T10 à T12 [lignes (d) à (f) de la figure 3]. Autrement dit, l'information d'image mémorisée dans les condensateurs C1 à C3 du premier bloc est lue séquentiellement.

Après lecture de l'information correspondant au dernier condensateur, C3, du premier bloc, le registre à décalage 106 effectue un nouveau décalage pour délivrer un signal de niveau haut sur sa deuxième borne de sortie parallèle, en rendant ainsi conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 3].

Au même moment, la première borne de sortie parallèle du registre à décalage 201 délivre un niveau haut pour rendre conducteurs les transistors ST1 à ST3 et évacuer ainsi complètement les charges électriques résiduelles présentes dans les condensateurs C1 à C3 [ligne (g) de la figure 3].

En même temps que s'effectue la décharge des condensateurs C1 à C3, pendant la période où les transistors de commutation T4 à T6 sont conducteurs, les transistors de commutation T10 à T12 sont séquentiellement rendus conducteurs par une séquence de décalage effectuée par le registre à décalage 107. Ainsi, l'information d'image mémorisée dans les condensateurs C4 à C6 du deuxième bloc est lue séquentiellement [lignes (d) à (f) de la figure 3].

Ensuite, en même temps qu'est exécutée la lecture du troisième bloc [ligne (c) de la figure 3], la décharge des condensateurs C4 à C6 du deuxième bloc est effectuée [ligne (h) de la figure 3]. Des opérations similaires à  
5 celles décrites ci-dessus sont répétées pour chaque bloc.

Comme il ressort de ce qui précède, en même temps qu'est exécutée la lecture d'un bloc, les condensateurs du bloc précédent dont la lecture est déjà terminée peuvent être déchargés, ce qui permet ainsi de réduire le temps  
10 total d'exécution.

La figure 4 montre une deuxième forme de réalisation de la présente invention, dans laquelle seule la partie A est différente de la partie A correspondante du schéma de la forme de réalisation de la figure 2.

15 Dans la deuxième forme de réalisation, des amplificateurs 202 à 204 sont respectivement connectés aux lignes communes 102 à 104. Les sorties des amplificateurs 202 à 204 sont reliées respectivement à des bornes d'entrée parallèle d'un registre à décalage 205. L'information d'image est  
20 présentée en sortie sur la borne de sortie série du registre à décalage 205 sous forme de données série.

Avec cet agencement, l'information d'un bloc est appliquée en une fois aux entrées du registre à décalage 205, puis, le registre 205 effectuant une séquence de décalage, les données d'image série sont présentées à la sortie.  
25

De plus, dans cette forme de réalisation, après que l'information d'un bloc a été présentée en sortie par le registre à décalage 205, la décharge des condensateurs correspondants ainsi que la lecture des condensateurs du  
30 bloc suivant sont effectuées simultanément.

Les transistors de commutation ST1 à ST9 peuvent, de même que les transistors de commutation T1 à T9, être fabriqués sous forme de transistors à couche mince, auquel cas ces transistors à couche mince peuvent être réalisés  
35 sur le même substrat en même temps que les autres éléments du circuit.

Même si les transistors de commutation ST1 à ST9 sont des transistors à couche mince, l'opération simultanée de décharge des condensateurs d'un bloc et de lecture des condensateurs du bloc suivant permet de raccourcir le temps total de lecture, comparativement à ce qui est réalisé dans l'art antérieur.

La figure 5 est un schéma de principe illustrant une troisième forme de réalisation de l'appareil de lecture d'image conforme à la présente invention.

Dans cette forme de réalisation, les agencements des photodétecteurs E1 à E9, des condensateurs C1 à C9, des transistors de commutation T1 à T12 et des registres à décalage 106 et 107 et autres éléments identiques sont les mêmes que ceux de l'appareil de l'art antérieur représenté sur la figure 1 et par conséquent leur description est omise.

Sur la figure 5, les lignes communes 102 à 104 sont reliées à la masse par l'intermédiaire de condensateurs respectifs C10 à C12, et également reliées à la masse par l'intermédiaire de transistors de commutation CT1 à CT3.

La capacité de chacun des condensateurs C10 à C12 est choisie pour être suffisamment plus grande que celle de chacun des condensateurs C1 à C9.

Les électrodes de commande des transistors de commutation CT1 à CT3 sont reliées ensemble à une borne 108.

Ainsi, à l'application d'un signal de niveau haut sur la borne 108, les transistors CT1 à CT3 sont tous rendus conducteurs en même temps et les lignes communes 102 à 104 sont mises à la masse.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va maintenant être expliqué en regard du chronogramme de la figure 6 qui se rapporte aux transistors T1 à T12 et CT1 à CT3. Ce chronogramme montre les moments de conduction de chacun des transistors de commutation, ces moments de conduction étant également ceux des niveaux hauts des signaux délivrés par les bornes de sortie correspondantes des registres à décalage 106 et 107.

Tout d'abord, les photodétecteurs E1 à E9 recevant des rayons lumineux, des charges électriques dont l'importance est fonction de l'intensité lumineuse sont emmagasinées dans les condensateurs C1 à C9 à partir de la source d'alimentation 101.

Puis, la première borne de sortie parallèle du registre à décalage 106 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 6].

Les transistors de commutation T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 sont transférées respectivement aux condensateurs C10 à C12. Ensuite, le registre à décalage 107 effectue une séquence de décalage pour rendre séquentiellement conducteurs les transistors de commutation T10 à T12 [lignes (d) à (f) de la figure 6].

Ainsi, l'information d'image du premier bloc, transférée et mémorisée dans les condensateurs C10 à C12, est lue séquentiellement.

Après lecture de l'information du premier bloc, un signal incident de niveau haut est appliqué à la borne 108, de sorte que les transistors de commutation CT1 à CT3 sont rendus conducteurs simultanément [ligne (g) de la figure 6].

Ainsi, les charges électriques résiduelles présentes dans les condensateurs C1 à C3 et C10 à C12 sont complètement évacuées dans l'attente de la mémorisation de l'information d'image suivante.

Le registre à décalage 106 effectue ensuite un nouveau décalage pour délivrer un signal de niveau haut sur sa deuxième borne de sortie parallèle, en rendant ainsi conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 6]. La lecture de l'information du deuxième bloc est alors effectuée de la même manière que pour le premier bloc. La lecture de l'information du troisième bloc est également effectuée de la même manière.

Comme on le voit dans ce qui précède, l'information

mémorisée dans les condensateurs C1 à C9 est lue séquentiellement aux moments déterminés par le décalage des registres à décalage 106 et 107 et par l'application des signaux de niveau haut à la borne 108, comme le montre la figure 6.

Dans ce cas, l'information mémorisée dans les condensateurs C1 à C9 est transférée, en une fois bloc par bloc, aux condensateurs C10 à C12. L'information transférée et mémorisée dans les condensateurs C10 à C12 est lue séquentiellement en série chronologique par les transistors de commutation T10 à T12, respectivement.

Dans un appareil classique, le transfert et la décharge sont effectués neuf fois, pour chacun des condensateurs C1 à C9. Par contre, selon la présente forme de réalisation, le nombre de transferts et décharges est de trois seulement, ce qui permet de raccourcir le temps total de lecture.

Dans la forme de réalisation ci-dessus, bien que neuf photodétecteurs aient été répartis en trois blocs, il n'y a pas de limitation à ce sujet. Il est évident d'après la forme de réalisation ci-dessus que des photodétecteurs en tout nombre peuvent être répartis en un nombre souhaité de blocs.

La figure 7 est un schéma de principe illustrant une quatrième forme de réalisation de l'appareil de lecture d'image conforme à la présente invention.

Dans cette forme de réalisation, les agencements des photodétecteurs E1 à E9, des condensateurs C1 à C9, des transistors de commutation T1 à T12 et des registres à décalage 106 et 107 et autres éléments identiques sont les mêmes que ceux de l'appareil de l'art antérieur représenté sur la figure 1 et par conséquent leur description est omise.

Sur la figure 7, les électrodes séparées des photodétecteurs E1 à E9 sont reliées à la masse par l'intermédiaire de transistors de commutation respectifs ST1 à ST9. En particulier, chacun des transistors de commutation ST1

à ST9 est connecté en parallèle sur celui des condensateurs C1 à C9 qui lui correspond.

De même que pour les électrodes de commande des transistors de commutation T1 à T9, les électrodes de commande des transistors de commutation ST1 à ST9 sont, dans chaque bloc, reliées ensemble et connectées à une borne de sortie parallèle correspondante d'un registre à décalage 201. Par conséquent, les transistors de commutation ST1 à ST9 sont, dans chaque bloc, rendus conducteurs aux moments déterminés par le décalage effectué par le registre à décalage 201. De plus, sur la figure 7, les lignes communes 102 à 104 sont reliées à la masse par l'intermédiaire de condensateurs respectifs C10 à C12 et sont également reliées à la masse par l'intermédiaire de transistors de commutation CT1 à CT3. La capacité de chacun des condensateurs C10 à C12 est choisie pour être suffisamment plus grande que celle de chacun des condensateurs C1 à C9.

Les électrodes de commande des transistors de commutation CT1 à CT3 sont reliées ensemble à une borne 108. Ainsi, à l'application d'un signal de niveau haut sur la borne 108, les transistors de commutation CT1 à CT3 sont tous rendus conducteurs en même temps et les lignes communes 102 à 104 sont mises à la masse.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va maintenant être expliqué en regard du chronogramme de la figure 8 qui se rapporte aux transistors de commutation T1 à T12, CT1 à CT3 et ST1 à ST9. Ce chronogramme montre les moments de conduction de chacun des transistors de commutation, ces moments de conduction étant également deux des niveaux hauts des signaux délivrés par les sorties correspondantes des registres à décalage 106, 107 et 201.

Tout d'abord, les photodétecteurs E1 à E9 recevant des rayons lumineux, des charges électriques dont l'importance est fonction de l'intensité lumineuse sont emmagasinées dans les condensateurs C1 à C9 à partir de la source d'alimentation 101.

Puis, la première borne de sortie parallèle du registre à décalage 106 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 8].

5 Les transistors de commutation T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 sont transférées respectivement aux condensateurs C10 à C12. Ensuite, le registre à décalage 107 effectue une séquence de décalage d'un niveau haut de sortie  
10 pour rendre séquentiellement conducteurs les transistors de commutation T10 à T12 [lignes (d) à (f) de la figure 8]. Ainsi, l'information d'image du premier bloc, transférée et mémorisée dans les condensateurs C10 à C12, est lue séquentiellement et sort en passant par l'amplificateur 105.

15 Après lecture de l'information du premier bloc, un signal de niveau haut est appliqué à la borne 108, de sorte que les transistors de commutation CT1 à CT3 sont rendus conducteurs simultanément [ligne (g) de la figure 8].

20 De ce fait, les charges électriques résiduelles présentes dans les condensateurs C10 à C12 sont complètement évacuées. Après évacuation complète des charges électriques résiduelles des condensateurs C10 à C12, le registre à décalage 106 effectue un nouveau décalage pour délivrer  
25 un signal de niveau haut sur sa seconde borne de sortie parallèle, en rendant ainsi conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 8]. Ainsi, les charges électriques stockées dans les condensateurs C4 à C6 du deuxième bloc sont transférées aux condensateurs C10 à C12.

30 Au même moment, la première borne de sortie parallèle du registre à décalage 201 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation ST1 à ST3 et évacuer ainsi complètement les charges électriques résiduelles présentes dans les condensateurs C1 à  
35 C3 [ligne (h) de la figure 8].

Comme on le voit dans ce qui précède, l'opération

de décharge des condensateurs C1 à C3 du premier bloc et l'opération de transfert aux condensateurs C10 à C12 des charges électriques stockées dans les condensateurs C4 à C6 du deuxième bloc sont effectuées toutes deux simultanément.

5 De même que dans le cas du premier bloc, les transistors de commutation T10 à T12 sont séquentiellement rendus conducteurs par une séquence de décalage effectuée par le registre à décalage 107. Ainsi, l'information d'image du deuxième bloc, mémorisée dans les condensateurs C10 à C12, 10 est lue séquentiellement [lignes (d) à (f) de la figure 8].

Dans le cas du troisième bloc, l'opération de décharge des condensateurs C4 à C6 du deuxième bloc [ligne (i) de la figure 8] est de même effectuée en même temps que l'opération de transfert [ligne (c) de la figure 8]. Des 15 opérations analogues à celles décrites ci-dessus sont répétées pour chaque bloc.

Comme il ressort de ce qui précède, le transfert de l'information mémorisée dans les condensateurs C1 à C9 est effectuée bloc par bloc. Par conséquent, alors que dans 20 un appareil classique le transfert et la décharge doivent être effectués neuf fois, pour chaque condensateur, le nombre de transferts et décharges est réduit à trois seulement dans la présente forme de réalisation. Par conséquent, il est possible de raccourcir le temps total de lecture.

25 En outre, en même temps qu'est effectué le transfert aux condensateurs C10 à C12 de l'information d'un bloc, les condensateurs du bloc précédent dont la lecture est déjà terminée peuvent être déchargés, ce qui permet de raccourcir encore le temps total d'exécution.

30 Dans la forme de réalisation ci-dessus, bien que neuf photodétecteurs aient été répartis en trois blocs, il n'y a pas de limitation à ce sujet. Il est évident d'après la forme de réalisation ci-dessus que des photodétecteurs en tout nombre peuvent être répartis en un nombre souhaité 35 de blocs.

Les figures 9A et 9B, considérées ensemble, sont

un schéma de principe illustrant une cinquième forme de réalisation de l'appareil de lecture d'image conforme à la présente invention, dans laquelle est utilisée une rangée de photodétecteurs comprenant douze photodétecteurs.

5 Sur cette figure, un bloc est constitué de trois des douze photodétecteurs E1 à E12, tandis qu'un groupe est constitué de deux blocs, comme décrit ci-après. Par exemple, le premier bloc est constitué des photodétecteurs E1 à E3, le deuxième bloc est constitué des photodétecteurs E4 à E6, 10 et le premier groupe est constitué des photodétecteurs E1 à E6. Cet agencement hiérarchisé s'applique également à des condensateurs C1 à C12 qui stockent les charges de la transduction photoélectrique et à des transistors de commutation T1 à T12, chacun d'eux étant connecté à celui des photo- 15 détecteurs E1 à E12 qui lui correspond.

Une électrode (électrode commune) de chacun des photodétecteurs E1 à E12 est connectée à une source d'alimentation 101 qui fournit une tension constante. L'autre électrode (électrode séparée) de chacun des photodétecteurs 20 E1 à E12 est connectée à l'une des électrodes principales de celui des transistors de commutation T1 à T12 qui lui correspond, et est également reliée à la masse par l'intermédiaire de celui des condensateurs C1 à C12 qui lui correspond.

25 Les électrodes de commande des transistors de commutation T1 à T12 sont, dans chaque bloc, reliées ensemble, c'est-à-dire par trois électrodes, et connectées à des bornes respectives S1 à S4 de sortie parallèle d'un registre à décalage 201. Des signaux de niveau haut sont 30 délivrés séquentiellement par les bornes S1 à S4 de sortie parallèle du registre à décalage à des moments prédéterminés, de sorte que les transistors de commutation T1 à T12 sont rendus séquentiellement conducteurs bloc par bloc.

Des lignes communes 202 à 207 reçoivent chacune les 35 autres électrodes principales de ceux des transistors de commutation T1 à T12 qui occupent dans leurs groupes respectifs des

positions de même ordre. Par exemple, les électrodes des transistors de commutation T2 et T8, qui sont en deuxième position dans leurs groupes respectifs, sont connectées à la ligne commune 203. Les lignes communes 202 à 207 sont connectées à l'amplificateur 105 par l'intermédiaire de transistors de commutation respectifs ST1 à ST6.

Les électrodes de commande des transistors de commutation ST1 à ST3 et ST4 à ST6 sont connectées chacune séparément à l'une des bornes S5 à S10 de sortie parallèle de registres à décalages respectifs 208 et 209. Les bornes de sortie parallèle des registres à décalage délivrent séquentiellement des signaux de niveau haut à des moments prédéterminés, de sorte que les transistors de commutation ST1 à ST6 sont rendus séquentiellement conducteurs.

Les lignes communes 202 à 207 sont reliées à la masse par l'intermédiaire de condensateurs respectifs CC1 à CC6 servant à stocker les charges transférées et par l'intermédiaire de transistors de commutation respectifs CT1 à CT6 à action de décharge. La capacité de chacun des condensateurs CC1 à CC6 est choisie pour être suffisamment plus grande que celle des condensateurs correspondants C1 à C12.

Les électrodes de commande des transistors de commutation CT1 à CT3 sont reliées ensemble et connectées à une borne S11, et celles des transistors de commutation CT4 à CT6 sont reliées ensemble et connectées à une borne S12. Par conséquent, lorsqu'un signal de niveau haut est appliqué à la borne S11 ou S12, les transistors de commutation CT1 à CT3 ou CT4 à CT6 sont rendus conducteurs, de sorte que les lignes communes 202 à 204 ou 205 à 207 sont mises à la masse.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va être expliqué en regard du chronogramme de la figure 10.

Tout d'abord, les photodétecteurs E1 à E12 recevant des rayons lumineux, des charges électriques dont

l'importance est fonction de l'intensité lumineuse sont emmagasinées dans les condensateurs C1 à C12 à partir de la source d'alimentation 101. Puis, la borne S1 de sortie parallèle du registre à décalage 201 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 10].

Les transistors de commutation T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 sont respectivement transférées aux condensateurs CC1 à CC3.

Après transfert de l'information du premier bloc, la borne de sortie S2 du registre à décalage 201 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 10]. De ce fait, les charges électriques stockées dans les condensateurs C4 à C6 du deuxième bloc sont respectivement transférées aux condensateurs CC4 à CC6.

En même temps que s'effectue l'opération de transfert relative au deuxième bloc, les bornes de sortie S5 à S7 du registre à décalage 208 délivrent séquentiellement des signaux de niveau haut [lignes (e) à (g) de la figure 10].

Ainsi, les transistors de commutation ST1 à ST3 sont séquentiellement rendus conducteurs de sorte que l'information d'image du premier bloc, transférée et mémorisée dans les condensateurs CC1 à CC3, est lue séquentiellement et sort en série chronologique en passant par l'amplificateur 105.

Après achèvement de la lecture de l'information du premier bloc, un signal de niveau haut est appliqué à la borne S11. Par suite, les transistors de commutation CT1 à CT3 sont simultanément rendus conducteurs [ligne (k) de la figure 10].

Les charges électriques résiduelles présentes dans les condensateurs CC1 à CC3 sont alors complètement évacuées.

Une fois les charges électriques résiduelles com-

plètement évacuées des condensateurs respectifs CC1 à CC3, le registre à décalage 201 effectue un décalage pour présenter un signal de niveau haut sur sa borne S3 de sortie parallèle [ligne (c) de la figure 10]. Par conséquent, les transistors de commutation T7 à T9 sont rendus conducteurs, de sorte que les charges électriques stockées dans les condensateurs C7 à C9 du troisième bloc sont respectivement transférées aux condensateurs CC1 à CC3.

En même temps que s'effectue l'opération de transfert de l'information du troisième bloc, les bornes S8 à S10 de sortie parallèle du registre à décalage 209 délivrent séquentiellement des signaux de niveau haut [lignes (h) à (j) de la figure 10].

Les transistors de commutation ST4 à ST6 sont ainsi rendus séquentiellement conducteurs de sorte que l'information du deuxième bloc, transférée et mémorisée dans les condensateurs CC4 à CC6, est lue séquentiellement et sort en série chronologique.

Après lecture de l'information du deuxième bloc, un signal de niveau haut est appliqué à la borne S12, ce qui rend simultanément conducteurs les transistors de commutation CT4 à CT6 [ligne (l) de la figure 10]. Les charges électriques résiduelles présentes dans les condensateurs CC4 à CC6 sont ainsi complètement évacuées.

De la même manière que ci-dessus, les charges électriques des condensateurs C10 à C12 du quatrième bloc sont transférées aux condensateurs CC4 à CC6 [ligne (d) de la figure 10] en même temps que s'effectuent les opérations de lecture et de décharge [lignes (e) à (g) et (k) de la figure 10] relatives à l'information du troisième bloc, mémorisée dans les condensateurs CC1 à CC3.

Il en résulte que l'information du quatrième bloc, mémorisée dans les condensateurs CC4 à CC6, est lue pendant le transfert de l'information du premier bloc vers les condensateurs CC1 à CC3. Des opérations identiques à celles décrites ci-dessus sont répétées pour lire séquentiellement

l'information d'image et la faire sortir en série chronologique.

Comme il ressort de ce qui précède, le transfert de l'information mémorisée dans les condensateurs C1 à C12 est effectué bloc par bloc. Par conséquent, alors que dans un appareil classique le transfert et la décharge sont effectués douze fois, pour chaque condensateur, le nombre de transferts et décharges est réduit à quatre seulement dans la présente forme de réalisation. Il est donc possible de raccourcir le temps total de lecture.

En outre, en même temps que s'effectue le transfert de l'information d'un bloc, il est possible d'effectuer la lecture de l'information et l'évacuation des charges électriques résiduelles relatives au bloc précédent, ce qui permet de raccourcir encore le temps total d'exécution.

Dans la forme de réalisation ci-dessus, bien que douze photodétecteurs aient été répartis en quatre blocs, il n'y a pas de limitation à ce sujet. Il est évident d'après la forme de réalisation ci-dessus que des photodétecteurs en tout nombre peuvent être répartis en un nombre souhaité de blocs.

Les figures 11A et 11B, considérées ensemble, sont un schéma de principe illustrant une sixième forme de réalisation selon la présente invention. Sur ces figures, parmi des photodétecteurs E1 à E18, des condensateurs C1 à C18 servant à stocker des charges de transduction photoélectriques et des transistors de commutation T1 à T18, les photodétecteurs E10 à E18, les condensateurs C10 à C18 et les transistors de commutation T10 à T18 ne sont pas représentés.

Sur les figures 11A et 11B, les agencements des photodétecteurs E1 à E18, des condensateurs C1 à C18 et des transistors de commutation T1 à T18 sont sensiblement les mêmes que ceux de la figure 1 et leur description est par conséquent omise. Dans cette forme de réalisation cependant, un groupe est constitué de trois blocs, et les lignes com-

munes 402 à 410 reçoivent chacune les électrodes principales de ceux des transistors de commutation qui occupent dans leurs groupes respectifs des positions de même ordre.

5 Les électrodes de commande des transistors de commutation T1 à T18 sont, dans chaque bloc, reliées ensemble et connectées à des bornes correspondantes B1 à B6 de sortie parallèle d'un registre à décalage 401.

10 Les lignes communes 402 à 410 sont reliées à la masse par l'intermédiaire de condensateurs CC1 à CC9 servant à stocker des charges transférées et également reliées à la masse par l'intermédiaire de transistors de commutation CT1 à CT9 à action de décharge. Les électrodes de commande des transistors de commutation CT1 à CT9 sont reliées ensemble par trois et connectées à des bornes correspondantes H1 à H3.  
15 Les lignes communes 402 à 410 sont connectées à l'amplificateur 105 par l'intermédiaire de transistors de commutation ST1 à ST9, tandis que les électrodes de commande des transistors de commutation ST1 à ST9 sont respectivement connectées aux bornes D1 à D9 de sorties parallèles de registres  
20 à décalage 411 à 413.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va être brièvement expliqué en regard du chronogramme de la figure 12.

25 Tout d'abord, la borne de sortie B1 du registre à décalage 401 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 12].

30 Les transistors de commutation T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 du premier bloc sont respectivement transférées aux condensateurs CC1 à CC3.

Après le transfert de l'information du premier bloc, la borne de sortie E2 du registre à décalage 401 délivre un signal de niveau haut, ce qui rend conducteurs les  
35 transistors de commutation T4 à T6 [ligne (b) de la figure 12]. De ce fait, les charges électriques stockées dans les

condensateurs C4 à C6 du deuxième bloc sont respectivement transférées aux condensateurs CC4 à CC6.

En même temps que s'effectue le transfert ci-dessus de l'information du deuxième bloc, les bornes de sortie  
5 D1 à D3 du registre à décalage 411 délivrent séquentiellement des signaux de niveau haut [lignes (g) à (i) de la figure 12]. Ainsi, les transistors de commutation ST1 à ST3 sont rendus séquentiellement conducteurs de sorte que l'information d'image du premier bloc, transférée et mémorisée  
10 dans les condensateurs CC1 à CC3, est lue séquentiellement et sort en série chronologique en passant par l'amplificateur 105.

En outre, après l'opération de lecture du premier bloc, un signal de niveau haut est appliqué sur la borne H1  
15 de sorte que les transistors de commutation CT1 à CT3 sont rendus simultanément conducteurs [ligne (p) de la figure 12]. Ainsi, les charges électriques résiduelles présentes dans les condensateurs CC1 à CC3 sont évacuées.

En même temps que s'effectue l'opération de décharge, la borne de sortie B3 du registre à décalage 401  
20 délivre un signal de niveau haut [ligne (c) de la figure 12]. De ce fait, les transistors de commutation T7 à T9 sont rendus conducteurs et les charges électriques stockées dans les condensateurs C7 à C9 du troisième bloc sont transférées  
25 aux condensateurs CC7 à CC9.

En même temps que s'effectuent les opérations ci-dessus de décharge et de transfert, les bornes de sortie D4 à D6 du registre à décalage 412 délivrent séquentiellement  
des signaux de niveau haut [lignes (j) à (l) de la figure  
30 12], de sorte que les transistors de commutation ST4 à ST6 sont rendus séquentiellement conducteurs et que l'information du deuxième bloc est lue séquentiellement et sort en série chronologique.

Le transfert de l'information du quatrième bloc  
35 [ligne (d) de la figure 12], la lecture et la sortie en série chronologique de l'information du troisième bloc

[lignes (m) à (o) de la figure 12] et l'opération de décharge des condensateurs CC4 à CC6 qui stockent les charges transférées [ligne (q) de la figure 12], sont ensuite tous effectués simultanément. Des opérations analogues sont ensuite  
5 répétées pour lire l'information d'image provenant des photodétecteurs E10 à E18.

Comme il ressort de ce qui précède, grâce à l'agencement selon lequel trois blocs constituent un groupe, il est possible d'effectuer simultanément l'opération de transfert de l'information d'un bloc, l'opération de lecture du  
10 bloc précédent et l'opération d'évacuation des charges électriques résiduelles correspondant au bloc encore précédent, ce qui autorise un fonctionnement à grande vitesse.

En outre, il est possible de ménager un temps de décharge suffisant pour chacun des condensateurs C1 à C18 et CC1 à CC6.  
15

En se référant maintenant à une septième forme de réalisation illustrée sur la figure 13, on voit que les lignes communes 202 à 207 sont reliées à la masse par l'intermédiaire de transistors de commutation respectifs CT1 à CT6  
20 dont les électrodes de commande sont reliées ensemble par trois et connectées à des bornes respectives S13 et S14. Les lignes communes 202 à 204 sont également connectées par l'intermédiaire d'amplificateurs respectifs A1 à A3 aux bornes d'entrée parallèle d'un registre à décalage 501, tandis que les lignes communes 205 à 207 sont connectées par  
25 l'intermédiaire d'amplificateurs respectifs A4 à A6 aux bornes d'entrée parallèle d'un registre à décalage 502.

Les registres à décalage 501 et 502 font sortir en série les contenus mémorisés à la réception d'impulsions de décalage respectives SP1 et SP2. Les bornes de sortie  
30 série des deux registres sont reliées ensemble.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va être brièvement expliqué en regard du chronogramme de la figure 14.

Tout d'abord, la borne S1 de sortie parallèle du  
35 registre à décalage 201 délivrant un signal de niveau haut, les transistors de commutation T1 à T3 sont rendus conducteurs [ligne (a) de la figure 14]. Les informations d'image

mémorisées dans les condensateurs C1 à C3 du premier bloc sont alors introduites parallèlement les unes aux autres dans le registre à décalage 501 en passant par les amplificateurs respectifs A1 à A3.

5                   Le registre à décalage 201 effectuant ensuite un décalage, sa borne de sortie S2 délivre un signal de niveau haut, ce qui rend conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 14]. L'information d'image mémorisée dans les condensateurs C4 à C6 du deuxième bloc  
10 est ainsi introduite en parallèle dans le registre à décalage 502 en passant par les amplificateurs respectifs A4 à A6.

                  En même temps que s'effectue l'opération de transfert vers le registre à décalage 502, des impulsions de décalage SP1 sont appliquées au registre à décalage 501 [ligne  
15 (e) de la figure 14], de sorte que le contenu du registre à décalage 501, c'est-à-dire l'information du premier bloc, est présenté séquentiellement en sortie sous forme de série chronologique. Ensuite, un signal de niveau haut est appliqué à la borne S13 [ligne (g) de la figure 14], et les condensateurs C1 à C3 du premier bloc sont complètement déchargés.  
20

                  L'information du troisième bloc est ensuite introduite dans le registre à décalage 501 [ligne (c) de la figure 14]. En même temps, des impulsions de décalage SP2  
25 sont appliquées au registre à décalage 502 [ligne (f) de la figure 14], de sorte que le contenu du registre à décalage 502, c'est-à-dire l'information du deuxième bloc, est présenté séquentiellement en sortie sous forme de série chronologique. Ensuite, un signal de niveau haut est appliqué à la borne S14 [ligne (h) de la figure 14], et les condensateurs C4 à C6 du deuxième bloc sont complètement déchargés.  
30

                  Des opérations similaires sont répétées pour lire et faire sortir séquentiellement et de façon itérative l'information d'image provenant des photodétecteurs E1 à E12.

35                   Il est à remarquer que la partie A du circuit des figures 9A et 9B peut être mise à la place de la partie A de circuit que montre la figure 13.

Les figures 15A et 15B, considérées ensemble, sont un schéma de principe illustrant une huitième forme de réalisation de l'appareil de lecture d'image conforme à la présente invention, dans laquelle est utilisée une rangée de photodétecteurs comprenant douze photodétecteurs.

Sur cette figure, un bloc est constitué de trois des douze photodétecteurs E1 à E12, tandis qu'un groupe est constitué de deux blocs, comme décrit ci-après. Par exemple, le premier bloc est constitué des photodétecteurs E1 à E3, le deuxième bloc est constitué des photodétecteurs E4 à E6, et le premier groupe est constitué des photodétecteurs E1 à E6. Cet agencement hiérarchisé s'applique également à des condensateurs C1 à C12 qui stockent les charges de transduction photoélectrique, à des transistors de commutation DT1 à DT12 à action de décharge, et à des transistors de commutation T1 à T12, chacun d'eux étant connecté à celui des photodétecteurs E1 à E12 qui lui correspond.

Une électrode (électrode commune) de chacun des photodétecteurs E1 à E12 est connectée à une source d'alimentation 101 qui fournit une tension constante. L'autre électrode (électrode séparée) de chacun des photodétecteurs E1 à E12 est connectée à l'une des électrodes principales de celui des transistors de commutation T1 à T12 qui lui correspond et est reliée à la masse par l'intermédiaire de celui des condensateurs C1 à C12 et par l'intermédiaire de celui des transistors de commutation DT1 à DT12 à action de décharge qui lui correspondent.

Les électrodes de commande des transistors de commutation DT1 à DT12 sont reliées ensemble dans chaque bloc, c'est-à-dire par trois électrodes, et les électrodes reliées ensemble sont connectées à des bornes correspondantes S13 à S16 de sortie parallèle d'un registre à décalage 210. Les bornes S13 à S16 de sortie parallèle délivrent séquentiellement à des moments prédéterminés des signaux de niveau haut, de sorte que les transistors de commutation DT1 à DT12 sont rendus séquentiellement conducteurs bloc par bloc.

Les électrodes de commande des transistors de commutation T1 à T12 sont également, dans chaque bloc, reliées ensemble et connectées à l'une des bornes correspondantes S1 à S4 de sortie parallèle d'un registre à décalage 201.

5 Des lignes communes 202 à 207 reçoivent chacune les autres électrodes principales de ceux des transistors de commutation T1 à T12 qui occupent dans leurs groupes respectifs des positions de même ordre. Par exemple, les électrodes des transistors T2 et T8, qui occupent la deuxième position dans leurs  
10 groupes respectifs, sont connectées à la ligne commune 203. Les lignes communes 202 à 207 sont connectées à l'amplificateur 105 par l'intermédiaire de transistors de commutation respectifs ST1 à ST6.

15 Les électrodes de commande des transistors de commutation ST1 à ST3 et ST4 à ST6 sont connectées chacune séparément à des bornes S5 à S10 de sorties parallèles de registres à décalage respectifs 208 et 209. Les bornes S5 à S10 de sorties parallèles des registres à décalage 208 et 209 délivrent séquentiellement des signaux de niveau  
20 haut à des moments prédéterminés, de sorte que les transistors ST1 à ST6 sont rendus séquentiellement conducteurs.

Les lignes communes 202 à 207 sont reliées à la masse par l'intermédiaire de condensateurs respectifs CC1 à CC6 servant à stocker les charges transférées et par  
25 l'intermédiaire de transistors de commutation CT1 à CT6 à action de décharge. La capacité de chacun des condensateurs CC1 à CC6 est choisie pour être suffisamment plus grande que celle de chacun des condensateurs C1 à C12.

30 Les électrodes de commande des transistors de commutation CT1 à CT3 sont reliées ensemble et connectées à une borne S11 et celles des transistors de commutation CT4 à CT6 sont reliées ensemble et connectées à une borne S12. Par conséquent, lorsqu'un signal de niveau haut est appliqué à la borne S11 ou S12, les transistors de commutation CT1 à CT3 ou CT4 à CT6 sont rendus conducteurs, de  
35 sorte que les lignes communes 202 à 204 ou 205 à 207 sont mises à la masse.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus va être expliqué en regard du chronogramme de la figure 16.

5 Tout d'abord, les photodétecteurs E1 à E12 recevant des rayons lumineux, des charges électriques dont l'importance est fonction de l'intensité lumineuse sont emmagasinées dans les condensateurs C1 à C12 à partir de la source d'alimentation 101.

10 Puis, la borne S1 de sortie parallèle du registre à décalage 201 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 16].

15 Les transistors T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 du premier bloc sont respectivement transférées aux condensateurs CC1 à CC3.

20 Après transfert de l'information du premier bloc, la borne de sortie S2 du registre à décalage 201 délivre un signal de niveau haut, ce qui rend conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 16]. De ce fait, les charges électriques stockées dans les condensateurs C4 à C6 du deuxième bloc sont respectivement transférées aux condensateurs CC4 à CC6.

25 En même temps que s'effectue l'opération de transfert relative au deuxième bloc, les bornes de sortie S5 à S7 du registre à décalage 208 délivrent séquentiellement des signaux de niveau haut [lignes (e) à (g) de la figure 16]. Ainsi, les transistors de commutation ST1 à ST3 sont rendus séquentiellement conducteurs, de sorte que l'information d'image du premier bloc, transférée et mémorisée dans les condensateurs CC1 à CC3, est lue séquentiellement et sort en série chronologique en passant par l'amplificateur 105.

35 Après achèvement de la lecture de l'information du premier bloc, un signal de niveau haut est appliqué à la borne S11. Par conséquent, les transistors de commuta-

tion CT1 à CT3 sont rendus simultanément conducteurs [ligne (k) de la figure 16].

Il en résulte que les charges électriques résiduelles présentes dans les condensateurs CC1 à CC3 sont  
5 complètement évacuées.

En même temps que s'effectuent l'opération de lecture et l'opération d'évacuation des charges électriques transférées [lignes (e) à (g) et (k) de la figure 16], la borne S13 de sortie parallèle du registre à décalage 210  
10 délivre un signal de niveau haut [ligne (m) de la figure 16].

Les transistors de commutation DT1 à DT3 sont de ce fait rendus conducteurs, de sorte que les charges électriques résiduelles présentes dans les condensateurs C1 à C3 qui stockent les charges de transduction photoélectrique  
15 du premier bloc sont complètement évacuées.

Comme on le voit dans ce qui précède, le transfert de l'information du deuxième bloc, la lecture et la sortie de l'information du premier bloc, et l'évacuation des charges transférées résiduelles et des charges de transduction photoélectrique sont effectués simultanément.  
20

Après achèvement des opérations ci-dessus, le registre à décalage 201 effectue un décalage pour que sa borne S3 de sortie parallèle délivre un signal de niveau haut [ligne (c) de la figure 16]. Par conséquent, les transistors de commutation T7 à T9 sont rendus conducteurs, de sorte que les charges électriques stockées dans les condensateurs C7 à C9 du troisième bloc sont respectivement transférées aux condensateurs CC1 à CC3.  
25

En même temps que s'effectue l'opération de transfert de l'information du troisième bloc, les bornes S8 à S10 de sortie parallèle du registre à décalage 209 délivrent séquentiellement des signaux de niveau haut [lignes (h) à (j) de la figure 16].  
30

Les transistors de commutation ST4 à ST6 sont alors rendus séquentiellement conducteurs, de sorte que l'information du deuxième bloc, transférée et mémorisée  
35

dans les condensateurs CC4 à CC6, est lue et sort sous forme de série chronologique.

Après lecture de l'information du deuxième bloc, un signal de niveau haut est appliqué à la borne S12, ce  
5 qui rend simultanément conducteurs les transistors de commutation CT4 à CT6 [ligne (l) de la figure 16]. Ainsi, les charges électriques résiduelles stockées dans les condensateurs CC6 à CC6 sont complètement évacuées.

En même temps que s'effectuent l'opération de  
10 lecture de l'information du deuxième bloc et l'opération d'évacuation des charges transférées résiduelles, la borne S14 de sortie parallèle du registre à décalage 210 délivre un signal de niveau haut [ligne (n) de la figure 16], de sorte que les transistors de commutation DT4 à DT6 sont  
15 rendus simultanément conducteurs. Ainsi, les charges électriques résiduelles présentes dans les condensateurs C4 à C6 qui stockent les charges de transduction photoélectrique sont évacuées.

D'une manière analogue à celle décrite ci-dessus,  
20 la lecture de l'information du troisième bloc et les opérations d'évacuation des charges transférées résiduelles et des charges de transduction photoélectrique résiduelles sont effectuées en même temps que le transfert de l'information du quatrième bloc. La lecture de l'information du  
25 quatrième bloc et les opérations d'évacuation des charges transférées résiduelles et des charges de transduction photoélectrique résiduelles sont effectuées en même temps que la lecture des données du premier bloc.

Les opérations identiques à celles décrites ci-dessus sont répétées pour lire et faire sortir l'information d'image sous forme de série chronologique.

Comme il ressort de ce qui précède, le transfert de l'information mémorisée dans les condensateurs C1 à C12 est effectué bloc par bloc, Par conséquent, alors que dans  
35 un appareil classique le transfert et la décharge sont effectués douze fois, pour chaque condensateur, le nombre

de transferts et décharges est réduit à quatre seulement dans la présente forme de réalisation. Il est donc possible de raccourcir le temps total de lecture.

En outre, en même temps que s'effectue le transfert de l'information d'un bloc, il est possible d'effectuer la lecture de l'information du bloc précédent ainsi que les opérations d'évacuation des charges transférées résiduelles et des charges de transduction photoélectrique résiduelles, ce qui permet de raccourcir encore le temps total d'exécution.

Dans la forme de réalisation ci-dessus, bien que douze photodétecteurs aient été répartis en quatre blocs, il n'y a pas de limitation à ce sujet. Il est évident d'après la forme de réalisation ci-dessus que des photodétecteurs en tout nombre peuvent être répartis en un nombre souhaité de blocs.

Il est à remarquer que la partie A du circuit des figures 15A et 15B peut être mise à la place de la partie A de circuit que montre la figure 17.

En se référant maintenant à une neuvième forme de réalisation illustrée sur la figure 17, on voit que les lignes communes 202 à 204 sont respectivement connectées aux bornes d'entrée parallèle d'un registre à décalage 301 par l'intermédiaire des amplificateurs respectifs A1 à A3. Les lignes communes 205 à 207 sont respectivement connectées aux bornes d'entrée parallèle d'un registre à décalage 302 par l'intermédiaire des amplificateurs respectifs A4 à A6.

Les registres à décalage 301 et 302 font sortir en série les contenus mémorisés à la réception d'impulsions de décalage respectives SP1 et SP2. Les bornes de sortie série des deux registres sont reliées ensemble.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va être brièvement expliqué en regard du chronogramme de la figure 16.

De même que dans la huitième forme de réalisation, les charges électriques de chaque bloc, présentes dans les

condensateurs C1 à C12 qui stockent les charges de transduction photoélectrique, sont transférées soit au registre à décalage 301, soit au registre à décalage 302 sous l'effet du décalage effectué par le registre à décalage 201  
5 [lignes (a) à (d) de la figure 16].

On admet ici que l'information du premier bloc est mémorisée dans le registre à décalage 301 [ligne (a) de la figure 16].

En même temps que s'effectue l'opération de transfert de l'information du deuxième bloc vers le registre à décalage 302 [ligne (b) de la figure 16], des impulsions de décalage SP1 sont ensuite appliquées au registre à décalage 301, ce qui fait sortir en série l'information du premier bloc mémorisée dans le registre à décalage 301.  
10

En outre, en même temps que s'effectuent les opérations ci-dessus, la borne de sortie S13 du registre à décalage 210 délivre un signal de niveau haut [ligne (m) de la figure 16], de sorte que les charges électriques résiduelles présentes dans les condensateurs C1 à C3 du premier bloc sont évacuées.  
15  
20

Ensuite et de même que ci-dessus, pendant le temps du transfert de l'information du troisième bloc vers le registre à décalage 301 [ligne (c) de la figure 16], des impulsions SP2 sont appliquées au registre à décalage 302, ce qui fait sortir en série l'information mémorisée du deuxième bloc. En même temps, les charges électriques résiduelles présentes dans les condensateurs C4 à C6 du deuxième bloc sont évacuées.  
25

Des opérations analogues sont répétées pour lire et faire sortir séquentiellement et de façon itérative l'information d'image.  
30

Les figures 18A et 18B, considérées ensemble, sont un schéma de principe illustrant une dixième forme de réalisation selon la présente invention. Sur ces figures, les agencements des photodétecteurs E1 à E18, des condensateurs C1 à C18 servant à stocker les charges de transduction photo-  
35

électriques, des transistors de commutation DT1 à DT18 servant à évacuer les charges de transduction photoélectrique, et des transistors de commutation T1 à T18 sont sensiblement les mêmes que ceux de l'appareil de la figure 1, à la seule  
5 différence que le nombre d'éléments passe de 12 à 18, par conséquent leur description est omise. Sur la figure 18A, une partie du circuit est omise pour ne pas surcharger le dessin.

Dans cette forme de réalisation, trois blocs constituent un groupe et des lignes communes 402 à 410 reçoivent  
10 chacune les électrodes de commande de ceux des transistors de commutation qui occupent dans leurs groupes respectifs des positions de même ordre.

Les électrodes de commande des transistors de commutation T1 à T18 sont, dans chaque bloc, reliées ensemble et connectées à l'une des bornes correspondantes B1 à B6 de sortie parallèle d'un registre à décalage 401.

Les électrodes de commande des transistors de commutation DT1 à DT8 sont connectées de façon analogue aux  
20 bornes correspondantes S13 à S18 de sortie parallèle d'un registre à décalage 402. Les lignes communes 402 à 410 sont reliées à la masse par l'intermédiaire de condensateurs CC1 à CC9 qui stockent les charges transférées et également reliées à la masse par l'intermédiaire de transistors de commutation CT1 à CT9 à action de décharge. Les électrodes  
25 de commande des transistors de commutation CT1 à CT9 sont reliées ensemble par trois et connectées à des bornes correspondantes H1 à H3. Les lignes communes 402 à 410 sont connectées à l'amplificateur 105 par l'intermédiaire de  
30 transistors de commutation ST1 à ST9, les électrodes de commande des transistors de commutation ST1 à ST9 étant respectivement connectées aux bornes D1 à D9 de sorties parallèles de registres à décalage 411 à 413.

Le fonctionnement de cette forme de réalisation, réalisée comme ci-dessus, va être brièvement expliqué en  
35 regard du chronogramme de la figure 19.

Tout d'abord, la borne de sortie B1 du registre à décalage 401 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T1 à T3 [ligne (a) de la figure 19].

5 Les transistors de commutation T1 à T3 étant conducteurs, les charges électriques stockées dans les condensateurs C1 à C3 du premier bloc sont respectivement transférées aux condensateurs CC1 à CC3.

10 Après transfert de l'information du premier bloc, la borne de sortie B2 du registre à décalage 401 délivre un signal de niveau haut pour rendre conducteurs les transistors de commutation T4 à T6 [ligne (b) de la figure 19]. De ce fait, les charges électriques stockées dans les condensateurs C4 à C6 du deuxième bloc sont respectivement  
15 transférées aux condensateurs CC4 à CC6.

En même temps que s'effectue le transfert ci-dessus de l'information du deuxième bloc, les bornes de sortie D1 à D3 du registre à décalage 411 délivrent séquentiellement des signaux de niveau haut [lignes (g) à (i) de  
20 la figure 19]. Ainsi, les transistors de commutation ST1 à ST3 sont rendus séquentiellement conducteurs de sorte que l'information du premier bloc, transférée et mémorisée dans les condensateurs CC1 à CC3, est lue séquentiellement et sort en série chronologique en passant par l'amplificateur  
25 105.

En outre, en même temps que s'effectue l'opération de transfert de l'information du deuxième bloc, la borne S13 du registre à décalage 402 délivre un signal de niveau haut [ligne (s) de la figure 19], de sorte que les  
30 transistors de commutation DT1 à DT3 sont rendus conducteurs. Ainsi, les charges de transduction photoélectrique résiduelles présentes dans les condensateurs C1 à C3 du premier bloc sont évacuées.

Après achèvement de la lecture de l'information  
35 du premier bloc et de l'évacuation des charges de transduction photoélectrique résiduelles, un signal de niveau

haut est appliqué à la borne H1. Par conséquent, les transistors de commutation CT1 à CT3 sont rendus conducteurs [ligne (p) de la figure 19] et les charges électriques résiduelles présentes dans les condensateurs CC1 à CC3 sont complètement évacuées.

En même temps que s'effectue l'opération de décharge, la borne B3 du registre à décalage 401 délivre un signal de niveau haut [ligne (c) de la figure 19]. De ce fait, les transistors de commutation T7 à T9 sont rendus conducteurs de sorte que les charges électriques stockées dans les condensateurs C7 à C9 du troisième bloc sont transférées aux condensateurs CC7 à CC9.

En même temps que s'effectuent les opérations ci-dessus de décharge et de transfert, les bornes de sortie D4 à D6 du registre à décalage 412 délivrent séquentiellement des signaux de niveau haut [lignes (j) à (l) de la figure 19], de sorte que les transistors de commutation ST4 à ST6 sont rendus séquentiellement conducteurs et que l'information du deuxième bloc est lue et sort en série chronologique.

En outre, en même temps que s'effectuent les opérations ci-dessus de décharge et de transfert, la borne de sortie S14 du registre à décalage 402 délivre un signal de niveau haut [ligne (t) de la figure 19], de sorte que les charges de transduction photoélectrique résiduelles présentes dans les condensateurs C4 à C6 du deuxième bloc sont évacuées.

Ensuite, le transfert de l'information du quatrième bloc [ligne (d) de la figure 19], la lecture et la sortie en série chronologique de l'information du troisième bloc [lignes (m) à (o) de la figure 19], l'opération de décharge des condensateurs CC4 à CC6 qui stockent des charges transférées [lignes (q) de la figure 19], et l'opération d'évacuation des charges de transduction photoélectrique résiduelles présentes dans les condensateurs C7 à C9 [ligne (u) de la figure 19], sont tous effectués

simultanément. Des opérations analogues sont ensuite répétées pour lire l'information d'image des photodétecteurs E1 à E18.

5 Comme il ressort de la forme de réalisation ci-dessus, grâce à l'agencement selon lequel trois blocs constituent un groupe, il est possible d'effectuer simultanément l'opération de transfert de l'information d'un bloc, l'opération de lecture et l'opération de d'évacuation des charges électriques résiduelles relatives au bloc précédent, 10 ainsi que l'opération d'évacuation des charges électriques résiduelles relative au bloc encore précédent, ce qui permet un fonctionnement à grande vitesse.

En outre, il est possible de ménager un temps de décharge suffisant pour chacun des condensateurs C1 à C18 15 et CC1 à CC6, étant donné que chaque condensateur peut être déchargé indépendamment.

Il apparaît donc au vu de la description détaillée ci-dessus que l'appareil de lecture d'image de la présente invention comprend : des moyens de commutation à 20 action de décharge disposés en correspondance avec des premiers moyens de stockage servant à stocker des charges de transduction photoélectrique ; des seconds moyens de stockage servant à mémoriser les informations de plusieurs blocs ; des moyens de commutation à action de décharge 25 disposés en correspondance avec chacun desdits seconds moyens de stockage ; et des moyens de sortie en série servant à extraire l'information en série chronologique à partir desdits seconds moyens de stockage.

Conformément à l'invention, la présence de seconds 30 moyens de stockage capables de mémoriser l'information de plusieurs blocs permet d'effectuer simultanément les opérations de transfert, de lecture et de décharge, ce qui raccourcit le temps total d'exécution.

En outre, étant donné qu'un temps suffisant est 35 disponible pour effectuer le transfert, la lecture et la décharge, chaque opération peut être effectuée en toute

sécurité, ce qui améliore ainsi la fiabilité de la lecture d'image.

La présence de moyens de commutation à action de décharge qui correspondent aux premiers et aux seconds  
5 moyens de stockage permet également de décharger complètement les premiers et les seconds moyens de stockage à grande vitesse, ce qui évite toute influence des charges électriques résiduelles.

De plus, étant donné que le transfert d'information depuis les premiers moyens de stockage vers les seconds  
10 moyens de stockage est effectué en une fois pour chaque bloc, le temps nécessaire au transfert peut être raccourci, en sorte que la rapidité du processus total peut être encore accrue.

15 Par exemple, avec l'appareil de lecture d'image conforme à la présente invention, dans le cas où les informations de deux blocs peuvent être mémorisées, en même temps que s'effectue le transfert de l'information d'un bloc, il est possible d'effectuer la lecture d'information et l'évacuation des charges électriques résiduelles relatives au  
20 bloc précédent. Dans le cas où les informations de trois blocs peuvent être mémorisées, en même temps que s'effectue le transfert de l'information d'un bloc, il est possible d'effectuer la lecture d'information du bloc précédent et  
25 l'évacuation des charges électriques résiduelles du bloc encore précédent.

REVENDEICATIONS

1. Appareil de lecture d'image comprenant plusieurs transducteurs photoélectriques (E1 à E9), des moyens de stockage (C1 à C9) prévus pour chacun desdits transducteurs photoélectriques pour stocker chacun un signal de sortie issu du transducteur photoélectrique correspondant, et des moyens de commutation (T1 à T9 et T10 à T12) pour extraire séquentiellement un signal stocké dans lesdits moyens de stockage, caractérisé en ce qu'il comprend des moyens de commutation à action de décharge (ST1 à ST9) disposés en parallèle sur chacun desdits moyens de stockage.
2. Appareil de lecture d'image selon la revendication 1, caractérisé en ce que lesdits transducteurs photoélectriques et lesdits moyens de stockage sont respectivement répartis en plusieurs blocs, chaque bloc comportant un nombre prédéterminé desdits transducteurs photoélectriques ou desdits moyens de stockage, afin d'extraire séquentiellement pour chaque bloc les signaux stockés dans lesdits moyens de stockage.
3. Appareil de lecture d'image comprenant plusieurs transducteurs photoélectriques (E1 à E9), des premiers moyens de stockage (C1 à C9) prévus pour chacun des transducteurs photoélectriques pour stocker chacun un signal de sortie issu du transducteur photoélectrique correspondant, des premiers moyens de commutation (T1 à T9) pour extraire séquentiellement en un nombre prédéterminé les signaux de sortie à partir desdits premiers moyens de stockage respectifs, et des seconds moyens de commutation (T10 à T12) pour extraire en série chronologique lesdits signaux en nombre prédéterminé extraits par lesdits premiers moyens de commutation, caractérisé en ce qu'il comprend : des seconds moyens de stockage (C10 à C12) pour stocker respectivement lesdits signaux en nombre prédéterminé extraits par lesdits premiers moyens de commutation ; et des moyens de commutation à action de décharge (CT1 à CT3) disposés en parallèle sur chacun desdits premiers

moyens de commutation ; lesdits seconds moyens de commutation extrayant en série chronologique les signaux stockés dans lesdits seconds moyens de stockage.

4. Appareil de lecture d'image comprenant plusieurs transducteurs photoélectriques (E1 à E9), des premiers moyens de stockage (C1 à C9) prévus pour chacun desdits transducteurs photoélectriques pour stocker chacun un signal de sortie issu du transducteur photoélectrique correspondant, des premiers moyens de commutation (T1 à T9) pour extraire séquentiellement en un nombre prédéterminé les signaux de sortie stockés dans lesdits premiers moyens de stockage, et des seconds moyens de commutation (T10 à T12) pour extraire en série chronologique lesdits signaux en nombre prédéterminé extraits par lesdits premiers moyens de commutation, caractérisé en ce qu'il comprend : des premiers moyens de commutation à action de décharge (ST1 à ST9) disposés en parallèle sur chacun desdits premiers moyens de stockage ; des seconds moyens de stockage (C10 à C12) pour stocker respectivement lesdits signaux en nombre prédéterminé extraits par lesdits premiers moyens de commutation ; et des seconds moyens de commutation à action de décharge (CT1 à CT3) disposés en parallèle sur chacun desdits seconds moyens de stockage.

5. Appareil de lecture d'image comprenant plusieurs transducteurs photoélectriques (E1 à E12), des premiers moyens de stockage (C1 à C12) prévus pour chacun desdits transducteurs photoélectriques pour stocker chacun un signal de sortie issu du transducteur photoélectrique correspondant, et des premiers moyens de commutation (T1 à T12) pour extraire séquentiellement en bloc d'un nombre prédéterminé les signaux de sortie à partir desdits premiers moyens de stockage respectifs, caractérisé en ce qu'il comprend : des seconds moyens de stockage (CC1 à CC6 ; 501, 502) pour stocker les signaux correspondant à plusieurs blocs, lesdits signaux correspondant à un bloc étant extraits par lesdits premiers moyens de commutation ; des

moyens de commutation à action de décharge (CT1 à CT6) connectés à chacun desdits seconds moyens de stockage ; et des moyens de sortie série (ST1 à ST6 ; 501, 502) pour extraire en série chronologique chacun des signaux, correspondants  
5 auxdits plusieurs blocs, stockés dans lesdits seconds moyens de stockage.

6. Appareil de lecture d'image selon la revendication 5, caractérisé en ce que lesdits seconds moyens de stockage consistent en au moins un condensateur (CC1 à CC6)  
10 et lesdits moyens de sortie série consistent en au moins un transistor de commutation (ST1 à ST6).

7. Appareil de lecture d'image selon la revendication 5, caractérisé en ce que lesdits seconds moyens de stockage et lesdits moyens de sortie série sont des registres à décalage (501, 502) à entrée parallèle et sortie  
15 série.

8. Appareil de lecture d'image comprenant plusieurs transducteurs photoélectriques (E1 à E12), des premiers moyens de stockage (C1 à C12) prévus pour chacun desdits transducteurs photoélectriques pour stocker chacun un  
20 signal de sortie issu du transducteur photoélectrique correspondant, et des premiers moyens de commutation (T1 à T12) pour extraire séquentiellement en bloc d'un nombre prédéterminé les signaux de sortie stockés dans lesdits  
25 premiers moyens de stockage, caractérisé en ce qu'il comprend : des premiers moyens de commutation à action de décharge (DT1 à DT12) connectés à chacun desdits premiers moyens de stockage ; des seconds moyens de stockage (CC1 à CC6 ; 301, 302) pour stocker des signaux correspondant  
30 à plusieurs blocs, lesdits signaux correspondant à un bloc étant extraits par lesdits premiers moyens de commutation ; des seconds moyens de commutation à action de décharge (CT1 à CT6) connectés à chacun desdits seconds moyens de  
stockage ; et des moyens de sortie série (ST1 à ST6 ; 301,  
35 302) pour extraire en série chronologique chacun des signaux, correspondant auxdits plusieurs blocs, stockés dans lesdits seconds moyens de stockage.

9. Appareil de lecture d'image selon la revendication 8, caractérisé en ce que lesdits seconds moyens de stockage consistent en au moins un condensateur (CC1 à CC6) et lesdits moyens de sortie série consistent en au moins  
5 un transistor de commutation (ST1 à ST6).

10. Appareil de lecture d'image selon la revendication 8, caractérisé en ce que lesdits moyens de sortie série consistent en au moins un registre à décalage (301, 302) à entrée parallèle et sortie série.

Fig. 1

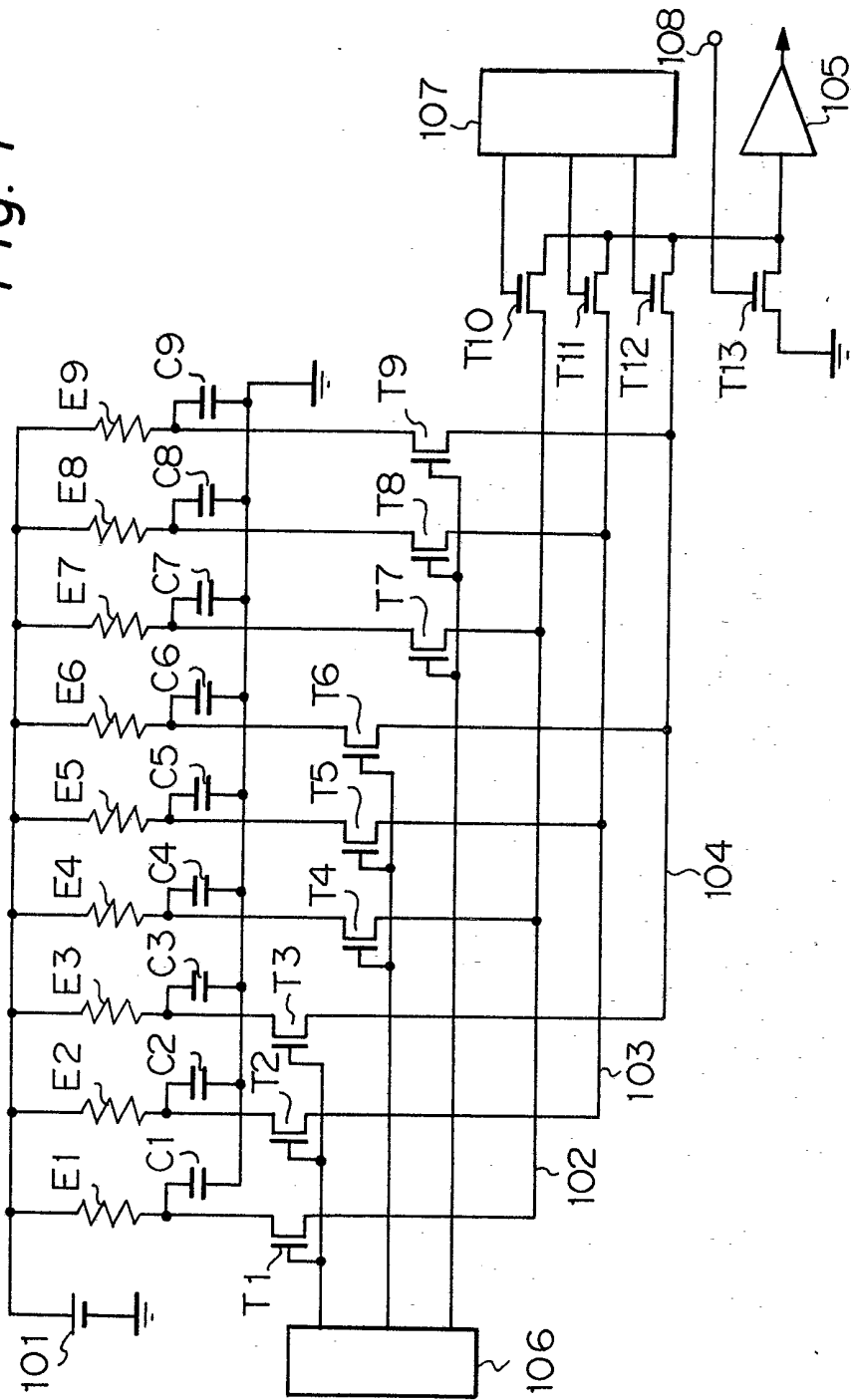


Fig. 2

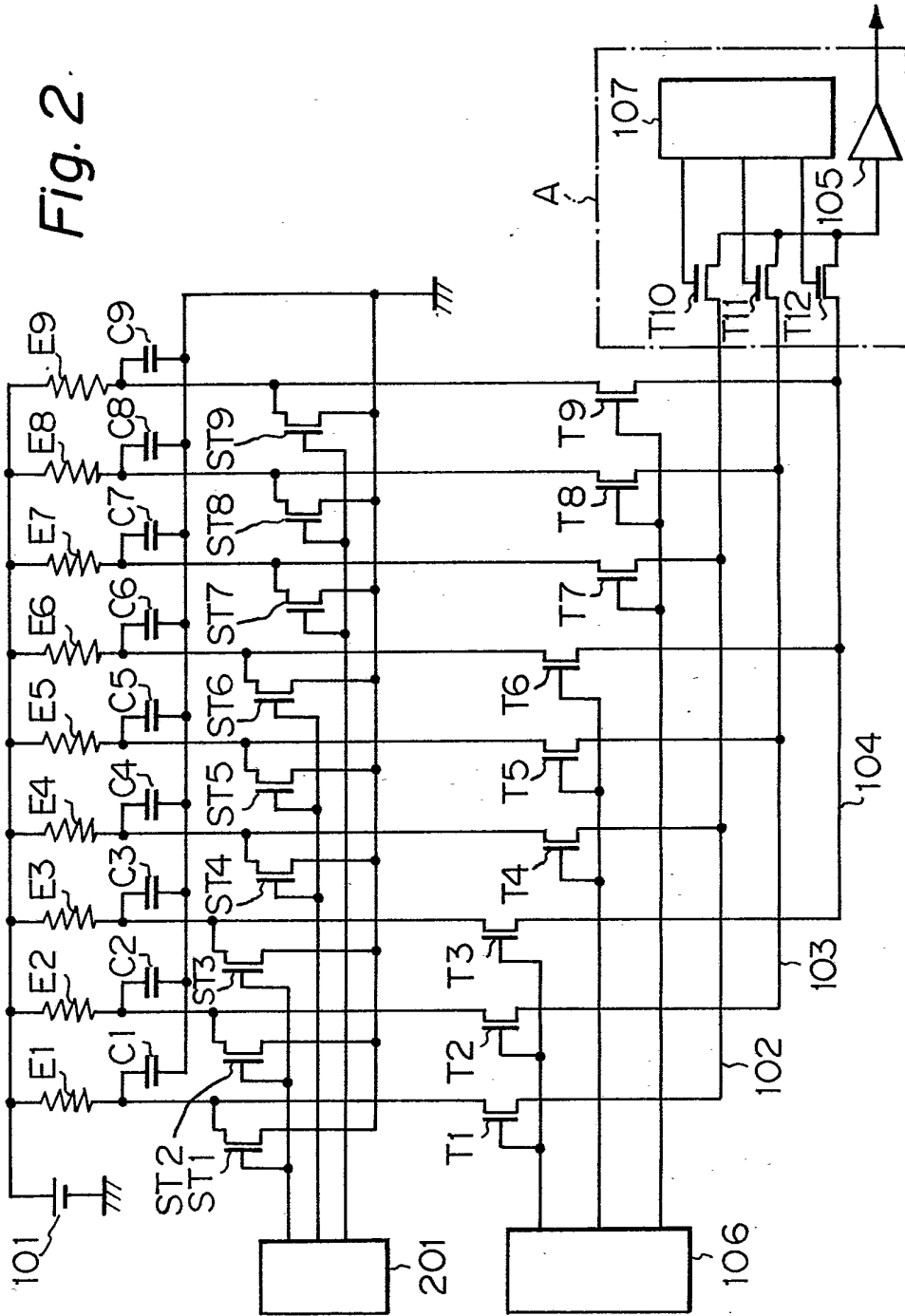


Fig. 3

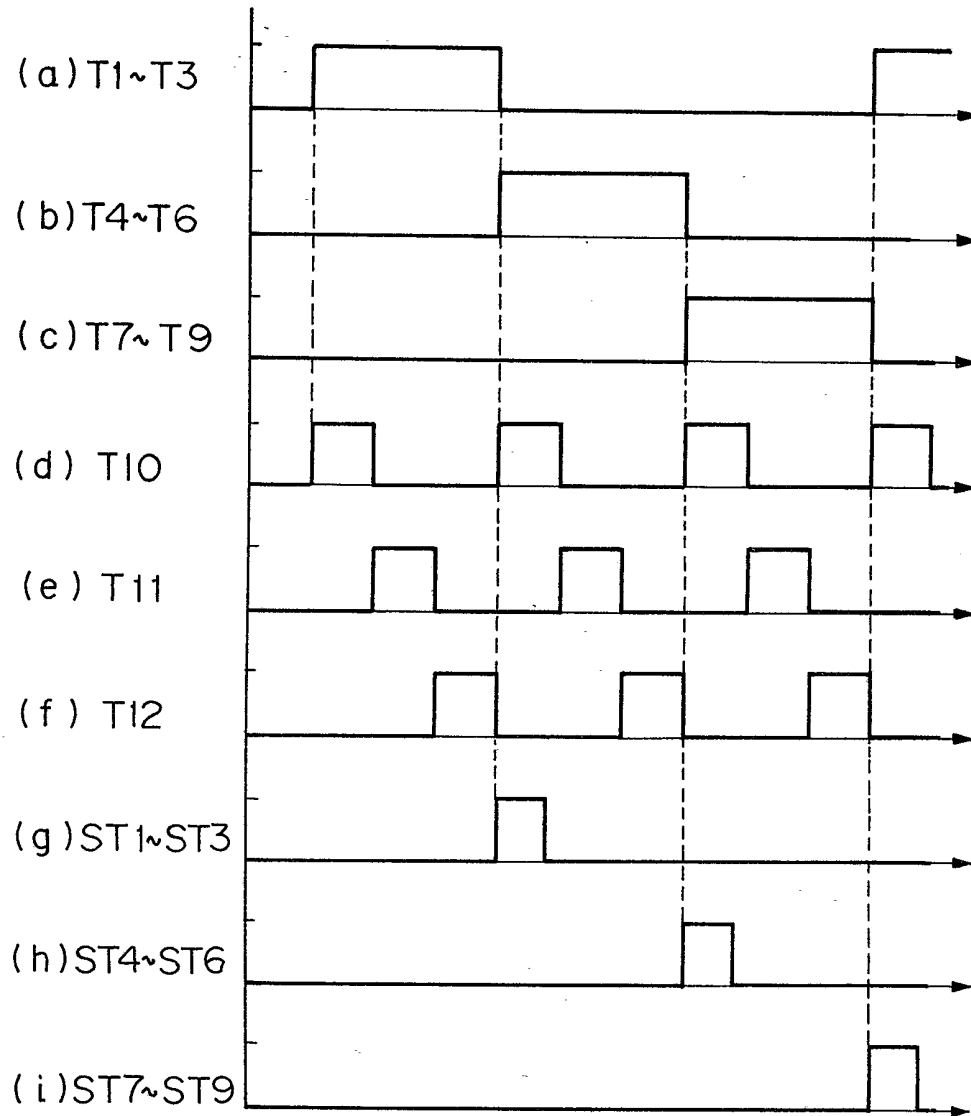
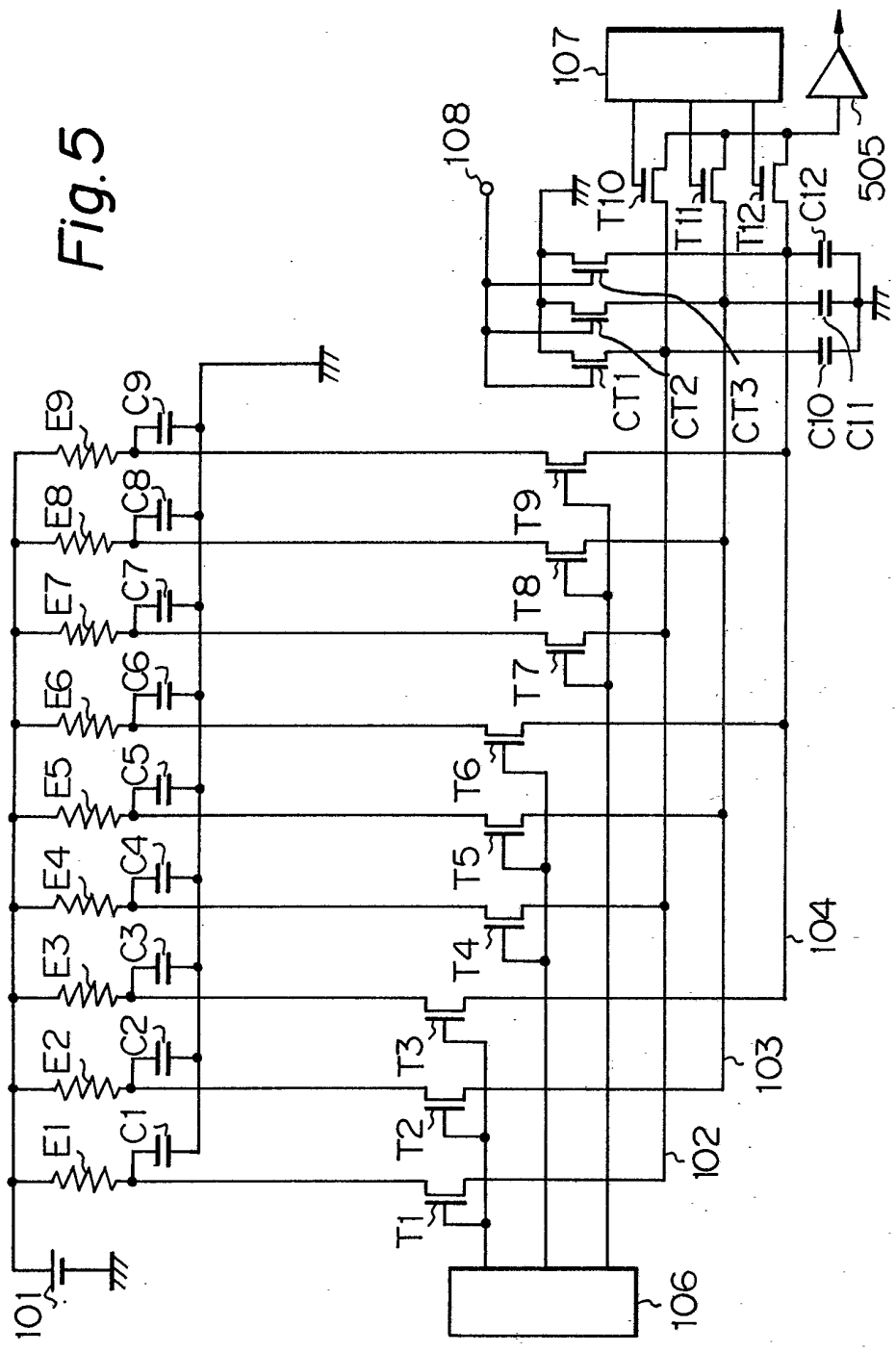




Fig. 5



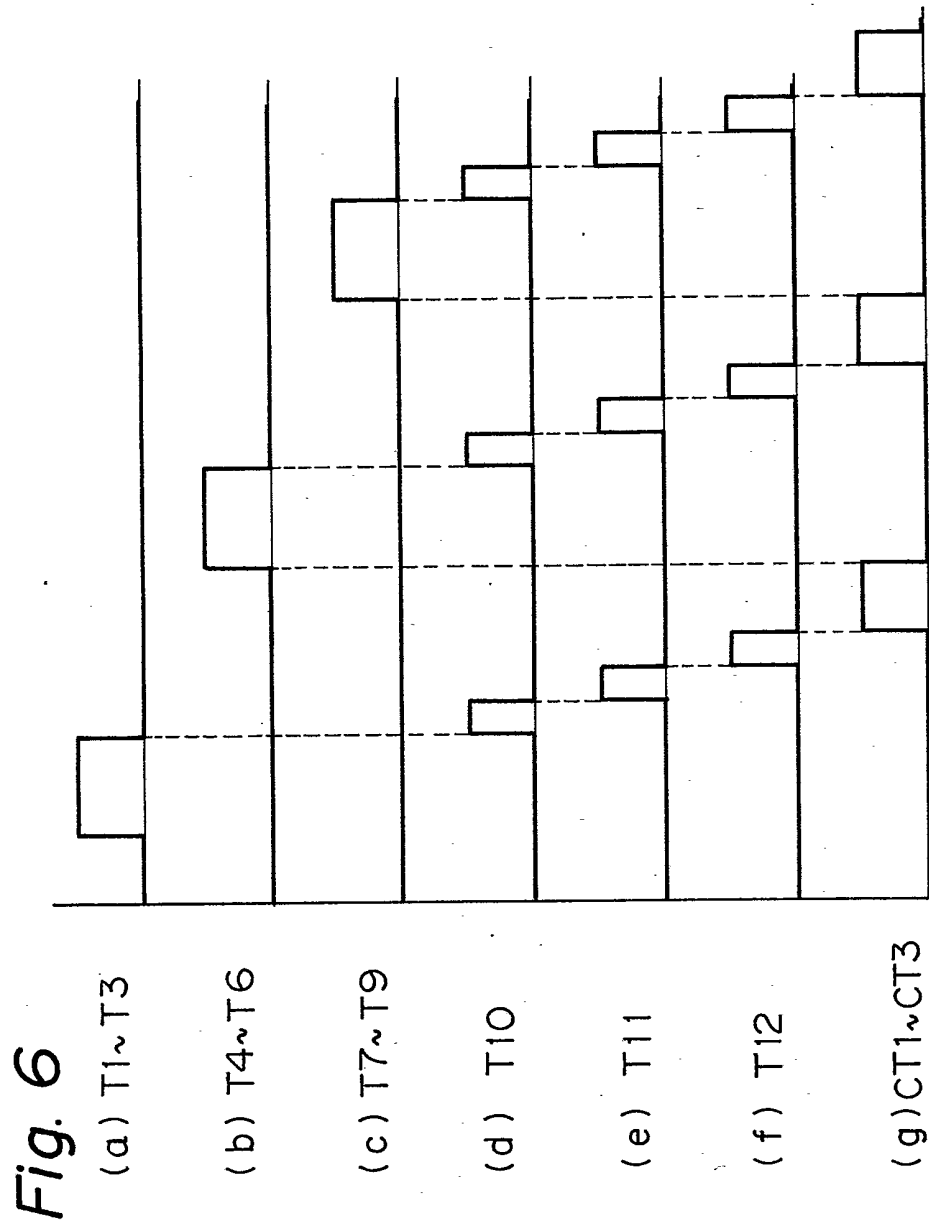
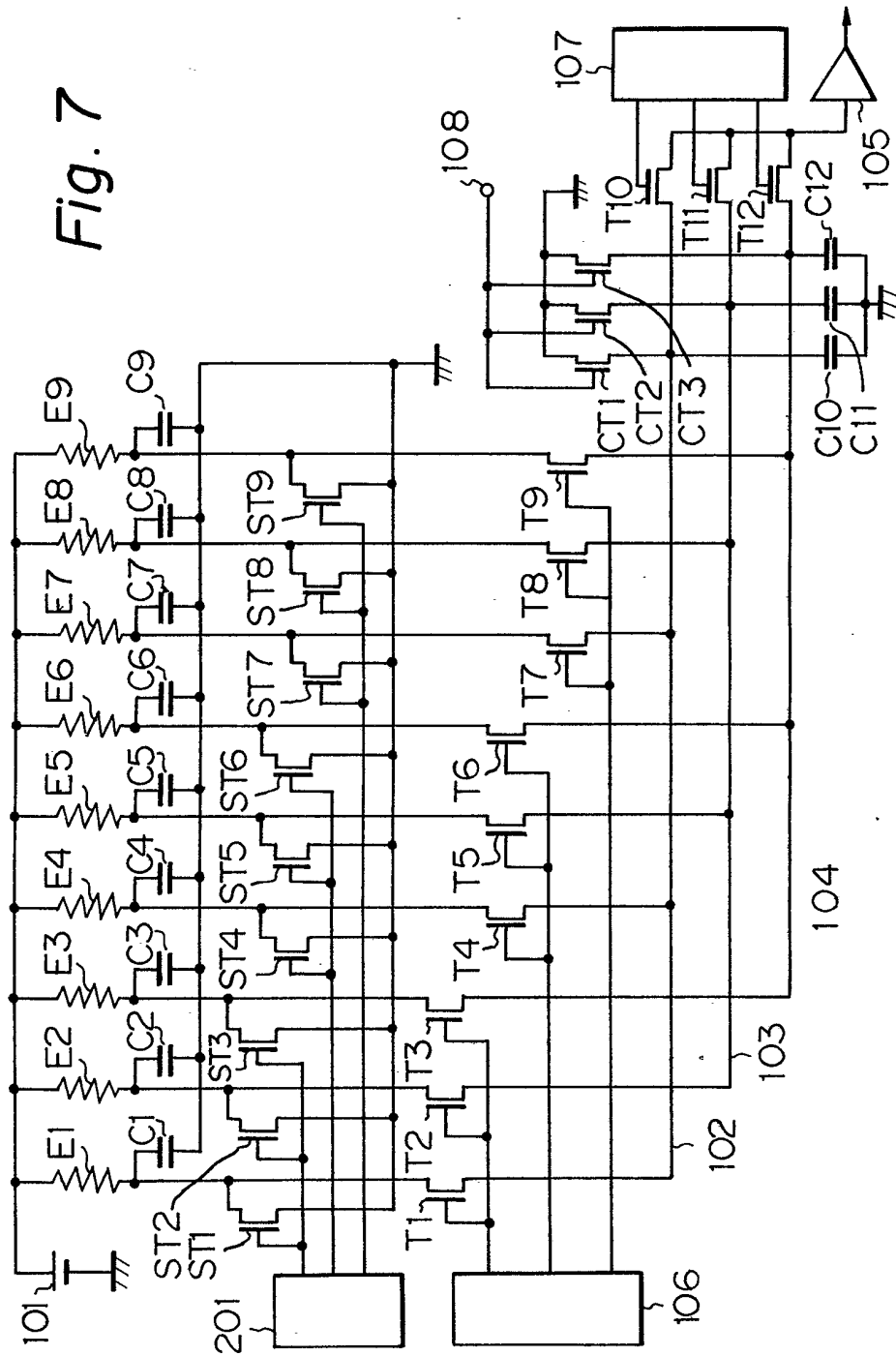


Fig. 7



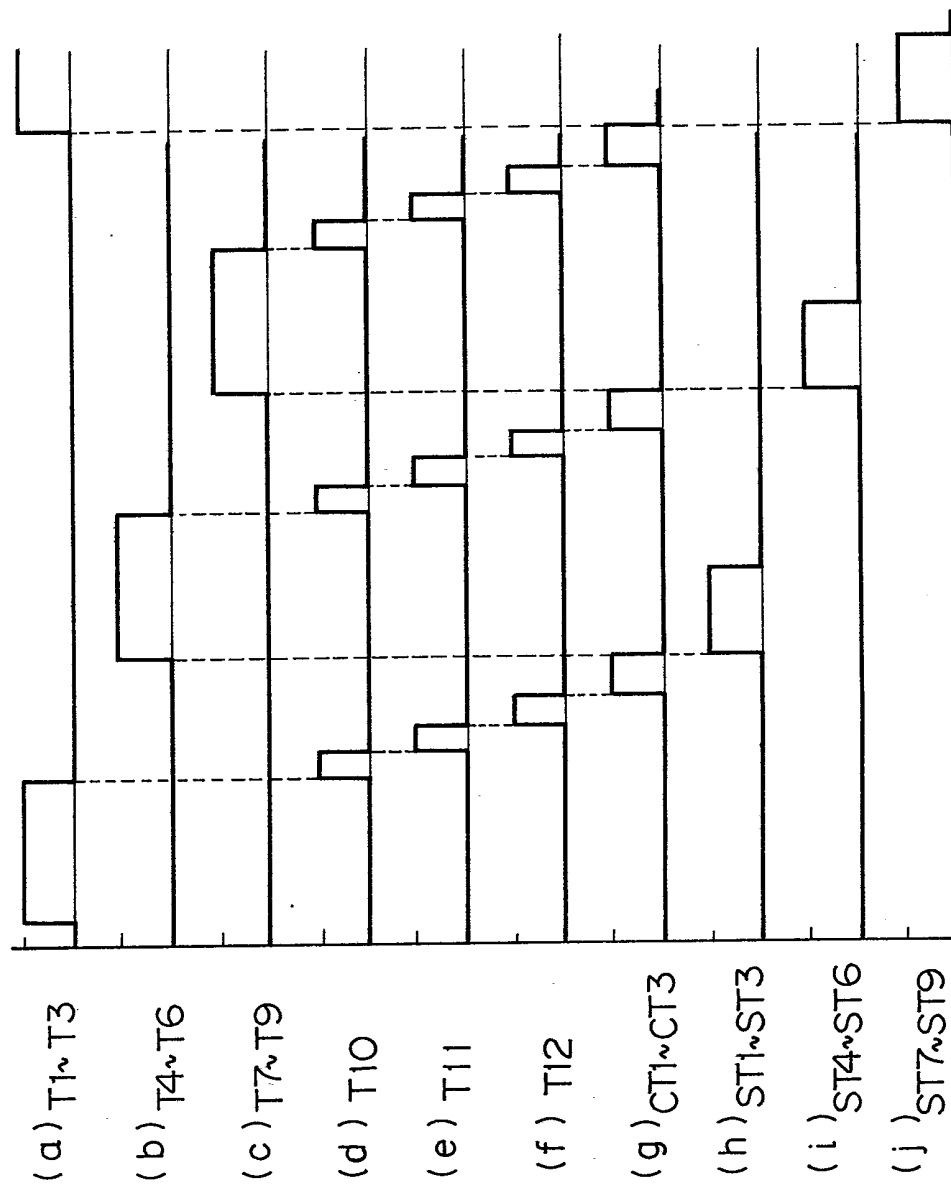


Fig. 8

Fig. 9A

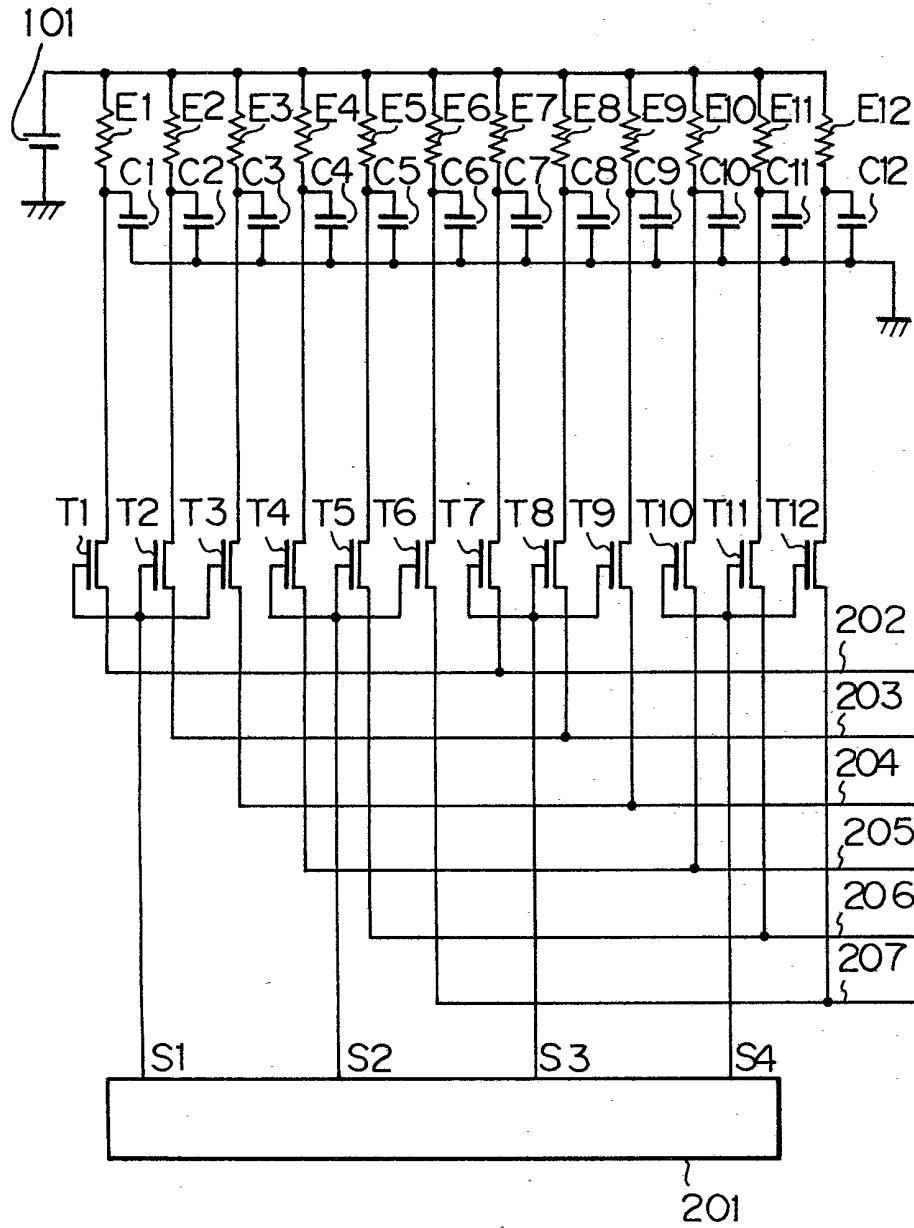
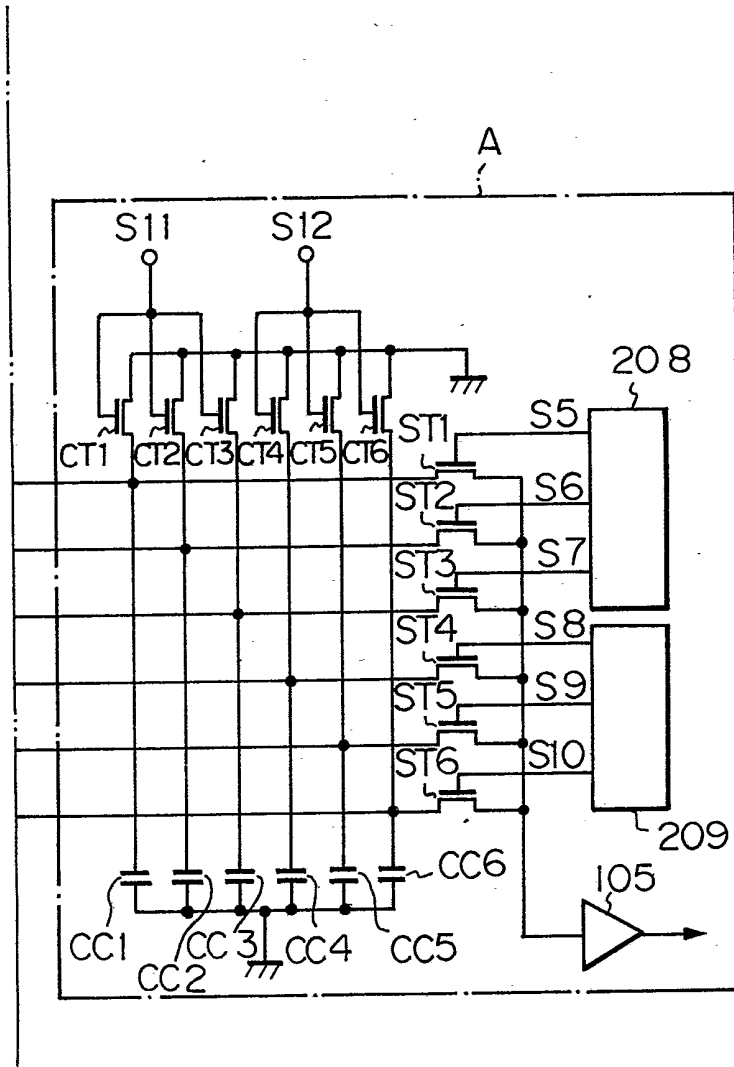


Fig. 9B



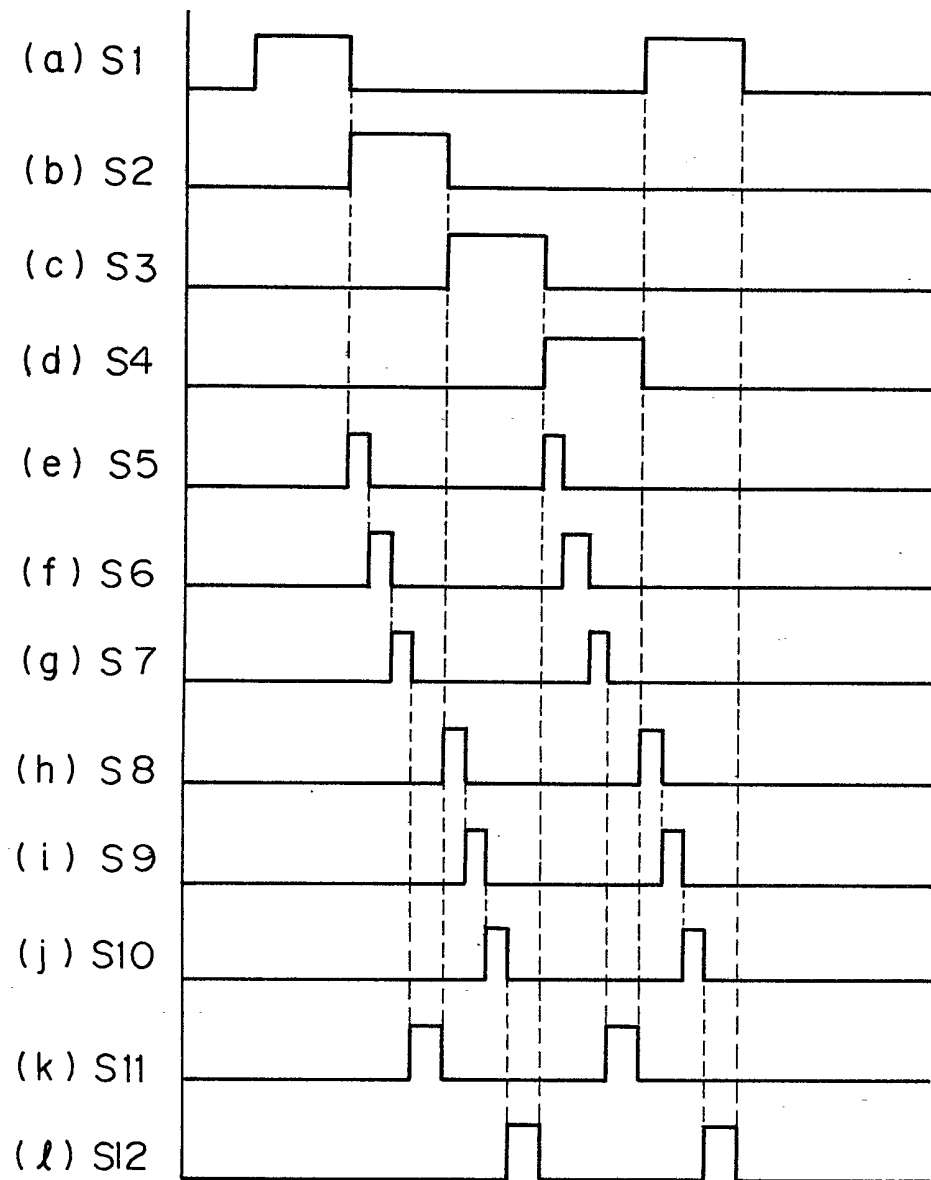
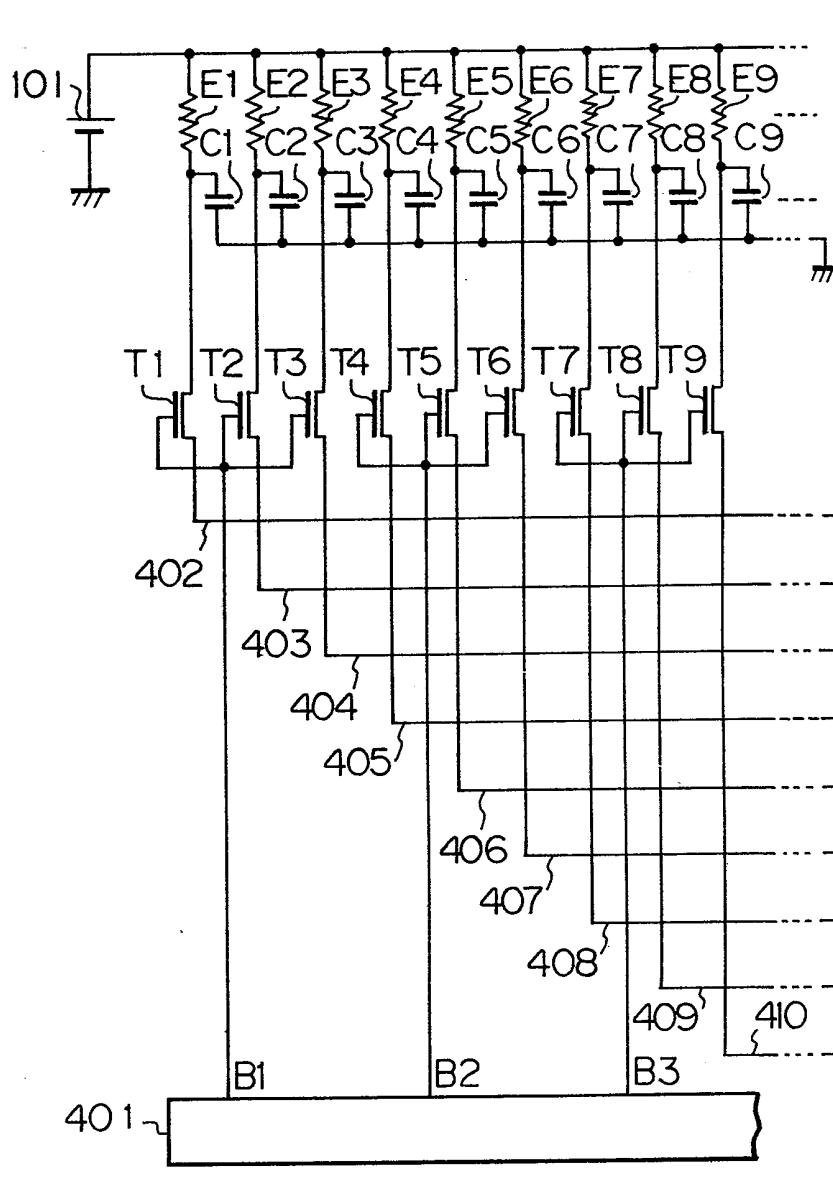
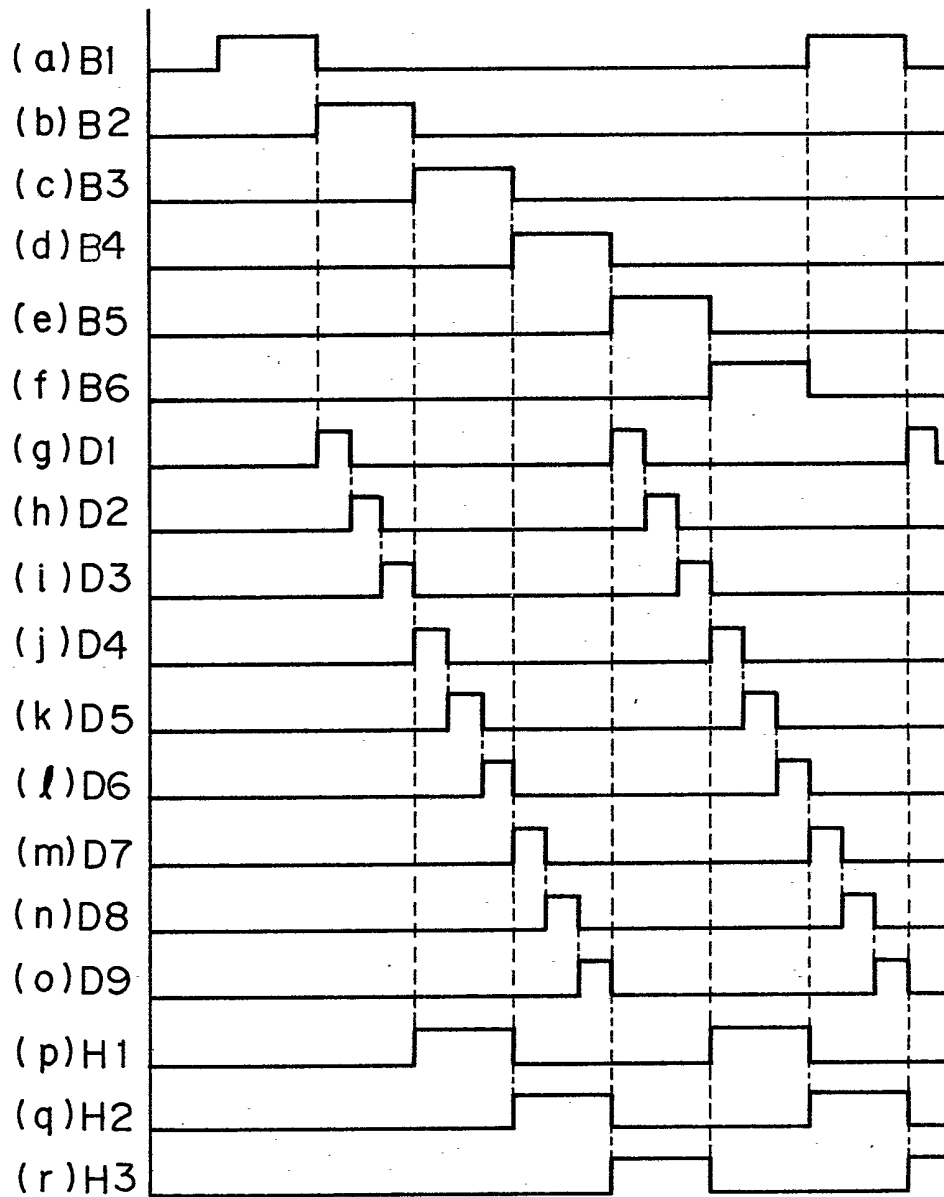
*Fig.10*

Fig. 11A





*Fig. 12*

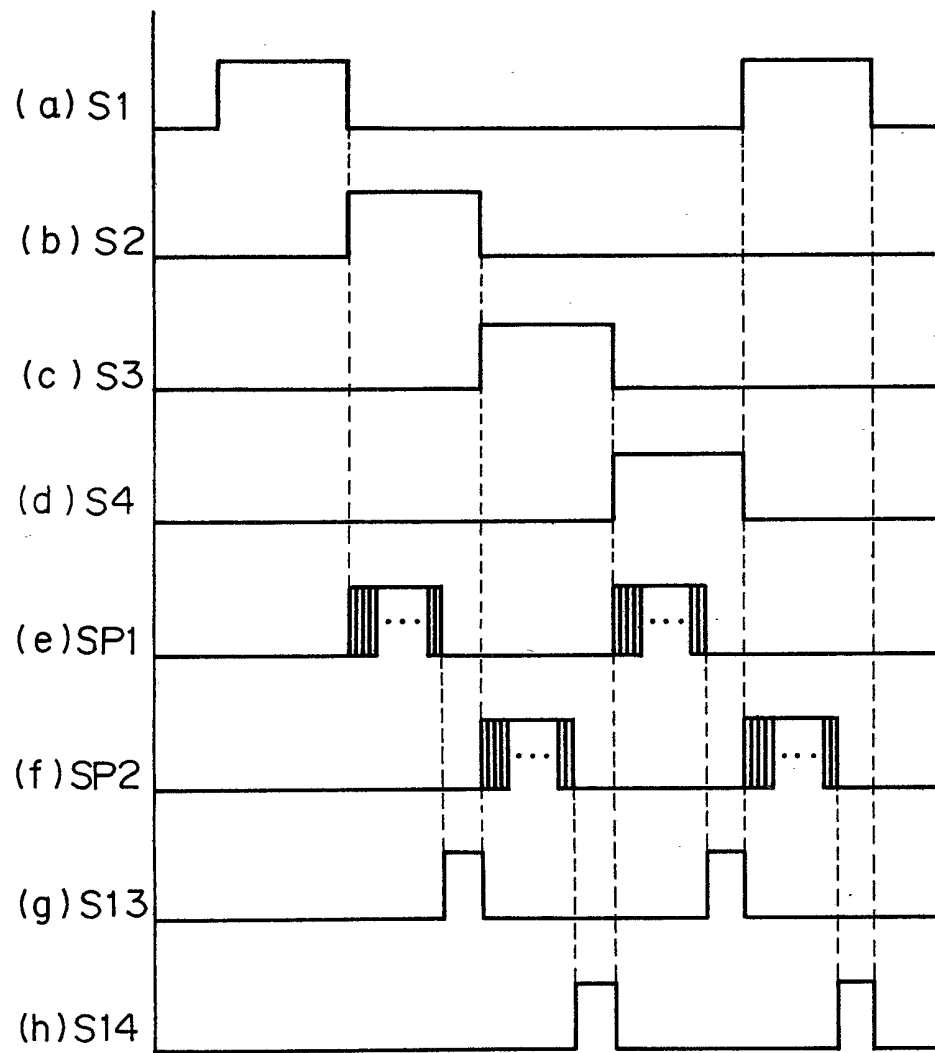
*Fig. 14*

Fig. 15A

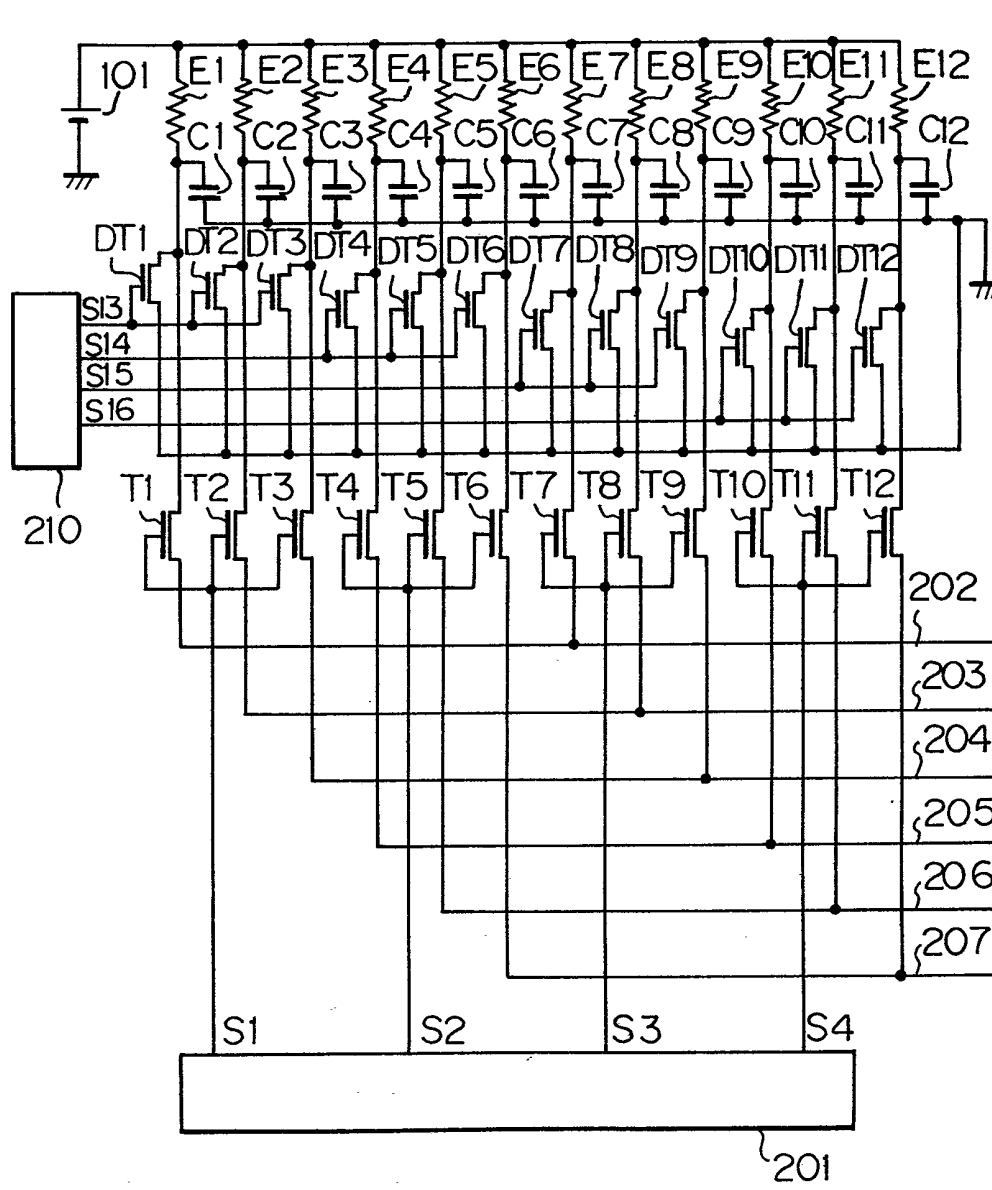
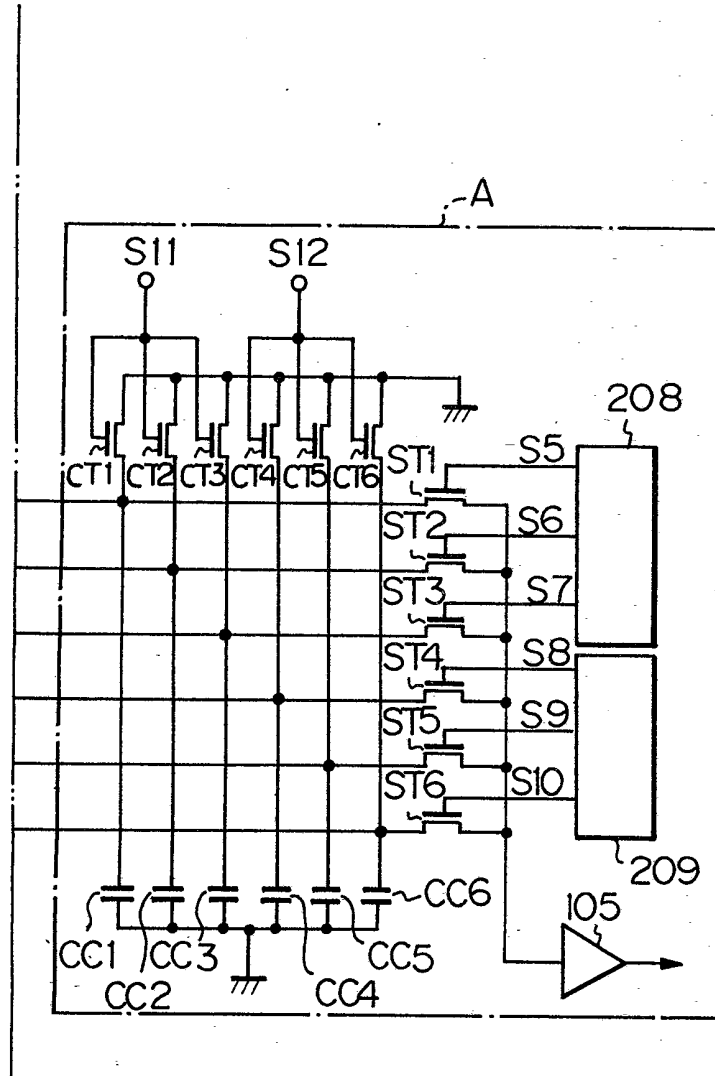


Fig. 15B



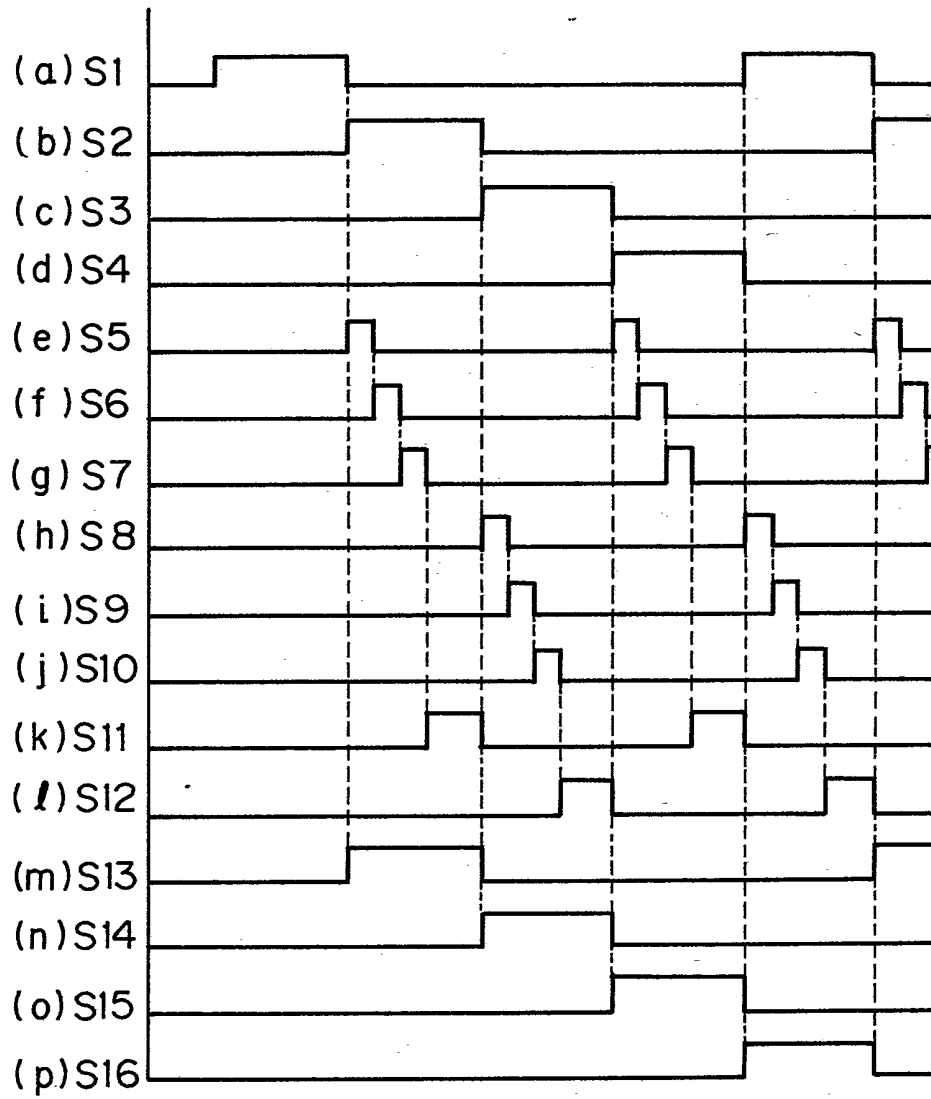
*Fig. 16*

Fig. 17

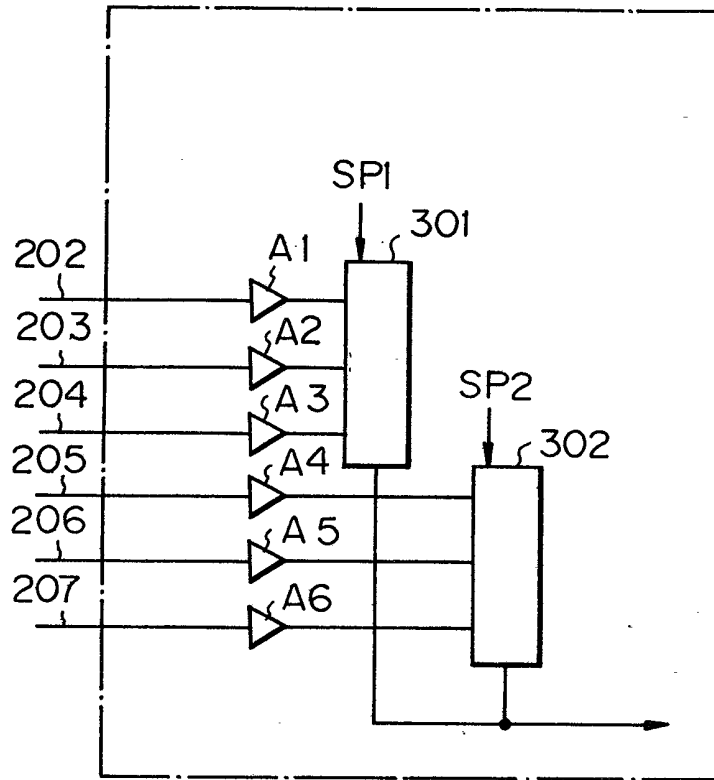


Fig. 18A

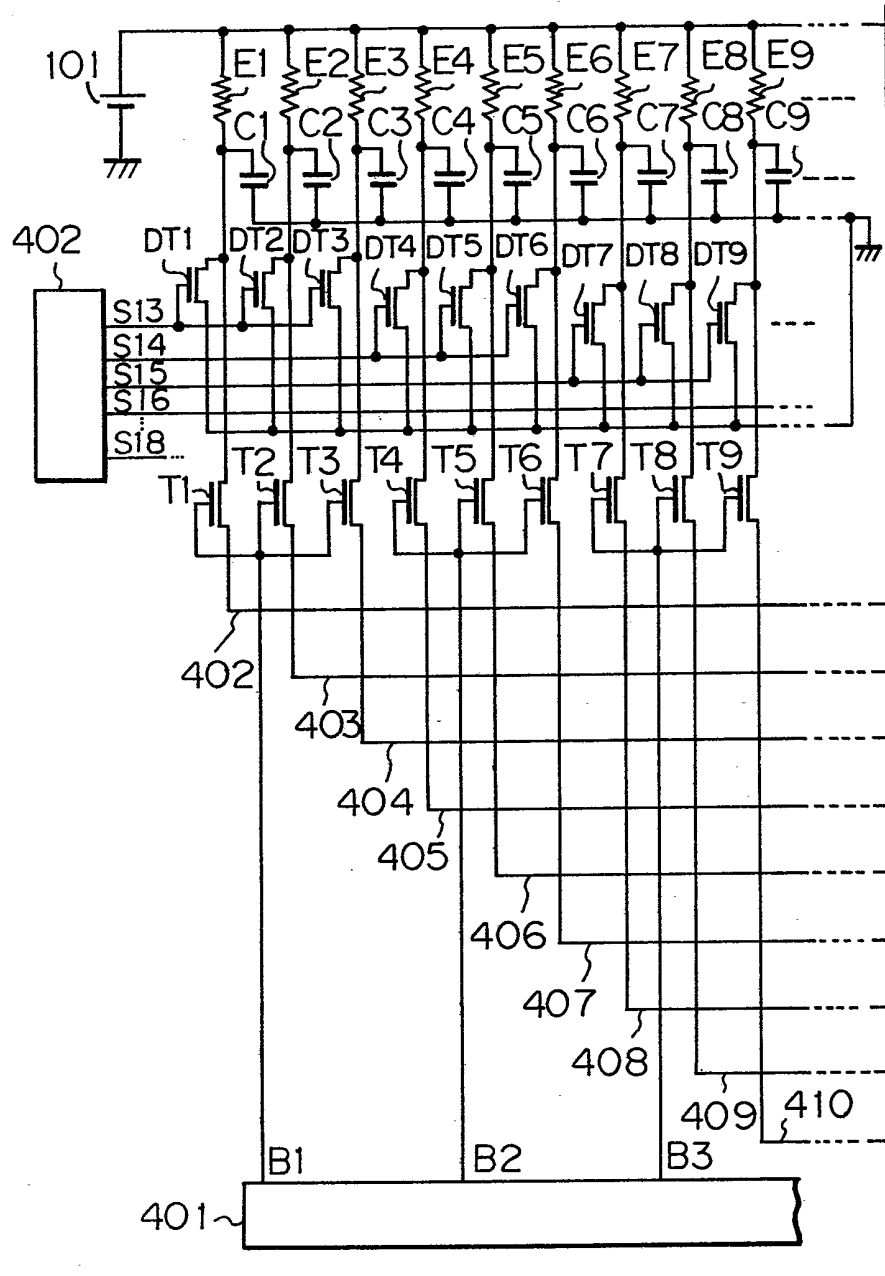
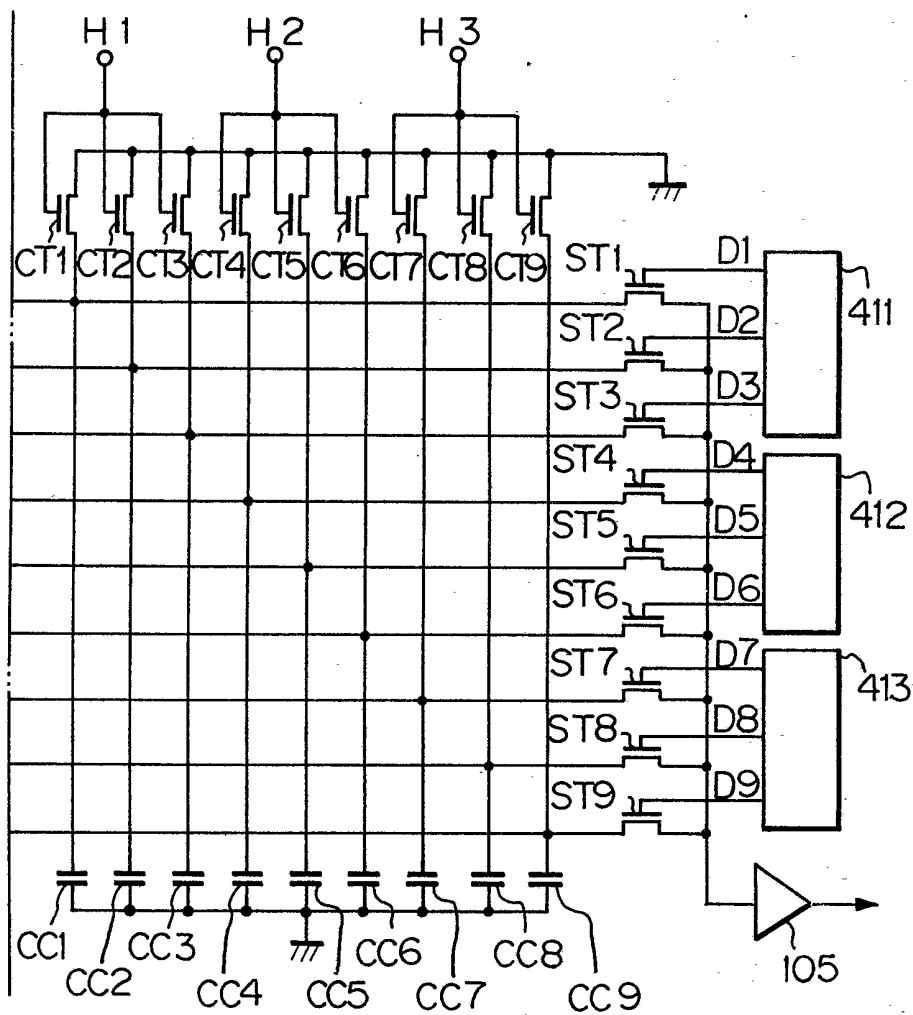


Fig. 18 B



*Fig. 19*