



[12] 发明专利申请公开说明书

[21] 申请号 200510002662.3

[43] 公开日 2005 年 7 月 27 日

[11] 公开号 CN 1645610A

[22] 申请日 2005.1.21

[74] 专利代理机构 北京康信知识产权代理有限责任
公司
代理人 余 刚

[21] 申请号 200510002662.3

[30] 优先权

[32] 2004. 1. 21 [33] JP [31] 2004 -013576

[71] 申请人 精工爱普生株式会社

地址 日本东京

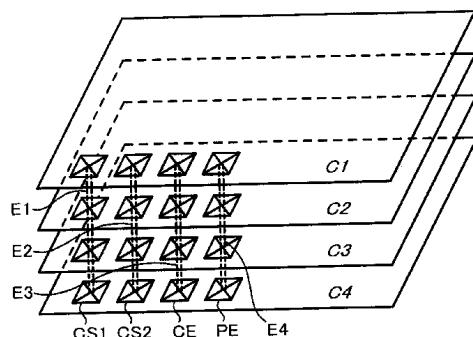
[72] 发明人 小出泰纪

权利要求书 2 页 说明书 20 页 附图 5 页

[54] 发明名称 层叠型半导体存储装置

[57] 摘要

本发明提供一种层叠型半导体存储装置，无需复杂的布线和部件，便可提高芯片成品率。该层叠型半导体存储装置由多个半导体芯片层 C1 ~ C4 层叠而成，在各芯片层具有连接在芯片层之间的芯片选择焊盘 CS1、CS2，从而将用于选择各个芯片层的芯片选择信号同时输入至各芯片层。各芯片层具有可对输出信号编程的程序电路 PG1、PG2；根据所述芯片选择信号和所述程序电路的输出信号判断芯片选择的芯片选择判断电路(10)。程序电路具有可写入的非易失性存储单元(122)、(124)；与该非易失性存储单元相连接，根据该非易失性存储单元中的记录内容输出不同信号的逻辑电路，且不需要熔丝的熔断工序。



1. 一种半导体存储装置，由多个半导体芯片层层叠而成，各芯片层具有连接在芯片层之间的芯片选择焊盘，从而将用于选择各个芯片层的芯片选择信号共同输入至各芯片层；其中，

各芯片层包括：

程序电路，所述程序电路包括可写入的非易失性存储单元，和连接至所述非易失性存储单元，并根据该非易失性存储单元的存储内容而输出不同信号的逻辑电路；

芯片选择判定电路，其根据所述芯片选择信号和所述程序电路的输出信号判定芯片选择。

2. 根据权利要求 1 所述的半导体存储装置，其中，所述非易失性存储单元在写入后可以重写存储内容。

3. 根据权利要求 2 所述的半导体存储装置，其中，所述程序电路包括：

触发器，具有第一端以及第二端；

第一铁电电容器，向所述第一端提供第一电容；

第二铁电择电容器，向所述第二端提供与所述第一电容不同的第二电容；

电压源，向其所述第一端以及所述第二端被提供了所述第一电容以及所述第二电容的所述触发器提供用于驱动所述触发器的驱动电压。

4. 根据权利要求3所述的半导体存储装置，其中，各芯片层包括控制电路，用于检测电源启动，控制来自所述触发器的所述第一端或第二端的信号输出。
5. 根据权利要求1至4中任意一项所述的半导体存储装置，其中，各芯片层分别具有多个所述芯片选择焊盘以及所述程序电路，还具有程序用焊盘，用于接收对所述非易失性存储单元的写入控制信号；

各程序电路包括：写入数据接收端，用于接收要存储在所述非易失性存储单元的数据；以及写入控制信号接收端，用于从所述程序用焊盘接收所述写入控制信号；

所述多个芯片选择焊盘各自连接在所述多个程序电路的所述写入数据接收端上。

6. 根据权利要求5所述的半导体存储装置，各芯片层具备控制装置，该控制装置检测来自所述程序用焊盘的所述写入控制信号，执行向所述非易失性存储单元的写入控制。
7. 根据权利要求5或6所述的半导体存储装置，其中，所述芯片选择焊盘，通过与所述程序用焊盘输出的所述控制信号的“与”电路，连接在所述写入数据接收端上。
8. 根据权利要求5至7中任意一项所述的半导体存储装置，其中，各芯片还具有第二芯片选择判定电路；
所述程序用焊盘，通过与所述第二芯片选择判定电路的“与”电路连接在所述写入控制信号接收端上。
9. 一种电子设备，其特征在于包括了权利要求1至8中任意一项所述的半导体存储装置。

层叠型半导体存储装置

技术领域

本发明涉及一种铁电存储器装置等半导体存储装置，尤其涉及一种在由多个半导体芯片层叠并三维组装，单位面积的存储容量层叠数倍芯片的组件中，可以任意选择各个芯片层的技术。

背景技术

众所周知，为了提高半导体集成电路的集成度，普遍采用层叠多个半导体芯片的技术。为了驱动层叠后的半导体芯片，需要其结构能够实现选择激活哪一个芯片的功能。例如，日本专利特开平5-63138号公报所公开的结构是将层叠在载流子基片上的半导体芯片分别连接导线的一端，再将这些导线的另一端连接在载流子基片上的导电引脚上。

专利文献1：日本专利特开平5-63138号公报

发明内容

上述日本专利特开平5-63138号公报中，层叠的各个芯片需要分别连接各导线和导电引脚，因此需要相当多的配线和部件从而使结构变得复杂。

为了避免这种缺陷，考虑在各个芯片内设置可以区分其它芯片的结构。但是，为了要区分芯片，又不得不制造不同种类的芯片。此时存在的问题是；如为了制造不同芯片而需要不同的金属掩模，

或只要某一芯片而造成成品率的降低，其他芯片剩余，造成其经济性差等。

解决上述现有技术中的问题，本发明的目的在于提供一种既不用将配线和部件复杂化又可以提高芯片的成品率的层叠型半导体存储装置。

为解决上述课题，根据本发明的半导体存储装置，由多个半导体芯片层层叠而成，各芯片层具有连接在芯片层之间的芯片选择焊盘，从而将用于选择各个芯片层的芯片选择信号共同输入至各芯片层；各芯片层包括：程序电路，所述程序电路包括：可写入的非易失性存储单元，和连接至所述非易失性存储单元，并根据该非易失性存储单元的存储内容而输出不同信号的逻辑电路；芯片选择判定电路，其根据所述芯片选择信号和所述程序电路的输出信号判定芯片选择。

根据向程序电路的存储，可以设定用于选择芯片的地址。因此，无需根据不同层次的芯片制造出不同芯片，从而可以提高芯片成品率。另外，因使用了非易失性存储单元，因此取消了熔丝熔断的步骤。

在上述半导体存储装置中，优选所述非易失性存储单元可在写入后重写存储内容。由于写入后也可重写存储内容，因此，可消除因写入错误而浪费芯片的问题。

在上述半导体存储装置中，所述程序电路包括：触发器，具有第一端以及第二端；第一铁电电容器，向所述第一端提供第一电容；第二铁电电容器，向所述第二端提供与所述第一电容不同的第二电容；电压源，向其所述第一端以及所述第二端被提供了所述第一电

容以及所述第二电容的所述触发器提供用于驱动所述触发器的驱动电压。由此、通过使用非易失性存储单元可以使结构变得简略化。

在上述半导体存储装置中，各芯片层包括控制电路，用于检测电源起动，控制来自所述触发器的所述第一端或第二端的信号输出。这样，不用另外产生用于起动控制电路的信号也可以实现读取。

在上述半导体存储装置中，优选各芯片层分别具有多个所述芯片选择焊盘以及所述程序电路，并具有程序用焊盘，用于接收向所述非易失性存储单元的写入控制信号；各程序电路包括：写入数据接收端，用于接收存储在所述非易失性存储单元的数据；以及写入控制信号接收端，用于从所述程序用焊盘接收所述写入控制信号；所述多个芯片选择焊盘各自连接在所述多个程序电路的所述写入数据接收端上。

如上，向程序电路写入时，通过将来自芯片选择焊盘的信号输入至数据接收端上，从而即使具有多个程序电路，也无需增加写入用外部端子。

在上述半导体存储装置中，优选各芯片层具有控制装置，该控制装置检测来自所述程序用焊盘中的所述写入工作的控制信号，执行向所述非易失性存储单元的写入控制。由此，即使不另外产生用于起动控制电路的信号也可以对程序电路进行写入控制。

上述半导体存储装置中，其中，优选所述芯片选择焊盘，通过与来自所述程序用焊盘的所述控制信号的“与”电路，连接在所述写入数据接收端上。由此，可以防止在非写入时，芯片选择信号输入至写入数据接收端中，从而可以减少功耗。

上述半导体存储装置中，其中，优选各芯片还具有第二芯片选择判定电路；所述程序用焊盘通过与所述第二芯片选择判定电路的

“与”电路，连接在所述控制信号接收端上。由此，将芯片层叠组装之后也可以进行程序电路的数据重写。

本发明提供一种电子设备，其特征在于包括了上述半导体存储装置。因此，根据本发明，可以提供廉价的具有低面积、大容量的存储装置的电子设备。

附图说明

图 1 为根据本发明的第一实施方式的层叠型半导体存储装置的概略立体图；

图 2 为设置在各芯片中的芯片选择判定电路 10 的电路图；

图 3 给出了图 2 所示的芯片选择判定电路所使用的“异或”电路 MOS 晶体管构成例的电路图；

图 4 为图 2 的选择芯片判定电路中所具有的程序电路的电路图；

图 5 为图 4 的程序电路的工作时序波形图；

图 6 为在本发明第二实施方式的半导体存储装置上设置的各芯片的芯片选择判定电路的电路图；及

图 7 为根据本发明的实施方式的电子设备的一例个人计算机结构立体图。

具体实施方式

下面，参照附图对本发明的实施方式进行说明。

1.第一实施方式

图 1 是根据本发明第一实施方式的层叠型半导体存储装置的一例，是三维组装的概略立体图。该半导体存储装置是由相同的 4 片存储单元阵列芯片 C1~C4 层叠而成，可以得到 4 倍于单位面积的存储容量。这些芯片 C1~C4 相当于本发明的芯片层。

芯片 C1~C4 上分别形成多个芯片选择焊盘 CS1、CS2 和 1 个芯片使能焊盘 CE、一个程序用焊盘 PE。另外为了简略化，另形成了图 1 中没有记载的存储动作中所必需的其它焊盘，例如地址和 I/O、控制焊盘等。芯片选择焊盘的个数可以根据层叠的芯片数任意地设计。芯片 C1~C4 中，存储动作以及本发明的芯片选择中必要的全部焊盘通过贯通焊盘的电极，在全部芯片中，分别与对应的焊盘之间电连接，由此可以输入相同信号。即，分别向各芯片的芯片选择焊盘 CS1 输入芯片选择信号的一部分；向各芯片的芯片选择焊盘 CS2 输入芯片选择信号的另一部分；向各芯片的芯片使能焊盘 CE 输入芯片使能信号。另外，在本实施方式中层叠后不使用程序用焊盘 PE，因此既可以不用电极线 E4 连接，也可以接地。

芯片 C1~C4 中，分别形成了通过图 2 描述的芯片选择判定电路，在各芯片中，芯片选择判定电路与焊盘 CS1、CS2、CE 以及 PE 连接。

虽然上述芯片 C1~C4 是相同的芯片，但是由于设置了芯片选择焊盘和芯片选择判定电路，因此无需制造用于各芯片层的更改连接的芯片。用于选择芯片的地址在制造一种芯片并检验合格后，可以进行事后编程，因此可以解决特定芯片成品率低或特定芯片不足等问题。

2. 芯片选择判定电路

图 2 是设置在各芯片中的芯片选择判定电路 10 的电路图。该芯片选择判定电路 10 是基于输入至芯片选择焊盘 CS1、CS2 中的芯片选择信号，来判定该芯片是否被选中。

芯片选择判定电路 10 具有可以将输出信号程序化的程序电路 PG1、PG2。程序电路数与芯片选择焊盘 CS1、CS2 的数目相对应。在程序电路 PG1、PG2 的输入端，根据各自的焊盘接收的信号分别输入写入数据 IN、写入控制信号 IE。而连接控制信号 RE、读取控制信号 OE、存储控制信号 PL，分别从芯片上的控制电路 CT 输入。程序电路 PG1、PG2 的详细说明在图 4 中论述。

芯片选择判定电路 10 还具有“异或”电路 EX1、EX2。输入至芯片选择焊盘 CS1 中的部分芯片选择信号和程序电路 PG1 的输出 OUT 被输入至一方的“异或”电路 EX1 中；同样，输入至芯片选择焊盘 CS2 中的另外一部分芯片选择信号和程序电路 PG2 的输出 OUT 被输入至另一“异或”电路 EX2 中。然后，“异或”电路 EX1、EX2 的输出输入至 NOR 门 G1 中。进一步，NOR 门 G1 的输出和输入至芯片使能焊盘 CE 中的芯片使能信号将输入至最后的 NAND 门 G2 中。NAND 门 G2 的输出是芯片选择判定电路 10 的最终输出。

如果芯片选择焊盘 CS1 和来自程序电路 PG1 的信号一致时，以及芯片选择焊盘 CS2 和来自程序电路 PG2 的信号一致时，“异或”电路 EX1、EX2 分别输出 L 逻辑；如果不一致则输出 H 逻辑。然后，NOR 门 G1，只有“异或”电路 EX1 和 EX2 的输出都是 L 逻辑的情况下，才输出 H 逻辑；如果“异或”电路 EX1、EX2 的输出中任意一个为 H 逻辑时，则输出 L 逻辑。因此，只有在芯片选择

焊盘 CS1、CS2 以及来自程序电路 PG1、PG2 的信号完全一致时，NOR 门 G1 才输出 H 逻辑。

最终段的 NAND 门 G2，只有在 NOR 门 G1 的输出为 H 逻辑时才输出与芯片使能信号相对应的信号，如果 NOR 门 G1 的输出为 L 逻辑时，无论芯片使能信号为何值，只输出 H 逻辑。因此，NOR 门 G1 的输出为 H 逻辑时，即，只有在芯片选择焊盘 CS1、CS2 接收的信号和来自程序电路 PG1、PG2 的信号完全一致时，芯片使能信号才能在其芯片上被激活。

在本实施方式中，如果使用两个芯片选择焊盘 CS1、CS2 时，可以指定 2 位的芯片选择信号，因此通过将具有两个程序电路 PG1、PG2 的芯片选择判定电路 **10** 设置在各个芯片上，由此可以识别 4 种芯片选择信号。因此，将 4 片芯片层叠后，仍能够识别出它们并驱动任意的芯片。

假设，使用 n 个（n 是自然数）芯片选择焊盘 CS1~CSn，可以指定 n 位的芯片选择信号，那么，只要在芯片上形成具有 n 个程序电路 PG1~PGn 的芯片选择判定电路即可。此时的芯片选择判定电路将

(1) 来自芯片选择焊盘 CS1 以及程序电路 PG1 的信号；

(2) 来自芯片选择焊盘 CS2 以及程序电路 PG2 的信号；

……(n) 来自芯片选择焊盘 CSn 以及程序电路 PGn 的信号，分别输入至“异或”电路 EX1、EX2、……、Exn 中。然后将这些输出输入至一个 NOR 门 G1 中，由此可以识别 n 位的芯片选择信号。因此，即使层叠 2^n 片芯片也可以驱动其中任意的芯片。

图 3 是表示根据芯片选择判定电路中具有的“异或”电路的 MOS 晶体管的一构成例的电路图。该“异或”电路 EXn 只有在输入端 CSn 以及输入端 PGnOUT 的输入一致时，才在输出端 OUT 输出 L 逻辑。具体的说，“异或”电路 EXn 由第一 NOT 电路 11 和传送门 12、第二 NOT 电路 13 组合而成。

如果在串联的 pMOS 晶体管以及 nMOS 晶体管的门极中接收到输入信号 CSn，则第一 NOT 电路 11 就可以从输出端 S1 输出 CSn 的逻辑非。

传送门 12，在并列的 pMOS 晶体管以及 nMOS 晶体管的栅极中分别接收输入信号 CSn 以及 CSn 的非（S1）；在源极或漏极接收输入信号 PGnOUT。因此，从输出端 S2 输出 CSn 的“非”和 PGnOUT 的逻辑积。

第二 NOT 电路 13，在串联的 pMOS 晶体管以及 nMOS 晶体管的栅极接收输入信号 PGnOUT，并分别在源极或漏极中的 pMOS 侧接收输入信号 CSn，nMOS 侧接收 CSn 的逻辑非。因此，从输出端 S3 输出 PGnOUT 的“非”和 CSn 的逻辑积。

输出端 S2 和输出端 S3 汇合后成为输出 OUT。因此，输出 OUT 在输入端 CSn 以及输入端 PGnOUT 的信号不一致时变为 H 逻辑，一致时成为 L 逻辑。由此，可以判定芯片选择信号和程序电路输出之间的一致状态。

“异或”电路的具体构成并不限于上述内容，可以采用其它各类电路结构。

3.程序电路

图 4 是图 2 所示的选择芯片判定电路中包括的程序电路的电路图示例。程序电路 PGn 包括；触发器 110、存储部 120、放电部 130、结合部 140、写入部 150、输出部 160。程序电路 PGn 在读取存储在作为非易失性存储装置的存储部 120 中的存储数据后，将该读取的数据写入到触发器 110 中，从而将该存储数据作为输出信号 OUT 提供给外部的电路。

触发器 110，具有第一反相器 112 及第二反相器 114，和电连接该触发器 110 与外部的第一端 116 以及第二端 118。第一反相器 112 和第二反相器 114 具有各自的输入端和输出端，第一反相器 112 的输出端电连接到第二反相器 114 的输入端上，第二反相器 114 的输出端电连接到第一反相器 112 的输入端上。而第一反相器 112 的输入端和第二反相器 114 的输出端则电连接到第一端 116 上，第一反相器 112 的输出端以及第二反相器 114 的输入端电连接到第二端 118 上。

存储部 120 由第一铁电电容器 122 以及第二铁电电容器 124 构成。第一铁电电容器 122 以及第 2 铁电电容器 124 分别具有一端及另一端。第一铁电电容器 122 的一端可以电连接在第一端 116 上，第二铁电电容器 124 的一端可以电连接到第二端 118 上。另外，第一铁电电容器 122 的另一端以及第二铁电电容器 124 的另一端电连接在阳极线 126 上。

因为第一铁电电容器 122 以及第二铁电电容器 124 中存储有互补的数据，故第 1 铁电电容器 122 以及第 2 铁电电容器 124 根据一般介质特性的容量互不相同。因此，当触发器 110 和存储部 120 电连接在一起时，第一铁电电容器 122 提供给第一端 116 规定容量，

而第二铁电电容器 124 向第二端 118 提供不同于该规定容量的容量。

放电部 130 是基于连接控制信号 RE 的电位，来控制第一铁电电容器 122 和第二铁电电容器 124 的一端的电位，从而使该一端的电位与另一端的电位大致相同。具体的说，放电部 130 使第一铁电电容器 122 的一端和第二铁电电容器 124 的一端的电位大致同于阳极线 126 的电位，由此将第一铁电电容器 122 和第二铁电电容器 124 的电压控制在大致为 0。

在本例中，放电部 130 是由 n 型 MOS 晶体管 132 以及 134、第三反相器 136 构成。n 型 MOS 晶体管 132 以及 134 的一端接地，另一端则各自电连接在第一铁电电容器 122 以及第二铁电电容器 124 上。即，n 型 MOS 晶体管 132 以及 134 根据栅极的电位，分别控制是否使第一铁电电容器 122 以及第二铁电电容器 124 的一端的电位变为接地电位。另，第三反相器 136 将提供的连接控制信号 RE 的逻辑值翻转并提供给 n 型 MOS 晶体管 132 以及 134 的栅极。

结合部 140 基于连接控制信号 RE 的电位，控制是否电连接触发器 110 和存储部分。即，结合部 140 控制是否电连接第一铁电电容器 122 和第一端 116、或第二铁电电容器 124 和第二端 118。

在本例中，结合部 140 由 n 型 MOS 晶体管 142 以及 144 构成。N 型 MOS 晶体管 142 源极或漏极中的一方电连接在第一铁电电容器 122 上，另一方电连接在第一端 116 上。并且，n 型 MOS 晶体管 142 根据栅极的电位，控制是否电连接第一铁电电容器 122 和第一端 116。另，n 型 MOS 晶体管 144 源极或漏极的一方电连接在第二铁电电容器 124 上，另一方则电连接在第二端 118 上。并且，n 型 MOS 晶体管 144 基于栅极电位，控制是否电连接第二铁电电容器 124 和第二端 118。

写入部 **150** 根据写入控制信号 IE 以及写入数据 IN 的电位，将存储数据写入触发器 **110**。写入部 **150** 由第四反相器 **152** 和传送门 **154** 构成。第四反相器 **152** 作为输入接收写入控制信号 IE，并将该写入控制信号 IE 的翻转信号提供给构成传送门 **154** 的 p 型 MOS 晶体管的栅极。传送门 **154** 的一端被提供写入数据 IN，另一端电连接到第一端 **116** 上。另外，构成传送门 **154** 的 N 型 MOS 晶体管的栅极被提供写入控制信号 IE。即，写入部 **150** 根据写入控制信号 IE 的电位，控制是否将写入数据 IN 提供给第一端 **116**，由此控制第一端 **116** 的电位。因此，可以在触发器 **110** 上写入规定的存储数据。

输出部 **160**，基于读取控制信号 OE 的电位输出表示写入触发器 **110** 中的存储数据的输出信号 OUT。在例中，输出部 **160** 由第五反相器 **162**、传送门 **164**、NAND 电路 **166** 构成。

第五反相器 **162** 作为输入接收读取控制信号 OE，然后将该读取控制信号 OE 的翻转信号供给构成传送门 **164** 的 p 型 MOS 晶体管的栅极中。传送门 **164** 的一端电连接于第二端 **118**，另一端电连接于 NAND 电路 **166** 的输入端子之一。另外，读取控制信号 OE 被提供给构成传送门 **164** 的 n 型 MOS 晶体管的栅极。NAND 电路 **166** 将读取控制信号 OE 和传送门 **164** 另一端电位的“与非”作为输出信号 OUT 输出。

4. 程序电路的动作

图 5 是表示上述程序电路 PGn 动作的时序图。在本例子中，各控制信号是表示 H 逻辑或 L 逻辑的数字信号。当各控制信号表示 H 逻辑时，该控制信号的电位与程序电路 PGn 的驱动电压 V_{CC} 的电位大致相同。另外，当各控制信号表示 L 逻辑时，该控制信号的电位是接地电位，即为 OV。

4-1. 读取动作

参考图 5 (A) 对程序电路 PGn 中读取输出信号的动作进行说明。在此，在第一铁电电容器 122 中写入数据“0”，在第二铁电电容器 124 中写入数据“1”。即，第一铁电电容器 122 具有基于一般介质特性的电容 C_0 ；第二铁电电容器 124 具有作为基于一般介质特性的且大于电容 C_0 的电容 C_1 。

在初期状态，来自控制电路 CT 的连接控制信号 RE 表示 H 逻辑。因此，n 型 MOS 晶体管 142 以及 144 导通，第一端 116 和第一铁电电容器 122、且第二端 118 和第二铁电电容器 124 电连接。即，由第一铁电电容器 122 将电容 C_0 附加到第一端 116 中，另外，由第二铁电电容器 124 将电容 C_1 附加到第二端 118 中。

一旦开始向触发器 110 提供电源电压，提供给第一反相器 112 以及第二反相器 114 的电源电压逐渐上升。而且此时，第一反相器 112 以及第二反相器 114 的输入电位为 0V，因此，随着电源电压的上升，第一反相器 112 以及第二反相器 114 的输出电位也上升。即，第一端 116 以及第二端 118 的电位上升。在此，所说的电源电压是使触发器 110 工作的电源的电压，如驱动电压 V_{CC} 。

此时，在第一端 116 中被第一铁电电容器 122 附加了电容 C_0 ，第二端 118 中被第二铁电电容器 124 附加大于电容 C_0 的电容 C_1 。即，为了使第一端 116 以及第二端 118 的电压上升，需要分别对电容 C_0 以及 C_1 进行充电。在本例中，因为对第二端 118 比第一端 116 附加有更大的电容，所以第一端 116 的电位比第二端 118 的电位上升得更快。因此，第一端 116 的电位比第二端 118 的电位更快到达第一反相器 112 及第二反相器 114 的阈值电压 V_t 。在此，所说的反相器的阈值电压 V_t 是指该反相器输出的逻辑值发生变化的电压。

当第一端 **116** 的电压到达阈值电压时，第一反相器 **112** 的输出变为 L 逻辑。因此，当第一端 **116** 的电位到达阈值电压 V_t 时，第二端 **118** 的电位下降到 0V。另外，当第二端 **118** 的电位下降到 0V 时，第二反相器 **114** 的输出将变为 H 逻辑。因此，第一端 **116** 的电位到达阈值电压时，第一端 **116** 的电位变为与电源电压大致相同的电位。由此，触发器 **110** 保存使第一端 **116** 的电位作为 H 逻辑，而使第二端 **118** 的逻辑值作为 L 逻辑的存储数据。通过以上的动作，读取存储在存储部 **120** 中的存储数据，并且该存储数据保存在触发器 **110** 中。

接着，控制电路 CT 通过将读取控制信号 OE 变为 H 逻辑，从而使传送门 **164** 导通。由此，NAND 电路 **166** 输出表示触发器 **110** 保存的存储数据的输出信号 OUT。即，输出部 **160** 因为第二端 **118** 的逻辑值为 L 逻辑，从而将 H 逻辑作为表示该存储数据的逻辑值输出。另外，在本例中，因为将读取控制信号 OE 变为 H 逻辑前的输出信号 OUT 的逻辑值也是 H 逻辑，从而输出信号 OUT 的逻辑值仍维持为 H 逻辑。通过以上的动作，保存在触发器 **110** 中的存储数据作为输出信号 OUT 从输出部 **160** 输出，并输出到“异或”电路 EX1 或 EX2 中。由于控制电路 CT 的动作通过检测到电源 ON 而开始，所以不用另外产生起动控制电路的信号。

此外，优选在输出部 **160** 输出表示该存储数据的输出信号 OUT 期间，存储部 **120** 从触发器 **110** 电切断。在本例中，通过控制电路 CT 将连接控制信号 RE 变为 L 逻辑，使 n 型 MOS 晶体管 **142** 以及 **144** 为非导通，从而电切断存储部 **120** 和触发器 **110**。另外，连接控制信号 RE 变为 L 逻辑时，n 型 MOS 晶体管 **132** 以及 **134** 导通。因此，由于第一铁电电容器 **122** 以及第二铁电电容器 **124** 的一端接地，从而其电位变为 0V。另外，由于存储控制信号 PL 也是 L 逻辑，所以第一铁电电容器 **122** 以及第二铁电电容器 **124** 另一端的电位也

变为 0V。因此，第一铁电电容器 122 以及第二铁电电容器 124 的电压大致为 0V。

这样，程序电路 PGn 基于存储在铁电电容器 122 以及 124 中的数据，可输出不同的信号 OUT，因此通过预先将所定的数据存储到铁电电容器中，由此可以输出任意的信号。

4-2. 写入动作

下面，参考图 5 (B) 对在层叠前的阶段，使存储部 120 存储所需要的存储数据得的写入动作进行说明。在以下的例子中，围绕使存储部 120 存储与已存储在存储部 120 中的存储数据不同的存储数据的动作，即，在第一铁电电容器 122 中写入数据 “1”，在第二铁电电容器 124 中写入数据 “0”的动作进行说明。

首先，在已电连接存储部 120 和触发器 110 的状态（连接控制信号 RE 为 H 逻辑的状态）下，将来自程序用焊盘 PE 的写入控制信号 IE 变化为 H 逻辑，从而使传送门 154 导通。然后，来自芯片选择焊盘 CSn 的写入数据 IN 的电位调为 0V，随之第一端 116 的电位也成为 0V。由此，第一反相器 112 的输出成为 H 逻辑，从而第二端 118 的电位变为 V_{CC} 的同时，第二反相器 114 的输出变为 L 逻辑。

此时，由于存储控制信号 PL 的逻辑值为 L 逻辑，即第二铁电电容器 124 的另一端的电位是 0V，所以第二铁电电容器 124 的电压为 V_{CC}。因此，在第二铁电电容器 124 中重新写入数据 “0”。

接下来，控制电路 CT 使存储控制信号 PL 变为 H 逻辑，即使第一铁电电容器 122 以及第二铁电电容器 124 的另一端的电位变为 V_{CC}。此时，由于第一铁电电容器 122 的一端的电位为 0V，从而第一铁电电容器 122 的电压是 V_{CC}。因此，在第一铁电电容器 122 中

重新写入数据“1”。另一方面，第二铁电电容器**124**的电压大致为0V。因此，写入第二铁电电容器**124**中的数据“0”原状保持。通过以上的动作，按照来自芯片选择焊盘CSn的写入数据IN，在存储部**120**中重新存储与已保存在触发器**110**中的存储数据不同的存储数据。由于这些控制电路CT的工作是通过检测出来自程序用焊盘PE的信号而开始的，因而无需另外发生起动控制电路的信号。

在本实施方式中，因为使用非易失性存储单元构成程序电路，故不需要进行编程而熔断熔丝等步骤，而且，使用了铁电电容器作为非易失性存储单元，因此可重写，即使在误编程的情况下，也可以在层叠前进行重写。另外，对于层叠后的重写，将在第二实施方式中说明。

由图2可知，用于向程序电路PG1、PG2进行写入控制的写入控制信号IE，两者都由程序用焊盘PE提供。另外，向程序电路PG1或PG2写入的写入数据IN是芯片选择焊盘CS1或CS2的信号和程序用焊盘PE的信号的逻辑积。

虽然芯片选择焊盘CS1、CS2是在芯片层叠后输入芯片选择信号的焊盘，但是在此，在向程序电路PG1、PG2写入的阶段中（芯片层叠前）也作为数据输入焊盘使用。因此，可以有效利用焊盘从而将焊盘数降低至最小。

另外，即使在设置了多个程序电路PG1、PG2的情况下，也可通过将程序用焊盘PE连接到这些程序电路PG1、PG2，而只需一个程序用焊盘PE即可解决问题。

而且，在芯片选择焊盘CS1和程序电路的写入数据IN输入端之间设置有与程序用焊盘PE的“与”电路。在本实施方式中，由于程序用焊盘PE在层叠之后将不被使用（维持L逻辑），因而如果

取与其的逻辑与，信号不会输入至程序电路 PG1、PG2 中。因此，即使层叠后，为了选择芯片而使用了芯片选择焊盘 CS1、CS2，也可以防止信号输入至程序电路中，从而可以抑制功耗。

另外，程序电路并不限于上述示例的范围，可以采用各种电路结构。

5. 程序电路和芯片选择信号之间的关系

下面，对写入各个芯片的程序电路 PG1、PG2 的数据和芯片选择信号之间的关系进行说明。比如，对于第一片芯片 C1，在程序电路 PG1 以及 PG2 的第二铁电电容器 124 中都写入数据“1”；对于第二片芯片 C2，在程序电路 PG1 以及 PG2 的第二铁电电容器 124 中分别写入数据“0”以及“1”；对于第三片芯片 C3，在程序电路 PG1 以及 PG2 的第二铁电电容器 124 中分别写入数据“1”以及“0”；对于第四片芯片 C4，在程序电路 PG1 以及 PG2 的第二铁电电容器 124 中都写入数据“0”。

在如上的 4 片芯片中，如果选择第一片芯片 C1，就向芯片选择焊盘 CS1、CS2 中都输入 H 逻辑的芯片选择信号。于是，由于芯片选择信号和程序电路 PG1、PG2 的输出一致，因此由芯片使能焊盘 CE 输入的芯片使能信号在第一片芯片 C1 中激活。而在其它芯片中由于信号不一致，而处于待机状态。

同样，如果选择第二片芯片 C2，就向芯片选择焊盘 CS1、CS2 中分别输入 L 逻辑、H 逻辑的芯片选择信号。由此，芯片选择信号和程序电路 PG1、PG2 的输出一致，因此芯片使能信号在第二片芯片 C2 中激活。

同样，如果选择第三片芯片 C3，就向芯片选择焊盘 CS1、CS2 中分别输入 H 逻辑、L 逻辑的芯片选择信号。由此，芯片选择信号

和程序电路 PG1、PG2 的输出一致，因此芯片使能信号在第三片芯片 C3 中激活。

同样，如果选择第四片芯片 C4，就向芯片选择焊盘 CS1、CS2 中都输入 L 逻辑的芯片选择信号。由此，芯片选择信号和程序电路 PG1、PG2 的输出一致，因此芯片使能信号在第四片芯片 C4 中激活。

再有，如果芯片使能信号为 L 逻辑时，该信号被输入至芯片选择判定电路 10 的 NAND 门 G2 中，因此不管芯片选择信号如何，全部的芯片都成为待机状态。

如上，通过层叠具有四个种类的存储模式的芯片 C1~C4，从而可以识别出各个芯片。任意将某一个存储模式配置在第几片的芯片上。但是，如果层叠同一存储模式，则无法特定芯片。

但是，如果采用所述四个存储模式中的三个，只将这三片芯片层叠时，与该三个存储模式对应的芯片选择信号只有三个。因此，与哪个芯片也不对应的芯片选择信号，就意味着全芯片为备用状态。由此，只层叠三片的芯片时，就无需上述的芯片使能信号，而且也无需各芯片的芯片使能焊盘 CE 和芯片选择判定电路 10 的最终阶段的 NAND 门 G2。用这种方法，而不需要芯片使能焊盘 CE 时，就能够以相当于一个芯片的焊盘数 n (n 是 2 或 2 以上的整数) 个，层叠最多 ($2^n - 1$) 片的芯片，并可以驱动各个芯片。

6.第二实施方式

图 6 是，在本发明第二实施方式的半导体存储装置的各芯片中设置的芯片选择判定电路的电路图。该半导体存储装置，即使在将芯片层叠并共用各焊盘之后，也可以更改程序电路 PG1、PG2 的数据。具体的说，图 6 中芯片选择判定复合电路 20 是在相当于图 2

所示的芯片选择判定电路**10**的第一芯片选择判定电路**21**的程序用焊盘 PE 后段中，成设置了与第二芯片选择判定电路**22**的 AND 门 G4 的复合电路。焊盘中也增加了芯片选择焊盘 PRO1、PRO2 以及程序用焊盘 PROE。

根据此构成，当在芯片选择焊盘 PR01、PR02 上增加对应于第二芯片选择判定电路**22**的程序电路 PG1'、PG2'的芯片选择信号时，被选择的芯片的第二芯片选择判定电路**22**的 NOR 门 G3 将输出 H 逻辑。通过取其和程序用焊盘 PE 输入的逻辑积，可以在层叠后特定目标芯片。因此，在这种状态下，可以将所希望的信号提供给芯片选择焊盘 CS1、CS2，由此可以重写程序电路 PG1、PG2。

由于除了重写程序电路 PG1、PG2 之外，在平常工作时只参考程序电路 PG1、PG2 的数据，因此不使用第二芯片选择判定电路**22**。也不使用芯片选择焊盘 PR01、PR02、程序用焊盘 PROE、程序用焊盘 PE，因此优选予先固定成 L 逻辑。

另外，在组装前进行写入时，首先用芯片选择焊盘 PR01、PR02、程序用焊盘 PROE 进行程序电路 PG1、PG2 的写入。然后，若将程序化的值输入至芯片选择焊盘 PR01、PR02 中，使得向程序用焊盘 PE 的输入有效，便可以对程序电路 PG1、PG2 进行写入。

根据本实施方式，可以在层叠之后进行程序电路 PG1、PG2 的重写，比如，当不同芯片号使用的频度不同时，可以在使用一定时间后将芯片号互换，从而可以延长半导体存储装置的寿命。如果，万一将 PG1 以及 PG2 的数据与其他的芯片同一层叠组装时，也可以事后修正 PG1、PG2。

7.关于电子设备的例子

图7时作为根据本发明的一个实施方式的电子设备的一例子而列举的个人计算机**1000**的结构立体图。在图7中，个人计算机**1000**包括显示面板**1002**和具有键盘**1004**的主机部分**1006**等。作为该个人计算机**1000**的主机**1006**的存储介质，特别是非易失性存储器利用了本发明的层叠型半导体存储装置。因此，可以实现以低廉的价格提供具有小面积大容量存储装置的电子设备。

另外，本发明的电子设备并不仅限于此，还可以适用于IC卡、便携式信息设备、家庭用电器产品等具有铁电存储装置的所有电子设备。

以上所述仅为本发明的优选实施例而已，并不用于限制本发明，对于本领域的技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

符号说明

C1~C4: 芯片 (芯片层)	CS1、CS2: 芯片选择焊盘
CE: 芯片使能焊盘	10、21、22: 芯片选择判定电路
PG1、PG2: 程序电路	EX1、EX2: “异或” 电路
G1: NOR 门	G2: NAND 门
110: 触发器	122: 第一铁电电容器
124: 第二铁电电容器	CT: 控制电路
PE: 程序用焊盘	IN: 写入数据
IE: 写入控制信号	

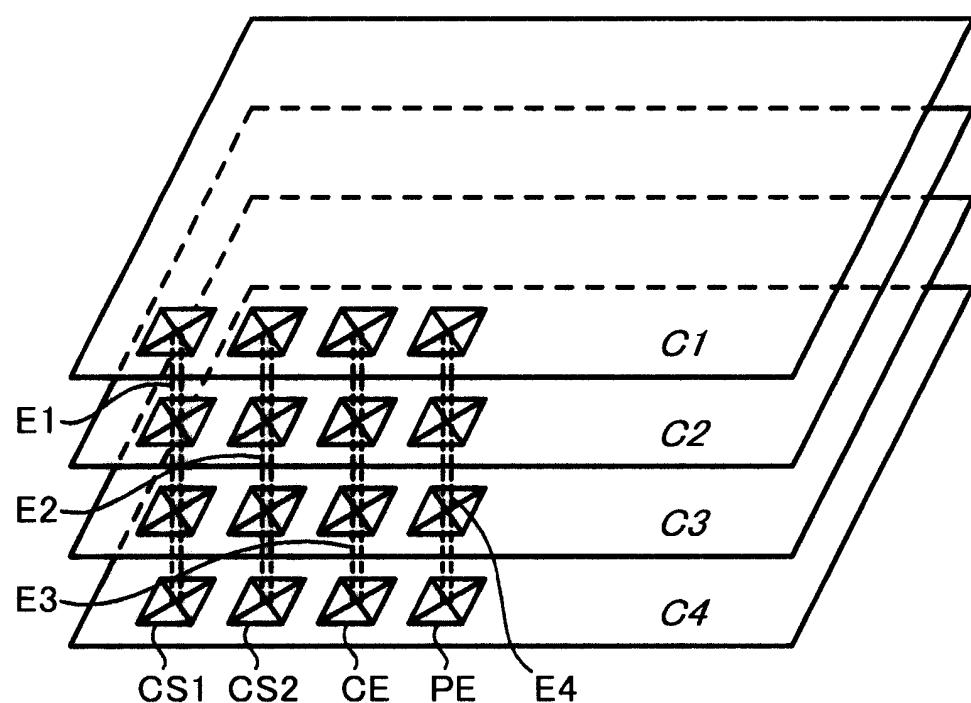


图 1

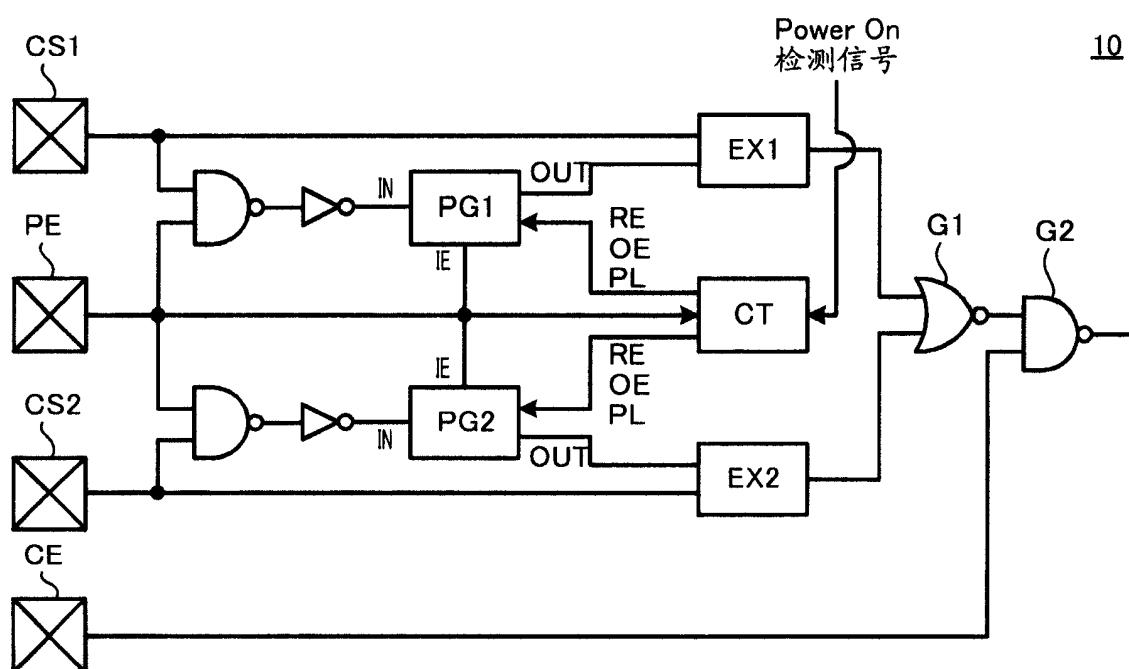


图 2

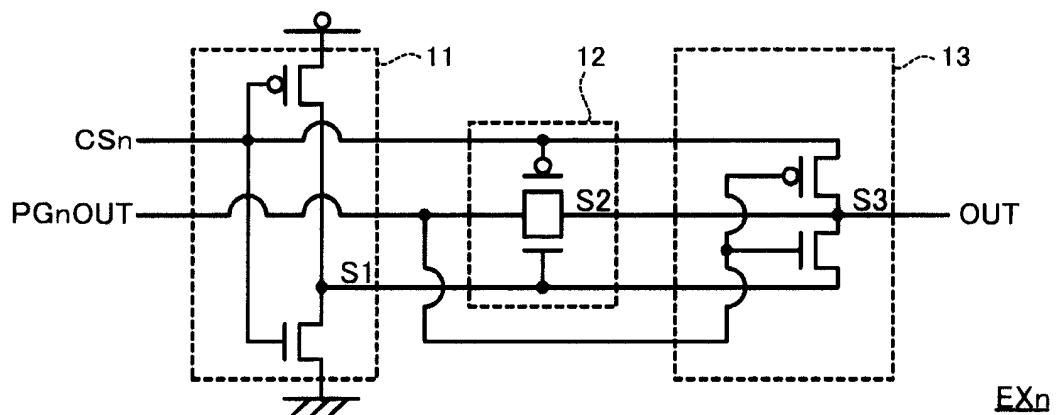


图 3

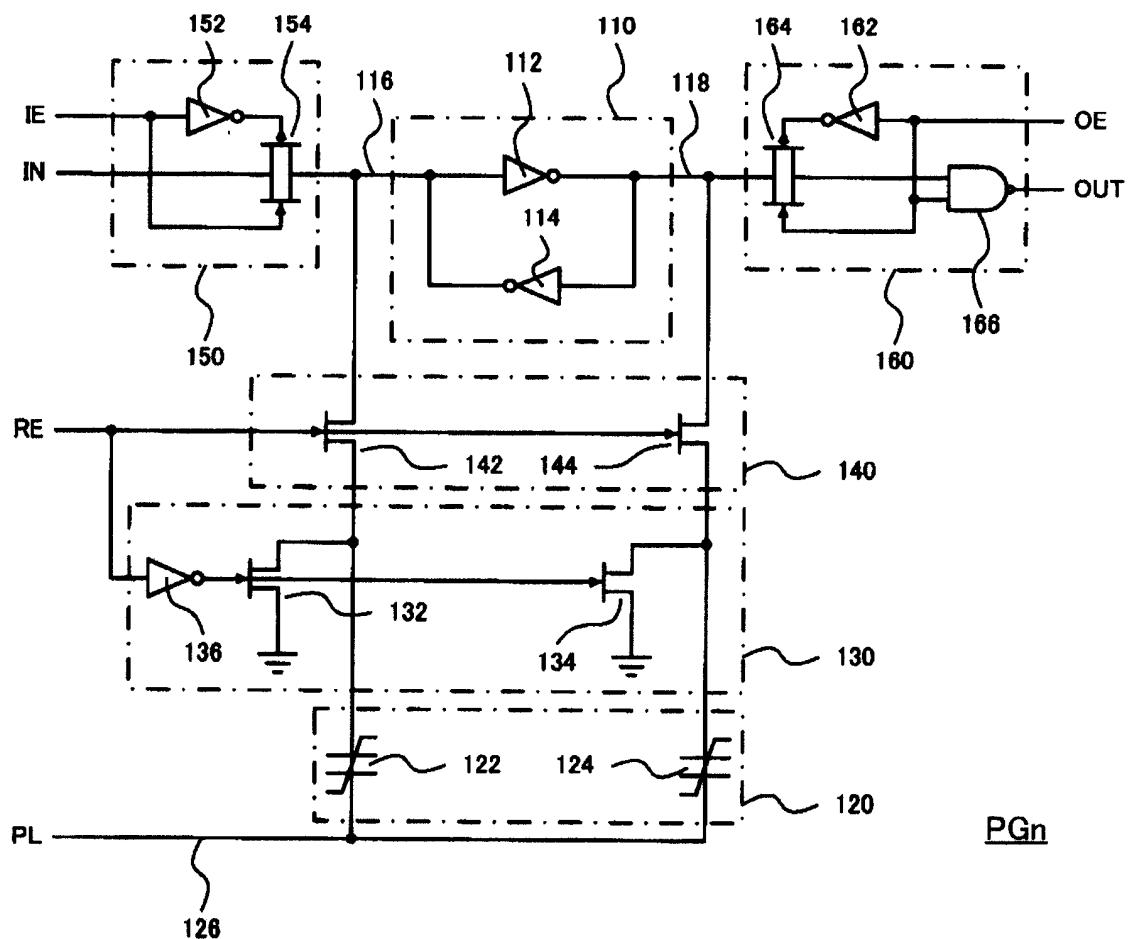


图 4

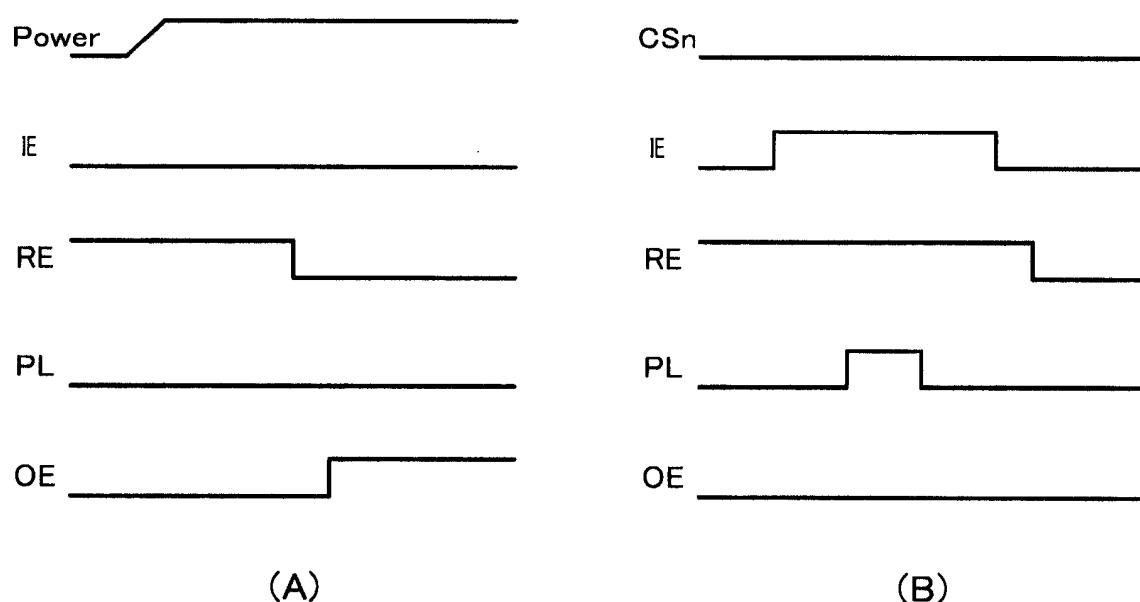


图 5

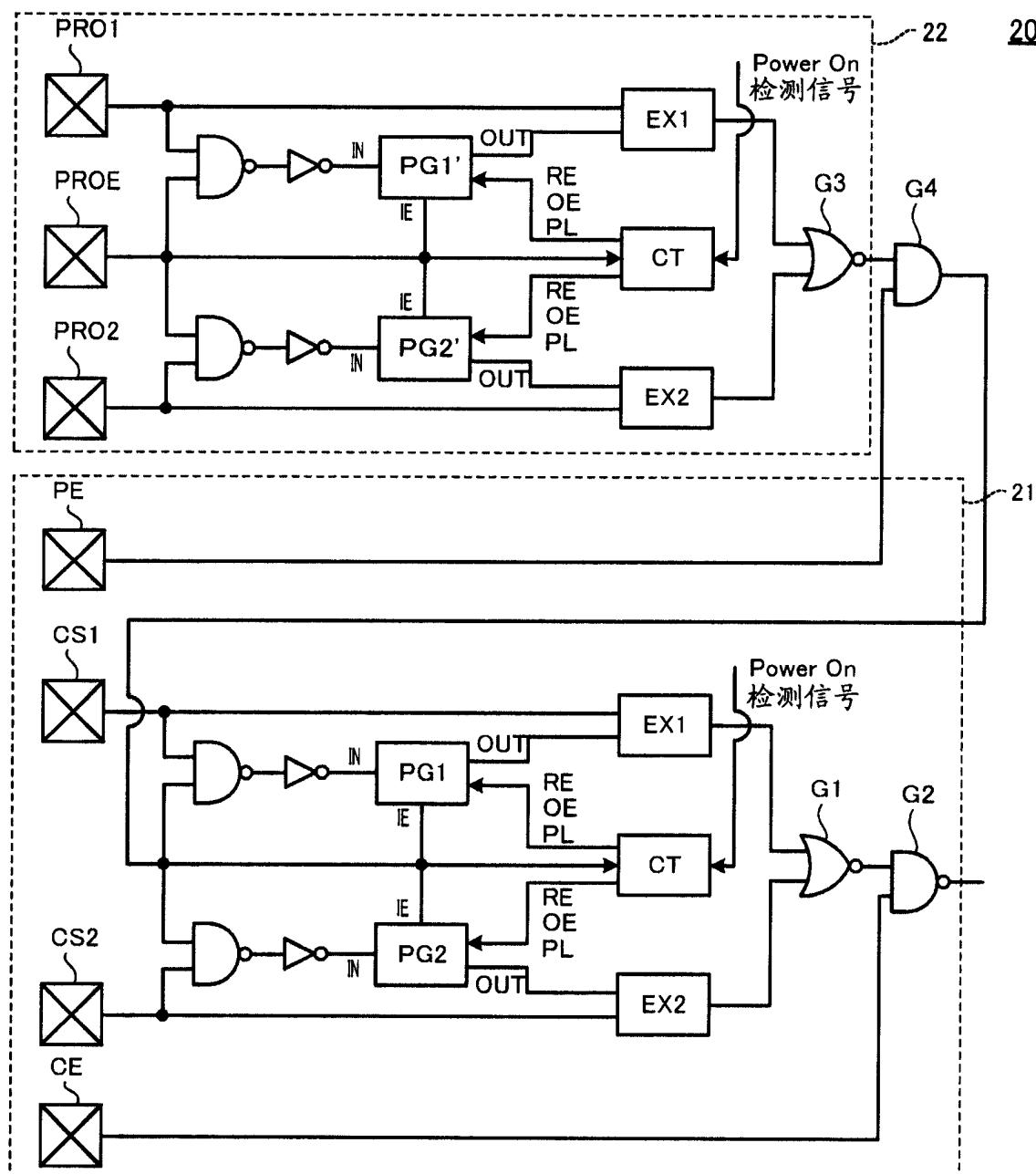


图 6

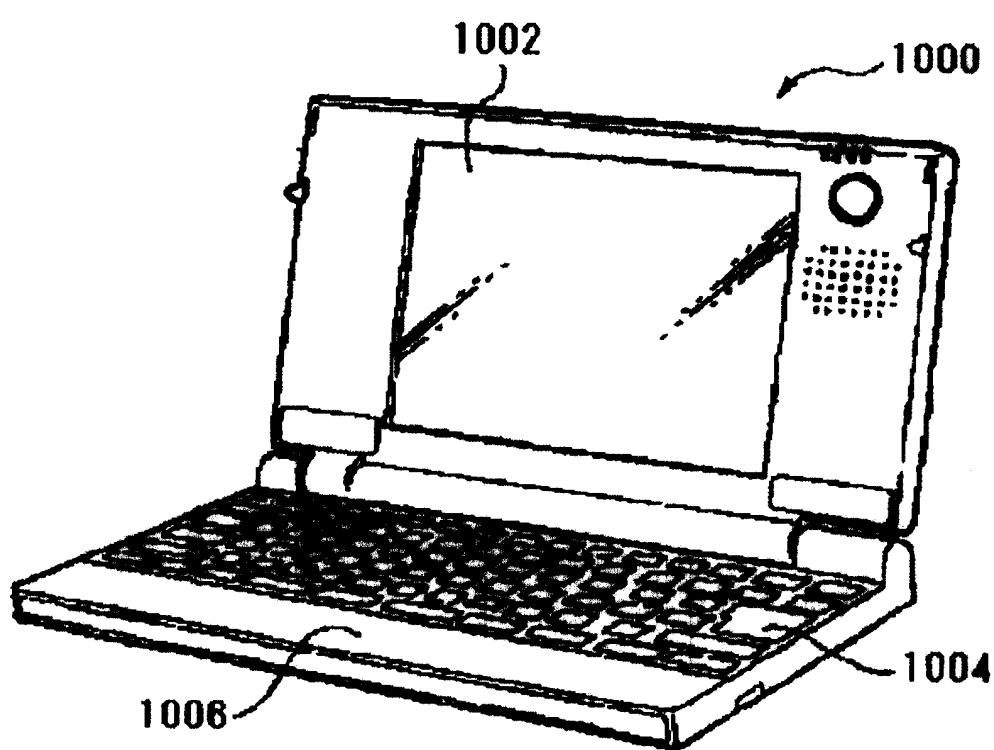


图 7