



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I838676 B

(45)公告日：中華民國 113 (2024) 年 04 月 11 日

(21)申請案號：110149161

(22)申請日：中華民國 110 (2021) 年 12 月 28 日

(51)Int. Cl. : H01L21/20 (2006.01)

H01L21/205 (2006.01)

(30)優先權：2020/12/29 日本

2020-219850

(71)申請人：日商京瓷股份有限公司(日本) KYOCERA CORPORATION (JP)

日本

(72)發明人：神川剛 KAMIKAWA, TAKESHI (JP)；正木克明 MASAKI, KATSUAKI (JP)；小林

敏洋 KOBAYASHI, TOSHIHIRO (JP)；林雄一郎 HAYASHI, YUICHIRO (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201346080A

CN 101632152A

US 2001/0040246A1

US 2005/0217565A1

US 2005/0245095A1

審查人員：陳穎慧

申請專利範圍項數：31 項 圖式數：40 共 73 頁

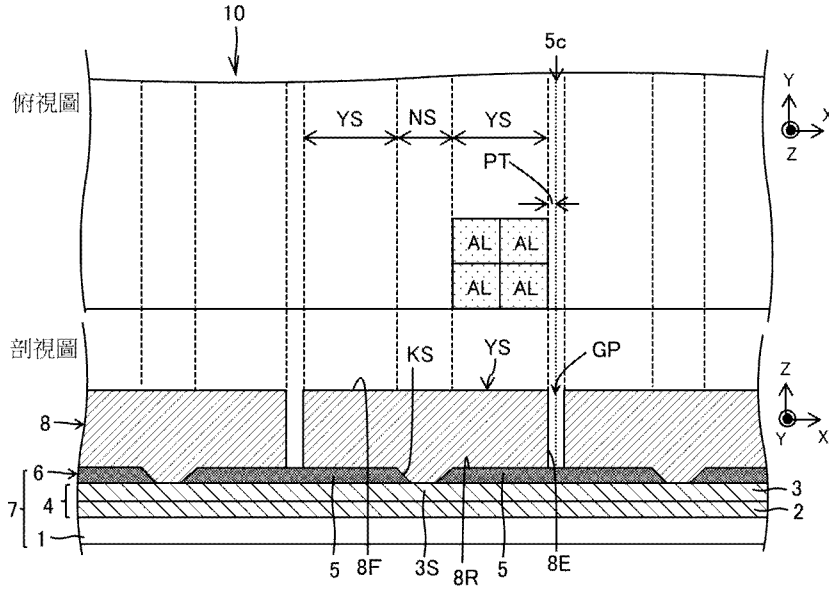
(54)名稱

半導體基板、半導體裝置、電子機器

(57)摘要

本發明具備：異質基板(1)；遮罩層(6)，其具有開口部(KS)及遮罩部(5)；晶種部(3S)，其與開口部重疊；及半導體層(8)，其配置於晶種部上及遮罩部上，且包含 GaN 系半導體；半導體層之有效部(YS)之上表面包含至少 1 個低缺陷區域(AL)，該低缺陷區域(AL)具有於沿著開口部之寬度方向之第 1 方向為 10  $\mu\text{m}$ 、於與第 1 方向正交之第 2 方向為 10  $\mu\text{m}$  之尺寸，且於低缺陷區域(AL)中，未測定到基於 CL 法所致的線狀缺陷。

指定代表圖：



【圖15】

符號簡單說明：

- 1:主基板
- 2:緩衝層
- 3:晶種層
- 3S:晶種部
- 4:基底層
- 5:遮罩部
- 5c:遮罩部之中央
- 6:遮罩層
- 7:模板基板
- 8:半導體層
- 8E:邊緣面(側面)
- 8F:上表面
- 8R:邊界面
- 10:半導體基板
- AL:低缺陷區域
- GP:間隙
- KS:開口部
- NS:非有效部
- PT:間隔
- YS:有效部



I838676

## 【發明摘要】

### 【中文發明名稱】

半導體基板、半導體裝置、電子機器

### 【中文】

本發明具備：異質基板(1)；遮罩層(6)，其具有開口部(KS)及遮罩部(5)；晶種部(3S)，其與開口部重疊；及半導體層(8)，其配置於晶種部上及遮罩部上，且包含Ga<sub>N</sub>系半導體；半導體層之有效部(YS)之上表面包含至少1個低缺陷區域(AL)，該低缺陷區域(AL)具有於沿著開口部之寬度方向之第1方向為10 μm、於與第1方向正交之第2方向為10 μm之尺寸，且於低缺陷區域(AL)中，未測定到基於CL法所致的線狀缺陷。

### 【指定代表圖】

圖15

### 【代表圖之符號簡單說明】

- 1:主基板
- 2:緩衝層
- 3:晶種層
- 3S:晶種部
- 4:基底層
- 5:遮罩部
- 5c:遮罩部之中央
- 6:遮罩層
- 7:模板基板
- 8:半導體層

8E:邊緣面(側面)

8F:上表面

8R:邊界面

10:半導體基板

AL:低缺陷區域

GP:間隙

KS:開口部

NS:非有效部

PT:間隔

YS:有效部

## 【發明說明書】

### 【中文發明名稱】

半導體基板、半導體裝置、電子機器

### 【技術領域】

#### 【0001】

本發明係關於一種半導體基板、半導體裝置、電子機器。

### 【先前技術】

#### 【0002】

一般而言，使用GaN(氮化鎵)之半導體裝置之電力轉換效率較包括Si(矽)之半導體裝置高。藉此，使用GaN之半導體裝置之電力損耗較包括Si之半導體裝置小，故而期待節能效果。先前，為了製造使用GaN之半導體裝置，研究了形成GaN系半導體元件之技術。例如，於專利文獻1中揭示有以下方法：使用ELO(Epitaxial Lateral Overgrowth，磊晶橫向生長)法，於GaN系基板或異質基板(例如，藍寶石基板)上形成GaN系半導體層。

[先前技術文獻]

[專利文獻]

#### 【0003】

[專利文獻1]日本專利特開2013-251304號公報

### 【發明內容】

[發明所欲解決之問題]

#### 【0004】

專利文獻1中亦有所揭示，形成於異質基板上之GaN系半導體層包含

較多表面位錯(缺陷)。

[解決問題之技術手段]

### 【0005】

本發明之半導體基板具備：主基板，其晶格常數與Ga<sub>N</sub>系半導體不同；遮罩層，其位於較上述主基板更靠上層，且具有開口部及遮罩部；晶種部，其俯視下與上述開口部重疊；及半導體層，其配置於上述晶種部上及遮罩部上，且包含Ga<sub>N</sub>系半導體；上述半導體層包含俯視下位於上述開口部與上述遮罩部之中央之間的有效部，上述有效部之上表面包含至少1個低缺陷區域，該低缺陷區域具有於沿著上述開口部之寬度方向之第1方向上為10 μm、於與上述第1方向正交之第2方向上為10 μm之尺寸，且於上述低缺陷區域中，未測定到基於CL(Cathode luminescence，陰極發光)法所致的線狀缺陷。

[發明之效果]

### 【0006】

本發明可提高形成於異質基板上之Ga<sub>N</sub>系半導體層之背面品質，減少表面位錯(缺陷)。

### 【圖式簡單說明】

#### 【0007】

圖1係表示本實施方式之半導體基板之構成之俯視圖及剖視圖。

圖2係表示本實施方式之半導體基板之其他構成之剖視圖。

圖3係表示本實施方式之半導體基板之其他構成之剖視圖。

圖4係表示本實施方式之半導體基板之其他構成之俯視圖及剖視圖。

圖5係表示本實施方式之半導體基板之其他構成之俯視圖及剖視圖。

圖6係表示本實施方式之元件分離之步驟之剖視圖。

圖7係表示本實施方式之元件分離之步驟之俯視圖。

圖8係表示元件分離之步驟之其他例之剖視圖。

圖9係表示元件分離之步驟之其他例之剖視圖。

圖10係表示元件剝離之步驟之剖視圖。

圖11係表示元件剝離之步驟之其他例之剖視圖。

圖12係表示本實施方式之電子機器之構成之模式圖。

圖13係表示本實施方式之電子機器之其他構成之模式圖。

圖14係表示半導體層之橫向生長之一例之剖視圖。

圖15係表示關於本半導體基板(ELO(Epitaxial Lateral Overgrowth，磊晶側向延長生長)半導體層於遮罩上具有邊緣面之構成)之評估之俯視圖及模式圖。

圖16係表示關於本半導體基板(ELO半導體層於遮罩上具有邊緣面之構成)之評估之俯視圖及模式圖。

圖17係表示關於本半導體基板(ELO半導體層於遮罩上具有邊緣面之構成)之評估之俯視圖及模式圖。

圖18係表示關於本半導體基板(ELO半導體層於遮罩上具有邊緣面之構成)之評估之俯視圖及模式圖。

圖19係表示關於ELO半導體層於遮罩上不具有邊緣面之一體型之半導體基板之評估的俯視圖及模式圖。

圖20係表示關於ELO半導體層於遮罩上不具有邊緣面之一體型之半導體基板之評估的俯視圖及模式圖。

圖21係表示關於ELO半導體層於遮罩上不具有邊緣面之一體型之半

導體基板之評估的俯視圖及模式圖。

圖22係表示關於ELO半導體層於遮罩上不具有邊緣面之一體型之半導體基板之評估的俯視圖及模式圖。

圖23係以半導體基板10(主基板為矽基板)之ELO半導體層8為對象之CL像。

圖24係表示以半導體基板10(主基板為藍寶石基板)之ELO半導體層8為對象之CL像。

圖25係表示以半導體基板10之ELO半導體層背面(剝離面)為對象之CL像。

圖26係參考例之GaN層表面之CL像。

圖27係參考例之GaN層表面之CL像。

圖28係參考例之GaN層表面之CL像。

圖29係以參考例之ELO法成膜之GaN層背面(剝離面)為對象之CL像。

圖30係以參考例之ELO法成膜之GaN層背面(剝離面)為對象之CL像。

圖31係表示實施例1之半導體基板之構成之剖視圖。

圖32係表示實施例1之半導體層剝離之一例之剖視圖。

圖33係表示實施例2之半導體基板之構成之剖視圖。

圖34係表示實施例3之半導體基板之構成之剖視圖。

圖35係表示實施例4之半導體基板之構成之剖視圖。

圖36係表示實施例4之應用例之剖視圖。

圖37係表示實施例5之構成之剖視圖。

圖38係表示實施例6之構成之剖視圖。

圖39係表示實施例6之其他構成之剖視圖。

圖40係表示半導體基板之製造裝置之構成例之方塊圖。

### 【實施方式】

#### 【0008】

(半導體基板)

圖1係表示本實施方式之半導體基板之構成之俯視圖及剖視圖。如圖1所示，本實施方式之半導體基板10(半導體晶圓)包含：主基板1；基底層4，其形成於主基板1上，且包含晶種部3S；遮罩層6，其形成於基底層4上，且具有俯視下與晶種部3S重疊之開口部KS及遮罩部5；以及半導體層8，其配置於晶種部3S上及遮罩部5上，且包含氮化物半導體(例如GaN系半導體)。基底層4亦可為基底部4，遮罩層6亦可為遮罩6(遮罩圖案)，半導體層8亦可為半導體部8。

#### 【0009】

遮罩層4之開口部KS亦可為錐形形狀(寬度朝向基底層4側變窄之形狀)。於該情形時，可將開口部KS之寬度、遮罩部5之寬度以遮罩層上表面作為對象表述。但是，並不限定於此。

#### 【0010】

氮化物半導體例如可表示為 $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ( $0 \leq x \leq 1$ ； $0 \leq y \leq 1$ ； $0 \leq z \leq 1$ ； $x + y + z = 1$ )，作為具體例，可列舉GaN系半導體、AlN(氮化鋁)、InAlN(氮化銻鋁)、InN(氮化銻)。所謂GaN系半導體，係指包含鎵原子(Ga)及氮原子(N)之半導體，作為典型性的例子，可列舉GaN、AlGaInN、InGaInN、InGaInN。半導體層8可為摻雜型(例如，包含施體之n型)亦可為

非摻雜型。所謂半導體基板，係指包含氮化物半導體(例如GaN系半導體)之基板，主基板1之素材可為半導體，亦可為非半導體。有時包含主基板1及基底層4在內稱為基底基板，有時包含主基板1、基底層4及遮罩層6在內稱為模板基板7。

#### 【0011】

半導體層8係以自開口部KS露出之晶種部3S為起點，藉由ELO(Epitaxial Lateral Overgrowth)法而形成。因此，有時將半導體層8記載為ELO半導體層8。半導體層8之厚度方向為Z方向(GaN系結晶之 $\langle 0001 \rangle$ 方向)。開口部KS為縱長形狀，其寬度方向為X方向(GaN系結晶之 $\langle 11-20 \rangle$ 方向)。

#### 【0012】

圖2係表示本實施方式之半導體基板之其他構成之剖視圖。如圖2所示，半導體基板10亦可為依次設置有主基板1、基底層4、遮罩層6、半導體層8、及功能層9之構成。

#### 【0013】

於半導體基板10中，於主基板上積層有複數個層，可將其積層方向設為「上方向」。又，可將以與半導體基板10之法線方向平行之視線觀察半導體基板10之情況稱為「俯視」。

#### 【0014】

(主基板)

主基板1可使用具有與GaN系半導體不同之晶格常數之異質基板。作為異質基板，可列舉矽(Si)基板、藍寶石( $\text{Al}_2\text{O}_3$ )基板、碳化矽(SiC)基板、 $\text{ScAlMgO}_4$ 基板等。主基板1之面方位例如為矽基板之(111)面、藍寶

石基板之(0001)面、SiC基板之6H-SiC(0001)面。該等為例示，只要為可利用ELO法使半導體層8生長之基板及面方位，則亦可任意規定。主基板亦可為自立基板(例如，自塊狀結晶體切出之晶圓)。

### 【0015】

(基底層)

作為基底層4，可自主基板側起依次設置緩衝層2(例如AlN層)及晶種層3(例如GaN系半導體)。緩衝層2係可減少主基板1與晶種層3直接接觸而相互熔融之熔融抑制層。又，亦具有提高晶種層3之結晶性之效果。AlN層例如使用MOCVD(Metal Organic Chemical Vapor Deposition，有機金屬化學氣相沈積)法，形成為厚度10 nm左右～5 μm左右。例如，於使用不與作為GaN系半導體之晶種層3相互熔融之主基板1之情形時，亦可為不設置緩衝層2之構成。於主基板1使用矽基板等之情形時，由於會與作為晶種層之GaN系半導體相互熔融，故而例如藉由設置AlN層等緩衝層2而減少熔融。

### 【0016】

晶種層3例如可使用AlGa<sub>0.3</sub>N層。晶種層3包含與遮罩層6之開口部KS重疊之晶種部3S。作為晶種層3，可使用Al組成分級接近Ga<sub>0.3</sub>N之分級層。分級層例如係自AlN層側起依次設置有作為第1層之Al<sub>0.7</sub>Ga<sub>0.3</sub>N層、及作為第2層之Al<sub>0.3</sub>Ga<sub>0.7</sub>N層之積層體。於該情形時，第2層(Al : Ga : N = 0.3 : 0.7 : 1)中之Ga之組成比(0.7/2 = 0.35)較第1層(Al : Ga : N = 0.7 : 0.3 : 1)中之Ga之組成比(0.3/2 = 0.15)大。分級層可利用MOCVD法容易地形成，亦可由3層以上構成。藉由晶種層3使用分級層，可緩和來自作為異質基板之主基板1之應力。可將晶種層3設為包含Ga<sub>0.3</sub>N層之構成。於該情

形時，可使晶種層3為GaN單層，亦可使作為晶種層3之分級層之最上層為GaN層。基底層4亦可僅由緩衝層2及晶種層3之一者構成。又，亦可為，主基板1使用自立型(例如，自塊狀結晶切出之單晶晶圓)之SiC基板，不形成基底層，而於SiC基板上形成遮罩層6，由此製成模板基板。

### 【0017】

(遮罩層)

於遮罩層6形成遮罩部5及開口部KS。開口部KS具有使晶種層3露出且使半導體層8之生長開始之生長開始開口之功能，遮罩部5亦可具有使半導體層8橫向生長之選擇生長遮罩之功能。開口部KS係遮罩層6(遮罩圖案6)中之無遮罩部5之部分(非形成部)，可不由遮罩部5包圍。

### 【0018】

作為遮罩層6，可使用氧化矽(SiO<sub>x</sub>)膜、氮化矽(SiN<sub>x</sub>)膜、氮氧化矽膜(SiON)、氮化鈦(TiN<sub>x</sub>)膜等無機絕緣膜。例如，於基底層4上，使用濺鍍法整個面地形成厚度50 nm左右~4 μm左右(例如，100 nm左右~2 μm左右)之氧化矽膜，於氧化矽膜之整個面塗佈抗蝕劑。然後，使用光微影法將抗蝕劑圖案化，形成具有條紋狀之開口部之抗蝕劑。然後，藉由氫氟酸(HF)、緩衝氫氟酸(BHF)等濕式蝕刻劑將氧化矽膜之一部分去除而形成開口部KS，藉由將抗蝕劑利用有機洗淨去除，而形成具有開口部KS及遮罩部5之遮罩層6。亦能夠使用光微影法，於基板整個面形成遮罩部之後，塗佈抗蝕劑並圖案化，將成為開口部KS之區域之抗蝕劑去除，並使用乾式蝕刻法形成開口部KS。

### 【0019】

開口部KS為縱長形狀，複數個開口部KS於ELO半導體層8之a軸方向

(第1方向X)以第1週期而週期性地排列。

### 【0020】

開口部KS之寬度設為 $0.1\ \mu\text{m} \sim 20\ \mu\text{m}$ 左右。開口部KS之寬度越小，則自開口部KS傳播至ELO半導體層8之穿透位錯之數量越減少。又，於後續步驟中ELO半導體層8之剝離亦容易。進而，可使表面缺陷較少之有效部之面積變大。

### 【0021】

遮罩層6亦可使用包含上述材料之積層膜，例如包含氧化矽膜與氮化矽膜之積層膜。

### 【0022】

(ELO半導體層之成膜)

作為半導體層8(ELO半導體層8)，利用ELO法形成GaN系半導體層。ELO半導體層8由GaN構成，晶種部3S亦可包含GaN。例如，將包含主基板1、基底層4及遮罩層6之模板基板7導入至MOCVD裝置，於模板基板7上成膜GaN層。作為ELO成膜條件之一例，可採用基板溫度： $1120^{\circ}\text{C}$ ，生長壓力： $50\ \text{kPa}$ ，TMG(trimethylgallium，三甲基鎵)： $22\ \text{sccm}$ ， $\text{NH}_3$ ： $15\ \text{slm}$ ， $\text{V/III}=6000$ (V族原料之供給量相對於III族原料之供給量的比)。

### 【0023】

於半導體層8之成膜中，較佳為減少半導體層8與遮罩部5之相互反應，維持半導體層8與遮罩部5以凡得瓦爾力接觸之狀態。即，半導體層8與遮罩部5主要以凡得瓦爾力接觸。

### 【0024】

自相鄰之開口部KS生長之相鄰之ELO半導體層8彼此可相互會合，

亦可藉由不相互會合而於遮罩部5之中央附近形成間隙(gap)。於會合之情形時，基板之整個面可形成平坦之表面。於不會合之情形時，可更有效地利用間隙(gap)來緩和使用以與氮化物半導體不同之材料為主成分之主基板1之情形時所產生的應力(壓縮應力或拉伸應力)，從而可有效地抑制缺陷之產生或裂縫之產生。

### 【0025】

(ELO半導體層之形狀)

半導體層8具有俯視下位於開口部KS與遮罩部之中央5C之間的有效部YS(後續步驟構成元件部之部分)。半導體層8中位於晶種部3S上之部分(穿透位錯較多之部分)成為非有效部NS。即，半導體層8包含穿透位錯相對較少之有效部YS與穿透位錯相對較多之非有效部NS。非有效部NS係位錯繼承部且穿透位錯較有效部YS(位錯非繼承部)多，但亦可用作裝置之一部分。例如，於功能層9包含活性層之情形時，可將活性層中電子與電洞結合之部分(發光部)以俯視下與有效部YS重疊之方式設置。N型電極(陰極)等亦可以俯視下與非有效部NS重疊之方式設置。

### 【0026】

穿透位錯係沿著ELO半導體層8之厚度方向( $\langle 0001 \rangle$ 方向，Z方向)，自半導體層8之下表面或內部向其表面或表層延伸之位錯(缺陷)。穿透位錯能夠藉由對半導體層8之表面(與c面平行)進行CL(Cathode luminescence，陰極發光)測定而觀察。

### 【0027】

圖1之半導體層8於遮罩部5之中央附近具有邊緣面(側面)8E，不與自相鄰之晶種部3S生長之半導體層8會合。再者，於將c面之ELO半導體層8

形成為島狀之情形時，典型而言，ELO半導體層8之側面藉由 $\langle 1-10\alpha \rangle$ 面( $\alpha$ 為任意之整數)、 $\langle 11-2\beta \rangle$ 面( $\beta$ 為任意之整數)或與該等面在結晶學上等效之面而形成。即，半導體層8之邊緣面8E亦可具有斜面(刻面)。

### 【0028】

如此，自相鄰2個晶種部3S逆向地橫向生長之半導體層8彼此不於遮罩部5上接觸(會合)，而具有間隙(gap)GP，藉此可減少半導體層8之內部應力。藉此，可減少半導體層8中所產生之裂縫、缺陷。該效果於主基板1為異質基板之本實施方式中特別有效。間隙GP之寬度較佳為4  $\mu\text{m}$ 以下，更佳為3  $\mu\text{m}$ 以下。

### 【0029】

半導體層8亦可為n型GaN系半導體(作為施體，例如為矽)。於在較半導體層8更靠上層例如形成包含p型半導體層之功能層9之情形時(參照圖2)，於半導體層8具有矽或氧作為n型摻雜劑之情形時，p型摻雜劑(鎂等)可得到補償，結果，藉由將間隙GP之寬度抑制為上述範圍可大幅度減少該現象。

### 【0030】

圖3係表示本實施方式之半導體基板之其他構成之剖視圖。於形成功能層9之情形時，有時會如圖3所示產生邊緣生長(edge growth)9G(角部)。例如，功能層9包含AlGaN層之情形時會出現此情況。邊緣生長亦有時成為10  $\mu\text{m}$ 以上之寬度、高度200~300 nm左右之尺寸，成為後續步驟之障礙，但藉由將間隙GP之寬度抑制為上述範圍可大幅度減少邊緣生長9G(例如為100 nm以下)。

### 【0031】

圖4及圖5係表示本實施方式之半導體基板之其他構成之俯視圖及剖視圖。圖4之半導體層8具有自相鄰2個晶種部3S逆向地橫向生長之半導體層彼此於遮罩部之中央5C附近會合而一體化之構成。於該構成中，亦可藉由適當設定ELO半導體層8之成膜條件、遮罩部5之寬度等，而如圖5所示於作為會合點之遮罩部之中央5C之附近形成中空部8C。中空部8C之形狀係遮罩部5側成為寬幅之形狀(例如，剖視為錘型、滴型)。該情形時之半導體層8具有俯視下與中空部8C重疊之部分(非有效部NS)。即，半導體層8會具有有效部YS及與有效部YS相鄰之非有效部NS。

### 【0032】

用作遮罩層6之材料之氧化矽、氮化矽及氮氧化矽膜由於熱膨脹係數較Ga<sub>N</sub>系半導體小，故而於將以1000°C左右會合之ELO半導體層8降溫至室溫時，因熱膨脹係數之差異而於ELO半導體層8產生裂縫。中空部8C具有大幅度降低半導體層8之內部應力之效果，故而可有效地減少此種裂縫之產生。又，於半導體層8之表面，亦可在相當於中空部8C之上部之部分具有凹陷8D。該凹陷8D亦具有緩和半導體層8之內部應力之效果。

### 【0033】

(功能層)

圖2之半導體基板10於半導體層8上包含功能層9。功能層9例如包含Ga<sub>N</sub>系之n型半導體層、Ga<sub>N</sub>系之非摻雜半導體層、Ga<sub>N</sub>系之p型半導體層、導電層、及絕緣層之至少一者。關於功能層9之Ga<sub>N</sub>系半導體層，可為任意成膜方法。功能層9亦可為化合物半導體層(化合物半導體部)。化合物半導體層亦可為氮化物半導體層(氮化物半導體部)，於該情形時，氮化物半導體層亦可包含p型層及活性層(例如發光層)，氮化物半導體層亦

可包含n型層、活性層及p型層。

#### 【0034】

功能層9亦可為與半導體層8一起構成半導體裝置(例如，LED(Light Emitting Diode，發光二極體)、雷射)者，但並不限定於此。例如亦可僅設置GaN系之n型半導體層。

#### 【0035】

(半導體基板上之元件分離)

圖6係表示本實施方式之元件分離之步驟之剖視圖。圖7係表示本實施方式之元件分離之步驟之俯視圖。如圖6所示，將半導體基板10中俯視下與開口部KS重疊之區域AK使用氣相蝕刻去除，直至到達基底層4為止。

#### 【0036】

此處，基底層4、遮罩層6、半導體層8及功能層9各自之一部分成為去除對象，於去除後形成之溝槽TR(元件分離槽)內，基底層4及遮罩部5露出。溝槽TR之開口寬度較理想為較遮罩層之開口部KS之寬度大。藉由元件分離之步驟，可於半導體基板10中將元件部DS分離。於該階段中，元件部DS與模板基板之遮罩部5凡得瓦爾結合，作為半導體基板10之一部分。

#### 【0037】

如圖7所示，溝槽TR俯視下可形成為格子形狀(格子圖案)。於該情形時，亦可構成為於由相鄰之橫溝槽(於X方向延伸)與相鄰之縱溝槽(於Y方向延伸)包圍之區域包含1個元件部DS。

#### 【0038】

氣相蝕刻利用一般的光微影法實現。於蝕刻結束後，必須將成為氣相蝕刻之遮罩之光阻劑去除，但若進行使用弱超音波之有機洗淨，則元件部DS自遮罩部5剝落之擔憂較少。

### 【0039】

圖8係表示元件分離之步驟之其他例之剖視圖。如圖8所示，亦可將半導體基板10中俯視下與開口部KS重疊之區域及與間隙部GP重疊之區域使用氣相蝕刻去除，直至到達基底層4為止。如此，可消除半導體層8之第2方向(開口部KS之長邊方向，Y方向)之彎曲，獲得形狀一致之元件部DS。

### 【0040】

圖9係表示元件分離之步驟之其他例之剖視圖。如圖9所示，可將半導體基板10中俯視下與開口部KS重疊之區域及與遮罩部5中央部(非有效部NS)重疊之區域使用氣相蝕刻去除，直至到達基底層4為止。

### 【0041】

(自模板基板之元件剝離)

圖10係表示元件剝離之步驟之剖視圖。半導體層8與遮罩部5利用凡得瓦爾力(較弱之力)結合，故而，如圖10所示，藉由利用衝壓(stamping)裝置ST等之引力(黏著力、吸引力、靜電力等)拉提功能層9，可將元件部DS容易地自模板基板剝離，而形成為半導體裝置20。可使用黏彈性彈性體衝壓、靜電接著衝壓等自遮罩部5直接剝離，此於成本、產量等方面具有較大之優點。但是，若遮罩部5與半導體層8之間存在黏連則難以剝離，故而減少此種黏連之意義較大(下述)。亦可於使黏彈性彈性體衝壓、靜電接著衝壓等接觸於半導體層8之後，例如施加利用超音波之振動等。藉由

該振動等，可更容易地自遮罩部5剝離半導體層8。

#### 【0042】

圖11係表示元件剝離之步驟之其他例之剖視圖。如圖11所示，亦可於將遮罩部5濕式蝕刻，成為半導體層8之元件部DS僅與晶種層3連接之狀態之後，利用帶TP等機械性地將元件部DS自模板基板7剝離。於該情形時，無須於開口部KS上進行蝕刻，故而可形成大型之半導體裝置20。該剝離方法於半導體層8為分離型之情形時(於遮罩部上具有邊緣面之情形時)，具有可省略元件分離之步驟之優點。於半導體層8為一體型之情形時(於遮罩部上不具有邊緣面之情形時)，只要形成蝕刻劑流入用之凹陷(直至基底層為止)即可，具有容易進行元件剝離之優點。

#### 【0043】

(半導體裝置)

如圖10及圖11所示，自模板基板7剝離之元件部DS作為半導體裝置20發揮功能。作為具體之半導體裝置20，例如，可列舉發光二極體(LED)、半導體雷射、肖特基二極體、光二極體、電晶體(包含功率電晶體、高電子遷移率電晶體)等。

#### 【0044】

(電子機器)

圖12係表示本實施方式之電子機器之構成之模式圖。圖12之電子機器30包含：半導體裝置20，其包含半導體層8及功能層9；驅動基板23，其供半導體裝置20安裝；以及控制電路25，其控制驅動基板23。圖13係表示本實施方式之電子機器之其他構成之模式圖。圖13之電子機器30包含：半導體基板10，其包含半導體層8及功能層9；驅動基板23，其供半

導體基板10安裝；以及控制電路25，其控制驅動基板23。於該情形時，主基板1亦可為具有透光性之基板(例如藍寶石基板)。

#### 【0045】

作為電子機器，可列舉顯示裝置、雷射出射裝置(包含法布里-柏羅型、面發光型)、測定裝置、時照明裝置、通信裝置、資訊處理裝置、電力控制裝置。

#### 【0046】

(ELO半導體層背面之空隙)

以下，對半導體基板10中之ELO半導體層8之背面(與遮罩部5之邊界面)進行說明。

#### 【0047】

於使用異質基板且使遮罩部5為寬幅之情形時，有時於ELO半導體層8之背面產生空隙。該空隙成為ELO半導體層8之表面缺陷之原因(例如，於對半導體層8施加應力時成為缺陷之起點)，會導致形成於ELO半導體層8上之裝置之特性惡化、可靠性降低。於本實施方式中，藉由提高橫向成膜速率，減少ELO半導體層8與遮罩部5之相互反應，而改善遮罩部5之表面形態，結果，成功減少ELO半導體層8之背面之空隙及與遮罩部5之黏連。

#### 【0048】

具體而言，為了減少遮罩部5之劣化，而提高橫向成膜速率，藉由橫向生長膜(ELO半導體層8)迅速覆蓋遮罩部5。其原因在於，於MOCVD之中，於橫向成膜速率較小之情形時，將遮罩部5於高溫下長時間曝露於氫及氮，遮罩部5之蒸發及分解進展，擔心會導致表面形態之惡化、針孔之

產生、凹坑之產生等。

#### 【0049】

提高橫向成膜速率之方法如下。首先，於自遮罩層6之開口部KS露出之晶種部上，形成沿著c軸方向生長之縱生長層，然後，形成沿著a軸方向生長之橫向生長層。此時，藉由將縱生長層之厚度設為10  $\mu\text{m}$ 以下，較佳為5  $\mu\text{m}$ 以下，進而較佳為3  $\mu\text{m}$ 以下，可將橫向生長層之厚度抑制得較低，提高橫向成膜速率。

#### 【0050】

圖14係表示半導體層之橫向生長之一例之剖視圖。如圖14所示，較理想的是，於與開口部KS重疊之晶種部3S上，形成初始生長層SL，然後，自初始生長層SL使半導體層8橫向生長。初始生長層SL成為半導體層8之橫向生長之起點。於半導體層8之成膜中，較佳為，初始生長層SL之邊緣於即將越過遮罩部5之上表面之前(與遮罩部5之側面上端相接之階段)、或剛越過遮罩部5之上表面之後之時點停止初始生長層SL之成膜(即，於該時點，將ELO成膜條件自c軸方向成膜條件切換為a軸方向成膜條件)。如此，則自初始生長層SL從遮罩部5稍微突出之狀態起進行橫向成膜，故而可減少半導體層8向厚度方向生長時之材料消耗，有效地使半導體層8以高速橫向生長。初始生長層SL可形成為50 nm~5.0  $\mu\text{m}$ (例如，80 nm~2  $\mu\text{m}$ )之厚度。亦可使初始生長層SL之厚度為500 nm以下。

#### 【0051】

如圖14所示，藉由於成膜初始生長層SL之後使半導體層8橫向生長，可使有效部YS內部之非穿透位錯變多(減少有效部YS表面中之穿透位錯密度)。又，可控制有效部YS內部之雜質濃度(例如，矽、氧)之分佈。再

者，藉由適當控制半導體層8之成膜中之條件，能夠進行使半導體層8於Z方向(c軸方向)生長，或者於X方向(a軸方向)生長之控制。

### 【0052】

關於圖14所示之半導體層8之有效部YS，可使X方向(第1方向)之尺寸W1相對於厚度d1之比( $W1/d1$ )例如為2.0以上。若使用圖14之方法，則可使 $W1/d1$ 為1.5以上、2.0以上、4.0以上、5.0以上、7.0以上、或10.0以上。可知藉由使 $W1/d1$ 為1.5以上，而如圖7所示之分割步驟變得容易。又，半導體層8之內部應力降低，基板翹曲減少。半導體層8之縱橫比(X方向之尺寸相對於厚度之比= $WL/d1$ )可設為3.5以上、5.0以上、6.0以上、8.0以上、10以上、15以上、20以上、30以上、或50以上。又，若使用圖14之方法，則可使半導體層8之X方向之尺寸WL相對於開口部KS之寬度WK的比( $WL/WK$ )為3.5以上、5.0以上、6.0以上、8.0以上、10以上、15以上、20以上、30以上、或50以上，可提高有效部之比率。圖14所示之半導體層8可設為氮化物半導體結晶(例如，GaN結晶、AlGaIn結晶、InGaIn結晶、或InAlGaIn結晶)。

### 【0053】

非穿透位錯係於與c軸平行之面(與厚度方向平行之面)之剖面中CL觀測到之位錯，主要係基底面(c面)位錯。與c軸平行之面可為與(1-100)面平行之面(法線為Y方向之面)，亦可為與(11-20)面平行之面(法線為X方向之面)。

### 【0054】

半導體層8之有效部YS之非穿透位錯密度較有效部YS之穿透位錯密度大。換言之，半導體層8之有效部YS可表現為非穿透位錯密度較穿透位

錯密度大之Ga<sub>N</sub>系結晶體(GaN系層)。該情形時之非穿透位錯密度可設為穿透位錯密度之10倍以上，例如20倍以上。穿透位錯密度例如可設為 $5 \times 10^6$ [個/cm<sup>2</sup>]以下。有效部(GaN系結晶體)之寬度(X方向之長度)例如可設為10 μm以上。又，可使有效部(GaN系結晶體)為Y方向(m軸方向)之尺寸較X方向(a軸方向)之尺寸大之縱長形狀。關於有效部(GaN系結晶體)，亦可使與(11-20)面平行之面所形成的剖面之非穿透位錯密度較與(1-100)面平行之面所形成的剖面之非穿透位錯密度大。又，由於有效部(GaN系結晶體)係藉由橫向(X方向)生長而形成，因此，成為如下構成，即，在方向上，相當於生長末期之另一端部之雜質(遮罩層6中所包含之原子，例如矽、氧)之濃度較相當於生長初期之一端部低。

#### 【0055】

遮罩部5之性質(厚度之均勻性、膜質等)受形成有遮罩部5之基底層之表面平坦性、結晶性、材質之影響。若於基底層存在缺陷部，則遮罩部5與基底層之反應自該缺陷部進展，遮罩部5之性質降低。其結果，促進遮罩部5與成膜於其上之ELO半導體層8之反應，有時於ELO半導體之背面(與遮罩部5之邊界面)產生空隙。於ELO法中，成膜係自遮罩部5之兩側朝向中央進展，故而容易於接近中央之部分(到成膜為止之時間較長的部分)產生空隙。

#### 【0056】

關於ELO半導體層8之成膜溫度，相比超過1200°C之高溫而言，較佳為1150°C以下之溫度。於如低於1000°C之低溫中亦能夠形成ELO半導體層8，於減少相互反應之觀點而言可謂更佳。可知於此種低溫成膜中，若使用三甲基鎘(TM<sub>G</sub>)作為鎘原料，則原料不充分分解，鎘原子與碳原子同

時較通常更多地納入至ELO半導體層8。認為其原因在於，於ELO法中，a軸方向之成膜較快，c軸方向之成膜較慢，故而於c面成膜時會較多地納入該等原子。

#### 【0057】

可知納入至ELO半導體膜之碳(carbon)會減少與遮罩部5之反應，減少與遮罩部5之相互反應，不產生與遮罩部5之黏連等。因此，於ELO半導體層8之低溫成膜中，藉由減少氨之供給量，以低V/III(< 1000)左右成膜，而ELO半導體層8可納入原料或腔室環境內之碳元素，可減少與遮罩部5之反應。於該情形時，半導體層8成為包含碳(carbon)之構成。

#### 【0058】

又，於如低於1000°C之低溫成膜中，較佳為使用三乙基鎵(TEG)作為鎵原料氣體。TEG與TMG相比，以低溫將有機原料高效率地分解，故而可提高橫向成膜速率。

#### 【0059】

亦可形成InGaN層作為ELO半導體層8。InGaN層之橫向成膜例如以低於1000°C之低溫進行。其原因在於，高溫下，銦之蒸氣壓變高，無法有效地納入至膜中。藉由使成膜溫度為低溫，而具有減少遮罩部5與InGaN層之相互反應之效果。又，InGaN層與GaN層相比，亦具有與遮罩部5之反應性較低之效果。若銦以In組成量1%以上納入至InGaN層，則與遮罩部5之反應性進而降低，故而較理想。作為鎵原料氣體，較佳為使用三乙基鎵(TEG)。

#### 【0060】

遮罩部5與ELO半導體層8之相互反應會因各種因素而複合產生，故

而亦可將上述對策組合。

#### 【0061】

藉由抑制ELO半導體層8之背面中之空隙產生，可減少ELO半導體層8表面(表層)之線狀缺陷。ELO半導體層8之m面相對於應力而言脆弱，容易產生缺陷。認為該線狀缺陷係藉由沿著m面之結晶之滑動而產生者。於與c面平行之特定剖面中，會觀察到沿著m軸方向延伸之位錯(推定為刀狀位錯與螺旋位錯結合而成之混合位錯)作為線狀缺陷，但只要於以較該特定剖面更靠表層切斷之剖面(c面平行)中消除線狀缺陷(觀察不到)即可。

#### 【0062】

(ELO半導體層背面之黏連)

於使用異質基板且使遮罩部5為寬幅之情形時，有時會於ELO半導體層8之背面產生與遮罩部5之黏連。若存在該黏連，則難以緩和因ELO半導體層8與異質基板之熱膨脹係數之差異而產生之應力，從而導致表面缺陷。又，於將ELO半導體層8自模板基板7剝離時，會使剝離良率惡化。

#### 【0063】

於本實施方式中，藉由減少ELO半導體層8與遮罩部5之相互反應，而減少ELO半導體層8與遮罩部5之黏連。具體而言，使遮罩部5之材質及厚度最佳化，並且提高遮罩部5之膜密度。於遮罩部5之膜密度較低之情形時，相對於MOCVD裝置內之高溫、氬環境之成膜而言，膜之蒸發較快，或者蝕刻速率變高。若橫向生長之ELO半導體層8覆蓋此種遮罩部5，則遮罩部5與ELO半導體層8黏連。認為其原因在於，產生遮罩部5與ELO半導體層8混合成之反應層，使得ELO半導體層8固著於遮罩部5。

#### 【0064】

若ELO半導體層8與遮罩部5固著，則於ELO半導體層8之背面形成中間層(遮罩部5與半導體層8反應或者混合而成之層)。該中間層(黏連層)於使用氫氟酸等蝕刻劑將遮罩部5去除之情形時仍未被去除，而殘留於ELO半導體層8之背面。因此，若形成中間層，則自模板基板7剝離後之ELO半導體層8之背面之表面形態惡化。黏連之影響較小時，利用AFM(Atomic Force Microscope，原子力顯微鏡)獲得之算術平均表面粗糙度Ra為10 nm以下，較佳為1 nm左右。又，黏連之影響較大時，Ra為13 nm左右。藉由使用下述剝離方法(參照實施例1)，利用AFM測定ELO半導體層8之背面之表面粗糙度，可知曉黏連之狀態等。

#### 【0065】

(遮罩層之較佳之構成)

作為遮罩層，除了上述氧化矽膜( $\text{SiO}_x$ )以外，可列舉包括氮化鈦膜(TiN等)、氮化矽膜(SiN等)、氮氧化矽膜(SiON)、及高熔點金屬膜之任一種之單層膜或包括2個以上之複層膜。

#### 【0066】

遮罩部5亦可為氮化矽膜、氮氧化矽膜。氧化矽膜有時於ELO半導體層8形成中微量分解、蒸發，且被納入ELO半導體層8，但氮化矽膜、氮氧化矽膜具有高溫下不易分解、蒸發之優點。再者，於在ELO法中將一般的氧化矽膜用於遮罩層之情形時，藉由使遮罩層之成膜條件、ELO半導體層8之成膜條件最佳化，亦可有效地減少遮罩部5及ELO半導體層8間之相互反應。

#### 【0067】

因此，可使遮罩層為氮化矽膜或氮氧化矽膜之單層膜，亦可為於基

底層上依次形成有氧化矽膜及氮化矽膜而成之複層膜，亦可為於基底層上依次形成氮化矽膜及氧化矽膜而成之複層膜，亦可為於基底層上依次形成氮化矽膜、氧化矽膜及氮化矽膜而成之複層膜。

### 【0068】

關於遮罩部5之針孔等異常部位，於成膜後進行有機洗淨等，再次導入至成膜裝置形成同種膜，藉此亦可消滅異常部位。亦可使用一般的氧化矽膜，使用如上所述之再成膜方法而形成質量良好之遮罩層。

### 【0069】

(本半導體基板之評估)

以下，對半導體基板10之評估進行說明。圖15～圖18係表示關於本半導體基板(ELO半導體層於遮罩上具有邊緣面之構成)之評估之俯視圖及模式圖。關於半導體層8之背面(與遮罩部之邊界面8R)，可以與遮罩部5相接之邊界面之狀態評估，亦可將半導體層8自遮罩部5剝離，對其剝離面進行評估。於該情形時，只要將遮罩部5利用濕式蝕刻等去除則可將半導體層8剝離(再者，於半導體層8為一體型之情形時亦可進行直至基底層4為止之事前刻蝕)。

### 【0070】

關於半導體基板10，利用CL(陰極發光)法測定ELO半導體層8之表面，結果認為有效部YS之上表面8F包含至少1個低缺陷區域AL，該低缺陷區域AL具有於沿著開口部KS之寬度方向之第1方向X(a軸方向)上為10  $\mu\text{m}$ 、於與第1方向正交之第2方向Y(m軸方向)上為10  $\mu\text{m}$ 之尺寸，且於低缺陷區域AL中，未測定到線狀缺陷(認為起因於m面滑動之相對於第1方向X呈傾斜之線狀缺陷)(參照圖15，評估基準1)。更具體而言，有效部YS之

上表面包含排列於第1方向X之複數個低缺陷區域AL、與排列於第2方向Y之複數個低缺陷區域AL(參照圖15，評估基準2)。有效部YS之第1方向之尺寸較開口部KS之寬度大(參照圖15，評估基準3)。

#### 【0071】

有效部YS於與遮罩部5之邊界面8R中，具有第1區域A1及第2區域A2，該第1區域A1具有第1方向X上為10  $\mu\text{m}$ 、第2方向Y上為10  $\mu\text{m}$ 之尺寸，第2區域A2之尺寸與上述尺寸相同，位於較第1區域A1更靠遮罩部5之中央側，且與遮罩部5之中央5C之間隔PT為遮罩部5之寬度之30%以下。而且，將有效部YS自遮罩部5剝離，利用AFM觀察第1區域A1及第2區域A2，結果為，第1區域A1中之長徑0.1[ $\mu\text{m}$ ]以上之凹部的數量為第2區域A2中之長徑0.1[ $\mu\text{m}$ ]以上之凹部的數量以下(參照圖16，評估基準4)。又，存在於第1區域A1之凹部之長徑為1  $\mu\text{m}$ 以下(以下，評估基準5)。

#### 【0072】

又，關於自遮罩部5剝離之前之有效部YS，利用AFM進行第1區域A1及第2區域A2之剖面觀察，結果為，第1區域A1中之長徑0.1[ $\mu\text{m}$ ]以上之空隙(void)的數量為第2區域A2中之長徑0.1[ $\mu\text{m}$ ]以上之空隙的數量以下(參照圖16，評估基準6)。

#### 【0073】

有效部YS於與遮罩部5之邊界面8R中，具有第3區域A3及第4區域A4，該第3區域A3具有第1方向X上為10  $\mu\text{m}$ 、第2方向Y上為10  $\mu\text{m}$ 之尺寸，該第4區域A4之尺寸與上述尺寸相同，位於較第3區域A3更靠遮罩部5之中央側。而且，將有效部YS自遮罩部5剝離，利用AFM觀察第1區域A3及第2區域A4，結果為，第3區域A3之黏連面積小於第4區域A4之黏連

面積(參照圖17，評估基準7)。進而，第3區域A3為實質上未觀察到與遮罩部5之黏連之非黏連區域(以下，評估基準8)。再者，第4區域A4係與遮罩部之中央5C之間隔PT為遮罩部5之寬度之30%以下的位置。

#### 【0074】

有效部YS包含第1部分P1、及較第1部分P1遠離開口部KS且與開口部KS之間隔KT為10  $\mu\text{m}$ 以上之第2部分P2，將使第1部分P1自遮罩部5剝離時之剝離面F1之表面粗糙度(Ra)設為第1表面粗糙度，將使第2部分P2自遮罩部5剝離時之剝離面F2之表面粗糙度(Ra)設為第2表面粗糙度，第1表面粗糙度為第2表面粗糙度以下(參照圖18，評估基準9)。此處，可將利用AFM測定各剝離面之5  $\mu\text{m}$ ×5  $\mu\text{m}$ 之範圍內之算術平均粗糙度(Ra)所得的粗糙度曲線之一部分按基準長度擷取，以平均值形式表示該區間之凹凸狀態。進而，第2表面粗糙度相對於第1表面粗糙度之比之值為1.0~10(評估基準10)。進而，於將有效部YS自遮罩部5剝離時之剝離面(包含F1、F2)，包含平坦區域，該平坦區域具有第1方向上為10  $\mu\text{m}$ 、第2方向上為10  $\mu\text{m}$ 之尺寸，且不存在長徑為0.1[ $\mu\text{m}$ ]以上之凹部(評估基準11)。又，第2表面粗糙度未達10[nm](評估基準12)。又，俯視下，第1部分P1與開口部KS相鄰，並且第2部分P2與遮罩部之中央5C之間隔PT為遮罩部5之寬度的30%以下(評估基準13)。又，將第1部分P1之剝離面F1中所包含之長徑0.1  $\mu\text{m}$ 以上之凹部占剝離面的面積比率設為第1凹部佔有率，將第2部分之剝離面F2中所包含之長徑0.1  $\mu\text{m}$ 以上之凹部占剝離面的面積比率設為第2凹部佔有率，第1凹部佔有率為第2凹部佔有率以下(評估基準14)。此處，關於各剝離面之5  $\mu\text{m}$ ×5  $\mu\text{m}$ 之範圍，利用AFM測定凹部(空隙區域)，可獲得其長徑、佔有率等。

**【0075】**

又，第1部分P1之剝離面F1中之雜質濃度較第2部分P2之剝離面F2中的雜質濃度大(評估基準15)。

**【0076】**

進而，有效部YS之上表面8R中之穿透位錯密度為 $5 \times 10^6$ [個/cm<sup>2</sup>]以下(評估基準16)。

**【0077】**

如上所述，為了減少半導體層8之表面缺陷，重要的是減少與遮罩部5之黏連而進行應力緩和，並且減少成為表面缺陷(m面滑動)之原因之空隙之產生。

**【0078】**

自遮罩5之開口部KS於遮罩5上橫向生長之ELO半導體層8之結晶性極高。於半導體基板10中，藉由減少遮罩部5與半導體層8之相互反應，可減少半導體層8之背面所產生之空隙、黏連，可有效地緩和來自主基板1之應力。藉此，可知產生於有效部YS之缺陷不會貫通至半導體層8之表面，而封閉於其內部。

**【0079】**

圖19～圖22係表示關於其他構成(ELO半導體層於遮罩上不具有邊緣面之一體型)之半導體基板之評估的俯視圖及模式圖。可知於該情形時亦滿足上述評估基準1～16。

**【0080】**

圖23係以半導體基板10(主基板為矽基板)之ELO半導體層8為對象之CL(陰極發光)像。於有效部YS未觀測到暗點及暗線。僅於非有效部NS，

存在 $10^{19}/\text{cm}^2$ 左右之因矽基板與GaN之晶格常數差引起之穿透位錯。

### 【0081】

圖24係以半導體基板10(主基板為藍寶石基板)之ELO半導體層8為對象之CL(陰極發光)像。由於ELO半導體層8自模板基板機械地剝離，故而非有效部NS稍微受損傷，剝離面並不平坦，故而CL像稍微紊亂，但是在有效部YS，並不會觀察到作為穿透位錯之暗點、暗線等，或者可實現較低之位錯密度。

### 【0082】

圖25係以半導體基板10之ELO半導體層背面(剝離面)為對象之CL像。可知於有效部YS未觀察到空隙及黏連。

### 【0083】

(ELO成膜之參考例)

圖26係參考例之Ga<sub>N</sub>層表面之CL像。於該參考例中，使用藍寶石作為主基板，利用ELO法成膜Ga<sub>N</sub>層。於開口部上，存在作為高密度之穿透位錯(Dislocation)之暗點( $10^{18} \sim 10^{19}/\text{cm}^2$ )與暗線之兩者。又，於遮罩部上，相比開口部上而言，密度降低，但仍觀測到暗點與暗線。

圖27係參考例之Ga<sub>N</sub>層表面之CL像。於該參考例中，使用矽作為主基板，利用ELO法成膜Ga<sub>N</sub>層。於開口部上，觀測到 $10^{19}/\text{cm}^2$ 左右之暗點，於遮罩部上亦觀測到暗線。

### 【0084】

圖28係參考例之Ga<sub>N</sub>層背面之CL像。於該參考例中，使用矽作為主基板，利用ELO法成膜Ga<sub>N</sub>層。於遮罩部上之端部確認到多個空隙。

### 【0085】

圖29係以參考例之ELO法成膜之Ga<sub>2</sub>N層背面(剝離面)為對象之光學顯微鏡像。觀察到遮罩部與Ga<sub>2</sub>N層之黏連NL(反應層)。若將此種Ga<sub>2</sub>N層自遮罩部機械地(例如，使用鑽石筆)剝離，則如圖30之剝離區域NA所示，Ga<sub>2</sub>N層與遮罩部一起自模板基板被剝離。

### 【0086】

根據參考例可知，並非只要使用ELO法便能使空隙、黏連消失，而大幅度減少遮罩部上之表面缺陷。關於暗線(線狀缺陷)，若產生則廣範圍內受其影響，故而減少暗線(線狀缺陷)具有較大之意義。

### 【0087】

(實施例1)

圖31係表示實施例1之半導體基板之構成之剖視圖。主基板1使用具有(111)面之矽基板。基底層4之緩衝層2設為AlN層(例如，30 nm)。基底層4之晶種層3設為作為第1層之Al<sub>0.6</sub>Ga<sub>0.4</sub>N層(例如，300 nm)與作為第2層之Ga<sub>2</sub>N層(例如，1~2 μm)依次形成之分級層。即，第2層(Ga : N = 1 : 1)中之Ga之組成比(1/2 = 0.5)較第1層(Al : Ga : N = 0.6 : 0.4 : 1)中之Ga之組成比(0.6/2 = 0.3)大。

### 【0088】

遮罩層6使用將氧化矽膜(SiO<sub>2</sub>)與氮化矽膜(SiN)依次形成而成之積層體。氧化矽膜之厚度例如為0.3 μm，氮化矽膜之厚度例如為70 nm。氧化矽膜及氮化矽膜各自之成膜使用電漿化學氣相沈積(CVD)法。

### 【0089】

半導體層8設為Ga<sub>2</sub>N層，使用MOCVD裝置進行ELO成膜。首先，於露出於開口部KS之晶種層3(第2層之Ga<sub>2</sub>N層)之表面將ELO半導體層8選擇

生長，繼而於遮罩部5上橫向生長。此時，於遮罩部5上自其兩側橫向生長之半導體層彼此在會合之前停止生長。此時之間隙GP之寬度為2  $\mu\text{m}$ 。

#### 【0090】

遮罩部5之寬度WM為50  $\mu\text{m}$ ，開口部KS之寬度為5  $\mu\text{m}$ ，ELO半導體層8之橫寬WL為53  $\mu\text{m}$ ，有效部YS之寬度(X方向之尺寸)為24  $\mu\text{m}$ 。又，ELO半導體層8之層厚為5  $\mu\text{m}$ ，ELO半導體層8之縱橫比為53  $\mu\text{m}/5 \mu\text{m} = 10.6$ ，實現非常高之縱橫比。

#### 【0091】

對實施例1中所獲得之半導體基板10進行評估，結果可知滿足上述評估基準1~16。

#### 【0092】

關於半導體層8之背面評估時之半導體層8之剝離，按照以下之方式進行。例如，於遮罩層6由矽之氧化膜、氮化膜或氮氧化膜形成之情形時，藉由將進行過元件分離之步驟(參照圖8、圖9)之半導體基板10浸漬於氫氟酸之蝕刻劑達10~60分鐘左右，可使遮罩層6溶解於蝕刻劑，而將半導體層8自模板基板7剝離。

#### 【0093】

作為其他剝離方法，如圖32所示，亦可將半導體基板10浸漬於氫氟酸之蝕刻劑，使遮罩層6溶解，然後，於半導體層8之表面貼附黏著帶(例如，切割半導體晶圓時所使用之黏著質之切割帶)，直接使用珀爾帖元件，使貼附有黏著帶之狀態之半導體基板10下降至低溫。此時，一般而言熱膨脹係數較半導體大之黏著帶大幅度收縮，對半導體層8施加應力。半導體層8僅於開口部KS內與模板基板7結合，且遮罩部5被去除，故而來自

黏著帶之應力有效地施加至與模板基板7之結合部，可機械地將該結合部劈開或破壞。即，可不將結合部利用乾式蝕刻去除。

#### 【0094】

(實施例2)

圖33係表示實施例2之半導體基板之構成之剖視圖。於實施例2中，採用於遮罩部5上ELO半導體層8不具有邊緣面之一體型。遮罩部5之寬度為50  $\mu\text{m}$ ，開口部KS之寬度為5  $\mu\text{m}$ 。自緩和膜應力之觀點而言，中空部8C之高度較佳為1  $\mu\text{m}$ 以上。中空部8C之底面之寬度亦較佳為1  $\mu\text{m}$ 以上，更佳為2  $\mu\text{m}$ 以上。

#### 【0095】

對實施例2中所獲得之半導體基板10進行評估，結果可知滿足上述評估基準1~16。

#### 【0096】

(實施例3)

圖34係表示實施例3之半導體基板之構成之剖視圖。於實施例3中，開口部KS之寬度為1  $\mu\text{m}$ 以下之700 nm，遮罩部5之寬度設為100  $\mu\text{m}$ 。於實施例3中，由於可使有效部YS之寬度較寬，故而對高輸出雷射半導體元件(隆起緣寬度為40  $\mu\text{m}$ 左右)等較佳。圖34中表示了半導體層8於遮罩部5上具有邊緣面之構造，但亦可為於遮罩部5上不具有邊緣之一體型。

#### 【0097】

對實施例3中所獲得之半導體基板10進行評估，結果可知滿足上述評估基準1~16。

#### 【0098】

(實施例4)

圖35係表示實施例4之構成之剖視圖。於實施例4中，於半導體層8上，成膜構成LED之功能層9。半導體層8例如為摻雜有矽等之n型。功能層9自下層側起依次包含活性層34、電子阻擋層35、及GaN系p型半導體層36。活性層34為MQW(Multi-Quantum Well，多量子井)，包含InGaN層及GaN層。電子阻擋層35例如為AlGaN層。GaN系p型半導體層36例如為GaN層。陽極38以與GaN系p型半導體層36接觸之方式形成，陰極39以與半導體層8接觸之方式形成。

#### 【0099】

半導體層背面之空隙成為表面缺陷(線狀缺陷)之原因，使半導體裝置之特性降低。又，於半導體裝置為發光元件之情形時，半導體層背面之空隙使出射光之面內均勻性降低。於實施例6中，於ELO半導體層8上形成元件部(發光元件部)DS，將其剝離可獲得作為發光元件之半導體裝置20，故而可改善該等問題。具體而言，於半導體裝置20之發光區域觀察不到缺陷。

#### 【0100】

圖36係表示實施例4之應用例之剖視圖。藉由實施例4，可獲得紅色微LED20R、綠色微LED20G、藍色微LED20B，藉由將該等安裝於驅動基板(TFT基板)23，可構成微LED顯示器30D(電子機器)。作為一例，將紅色微LED20R、綠色微LED20G、藍色微LED20B經由導電樹脂24(例如，各向異性導電樹脂)等安裝於驅動基板23之複數個像素電路27，然後，將控制電路25及驅動器電路29等安裝於驅動基板23。驅動器電路29之一部分亦可包含於驅動基板23。

**【0101】**

## (實施例5)

圖37係表示實施例5之構成之剖視圖。於實施例5中，於半導體層8上，成膜構成半導體雷射之功能層9。功能層9自下層側起依次包含n型光包覆層41、n型光導層42、活性層43、電子阻擋層44、p型光導層45、p型光包覆層46、及GaN系p型半導體層47。各導層42、45可使用InGaN層。各包覆層41、46可使用GaN層或AlGaN層。陽極48以與GaN系p型半導體層47接觸之方式形成。

**【0102】**

於實施例5中，如圖37所示，於將元件部DS剝離之後，將陰極49形成於半導體層8之背面。因此，半導體層8背面之品質影響裝置特性。

**【0103】**

## (實施例6)

圖38係表示實施例6之構成之剖視圖。圖39係表示實施例6之其他構成之剖視圖。於實施例6中，主基板1使用經表面凹凸加工後之藍寶石基板。基底層4具有緩衝層2及晶種層3。半導體層8可為於遮罩5上具有邊緣面之形態(圖38)，亦可為於遮罩上不具有邊緣面之一體型(圖39)。於實施例6中，可在主基板1上成膜具有(20-21)面之Ga<sub>N</sub>層作為基底層4。於該情形時，ELO半導體層8成為基底層4中作為結晶主面之(20-21)面，可獲得半極性面之ELO半導體層8。藉由於半極性面上設置雷射、LED用之功能層，而具有壓電電場較少，於活性層中，電子與電洞之再結合機率提高之優點。再者，藉由使用經表面凹凸加工後之藍寶石基板，亦可於主基板1上成膜具有(11-22)面之Ga<sub>N</sub>層作為基底層4。

**【0104】**

(製造裝置)

半導體基板10之製造方法中至少包含有於模板基板7上使用ELO法形成半導體層8之步驟。亦可包含有於主基板1上形成基底層4及遮罩層6之步驟。

**【0105】**

半導體基板10例如可利用圖40中所記載之半導體基板之製造裝置來製作。半導體基板之製造裝置70至少包含進行於模板基板7上使用ELO法形成半導體層8之步驟之半導體層形成部71、及控制半導體層形成部71之控制部72。半導體層形成部71亦可包含MOCVD裝置，控制部72亦可包含處理器及記憶體。控制部72例如亦可為內置記憶體、能夠通信之通信裝置、或藉由執行儲存於網路上之能夠存取之程式而控制半導體層形成部71之構成，該程式及儲存有該程式之記錄媒體等亦包含於本實施方式。半導體基板之製造裝置70亦可包含進行於主基板1上形成基底層4及遮罩層6之步驟之模板基板形成部、進行於半導體層8上形成功能層9之步驟之功能層形成部等。進而，亦可構成進行元件剝離之步驟之半導體裝置製造裝置。半導體裝置製造裝置亦可進行元件分離之步驟。半導體裝置製造裝置亦可包含半導體基板之製造裝置70。

**【0106】**

(附記事項)

以上，基於諸多圖式及實施例對本揭示之發明進行了說明。然而，本揭示之發明並不限定於上述各實施方式。即，本揭示之發明能夠於本發明所示之範圍內進行各種變更，將不同之實施方式各自揭示之技術手段適

當組合所得之實施方式亦包含於本揭示之發明之技術性範圍。即，應當留意的是，只要為業者則容易基於本發明進行各種變化或修正。又，請留意該等變化或修正包含於本發明之範圍。

**【符號說明】**

**【0107】**

1:主基板

2:緩衝層

3:晶種層

3S:晶種部

4:基底層

5:遮罩部

5C:遮罩部之中央

6:遮罩層

7:模板基板

8:半導體層

8C:中空部

8D:凹陷

8E:邊緣面(側面)

8F:上表面

8R:邊界面

9:功能層

9G:邊緣生長

10:半導體基板

- 20:半導體裝置
- 20B:藍色微LED
- 20G:綠色微LED
- 20R:紅色微LED
- 23:驅動基板
- 24:導電樹脂
- 25:控制電路
- 27:像素電路
- 29:驅動器電路
- 30:電子機器
- 30D:微LED顯示器
- 34:活性層
- 35:電子阻擋層
- 36:GaN系p型半導體層
- 38:陽極
- 39:陰極
- 41:n型光包覆層
- 42:n型光導層
- 43:活性層
- 44:電子阻擋層
- 45:p型光導層
- 46:p型光包覆層
- 47:GaN系p型半導體層

48:陽極  
49:陰極  
70:半導體基板之製造裝置  
71:半導體層形成部  
72:控制部  
A1:第1區域  
A2:第2區域  
A3:第3區域  
A4:第4區域  
AK:區域  
AL:低缺陷區域  
d1:厚度  
DS:元件部  
F1:剝離面  
F2:剝離面  
GP:間隙  
KS:開口部  
KT:間隔  
NS:非有效部  
P1:第1部分  
P2:第2部分  
PT:間隔  
SL:初始生長層

TR:溝槽

W1:尺寸

WK:寬度

WL:尺寸

YS:有效部

## 【發明申請專利範圍】

### 【請求項1】

一種半導體基板，其具備：

主基板，其晶格常數與GaN系半導體不同；

晶種部及非晶種部，其位於較上述主基板更靠上層；及

半導體層，其配置於上述晶種部上及非晶種部上，且包含GaN系半導體；

上述半導體層包含俯視下位於上述晶種部與上述非晶種部之中央之間、且具有與上述GaN系半導體之c面平行之上表面的有效部，

上述有效部之上表面包含至少1個低缺陷區域，該低缺陷區域具有於沿著上述晶種部之寬度方向之第1方向上為10  $\mu\text{m}$ 、於與上述第1方向正交之第2方向上10  $\mu\text{m}$ 之尺寸，

與上述半導體層於上述第1方向上隔離之其他半導體層係位於上述非晶種部上，且

於上述低缺陷區域中，未測定到基於CL法所致的線狀缺陷。

### 【請求項2】

如請求項1之半導體基板，其中上述有效部之上表面具有m軸方向之尺寸較a軸方向之尺寸大之形狀。

### 【請求項3】

如請求項1或2之半導體基板，其中上述有效部之上表面包含排列於上述第1方向之複數個低缺陷區域、及排列於上述第2方向之複數個低缺陷區域之至少一者。

### 【請求項4】

如請求項1或2之半導體基板，其中上述有效部之第1方向之尺寸較上述晶種部之寬度大。

**【請求項5】**

如請求項1或2之半導體基板，其中上述有效部之上述第1方向之尺寸相對於其厚度之比為2.0以上。

**【請求項6】**

一種半導體基板，其具備：

主基板，其晶格常數與GaN系半導體不同；

晶種部及非晶種部，其位於較上述主基板更靠上層；及

半導體層，其配置於上述晶種部上及非晶種部上，且包含GaN系半導體；

上述半導體層包含俯視下位於上述晶種部與上述非晶種部之中央之間、且具有與上述GaN系半導體之c面平行之上表面的有效部，

上述有效部於與上述非晶種部之邊界面，具有第1區域及第2區域，該第1區域具有於沿著上述晶種部之寬度方向之第1方向上為10 μm、於與上述第1方向正交之第2方向上為10 μm之尺寸，該第2區域之尺寸與上述尺寸相同，位於較上述第1區域更靠上述非晶種部之中央側，且與上述非晶種部之中央之間隔為上述非晶種部之寬度之30%以下，

與上述半導體層於上述第1方向上隔離之其他半導體層係位於上述非晶種部上，且

於將上述有效部自上述非晶種部剝離時，第1區域中之長徑0.1[μm]以上之凹部的數量較第2區域中之長徑0.1[μm]以上之凹部的數量少。

**【請求項7】**

如請求項6之半導體基板，其中存在於上述第1區域之凹部之長徑為1  $\mu\text{m}$ 以下。

**【請求項8】**

一種半導體基板，其具備：

主基板，其晶格常數與Ga<sub>N</sub>系半導體不同；

晶種部及非晶種部，其位於較上述主基板更靠上層；及

半導體層，其配置於上述晶種部上及非晶種部上，且包含Ga<sub>N</sub>系半導體；

上述半導體層包含俯視下位於上述晶種部與上述非晶種部之中央之間、且具有與上述Ga<sub>N</sub>系半導體之c面平行之上表面的有效部，

上述有效部於與上述非晶種部之邊界面，具有第1區域及第2區域，該第1區域具有於沿著上述晶種部之寬度方向之第1方向上為10  $\mu\text{m}$ 、於與上述第1方向正交之第2方向上為10  $\mu\text{m}$ 之尺寸，該第2區域之尺寸與上述尺寸相同，位於較上述第1區域更靠上述非晶種部之中央側，且與上述非晶種部之中央之間隔為上述非晶種部之寬度之30%以下，

與上述半導體層於上述第1方向上隔離之其他半導體層係位於上述非晶種部上，且

上述第1區域內之長徑0.1[ $\mu\text{m}$ ]以上之空隙的數量較上述第2區域內之長徑0.1[ $\mu\text{m}$ ]以上之空隙的數量少。

**【請求項9】**

如請求項6至8中任一項之半導體基板，其中上述有效部於與上述非晶種部之邊界面，具有第3區域及第4區域，該第3區域具有於沿著上述晶種部之寬度方向之第1方向上為10  $\mu\text{m}$ 、於上述第2方向上為10  $\mu\text{m}$ 之尺

寸，該第4區域之尺寸與上述尺寸相同，位於較上述第3區域更靠上述非晶種部之中央側，且與上述非晶種部之中央之間隔為上述非晶種部之寬度之30%以下，

於將上述有效部自上述非晶種部剝離時，上述第3區域之黏連面積較上述第4區域之黏連面積小。

**【請求項10】**

如請求項9之半導體基板，其中於將上述有效部自上述非晶種部剝離時，上述第3區域係未觀察到與上述非晶種部之黏連之非黏連區域。

**【請求項11】**

一種半導體基板，其具備：

主基板，其晶格常數與Ga<sub>N</sub>系半導體不同；

晶種部及非晶種部，其位於較上述主基板更靠上層；及

半導體層，其配置於上述晶種部上及非晶種部上，且包含Ga<sub>N</sub>系半導體；

上述半導體層包含俯視下位於上述晶種部與上述非晶種部之中央之間、且具有與上述Ga<sub>N</sub>系半導體之c面平行之上表面的有效部，

上述有效部包含第1部分、及在沿著上述晶種部之寬度方向之第1方向上較上述第1部分遠離上述晶種部且與上述晶種部之間隔為10 μm以上之第2部分，

與上述半導體層於上述第1方向上隔離之其他半導體層係位於上述非晶種部上，且

將上述第1部分自上述非晶種部剝離時之剝離面之表面粗糙度設為第1表面粗糙度，

將上述第2部分自上述非晶種部剝離時之剝離面之表面粗糙度設為第2表面粗糙度，

上述第1表面粗糙度為上述第2表面粗糙度以下。

**【請求項12】**

如請求項11之半導體基板，其中上述第2表面粗糙度相對於上述第1表面粗糙度之比之值為1.0~10。

**【請求項13】**

如請求項11或12之半導體基板，其中於將上述有效部自上述非晶種部剝離時之剝離面，包含平坦區域，該平坦區域具有於沿著上述第1方向為10  $\mu\text{m}$ 、於與上述第1方向正交之第2方向為10  $\mu\text{m}$ 之尺寸，且不存在長徑0.1[ $\mu\text{m}$ ]以上之凹部。

**【請求項14】**

如請求項11或12之半導體基板，其中上述第2表面粗糙度未達10[nm]。

**【請求項15】**

如請求項11或12之半導體基板，其中俯視下，上述第1部分與上述晶種部相鄰，並且上述第2部分與上述非晶種部之中央之間隔為上述非晶種部之寬度的30%以下。

**【請求項16】**

如請求項11或12之半導體基板，其中將上述第1部分之剝離面中所包含之長徑0.1  $\mu\text{m}$ 以上之凹部占上述剝離面的面積比率設為第1凹部佔有率，

將上述第2部分之剝離面中所包含之長徑0.1  $\mu\text{m}$ 以上之凹部占上述剝

離面的面積比率設為第2凹部佔有率，

上述第1凹部佔有率為上述第2凹部佔有率以下。

**【請求項17】**

如請求項11或12之半導體基板，其中上述第1部分之剝離面中之雜質濃度較上述第2部分之剝離面中之雜質濃度大。

**【請求項18】**

如請求項1、6、8、11中任一項之半導體基板，其中上述非晶種部包含氧化矽。

**【請求項19】**

如請求項1、6、8、11中任一項之半導體基板，其中上述有效部之上表面中之穿透位錯密度為 $5 \times 10^6$  [個/cm<sup>2</sup>]以下。

**【請求項20】**

如請求項1、6、8、11中任一項之半導體基板，其中上述第1方向為上述半導體層之 $\langle 11-20 \rangle$ 方向。

**【請求項21】**

如請求項1、6、8、11中任一項之半導體基板，其中於較上述主基板更靠上層包含晶種層，該晶種層包含Ga以外之III族原子、Ga、及氮原子，

上述晶種層包含主基板側之第1層、及較上述第1層更靠上層之第2層，

上述第2層中之Ga之組成比較上述第1層中之Ga之組成比大。

**【請求項22】**

如請求項21之半導體基板，其中於上述主基板與上述晶種層之間包

含緩衝層，該緩衝層包含上述Ga以外之III族原子。

**【請求項23】**

如請求項22之半導體基板，其中上述Ga以外之III族原子為Al。

**【請求項24】**

如請求項1、6、8、11中任一項之半導體基板，其中上述主基板為矽基板。

**【請求項25】**

如請求項1、6、8、11中任一項之半導體基板，其中上述非晶種部之寬度為20[ $\mu\text{m}$ ]~200[ $\mu\text{m}$ ]。

**【請求項26】**

如請求項1、6、8、11中任一項之半導體基板，其中上述半導體層於上述非晶種部上具有邊緣面。

**【請求項27】**

如請求項1、6、8、11中任一項之半導體基板，其中上述非晶種部之一部分係露出。

**【請求項28】**

如請求項1、6、8、11中任一項之半導體基板，其中於上述半導體層上設置有功能層。

**【請求項29】**

一種半導體裝置，其包含如請求項28之半導體層及功能層。

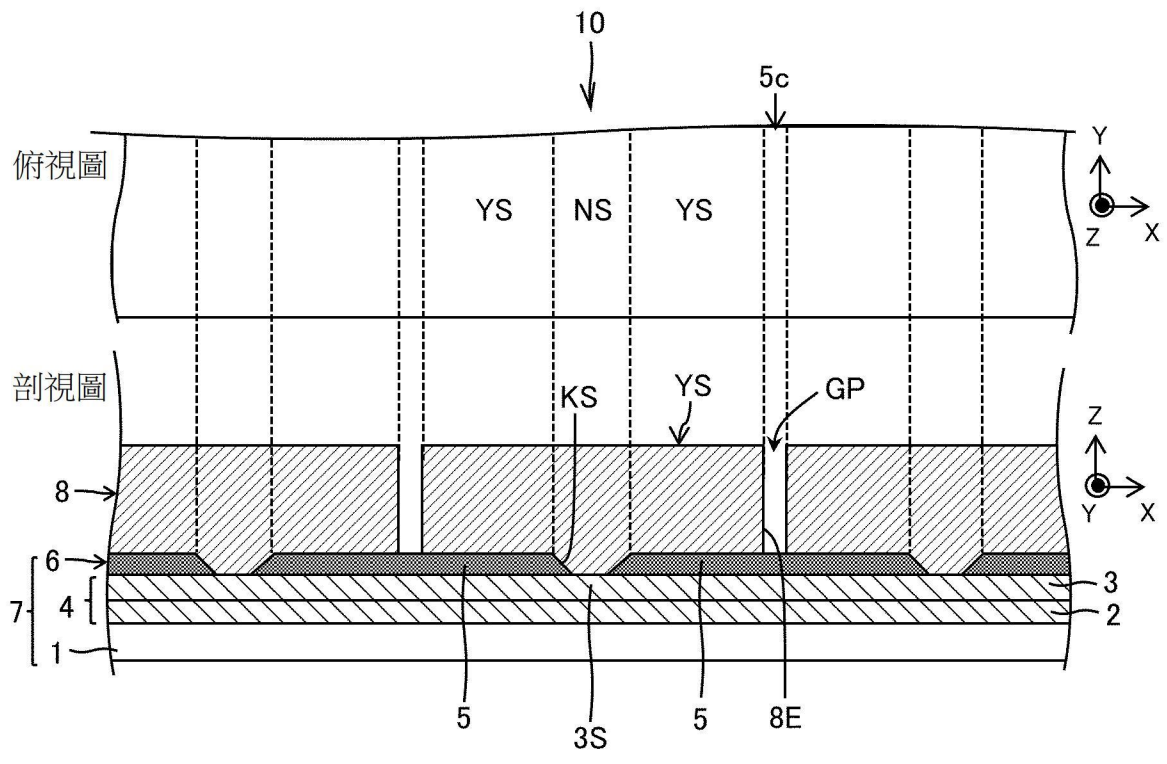
**【請求項30】**

一種電子機器，其包含如請求項28之半導體基板。

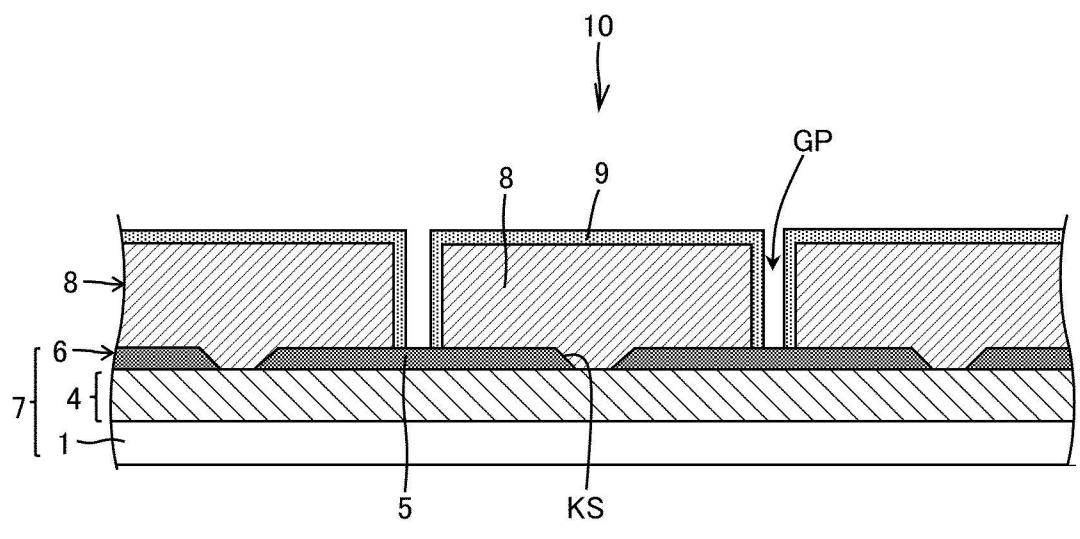
**【請求項31】**

一種電子機器，其包含如請求項29之半導體裝置。

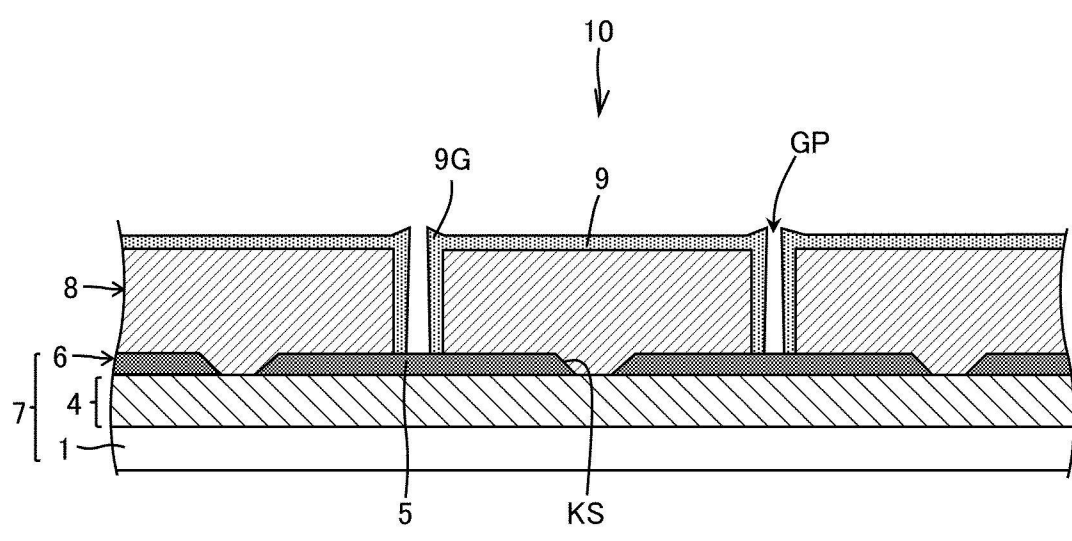
【發明圖式】



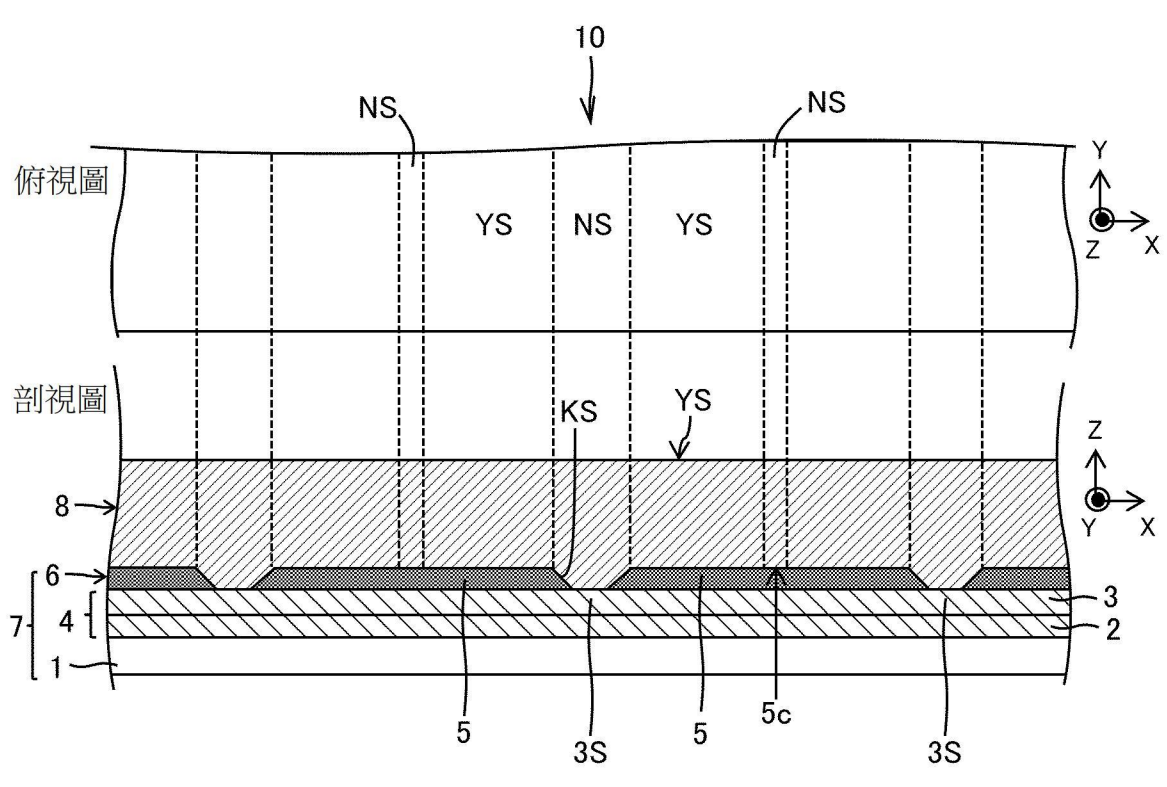
【圖1】



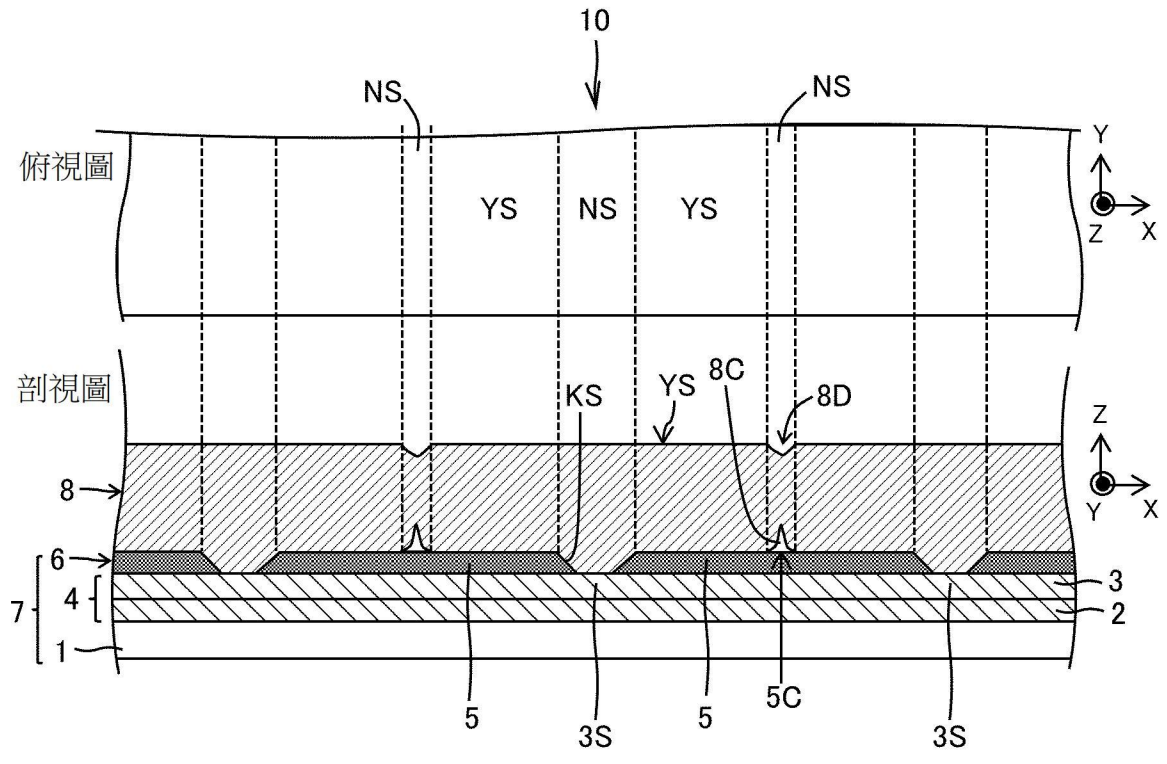
【圖2】



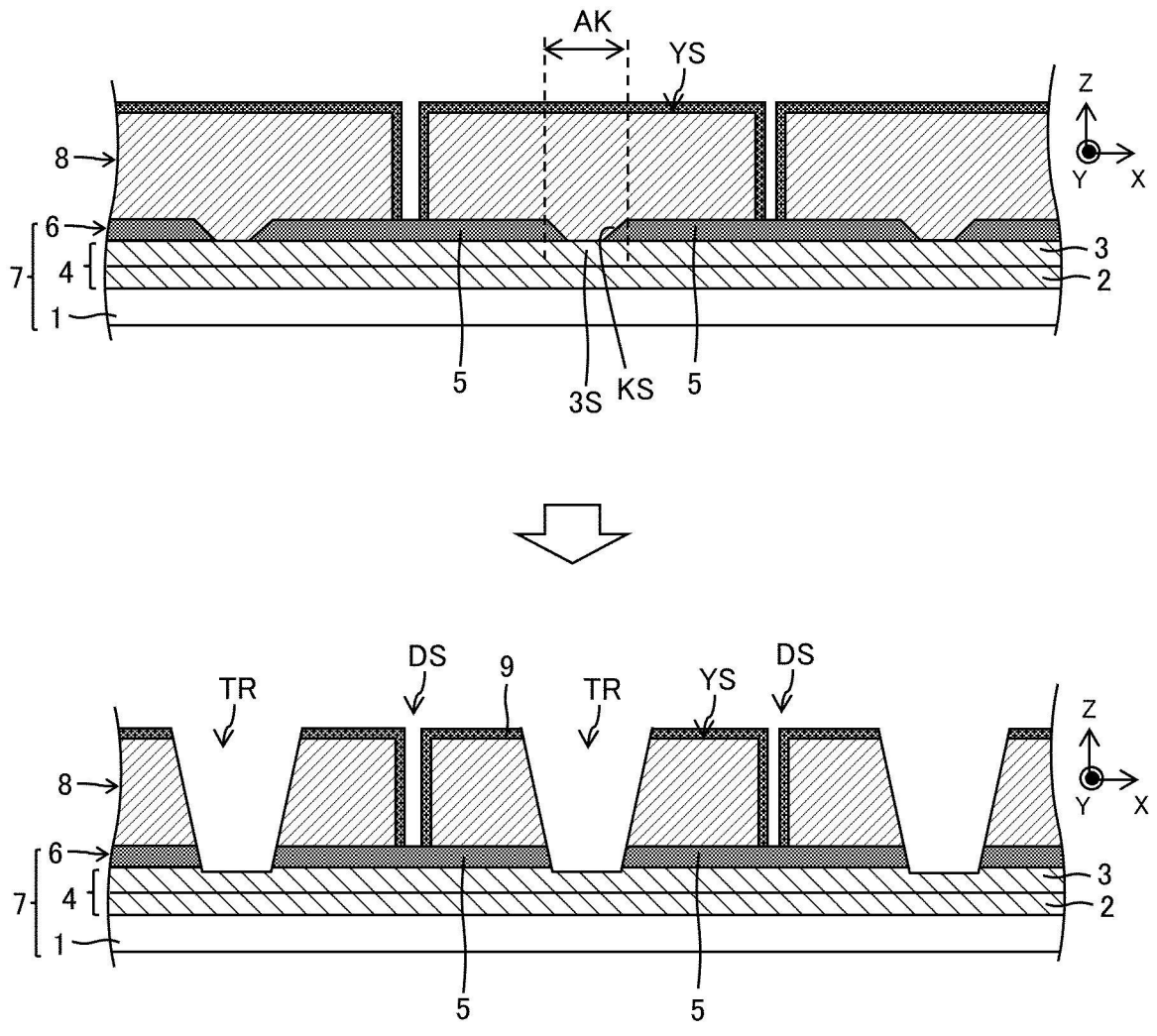
【圖3】



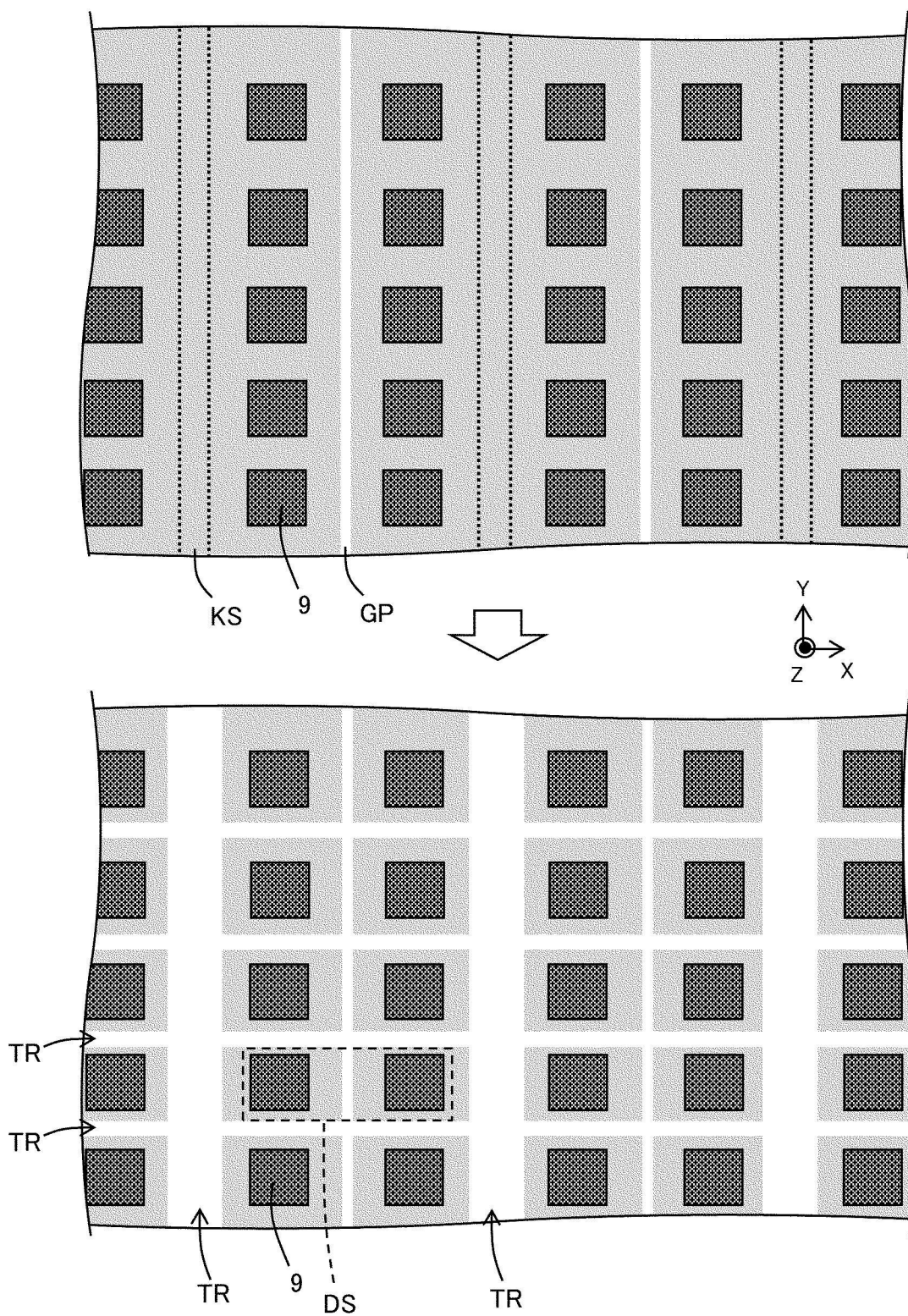
【圖4】



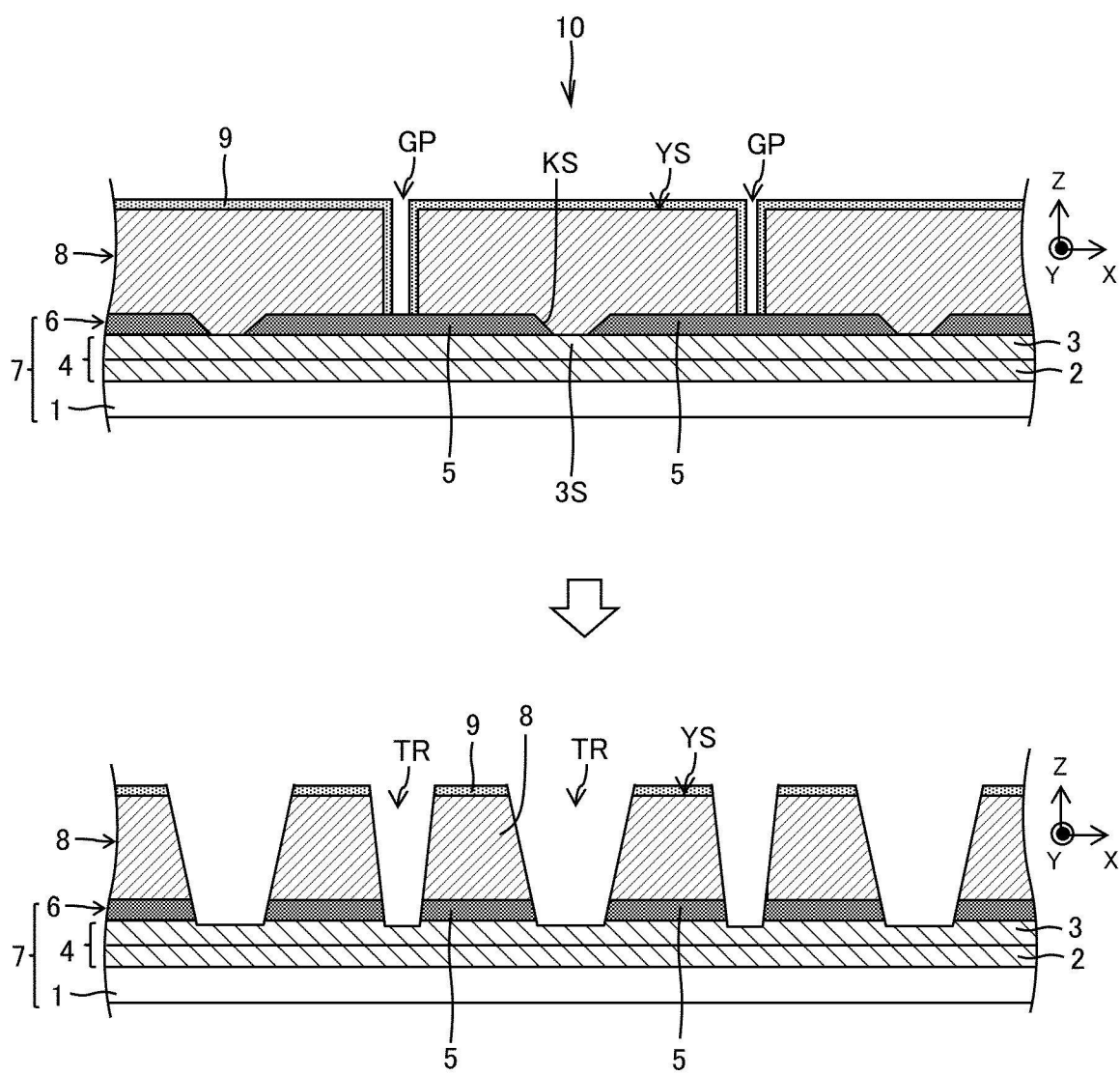
【圖5】



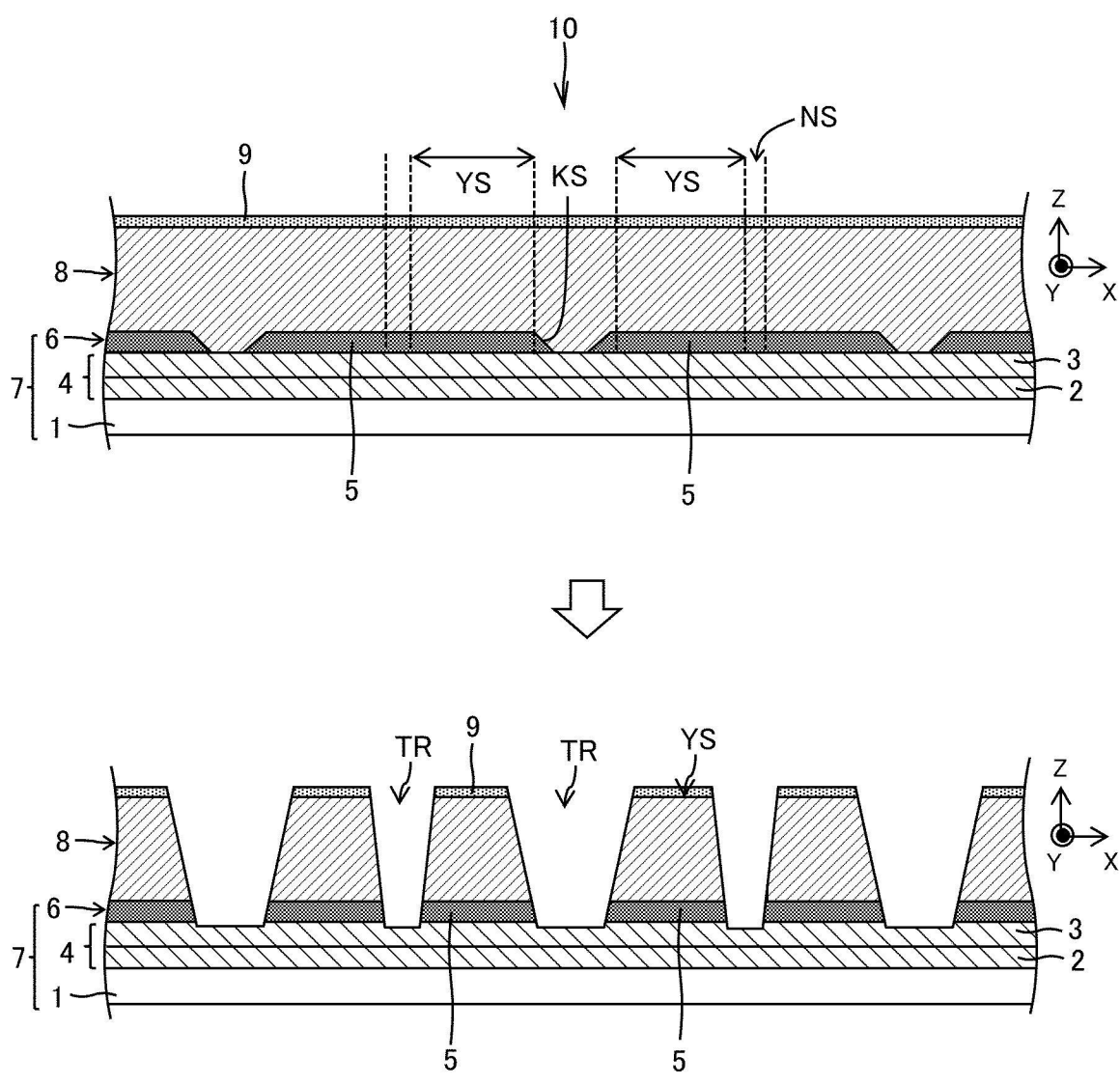
【圖6】



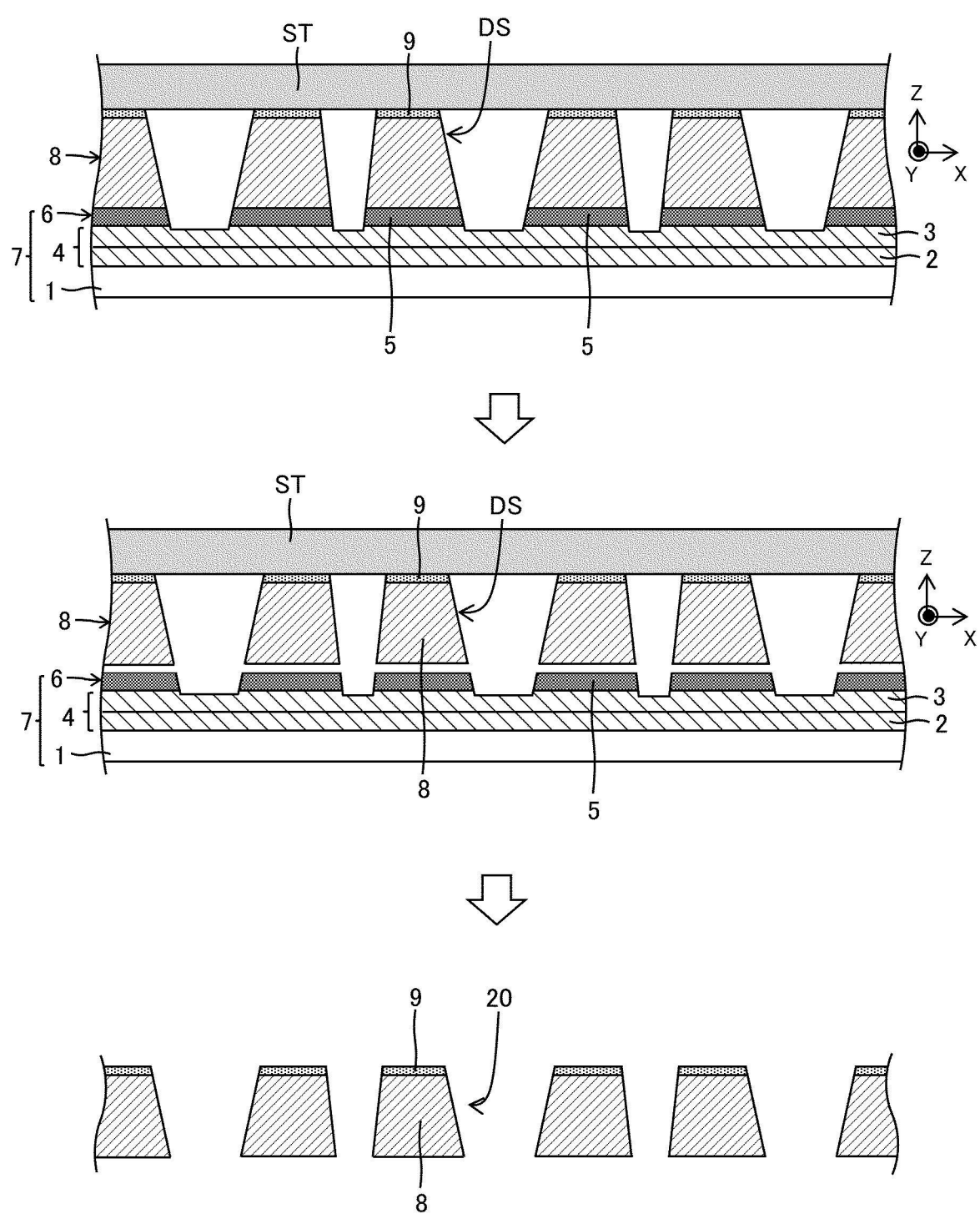
【圖7】



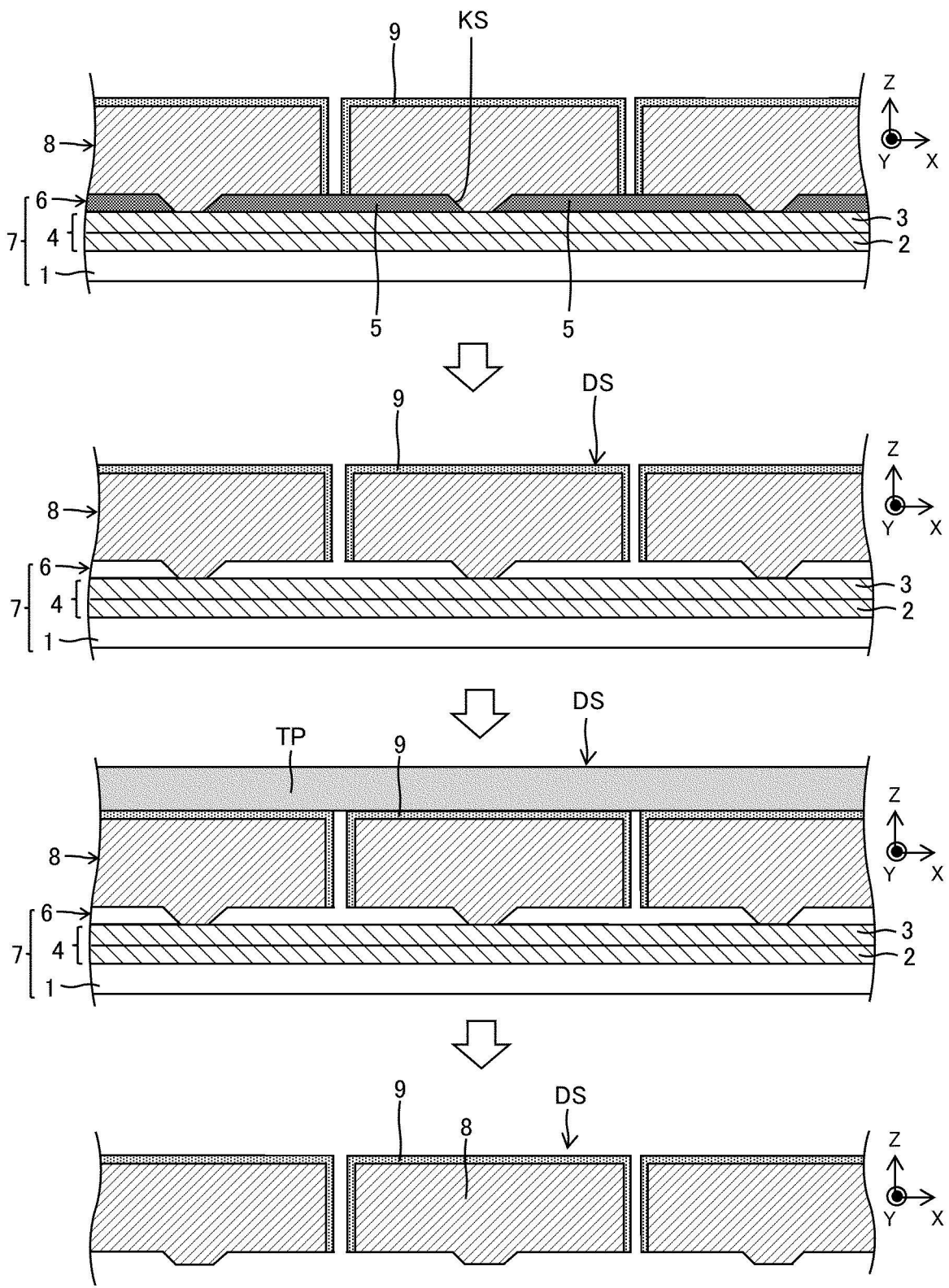
【圖8】



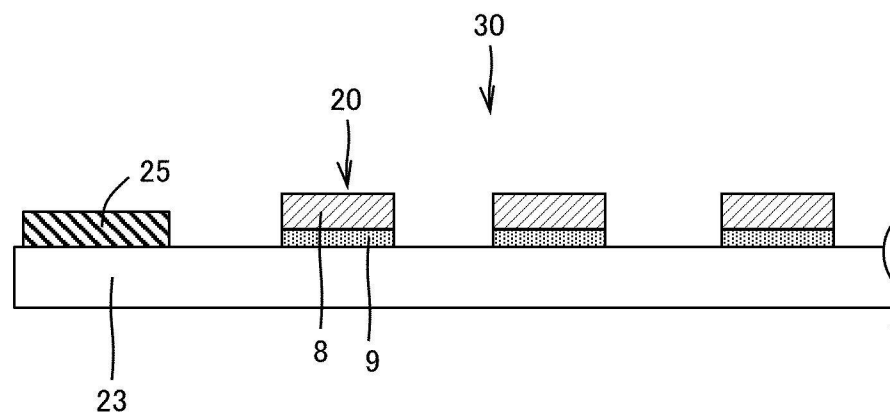
【圖9】



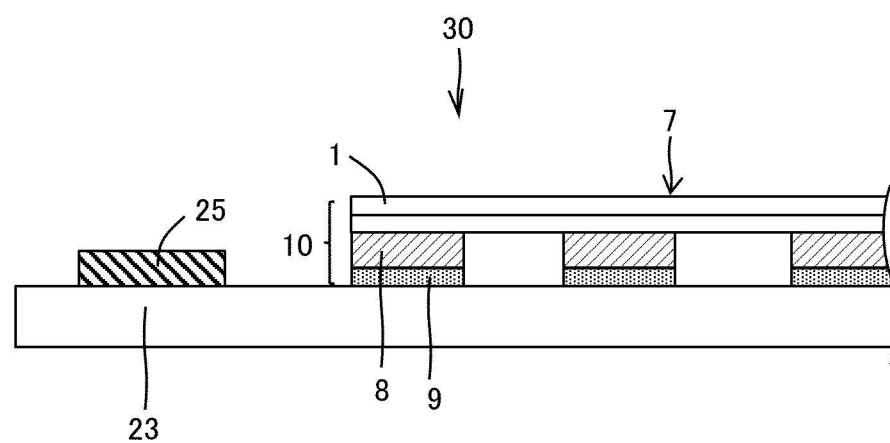
【圖10】



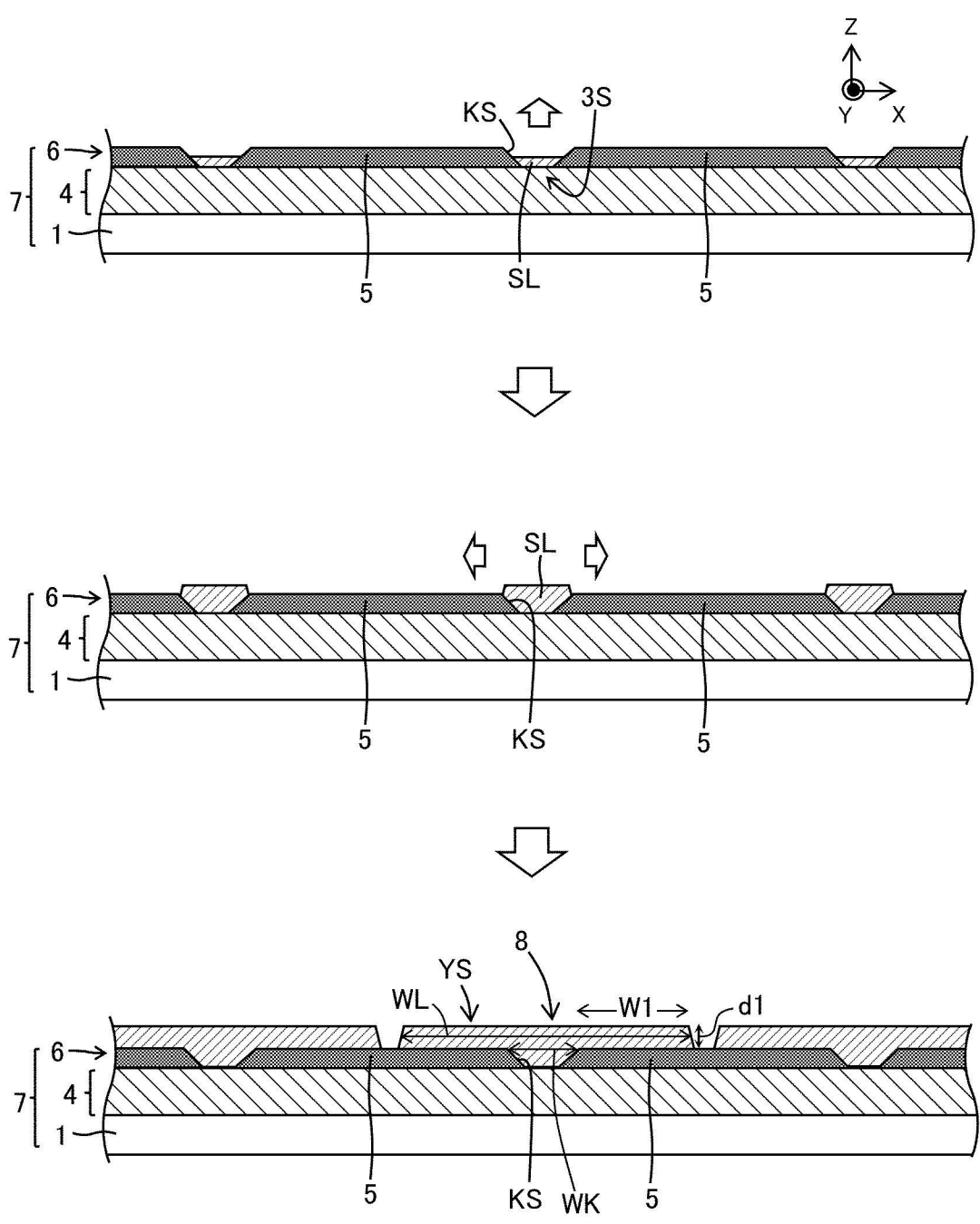
【圖11】



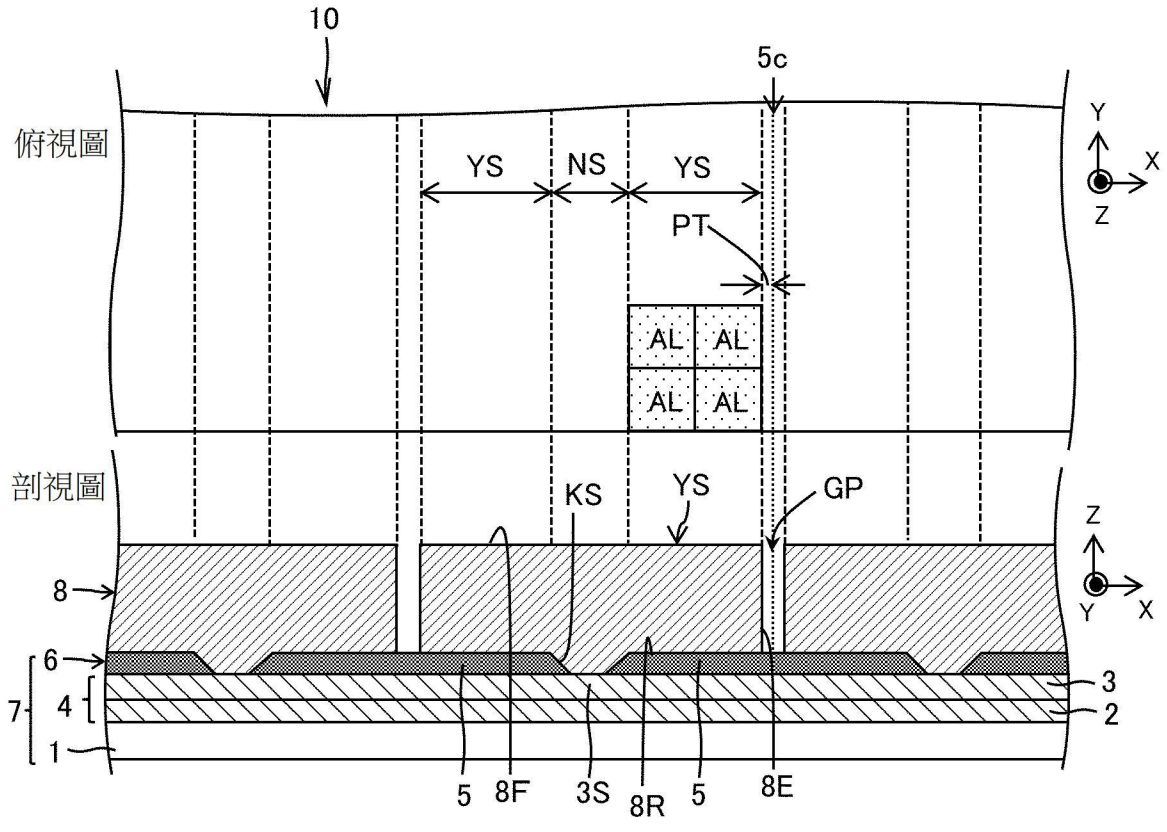
【圖12】



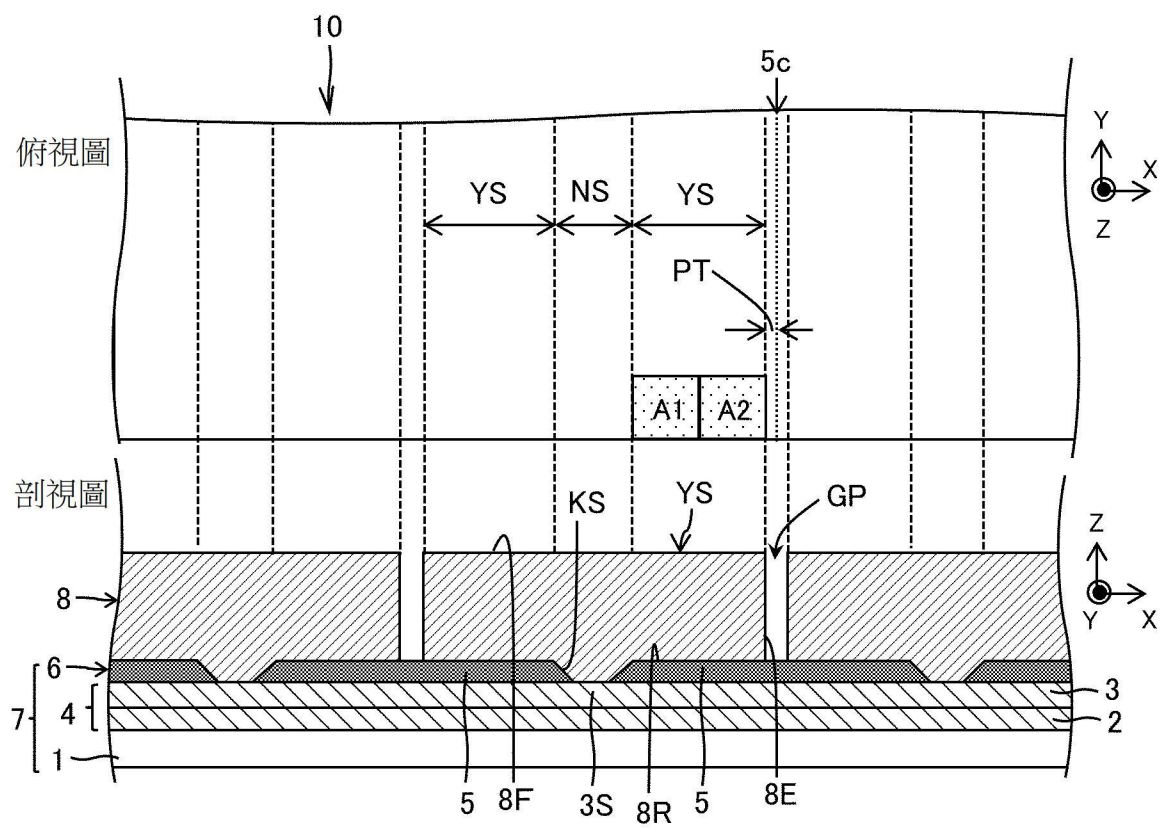
【圖13】



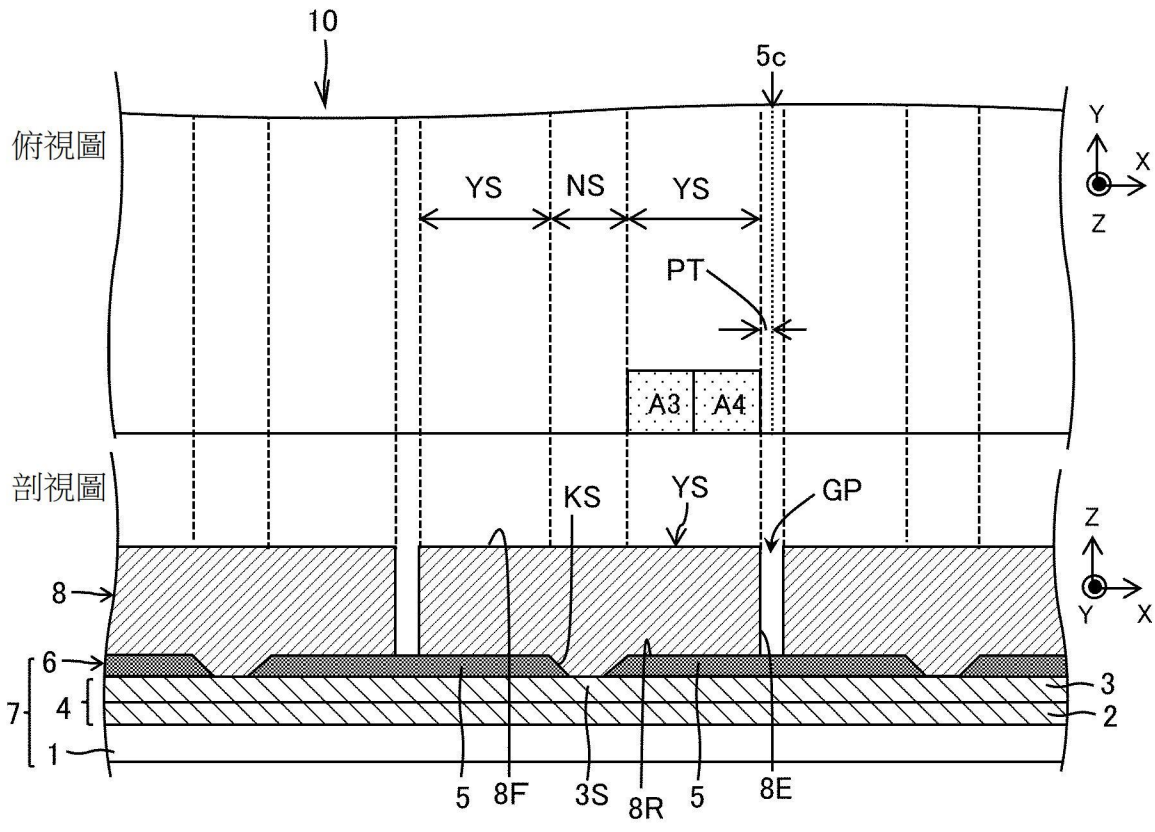
【圖14】



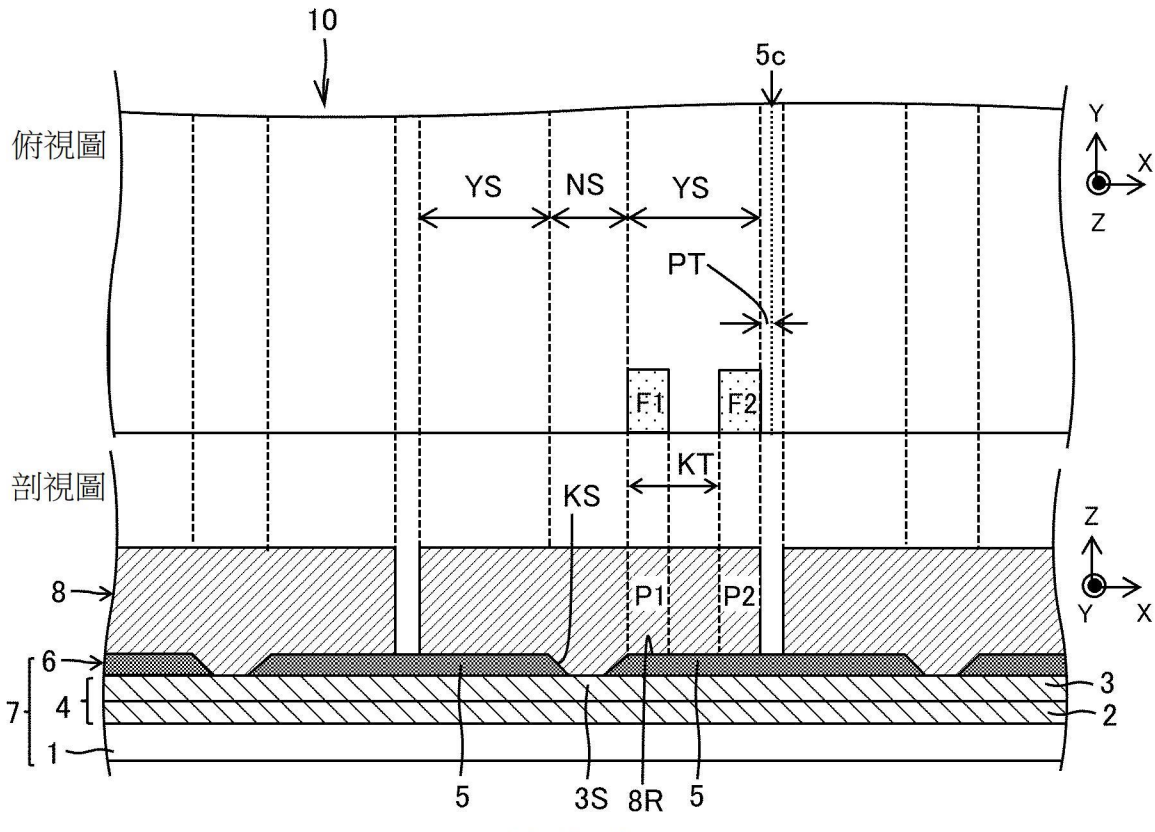
【圖15】



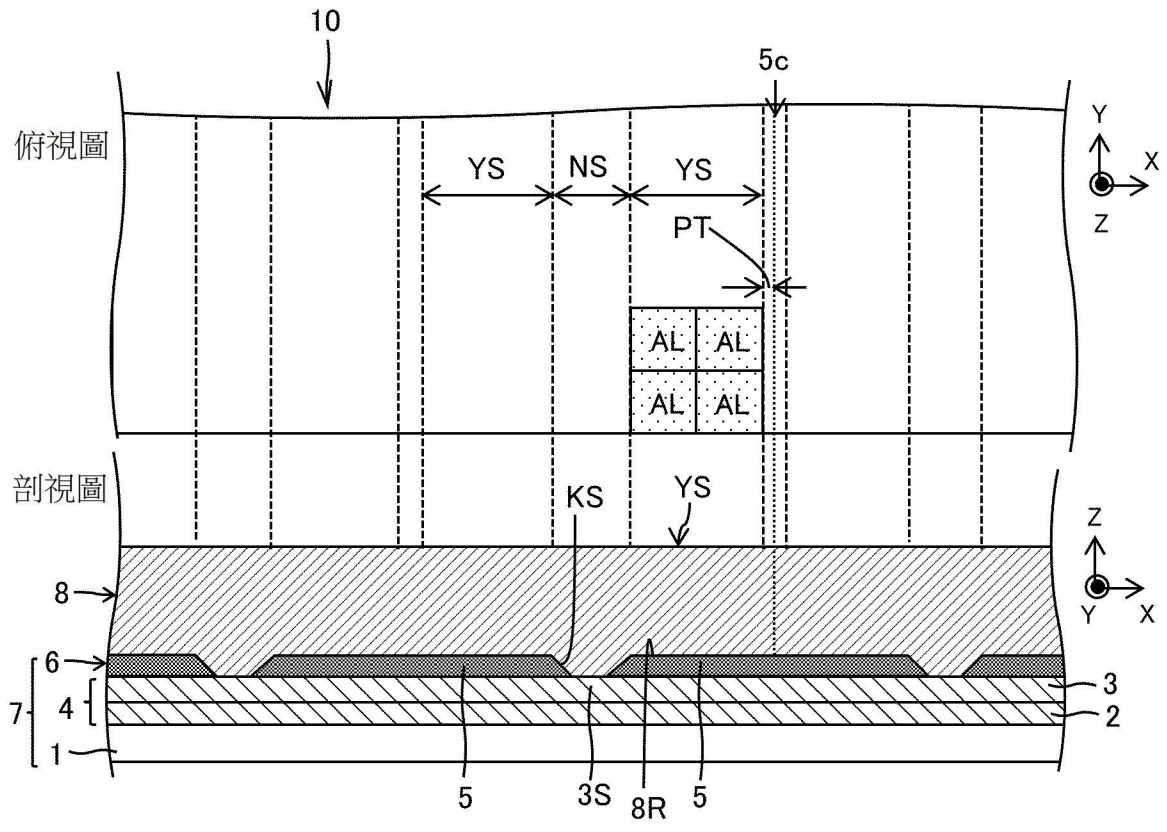
【圖16】



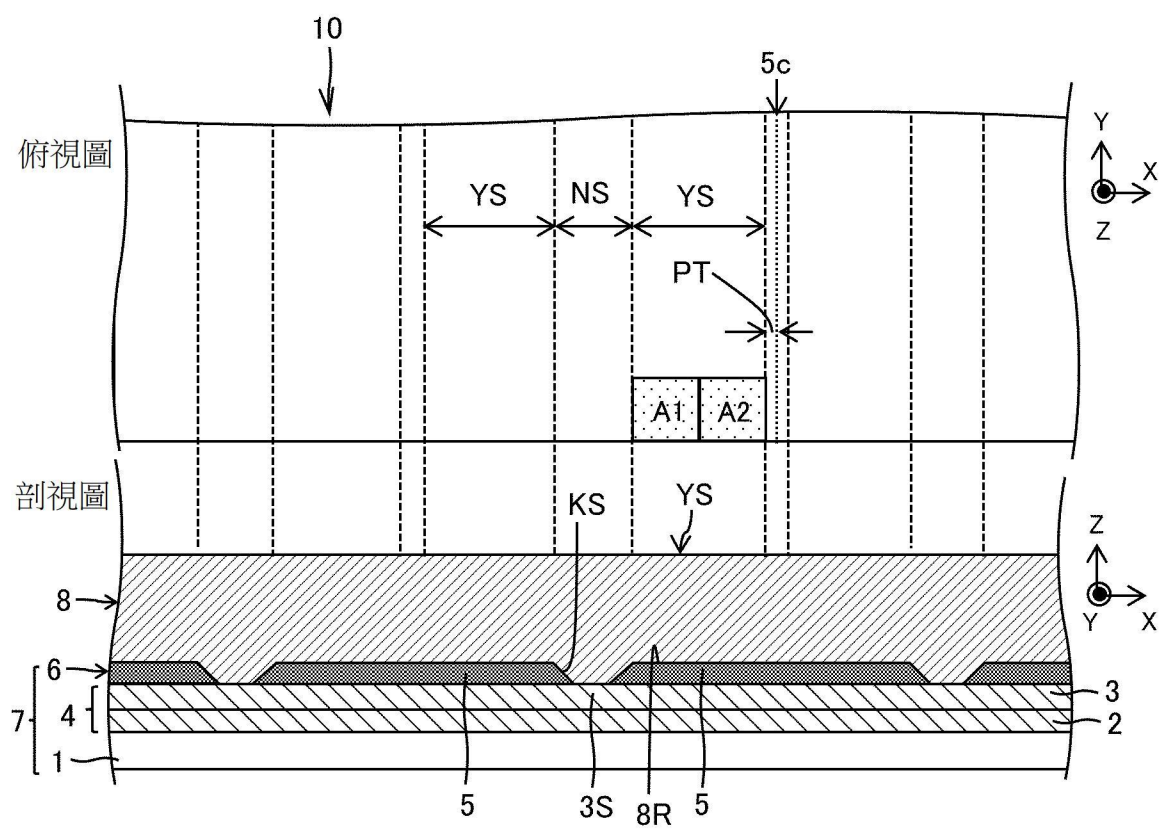
【圖17】



【圖18】

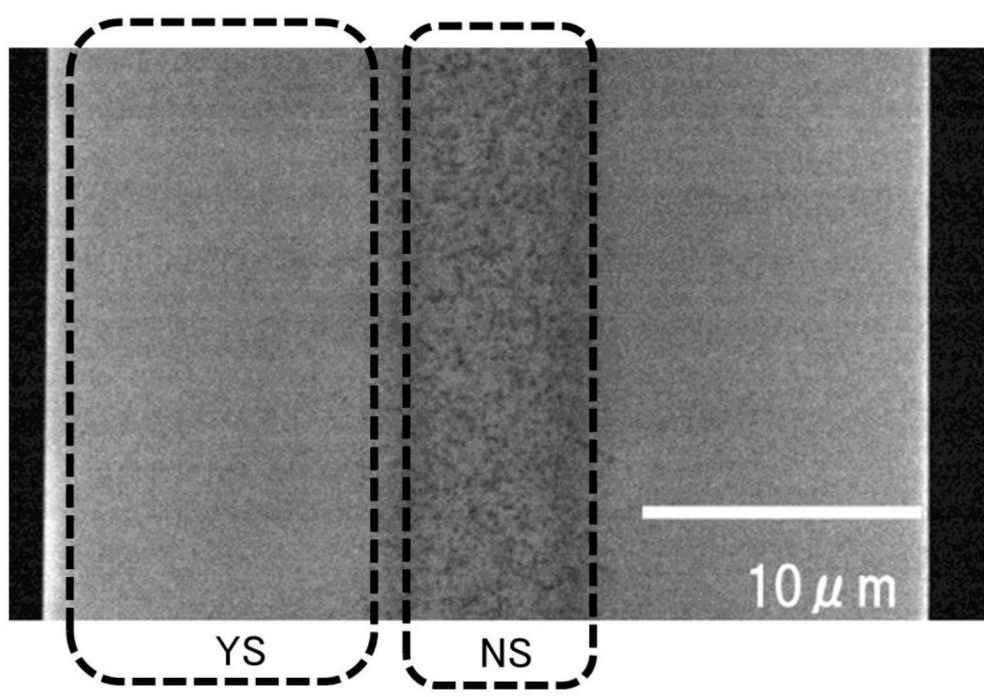


【圖19】

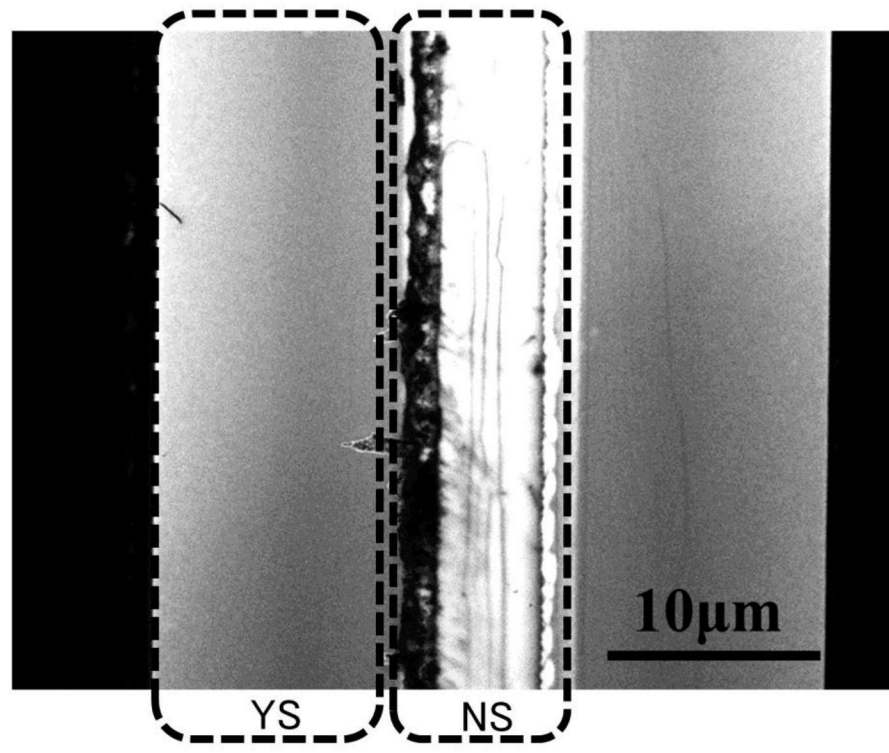


【圖20】

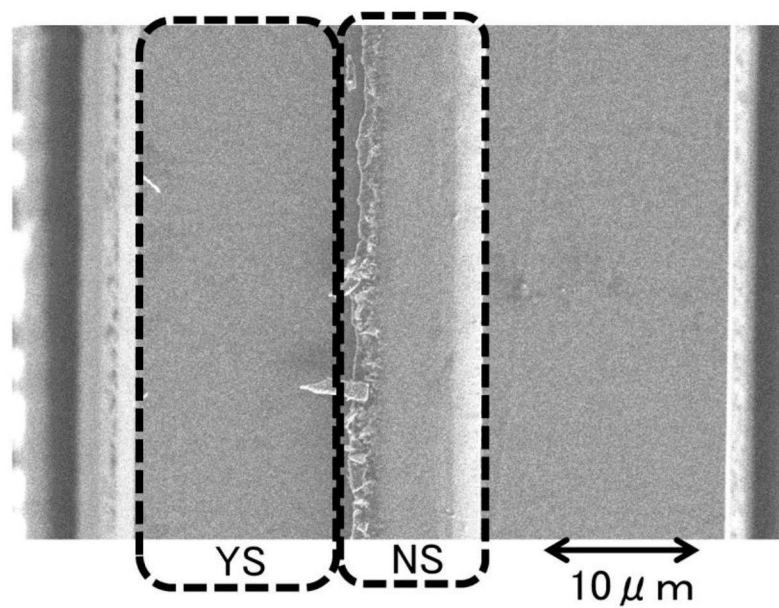




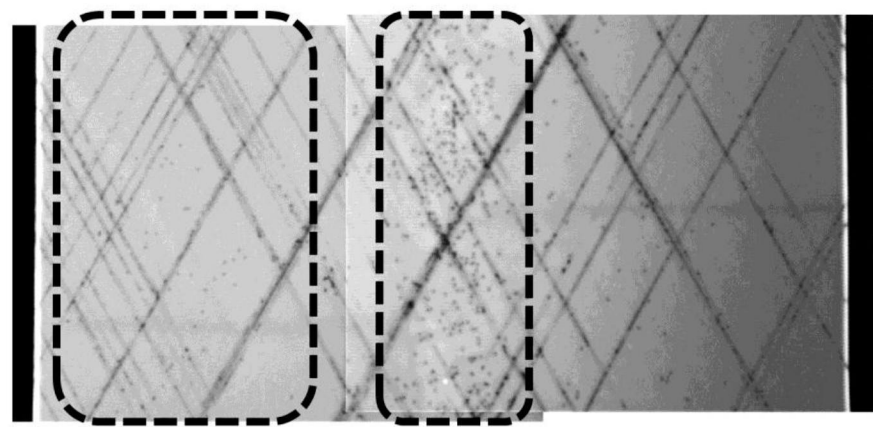
【圖23】



【圖24】

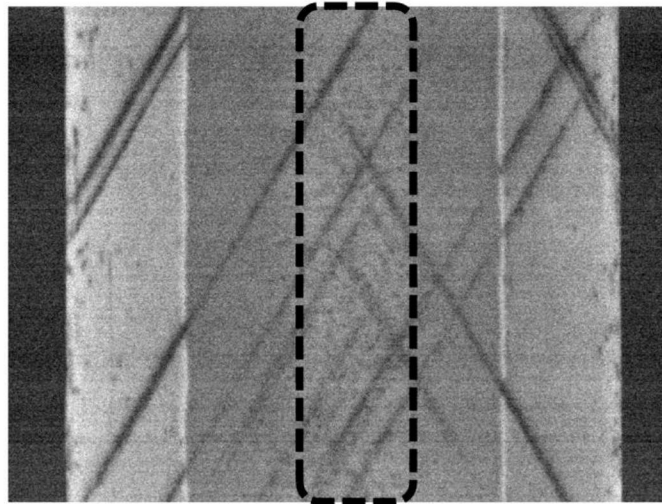


【圖25】



遮罩部上      開口部上

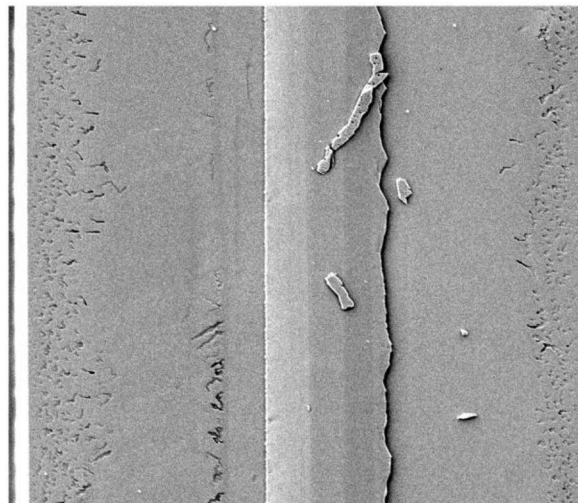
【圖26】



遮罩部上

開口部上

【圖27】

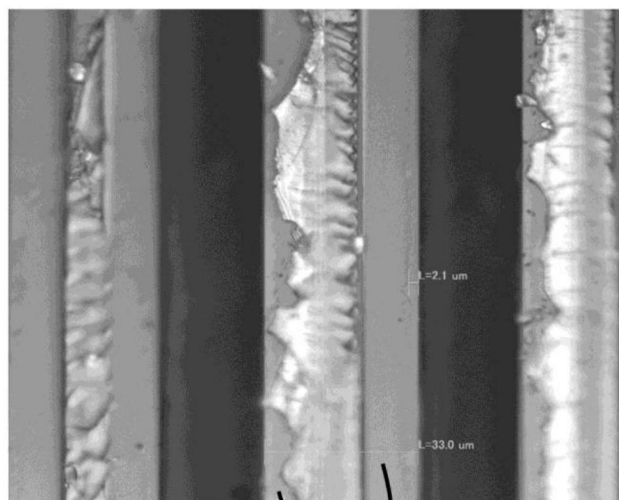


遮罩部上

開口部上

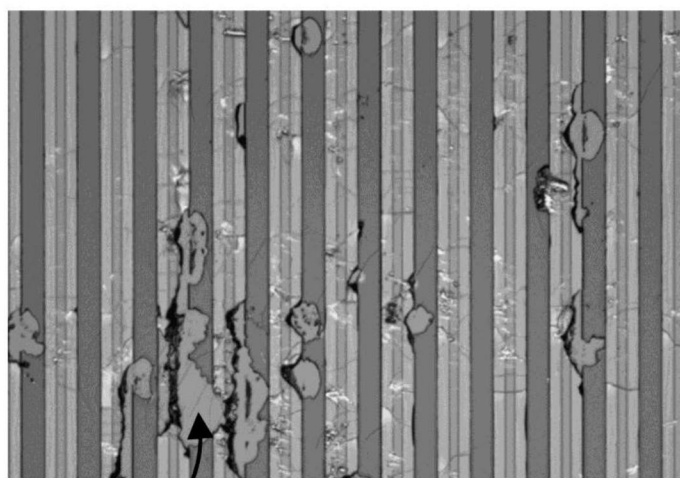
10  $\mu$  m

【圖28】



NL

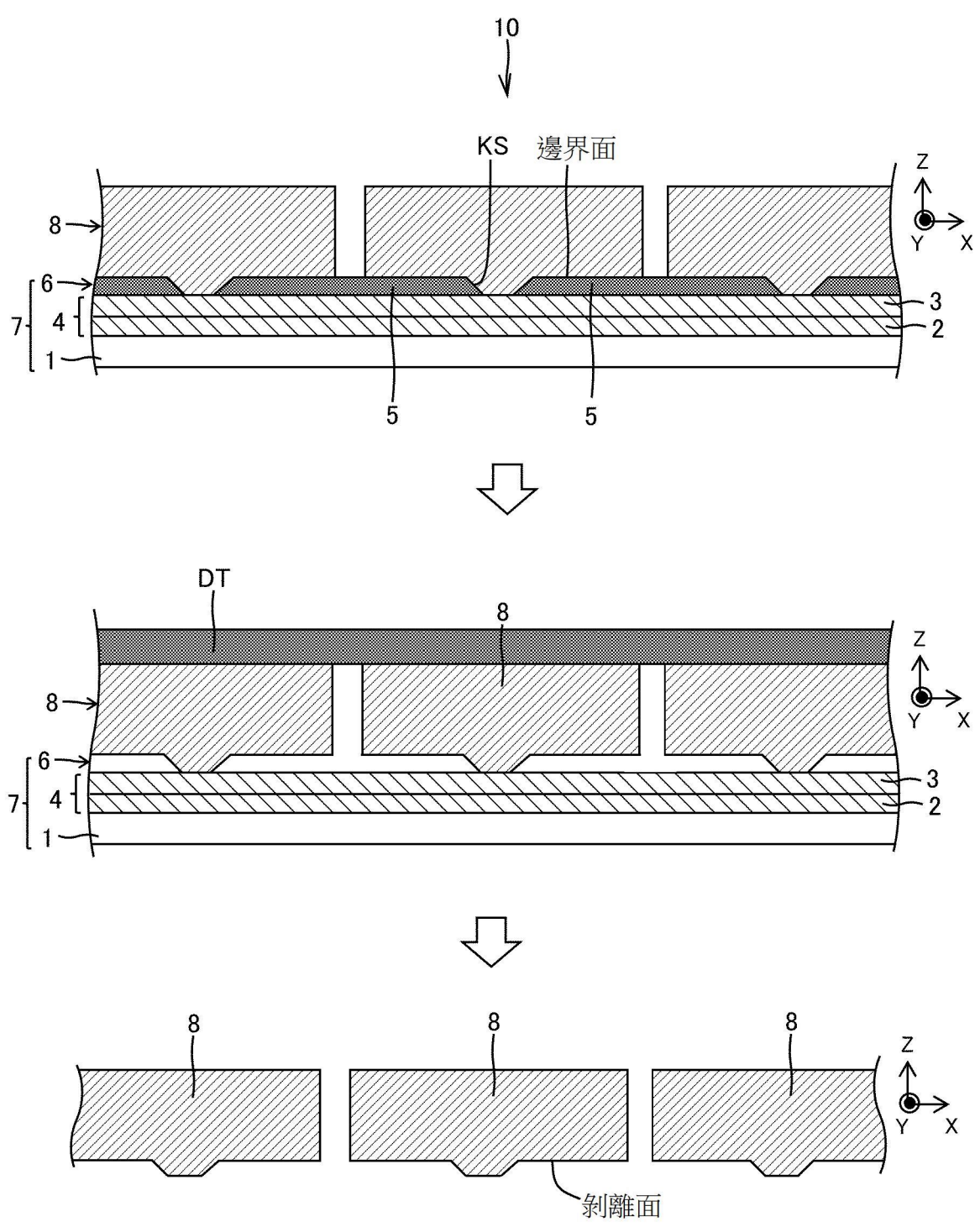
【圖29】



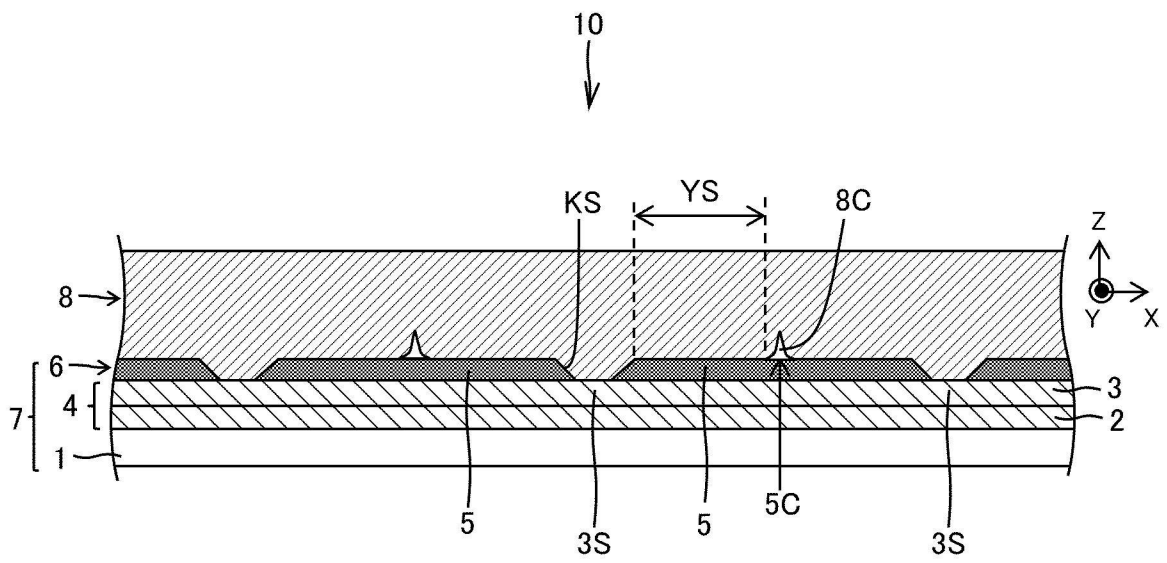
NA

【圖30】

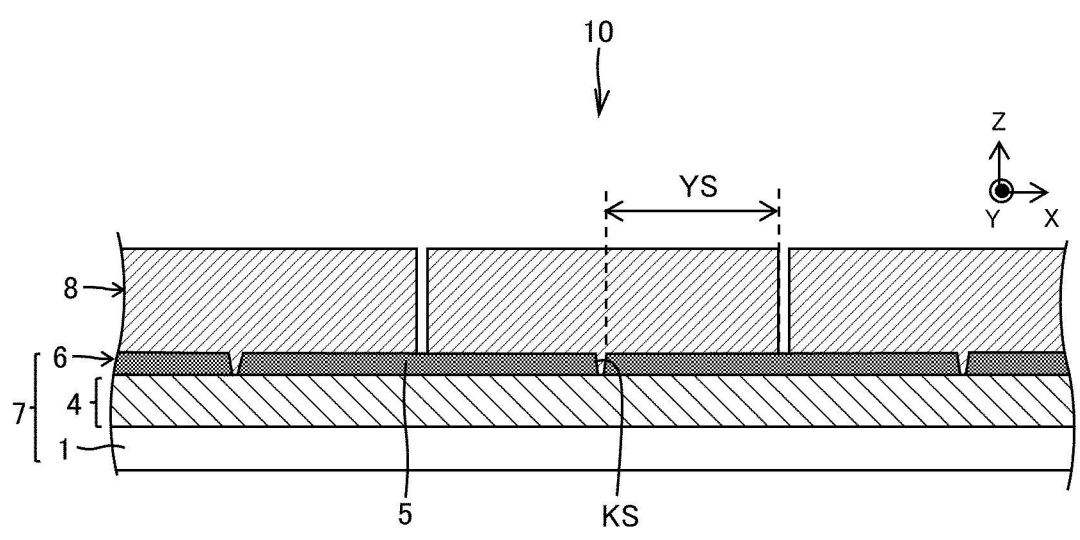




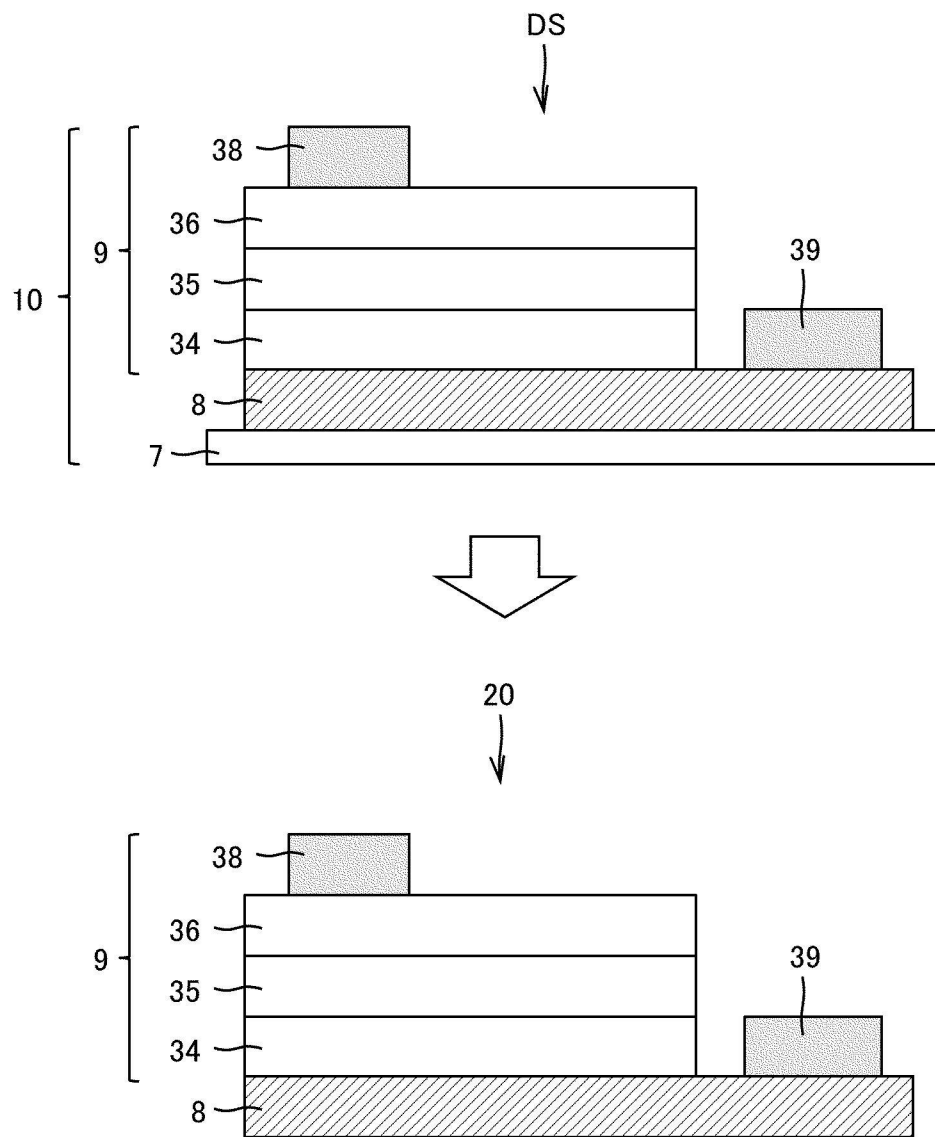
【圖32】



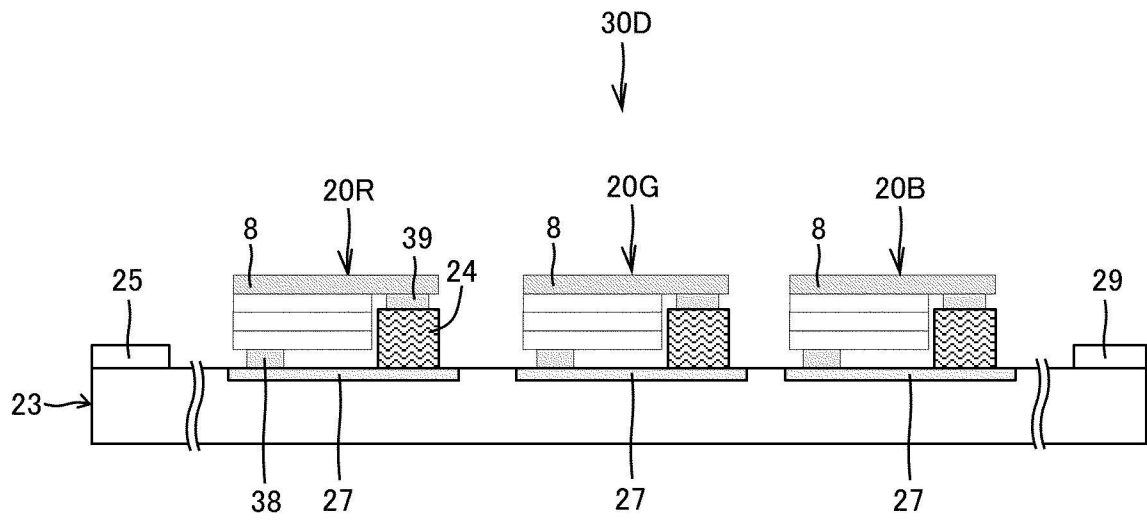
【圖33】



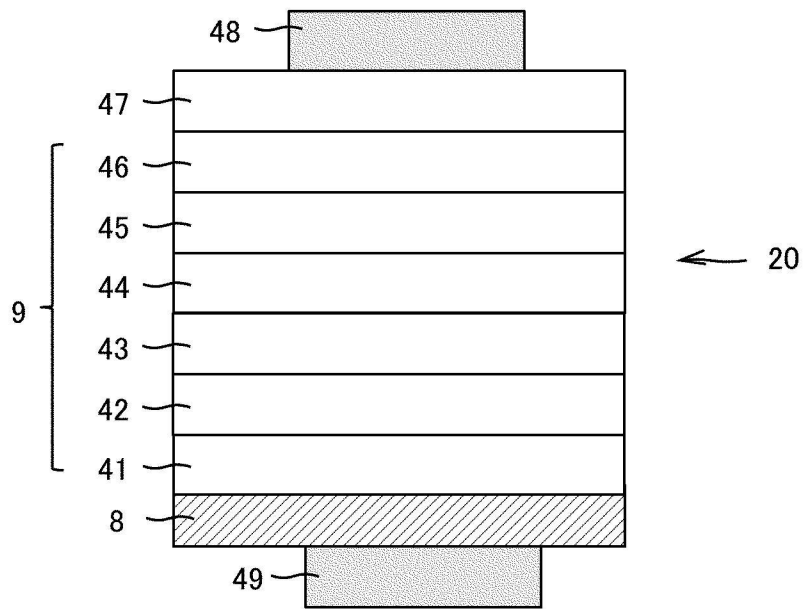
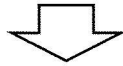
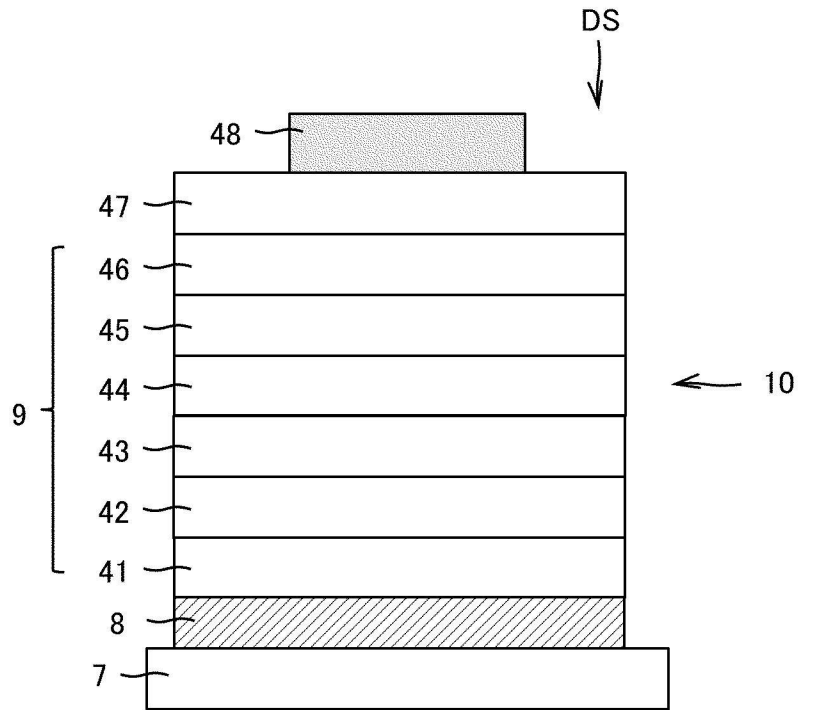
【圖34】



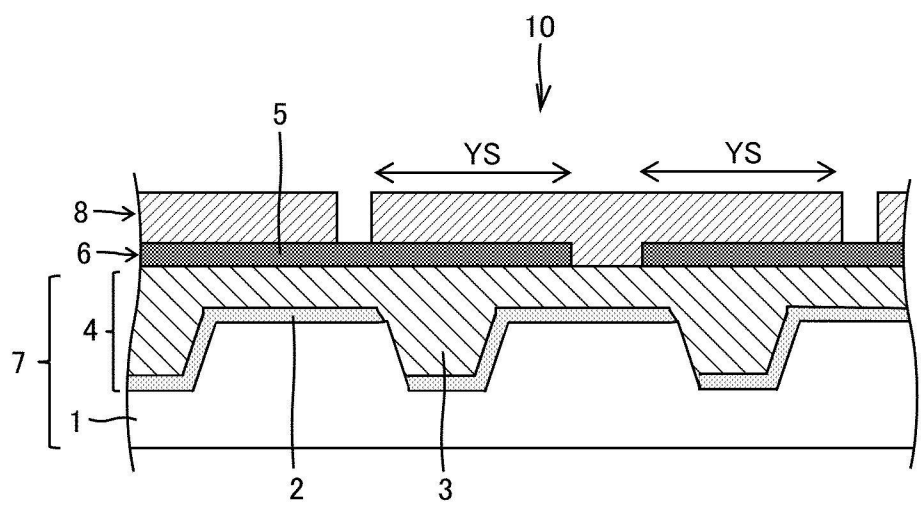
【圖35】



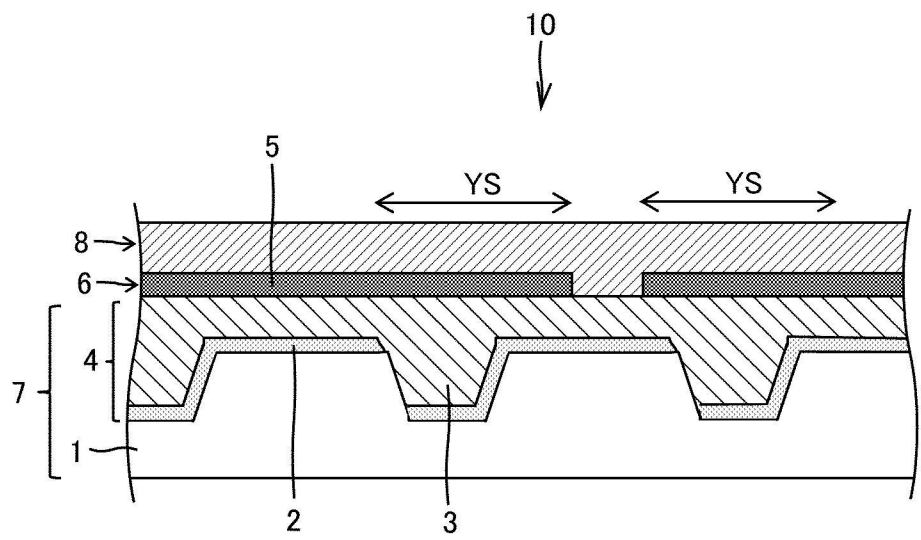
【圖36】



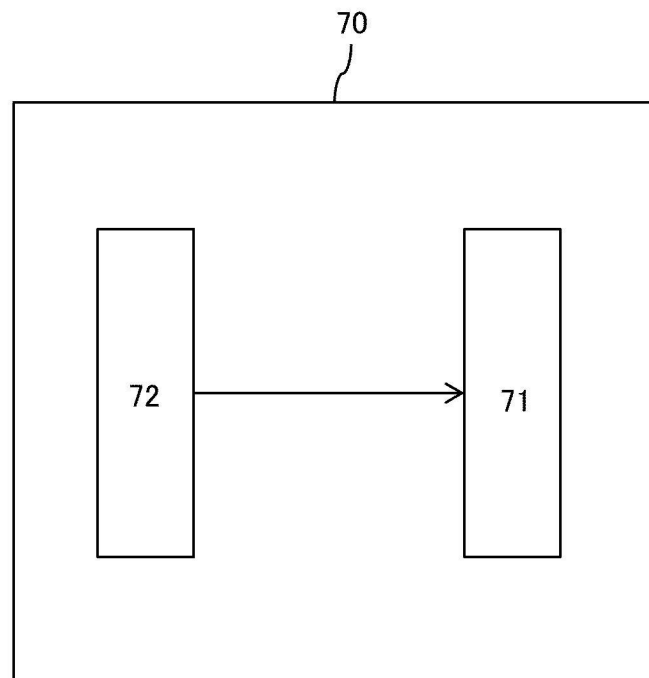
【圖37】



【圖38】



【圖39】



【圖40】