(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-183886
(P2005-183886A)
(43)公開日　平成17年7月7日(2005.7.7)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/338	H01L 29/80	F	4M104
H01L 29/47	H01L 29/48	F	5F102
H01L 29/778	H01L 29/80	H	
H01L 29/812			
H01L 29/872			

審査請求 未請求　請求項の数 4　OL　（全 8 頁）

(21)出願番号　特願2003-426521 (P2003-426521)
(22)出願日　平成15年12月24日 (2003.12.24)

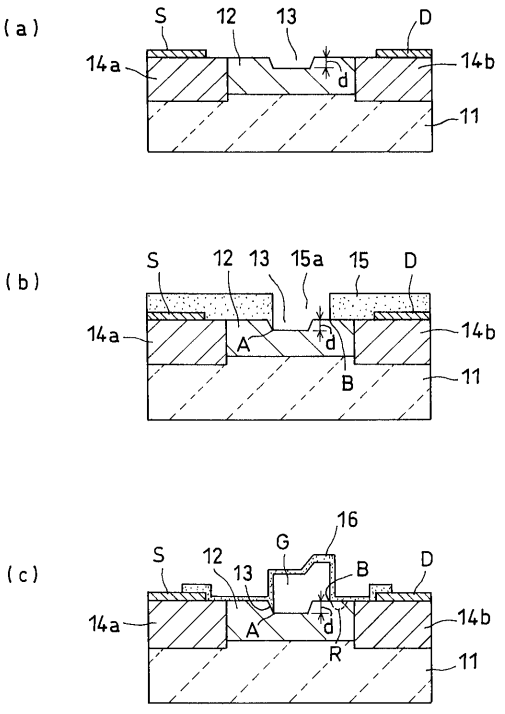
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100081732
弁理士　大胡　典夫
(74)代理人　100075683
弁理士　竹花　喜久男
(74)代理人　100084515
弁理士　宇治　弘
(72)発明者　川崎　久夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝小向工場内

Fターム(参考)　4M104 AA05　AA07　CC01　CC03　DD34　DD68　GG12

最終頁に続く

(54)【発明の名称】半導体装置

(57)【要約】
【課題】特性の劣化を抑えた半導体装置を提供すること。
【解決手段】半絶縁性半導体基板１１上に設けられ、ソース電極Ｓとドレイン電極Ｄで挟まれた領域に窪み構造のリセス１３を形成した第１半導体層１２と、リセス１３部分に設けたゲート電極Ｇと、このゲート電極Ｇ近傍の第１半導体層１２上に形成した表面保護膜１６とを具備した半導体装置において、ゲート電極Ｇを構成する金属膜のドレイン電極Ｄ側はリセス１３外の第１半導体層１２上まで形成されている。
【選択図】図１



【特許請求の範囲】
【請求項１】
半絶縁性半導体基板上に設けられ、ソース電極とドレイン電極で挟まれた領域に窪み構造のリセスを形成した半導体層と、前記リセス部分に設けたゲート電極と、前記半導体層上に形成した保護膜とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記半導体層上まで形成されていることを特徴とする半導体装置。
【請求項２】
半絶縁性半導体基板上に設けられ、かつ、窪み構造のリセスを有し不純物が注入された第１半導体層と、前記リセス部分に設けたゲート電極と、前記第１半導体層上に形成した保護膜と、前記ゲート電極を挟んでその両側に設けられ、前記第１半導体層よりも高い濃度で不純物が注入された第２および第３の半導体層と、前記第２半導体層上に形成したソース電極と、前記第３半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記第１半導体層上まで形成されていることを特徴とする半導体装置。
【請求項３】
半絶縁性半導体基板上に設けられ不純物が注入されない第１半導体層と、この第１半導体層上に設けられ、かつ、窪み構造のリセスを有し不純物が注入された第２半導体層と、前記リセス部分に設けたゲート電極と、前記第２半導体層上に形成した保護膜と、前記ゲート電極を挟んだその両側に設けられ、不純物が注入された第３および第４の半導体層と、前記第３半導体層上に形成したソース電極と、前記第４半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記第２半導体層上まで形成されていることを特徴とする半導体装置。
【請求項４】
半絶縁性半導体基板上に設けられ不純物が注入された第１半導体層と、この第１半導体層上に設けられ、かつ、窪み構造のリセスを有し不純物が注入されない第２半導体層と、前記リセス部分に設けたゲート電極と、前記第２半導体層上に形成した保護膜と、前記ゲート電極を挟んだその両側に設けられ、不純物が注入された第３および第４の半導体層と、前記第３半導体層上に形成したソース電極と、前記第４半導体層上に形成したドレイン電極とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は前記リセス外の前記第２半導体層上まで形成されていることを特徴とする半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、電界効果型トランジスタなどの超高周波動作に適する半導体装置に関する。
【背景技術】
【０００２】
ＧａＡｓなど半絶縁性半導体基板を用いた半導体装置、たとえば電界効果型トランジスタ（以下、ＦＥＴという）は高周波特性にすぐれ、マイクロ波帯で動作する増幅素子などとして広く使用されている。
【０００３】
ここで、従来の半導体装置について、ＦＥＴを例にとり図４を参照して説明する。
【０００４】
半絶縁性半導体基板４１上、たとえばＧａＡｓ基板上に能動層４２が形成されている。能動層４２はｎ型ＧａＡｓで形成され、その一部に断面が凹構造に窪んだリセス４３が形成されている。リセス４３内にショットキ接合のゲート電極Ｇが配置されている。
【０００５】
能動層４２の両側に、不純物濃度が能動層４２よりも高い第１および第２のオーミック

コンタクト層４４ａ、４４ｂ、たとえばｎ型ＧａＡｓ層が形成されている。前記第１オーミックコンタクト層４４ａ上にソース電極Ｓが形成され、第２オーミックコンタクト層４４ｂ上にドレイン電極Ｄが形成されている。ゲート電極Ｇの近傍、たとえばゲート電極Ｇに隣接する能動層４２上、および、第１および第２のオーミックコンタクト層４４ａ、４４ｂ上の一部に表面保護膜４５が形成されている。

【０００６】

リセス４３の深さｄは、ゲート電極Ｄ直下の能動層４２の厚さが所望の値になるように設定される。同時に、ゲート電極Ｄ直下に隣接する能動層４２部分の厚さを厚くし、チャネル抵抗を低減している。表面保護膜４５は能動層４２表面を不活性化している。

【０００７】

上記のＦＥＴは、動作時、ゲート電極Ｇに所定の電圧が印加され、ドレイン電極Ｄおよびソース電極Ｓ間に流れる電流が制御される。

【０００８】

なお、上記した構成のＦＥＴは特許文献１などに記載されている。

【特許文献１】特開平５－２３５０４２号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

従来の半導体装置たとえばＦＥＴは、能動層４２上に表面保護膜４５を設け、能動層４２表面を不活性化している。しかし、高い動作電圧を必要とする電力ＦＥＴなどでは、高電界部分に高エネルギーの電子が生成され、たとえば能動層４２と表面保護膜４５との界面にトラップ準位が形成される。

【００１０】

図２のＦＥＴの場合、符号Ｐで示した領域、たとえばリセス４３のドレイン電極Ｄ側領域にトラップ準位が形成される。トラップ準位は電子を蓄積し、能動層４２上のたとえば点線Ｑに示す領域に空乏層を形成する。空乏層Ｑは、たとえばリセス４３底部のさらに下方まで伸び、能動層４２の実効的な厚さを狭くする場合がある。その結果、電流が流れるチャネルが狭くなり、出力が低下すなどＦＥＴ特性を劣化させる。トラップ準位に蓄積する電子は動作時間に比例し、動作時間の経過とともにＦＥＴ特性が劣化する。

【００１１】

本発明は、上記した欠点を解決し、特性の劣化を抑えた半導体装置を提供することを目的とする。

【課題を解決するための手段】

【００１２】

本発明は、半絶縁性半導体基板上に設けられ、ソース電極とドレイン電極で挟まれた領域に窪み構造のリセスを形成した半導体層と、前記リセス部分に設けたゲート電極と、前記半導体層上に形成した保護膜とを具備した半導体装置において、前記ゲート電極を構成する金属膜の前記ドレイン電極側は、前記リセス外の前記半導体層上まで形成されていることを特徴とする。

【発明の効果】

【００１３】

本発明によれば、ゲート電極を構成する金属膜のドレイン電極側は、リセスを設けた半導体層のリセス外側領域、たとえば半導体層の厚さが厚い領域まで形成されている。この場合、ゲート電極近傍のドレイン電極側領域に空乏層が形成されても、空乏層は半導体層の厚い領域に形成される。そのため、電流が流れるチャネルに対する影響が小さく、出力低下などＦＥＴ特性の劣化が防止される。

【発明を実施するための最良の形態】

【００１４】

本発明の実施形態について図１の製造工程図を参照して説明する。

【００１５】

図１（ａ）に示すように、半絶縁性半導体基板１１たとえばＧａＡｓ基板上に、第１半導体層１２たとえばｎ型ＧａＡｓ層が形成されている。第１半導体層１２はいわゆる能動層を構成し、その一部に断面が凹構造に窪んだリセス１３が設けられている。第１半導体層１２を挟んだその両側に、第１半導体層１２よりも不純物濃度が高く良好なオーム性接触を得るための第２および第３の半導体層１４ａ、１４ｂが形成されている。

【００１６】

第２および第３の半導体層１４ａ、１４ｂは、いわゆるオーミックコンタクト層を構成し、たとえばｎ型ＧａＡｓ層で形成されている。第１半導体層１２の図示左側に位置する第２半導体層１４ａ上にソース電極Ｓが設けられ、図示右側に位置する第３半導体層１４ｂ上にドレイン電極Ｄが設けられている。

【００１７】

リセス１３の深さｄは、ゲート電極Ｄ直下の第１半導体層１２の厚さが所望の値になるように設定され、同時に、ゲート電極Ｄ直下に隣接する領域の第１半導体層１２の厚さを厚くし、チャネル抵抗を低減している。

【００１８】

次に、図１（ｂ）に示すように、ソース電極Ｓやドレイン電極Ｄを形成した半絶縁性半導体基板１１上の全面にレジスト膜１５を塗布する。そして、レジスト膜１５の所定位置に開口１５ａを設ける。開口１５ａは、ソース電極Ｓ側ではリセス１３内たとえばリセス１３側壁下端の底部Ａから、ドレイン電極Ｄ側ではリセス１３外の第１半導体層１２上の部分Ｂまでの範囲に設けられる。

【００１９】

次に、図１（ｃ）に示すように、リフトオフ法などによりゲート電極Ｇを形成する。たとえばレジスト膜１５（図１（ｂ））上からゲート用金属膜（図示せず）を蒸着し、その後、レジスト膜１５を除去し、レジスト膜１５の開口１５ａ（図１（ｂ））部分にゲート電極Ｇを形成する。このとき、ゲート電極Ｇを構成する金属膜は、ソース電極Ｓ側はリセス１３内の側壁下端の底部Ａから、ドレイン電極Ｄ側はリセス１３外の第１半導体層１２上の部分Ｂの範囲に形成される。

【００２０】

さらに、ゲート電極Ｇ近傍、たとえばゲート電極Ｇに隣接する第１半導体層１２上、および、第２および第３の半導体層１４ａ、１４ｂ上などに表面保護膜１６を形成する。表面保護膜１６は第１半導体層１２表面を不活性化させる。

【００２１】

上記した構成によれば、ゲート電極Ｇを構成する金属膜のドレイン電極Ｄ側は、リセス１３外の第１半導体層１２上の部分Ｂまで形成されている。この場合、ゲート電極Ｇのドレイン電極５側領域の第１半導体層１２部分に空乏層Ｒが形成されても、この空乏層Ｒは第１半導体層１２の厚い領域に形成される。そのため、空乏層Ｒによってチャネル部分が狭められるようなことがなく、出力低下などのＦＥＴ特性の劣化が防止され、信頼性が向上する。

【００２２】

上記の実施形態は、第１半導体層１２の両側に第２および第３の半導体層１４ａ、１４ｂ、いわゆるオーミックコンタクト層を設け、第２および第３の半導体層１４ａ、１４ｂ上にソース電極Ｓおよびドレイン電極Ｄを設けている。しかし、第１半導体層１２の電子濃度や膜厚が、実用上問題のないコンタクト抵抗が得られる値の場合は、第１半導体層１２上にソース電極Ｓおよびドレイン電極Ｄを設けることもできる。

【００２３】

上記の実施形態は、半導体装置の能動層が単層構造になっている。しかし、この発明は、能動層が多層構造の半導体装置、たとえば高電子移動度トランジスタやヘテロ接合ＦＥＴなどにも適用できる。

【００２４】

ここで、高電子移動度トランジスタに適用した場合について、図２の断面図を参照して

説明する。

【００２５】

ＧａＡｓからなる半絶縁性半導体基板２１上に、不純物を注入しない第１半導体層２２たとえばアンドープＧａＡｓ層が形成されている。第１半導体層２２はいわゆるバッファ層を構成し、第１半導体層２２上に、不純物を注入した第２半導体層２３たとえばｎ型ＡｌＧａＡｓ層が形成されている。第２半導体層２３はいわゆる電子供給層を構成し、第２半導体層２３上の一部にリセス２４が形成されている。第２半導体層２３上のリセス２４を挟んだその両側に、第３および第４の半導体層２５ａ、２５ｂたとえばｎ型ＧａＡｓ層が形成されている。第３および第４の半導体層２５ａ、２５ｂはいわゆるオーミックコンタクト層を構成し、一方の第３半導体層２５ａ上にソース電極Ｓが形成され、他方の第４半導体層２５ｂ上にドレイン電極Ｄが形成されている。

【００２６】

また、リセス２４部分にショットキー接合のゲート電極Ｇが形成されている。ゲート電極Ｇを構成するゲート用金属膜は、たとえばソース電極Ｓ側はリセス２４側壁下端の底部Ａから、ドレイン電極Ｄ側はリセス２４外にはみ出した第２半導体層２３の表面部分Ｂにまで形成されている。

【００２７】

また、ゲート電極Ｇ近傍、たとえばゲート電極Ｇに隣接する第２半導体層２３上、および、第３および第４の半導体層２５ａ、２５ｂ上に表面保護膜２６が形成されている。

【００２８】

上記した構成の場合も、ゲート電極を構成する金属膜のドレイン電極Ｄ側は、リセス２４外の第２半導体層２３上にまで形成され、図１の実施形態と同様の効果が得られる。

【００２９】

次に、高電子移動度トランジスタに適用した場合について図３の断面図を参照して説明する。

【００３０】

ＧａＡｓからなる半絶縁性半導体基板３１上に、不純物を注入した第１半導体層３２たとえばｎ型ＧａＡｓ層が形成されている。第１半導体層３２上に不純物を注入しない第２半導体層３３たとえばＡｌＧａＡｓ層が形成されている。第２半導体層３３はいわゆるショットキーコンタクト層を構成し、その一部にリセス３４が形成されている。

【００３１】

リセス３４を挟んだその両側に、第３および第４の半導体層３５ａ、３５ｂたとえばｎ型ＧａＡｓ層が形成されている。第３および第４の半導体層３５ａ、３５ｂはいわゆるオーミックコンタクト層を構成し、一方の第３半導体層３５ａ上にソース電極Ｓが形成され、他方の第４半導体層３５ｂ上にドレイン電極Ｄが形成されている。

【００３２】

また、リセス３４部分にショットキー接合のゲート電極Ｇが形成されている。ゲート電極Ｇを構成する金属膜は、たとえばソース電極Ｓ側はリセス３４側壁下端の底部Ａから、ドレイン電極Ｄ側はリセス３４外にはみ出した第２半導体層３３の表面部分Ｂにまで形成される。

【００３３】

また、ゲート電極Ｇ近傍、たとえばゲート電極Ｇに隣接する第２半導体層３３上、および、第３および第４の半導体層３５ａ、３５ｂ上に表面保護膜３６が形成されている。

【００３４】

上記した構成の場合も、ゲート電極Ｇを構成する金属膜のドレイン電極Ｄ側は、リセス３４外の第２半導体層３３の表面部分にまで形成され、図１の実施形態と同様の効果が得られる。

【００３５】

図２および図３の実施形態の場合、ヘテロ構造がたとえばＧａＡｓとＡｌＧａＡｓとで形成されている。しかし、この発明は、ヘテロ構造が他の半導体材料で形成された場合に

も適用できる。また、能動層の積層構造が、図２や図３と相違する半導体装置に対しても適用できる。

【００３６】

上記した構成によれば、リセス部分に配置されるゲート電極を構成する金属膜のドレイン電極側が、リセス外にはみ出したドレイン電極側寄りの部分まで形成されている。この場合、ゲート電極のドレイン電極側に形成されるトラップ準位は、リセス外側の半導体層の厚い領域に形成される。そのため、電流が流れるチャネルへの影響が小さく、出力特性などの劣化が防止され、信頼性の高い半導体装置が実現される。

【図面の簡単な説明】

【００３７】

【図１】本発明の実施形態を説明するための工程図である。

【図２】本発明の他の実施形態を説明するための断面図である。

【図３】本発明の他の実施形態を説明するための断面図である。

【図４】従来の半導体装置を説明するための断面図である。

【符号の説明】

【００３８】

１１…半絶縁性半導体基板

１２…第１半導体層

１３…リセス

１４ａ…第２半導体層

１４ｂ…第３半導体層

１５…レジスト

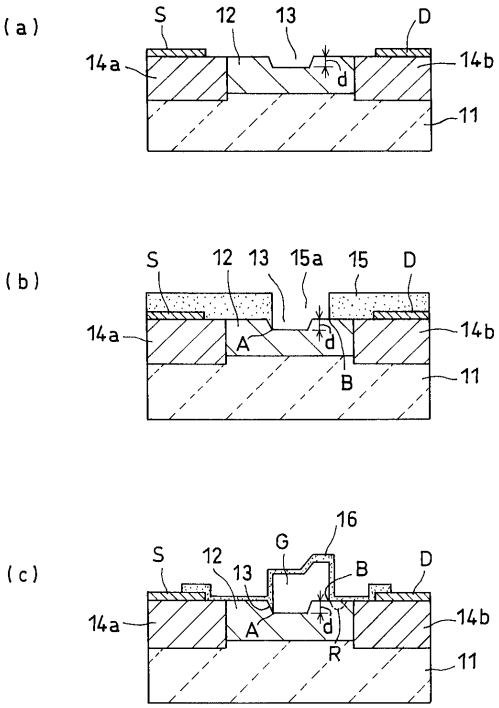
１６…表面保護膜

Ｇ…ゲート電極

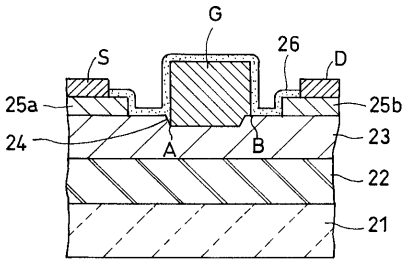
Ｓ…ソース電極

Ｄ…ドレイン電極

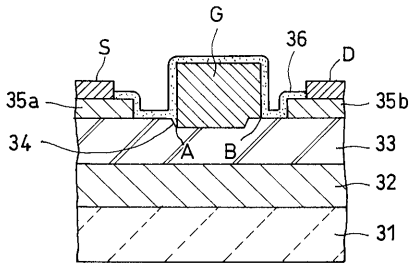
【図１】


(a)
S
12
13
D
14a
14b
d
11
(b)
S
12
13
15a
15
D
14a
A
d
14b
B
11
(c)
16
G
S
12
13
B
D
14a
A
d
14b
R
11

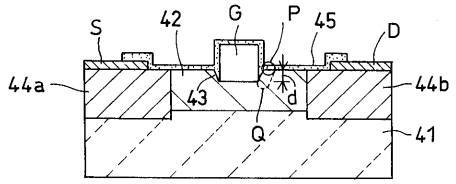
【図２】


G
S
26
D
25a
25b
24
A
B
23
22
21

【図３】


G
S
36
D
35a
35b
34
A
B
33
32
31

【図４】


S
42
G
P
45
D
44a
44b
43
d
Q
41

フロントページの続き

Ｆターム(参考) 5F102 GB01 GC01 GD01 GJ05 GK05 GL05 GM05 GM06 GN05 GQ01
GR04 GS03 GS04 GV07