



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2010년06월25일  
 (11) 등록번호 10-0966189  
 (24) 등록일자 2010년06월17일

(51) Int. Cl.  
*H04N 7/01* (2006.01) *H04N 5/45* (2006.01)  
 (21) 출원번호 10-2004-7008412  
 (22) 출원일자(국제출원일자) 2002년11월25일  
 심사청구일자 2007년11월21일  
 (85) 번역문제출일자 2004년06월02일  
 (65) 공개번호 10-2005-0058261  
 (43) 공개일자 2005년06월16일  
 (86) 국제출원번호 PCT/US2002/037630  
 (87) 국제공개번호 WO 2003/049436  
 국제공개일자 2003년06월12일  
 (30) 우선권주장  
 60/336,650 2001년12월03일 미국(US)  
 10/190,185 2002년07월05일 미국(US)  
 (56) 선행기술조사문헌  
 US5335074 A  
 US5420643 A  
 전체 청구항 수 : 총 22 항

(73) 특허권자  
**툼슨 라이선싱**  
 프랑스 92648 블로뉴 세테 계 알퐁스 르 갈로 46  
 (72) 발명자  
**허트친슨, 다니엘, 마크**  
 미국 46032 인디애나주 카멜 라레도 드라이브 13790  
**룸레이츠, 마크, 프랜시스**  
 미국 46236 인디애나주 인디애나폴리스 인디애나 레이크 블러바드 사우스 10308  
 (74) 대리인  
**백만기, 전경석, 주성민**

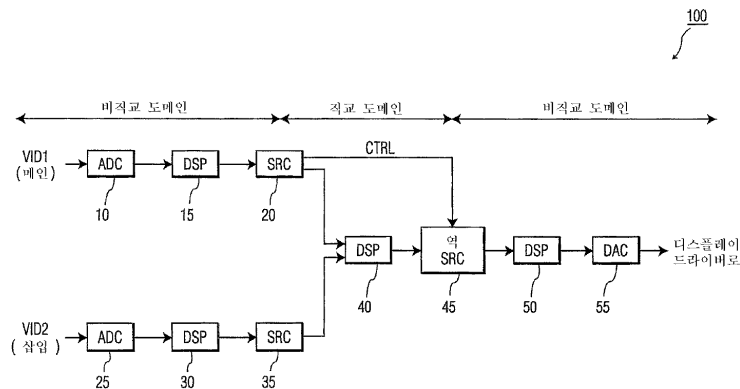
심사관 : 문영재

**(54) 샘플링 레이트 컨버터 시스템**

**(57) 요약**

디지털 비디오 시스템은 샘플링 레이트 컨버터(20)와 역-샘플링 레이트 컨버터(45)를 포함한다. 샘플링 레이트 컨버터(20)는 비디오 데이터를 비직교 픽셀 도메인으로부터 직교 픽셀 도메인으로 변환한다. 역 샘플링 레이트 컨버터(45)는 비디오 데이터를 직교 픽셀 도메인에서 비직교 픽셀 도메인으로 변환한다. 역 샘플링 레이트 컨버터(45)는 비디오 데이터를 직교 도메인에서 비직교 픽셀 도메인으로 변환할 때 샘플링 레이트 컨버터(20)에 의해 생성되는 타이밍 신호를 이용한다.

**대표도**



**특허청구의 범위**

**청구항 1**

비디오 신호 처리 시스템에 있어서,

비디오 데이터를 제1 클럭 도메인으로부터 제2 클럭 도메인으로 변환하는 제1 샘플링 레이트 컨버터; 및

상기 제1 샘플링 레이트 컨버터에 의해 발생하는 제어 신호에 응답하여, 상기 비디오 데이터를 상기 제2 클럭 도메인으로부터 상기 제1 클럭 도메인으로 변환하는 제2 샘플링 레이트 컨버터

를 포함하는 비디오 신호 처리 시스템.

**청구항 2**

제1항에 있어서,

상기 제1 클럭 도메인은 비직교 픽셀 도메인을 포함하고, 상기 제2 클럭 도메인은 직교 픽셀 도메인을 포함하며, 상기 시스템은 상기 제1 샘플링 레이트 컨버터로부터의 비디오 데이터를 수신하고 처리 연산을 수행하는 상기 직교 픽셀 도메인 내의 프로세서를 더 포함하고, 상기 프로세서는 상기 제1 샘플링 레이트 컨버터에 의해 발생하는 제어 신호에 응답하여 상기 제1 샘플링 레이트 컨버터와 상기 제2 샘플링 레이트 컨버터 간의 데이터 전송(transfer)을 제어하는 비디오 신호 처리 시스템.

**청구항 3**

제2항에 있어서,

상기 프로세서에 의해 수행되는 처리 연산은 픽처 인 픽처(picture-in-picture) 기능을 인에이블하는 비디오 신호 처리 시스템.

**청구항 4**

제3항에 있어서,

픽처 인 픽처 데이터를 상기 비직교 픽셀 도메인으로부터 상기 직교 픽셀 도메인으로 변환하고, 상기 직교 픽셀 도메인에 있는 픽처 인 픽처 데이터를 상기 프로세서로 출력하는 제3 샘플링 레이트 컨버터를 더 포함하는 비디오 신호 처리 시스템.

**청구항 5**

제1항에 있어서,

상기 제2 샘플링 레이트 컨버터는 상기 제1 샘플링 레이트 컨버터에 의해 생성되는 제어 신호에 응답하여 주파수 보상을 수행하는 위상 컨트롤러를 포함하는 비디오 신호 처리 시스템.

**청구항 6**

제1항에 있어서,

클럭 신호를 상기 제1 샘플링 레이트 컨버터 및 상기 제2 샘플링 레이트 컨버터에 제공하는 클럭 신호 발생기를 더 포함하는 비디오 신호 처리 시스템.

**청구항 7**

제1항에 있어서,

상기 제어 신호는, 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환할 때 상기 제1 샘플링 레이트 컨버터에 의해 생성되는 위상 제어 신호를 포함하는 비디오 신호 처리 시스템.

**청구항 8**

비디오 신호 처리 시스템에 있어서,

비디오 데이터를 비직교 픽셀 도메인으로부터 직교 픽셀 도메인으로 변환하는 샘플링 레이트 변환 수단;

상기 비디오 데이터를 상기 직교 픽셀 도메인으로부터 상기 비직교 픽셀 도메인으로 변환하는 역 샘플링 레이트 변환 수단을 포함하고,

상기 역 샘플링 레이트 변환 수단은 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환할 때 상기 샘플링 레이트 변환 수단에 의해 생성되는 타이밍 신호를 사용하는

비디오 신호 처리 시스템.

**청구항 9**

제8항에 있어서,

상기 직교 픽셀 도메인에서 상기 샘플링 레이트 변환 수단으로부터의 비디오 데이터를 수신하고 처리 연산을 수행하는 처리 수단을 더 포함하는 비디오 신호 처리 시스템.

**청구항 10**

제9항에 있어서,

상기 처리 수단은 상기 샘플링 레이트 변환 수단에 의해 생성되는 타이밍 신호를 이용하여 상기 샘플링 레이트 변환 수단과 상기 역 샘플링 레이트 변환 수단 간의 데이터 전송을 제어하는 비디오 신호 처리 시스템.

**청구항 11**

제9항에 있어서,

상기 처리 수단에 의해 수행되는 처리 연산은 픽처 인 픽처 기능을 인에이블하는 비디오 신호 처리 시스템.

**청구항 12**

제11항에 있어서,

픽처 인 픽처 데이터를 상기 비직교 픽셀 도메인으로부터 상기 직교 픽셀 도메인으로 변환하고 상기 직교 픽셀 도메인에 있는 픽처 인 픽처 데이터를 상기 처리 수단으로 출력하는 제2 샘플링 레이트 변환 수단을 더 포함하는 비디오 신호 처리 시스템.

**청구항 13**

제8항에 있어서,

상기 역 샘플링 레이트 변환 수단은 상기 샘플링 레이트 변환 수단에 의해 생성되는 타이밍 신호에 의존하여 주파수 보상을 수행하는 위상 제어 수단을 포함하는 비디오 신호 처리 시스템.

**청구항 14**

제8항에 있어서,

클럭 신호를 상기 샘플링 레이트 변환 수단 및 상기 역 샘플링 레이트 변환 수단에 제공하는 클럭 수단을 더 포함하는 비디오 신호 처리 시스템.

**청구항 15**

제8항에 있어서,

상기 역 샘플링 레이트 변환 수단은, 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환할 때 상기 샘플링 레이트 변환 수단에 의해 생성되는 위상 제어 신호를 이용하는 비디오 신호 처리 시스템.

**청구항 16**

디지털 비디오 시스템에서 데이터를 처리하는 방법에 있어서,

샘플링 레이트 컨버터를 사용하여 비디오 데이터를 비직교 픽셀 도메인으로부터 직교 픽셀 도메인으로 변환하는 단계; 및

역 샘플링 레이트 컨버터를 사용하여 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환하는 단계를 포함하고,

상기 역 샘플링 레이트 컨버터는, 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환할 때 상기 샘플링 레이트 컨버터에 의해 생성되는 타이밍 신호를 이용하는 방법.

**청구항 17**

제16항에 있어서,

상기 직교 픽셀 도메인에서 상기 비디오 데이터에 대한 처리 연산을 수행하는 단계를 더 포함하는 방법.

**청구항 18**

제17항에 있어서,

상기 처리 연산은 픽처 인 픽처 기능을 인에이블하는 방법.

**청구항 19**

제18항에 있어서,

제2 샘플링 레이트 컨버터를 사용하여 픽처 인 픽처 데이터를 비직교 픽셀 도메인으로부터 직교 픽셀 도메인으로 변환하는 단계를 더 포함하는 방법.

**청구항 20**

제16항에 있어서,

상기 역 샘플링 레이트 컨버터를 사용하여 상기 샘플링 레이트 컨버터에 의해 생성되는 타이밍 신호에 의존하여 주파수 보상을 수행하는 단계를 더 포함하는 방법.

**청구항 21**

제16항에 있어서,

클럭을 사용하여 클럭 신호를 상기 샘플링 레이트 컨버터 및 상기 역 샘플링 레이트 컨버터에 제공하는 단계를 더 포함하는 방법.

**청구항 22**

제16항에 있어서,

상기 역 샘플링 레이트 컨버터는, 상기 비디오 데이터를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환할 때 상기 샘플링 레이트 컨버터에 의해 생성되는 위상 제어 신호를 이용하는 방법.

**명세서**

**기술분야**

[0001] <관련기술>

[0002] 본 출원은 2001년 12월 3일에 가출원된 미국 가출원 번호 60/336,650호의 우선권을 주장한다.

[0003] 본 발명은 일반적으로 비디오 신호 처리 시스템에 관한 것으로, 더 상세하게는, 디지털 비디오 신호 처리에 의해 발생하는 원치않는 픽처 가공물을 제거하는 시스템에 관한 것이다.

**배경 기술**

[0004] 디지털 비디오 신호 처리 시스템에서, 다양한 픽셀 도메인에서 연산하는 것이 바람직할 수 있다. 예를 들면, 신호 샘플이 직각 격자 상에 점으로 나타나는 직교(orthogonal) 픽셀 도메인에서 연산하는 것이 종종 이로울 때가 있다. 직교 픽셀 도메인에서 온 스크린 디스플레이(OSD) 처리를 수행하게 되면, 비디오 오버레이상의 지터 및 톱니모양의 에지를 방지하기 위해 복잡한 스큐 정정 기법을 사용할 필요성이 없어진다. 픽처 인 픽처(picture-in-picture : PIP) 처리와 같은 임의의 애플리케이션에 대하여, 직교 픽셀 도메인을 사용하게 되면, (예를 들면, 화상 압축 및 오버레이 기능을 삽입하기 위해) 그러한 스큐 정정 기법을 사용할 필요가 없을 뿐만 아니라, 수직 필터링과 같은 연산을 단순화할 수 있다. 특히, 수직 필터링은 하나의 필드로부터의 픽셀들이 이전 필드(또는 프레임)로부터의 픽셀들과 비교되는 프레임 결합 프로세스를 사용하여 종종 수행된다. 그러한 프로세스는, 불가능하지는 않지만, 직교 픽셀 도메인 이외에서 수행하기에는 매우 어렵다.

[0005] 일부의 경우에, 하나의 도메인에서 다른 도메인으로 변환하는 것이 바람직할 수 있다. 예로서, 처리를 위해 신호를 (예를 들면, 라인-잠금(locked), 버스트-잠금된) 직교 픽셀 도메인으로 변환한 다음, 그것을 다시 오리지널 비직교(non-orthogonal) 픽셀 도메인으로 변환하는 것이 바람직할 수 있다. 서로 다른 픽셀 도메인은, 각 도메인에서의 연산이 특정 주파수에서 특정 시간을 나타내는 각 클럭 신호에 의해 제어되는 상이한 클럭 도메인으로서 보여질 수 있다. 상기 설명된 예에서, 직교 픽셀 도메인은 제1 클럭 도메인의 예이고 비직교 픽셀 도메인은 제2 클럭 도메인의 예이다. 다양한 클럭 도메인이 가능하고, 필요한 특정 형태의 디지털 신호 처리에 편리한 클럭 도메인에 따라 선택될 수 있다. 상이한 클럭 또는 픽셀 도메인을 사용하는 양상은 클럭 도메인들 간의 변환이 필요할 수 있다는 점이다. 예를 들면, 비직교 픽셀 도메인에서 직교 픽셀 도메인으로 데이터를 변환하기 위해서는 가변 샘플링 레이트 컨버터("SRC")가 필요하다. 가변 SRC는 (i) 수평 라인당 일정 수의 출력 샘플 및 (ii) (심지어 라인당 입력 샘플의 수가 변할지라도) 출력 샘플과 수평 동기 신호간의 소정 위상 관계를 유지하기 위해 연속적으로 조정되는 변환비를 채용한다. 유사하게, 직교 픽셀 도메인에서 비직교 픽셀 도메인으로 다시 변환하기 위해서는 가변 역-SRC로 여기서 언급되는 제2 가변 SRC가 필요하다.

[0006] 임의의 시스템에서, 변환비를 제어하기 위해서는 제1 SRC 및 제2 SRC 모두, 또는 역-SRC는 위상 동기 루프("PLL")를 필요로 한다. 특히, SRC를 제어하는 PLL은 변환비를 조정하여 수평 라인당 고정된 갯수의 출력 샘플 (예를 들면, 858)을 발생시킨다. 역-SRC를 제어하는 PLL은 변환비를 조정하여 SRC의 입력부에서 샘플링 레이트를 정합시키는 출력 샘플링 레이트를 발생시킨다. 그러한 경우에, 시스템 과도 응답 시간은 두개의 PLL의 응답 시간의 합이다. 따라서, 다수의 PLL을 사용하게 되면, 비디오 카세트 리코더("VCR")에서의 헤드 스위칭 동작에 의해 발생하는 과도 응답과 같은 수평 과도 응답의 회복 간격이 확장될 수 있다. 더우기, 다수의 PLL을 사용하게 되면, 추가의 회로가 필요하여 시스템에 잡음이 낄 수 있다. 그러한 잡음은 디스플레이될 원치않는 픽처 가공물의 원인이 될 수 있다.

[0007] 따라서, 전술한 문제점을 회피하여, 시스템 과도 응답 시간 및 잡음 면역성의 저하를 방지하는 한편 회로의 요구사항을 감소시키는 디지털 비디오 시스템이 필요하다. 본 발명은 이러한 문제점을 처리한다.

**발명의 상세한 설명**

[0008] 본 발명은, 부분적으로는 전술한 문제점을 인식하고, 부분적으로는 전술한 문제점을 해결하는 비디오 신호 처리 시스템을 제공하는 것을 포함한다. 더 상세하게는, 본 발명의 일 양상에 따라, 비디오 신호 처리 시스템은 제1 샘플링 레이트 컨버터 및 제2 샘플링 레이트 컨버터를 포함한다. 제1 샘플링 레이트 컨버터는 비디오 데이터를 제1 클럭 도메인에서 제2 클럭 도메인으로 변환한다. 제2 샘플링 레이트 컨버터는 비디오 데이터를 제2 클럭 도메인에서 제1 클럭 도메인으로 변환한다. 제2 샘플링 레이트 컨버터는 비디오 데이터를 제2 클럭 도메인에서 제1 클럭 도메인으로 변환할 때 제1 샘플링 레이트 컨버터에 의해 발생하는 제어 신호를 이용한다.

**실시 예**

[0023] 이제, 도면을 참조하면, 더 상세하게는 도 1을 참조하면, 본 발명을 구현하기에 적당한 예시적 디지털 비디오 시스템의 관련부(100)가 도시되어 있다. 예를 들어 설명할 목적으로, 도 1은 PIP 기능을 수행할 수 있는 비디오 시스템의 부분(100)으로써 표현된다. 그러나, 나중에 논의되는 바와 같이, 도 1의 소자들은 그래픽 및/또는 다른 온 스크린 디스플레이("OSD")와 같은 다른 애플리케이션에도 사용될 수 있다. 도 1의 소자는, 예를 들면, 하나 이상의 집적 회로("ICs")에 포함될 수 있다.

[0024] 도 1은 두개의 입력 채널(즉, 메인 픽처용 한 채널, 및 PIP를 포함하는 삽입 픽처용 한 채널)을 포함한다. 메

인 픽처 채널은 메인 픽처를 나타내는 비디오 신호(즉, VID1)를 처리하고, 아날로그 대 디지털 컨버터("ADC")(10), 디지털 신호 프로세서("DSP")(15), 및 SRC(20)를 포함한다. 삽입 픽처 채널은 삽입 픽처 또는 PIP를 나타내는 비디오 신호(VID2)를 처리하고, ADC(25), DSP(30) 및 SRC(35)를 또한 포함한다. 메인 및 삽입 픽처 채널들로부터의 출력은, DSP(40), 역 SRC(45), DSP(50) 및 디지털 대 아날로그 컨버터("DAC")(55)를 포함하는 도 1의 잔여 소자로 제공된다.

[0025] 동작시에, ADC(10 및 25)는 아날로그 포맷으로 비디오 신호(VID1 및 VID2)를 수신하고 이것을 디지털 포맷으로 각각 변환한다. ADC(10 및 25)로의 입력부에서 비디오 신호(VID1 및 VID2)의 수평 라인 주파수는 VCR 테이프 스트레치 같은 수직(normal) 허용오차에 기인하여 변할 수 있다. 따라서, ADC(10 및 25)의 출력부에서 라인당 샘플의 갯수가 변할 수 있다. ADC(10 및 25)로부터의 출력 신호는 DSP(15 및 30)로 제공되어 그 위에서 디지털 신호 처리 동작이 각각 수행된다.

[0026] DSP(15 및 30)로부터의 출력 신호는 SRC(20 및 35)로 제공되어, 그 위에서 샘플링 레이트 변환 동작이 수행된다. 특히, SRC(20 및 35)는 각각 샘플링 레이트 변환 동작을 수행하여 신호를 제1 클럭 도메인, 예를 들면, 비직교 픽셀 도메인에서 제2 클럭 도메인, 예를 들면, (예를 들면, 라인 잠금, 버스트 잠금되는) 직교 픽셀 도메인으로 변환한다. 신호를 직교 픽셀 도메인으로 변환하기 위해서는, SRC(20 및 35)는 각각을 신호의 순간 라인 주파수에 적용해야하는데, 이것은 전형적으로 수평 PLL("HPLL")을 필요로 한다. HPLL을 구비한 SRC는 여기에서는 "라인 잠금된 SRC"로 언급될 수 있다.

[0027] SRC(20 및 35)로부터의 변환된 출력 신호는, 도 1에서 PIP 프로세서로서 실장될 수 있는 DSP(40)로 제공된다. DSP(40)는 변환된 신호를 (예를 들면, PIP 기능을 수행하도록) 디지털적으로 처리하고, 직교 픽셀 도메인에서 그것의 처리된 출력 신호를 다른 SRC, 예를 들면, 역 샘플링 레이트 변환 동작을 수행하는 도 1에 도시된 예시적 실시예에서의 역 SRC(45)로 도시된 제3 SRC로 제공한다. 특히, 역 SRC(45)는 역 샘플링 레이트 변환 동작을 수행하여 신호를 직교 픽셀 도메인으로부터 비직교 픽셀 도메인으로 변환한다.

[0028] 본 발명의 일 양상에 따라, 역 샘플링 레이트 변환 동작시에, 역 SRC(45)는 SRC(20)로부터 제공되는, 예를 들면, 도 1에 도시된 제어 또는 타이밍 신호(CTRL)로 표시되는 정보를 이용한다. 그러한 정보를 이용함으로써, 데이터 전송을 위해 단지 하나의 클럭이 요구되고, 이것은 다수의 클럭을 사용함으로써 공통적으로 비롯되는 원치않는 픽처 가공물의 발생 가능성 제거에 도움이 된다. 더우기, SRC(20)로부터의 정보를 사용함으로써, 역 SRC(45)에서의 개별 PLL에 대한 필요성을 제거할 수 있고, 따라서, 회로 요구사항을 감소시키고 시스템 과도 응답 시간 및 잡음 면역성의 저하를 추가로 방지한다.

[0029] 역 SRC(45)로부터의 변환된 출력 신호는, 디지털 신호 처리 동작을 수행하는 DSP(50)로 제공된다. DSP(50)로부터의 처리된 출력 신호는, 처리된 신호를 아날로그 포맷으로 변환하고, 그 아날로그 출력 신호를 비디오 시스템의 디스플레이 드라이버에 제공하는 DAC(55)로 제공된다.

[0030] 이제, 도 2를 참조하면, 도 1의 SRC(20)와 역-SRC(45)의 예시적 상세도가 도시되어 있다. 도 2에서, SRC(20)는 PIP 및/또는 OSD 처리를 단순화하기 위해 비직교 샘플(Ya)를 직교 샘플(Yb)로 변환하는 라인 잠금된 SRC이다. DSP(40)는 직교 샘플(Yb)를 수신하여 처리하고, 처리된 샘플(Yc)를 역-SRC(45)로 제공한다. 예시 및 설명의 목적으로, 도 2는 DSP(40)로의 단지 하나의 입력 채널만을 도시한다. 그러나, PIP 같은 애플리케이션을 위해, DSP(40)는 전형적으로 또 다른 채널(도시 생략)의 SRC로부터 입력을 수신하곤 한다. DSP(40)는 또한 프레임 콤(comb) 필터링같은 다른 기능을 수행하기 위한 프로세서로써 실장될 수 있다. 역-SRC(45)는 처리된 샘플(Yc)를 오리지날 비직교 도메인에서 비직교 샘플(Yd)로 다시 변환한다. 마스터 클럭 신호(MCLK)는 클럭 신호를 SRC(20), DSP(40) 및 역-SRC(45)에 제공한다. 예시적 실시예에 따라, 마스터 클럭 신호(MCLK)의 주파수는 18 MHz이다.

[0031] 도 2에 도시된 바와 같이, SRC(20)는, 위상 컨트롤러(22), 로우 패스 필터("LPF")(23) 및 위상 검출기(24)를 포함하는 HPLL 내에 다상 필터(21)를 포함한다. 역-SRC(45)는 다상 필터(46) 및 위상 컨트롤러(47)를 포함한다. 전술한 바와 같이, 역-SRC(45)는 SRC(20)로부터의 정보를 이용하여 역-SRC(45)내의 개별 PLL에 대한 필요성을 제거한다. 따라서, 비디오 시스템 성능을 향상시키고 비용을 감소시키는 더욱 단순한 설계가 가능하다.

[0032] 동작시에, SRC 위상 컨트롤러(22)는 LPF(23)로부터 Filter\_Out 신호를 수신하고, 이에 근거하여 두개의 제어 신호를 발생한다. 특히, SRC 위상 컨트롤러(22)는 Tap 신호 및 Valid SRC Out("VSO") 신호를 발생한다. 후술하는 바와 같이, Tap 신호는 위상 제어 신호이고 SRC 다상 필터(21)에서의 곱셈기 계수의 룩업 테이블을 제어하는 반면, VSO 신호는 직교 도메인에서의 데이터 전송을 제어하는 제어 또는 타이밍 신호이다. 즉, VSO 신호로 인

해 직교 도메인은 비직교 도메인과, 비록 두개의 도메인이 서로 다른 샘플링 레이트를 가지더라도, 동일한 클럭을 이용할 수 있게 된다.

[0033] 예시적 실시예에 따라, 비직교 도메인은 18 MHz의 고정 샘플링 레이트를 갖고, 직교 도메인은 라인당 858개의 샘플을 갖는다. 따라서, 적용가능 비디오 신호가 공칭 수평 라인 주파수,  $F_h=15,734.26$  kHz를 갖는다면, 직교 도메인 샘플링 레이트는  $858 \times F_h = 13.5$  MHz이다. 따라서, SRC(20)의 변환비는  $13.5/18 = 3/4$ 이고, 이것은 SRC(20)가 4개의 입력 샘플마다 3개의 출력 샘플을 발생시킨다는 것을 의미한다. 직교 도메인이 비직교 도메인과 동일한 클럭을 사용하기 위해서는, 직교 도메인에서의 신호 처리는 매 4 클럭 주기 중 1개를 중지해야만 한다. 이러한 방식에서, SRC(20)로부터의 타이밍 또는 제어 신호(예를 들면, 도 2에서 신호 VSO로 표시됨) 또한 직교 도메인에서 데이터 전송 레지스터용 인에이블 신호로써 동작하여 데이터 처리가 액티브인지 또는 중지상태인지를 결정하게 된다.

[0034] 이제, 도 3을 참조하면, 도 2의 SRC 위상 컨트롤러(22)의 예시적 상세도가 도시되어 있다. 도 3에서, 신호 라인 위에 도시된 숫자는 예시적 실시예에서 대응 신호 라인 상으로 전송되는 비트의 개수(즉, 신호의 비트 폭)를 나타낸다. 이러한 숫자는 임의의 방식으로 한정하고자 의도된 것은 아니다. 즉, 여기에 설명된 본 발명의 원리에 따라 구성되는 다른 시스템은 다른 갯수의 비트 또는 비트 폭을 포함하는 신호를 이용할 수 있다. 또한, 도 3에서, 신호 라인 인근의 별표("\*")를 갖는 신호라인은 언싸인드 신호(즉, 양의 표시도 음의 표시도 갖지 않는 신호)를 나타낸다.

[0035] 도 3에서, Filter\_Out 신호는 감산기(221)에서 349,525의 고정 바이어스에서 차감된다. 다음에, 이 차감 연산의 결과가, 출력이 주기적으로 갱신되는 누산기에 인가된다. 특히, 누산기는 가산기(222), 절단 블록(223) 및 D 타입 플립플롭(224)을 포함한다. 가산기(222)는 감산기(221)로부터의 출력값을 D 타입 플립플롭(224)로부터 제공되는 피드백 신호 값에 가산한다. 절단 블록(223)은 가산기(222)로부터의 출력 신호의 최상위 비트("MSB")를 절단하고 그 절단된 신호를 D 타입 플립플롭(224)에 제공한다. D 타입 플립플롭(224)은 Accum\_En 신호가 하이일 때마다 출력 신호(즉, "누산기 출력")를 발생하고 이 출력 신호를 다시 가산기(222)로 이송한다. 이러한 방식으로, 누산기 출력은 Accum\_En 신호에 따라 갱신된다.

[0036] Tap 신호는 누산기 출력으로부터 유도된다. 특히, 누산기 출력은, 누산기 출력의 MSB를 절단하여 절단 신호를 발생시키는 절단 블록(225)으로 인가된다. 곱셈기(226) 및 감산기(227) 모두 절단 블록(225)으로부터 절단 신호를 수신한다. 곱셈기(226)는 절단 신호에 16을 곱하고 그 곱셈된 신호를 감산기(227)에 제공한다. 감산기(227)는 절단 블록(225)에 의해 제공된 절단 신호를 곱셈기(226)에 의해 제공된 곱셈된 신호에서 차감한다. 이 감산 연산의 결과가, MSB를 절단하여 절단 신호를 발생시키는 절단 블록(228)에 다시 인가된다. 또 다른 절단 블록(229)은 절단 블록(228)으로부터 절단 신호를 수신하고, 그로부터 18개의 최하위 비트("LSBs")를 절단하여 또 다른 절단 신호를 발생시킨다. D 타입 플립플롭(230)은 절단 블록(229)으로부터 절단 블록을 수신하고, (예를 들면, 도 2의 블록(48)으로부터의) 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 Tap 신호를 출력한다.

[0037] 전술한 바와 같이, Tap 신호는 SRC 다상 필터(21)에 있는 곱셈기의 룩업 테이블을 제어한다. 더 상세하게는, Tap 신호값은 SRC 다상 필터(21)의 룩업 테이블에 있는 행의 갯수에 대응한다. 예시적 실시예에 따라, SRC(20)는 입력 샘플들간에 60개의 위상을 갖고, SRC 다상 필터(21)의 룩업 테이블은 60 행의 계수를 포함한다. 따라서, 누산기 출력의 20개의 LSB(즉, 절단 블록(225)으로부터 출력되는 20 비트 신호)가  $2^{20}-1$ 에서 다시 0으로 래핑(wrapping)할 때, Tap 신호는 59에서 다시 0으로 래핑해야한다. 따라서, Tap 신호 이득은 정확히  $60/2^{20}$  (즉,  $15/2^{18}$ 와 동일함)이어야 한다.

[0038] Tap 신호와 유사하게, VSO 신호 또한 누산기 출력으로부터 유도된다. 특히, 누산기 출력은, 누산기 출력의 20개의 LSB를 절단하여 절단 신호를 생성하는 절단 블록(231)으로 인가된다. D 타입 플립플롭(232) 및 배타적 NOR 게이트(233) 모두 절단 블록(231)으로부터 절단 신호를 수신한다. 배타적 NOR 게이트(233)는 또한 마스터 클럭 신호(MCLK)에 따라 D 타입 플립플롭(232)으로부터 출력 신호를 수신한다. 배타적 NOR 게이트(233)로부터의 출력 신호는, 누산기 출력의 MSB에서 로우에서 하이로 또는 하이에서 로우로의 전이(transition)가 발생하지 않는다면 하이인 Accum\_En 신호를 나타낸다. 즉, Accum\_En 신호는 일반적으로 하이지만, 누산기 출력의 20개의 LSB가 최고값(예를 들면,  $2^{20}-1$ )에서 최저값(예를 들면, 0)으로 래핑하는 경우 하나의 클럭 주기에 대하여 로우가 된다. D 타입 플립플롭(234)는 Accum\_En 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 VSO 신호를 출력한다. 도 3에서, Tap 및 VSO 신호는 등록된 출력(즉, 클럭킹된 DFF(230 및 234) 각각으로부터 제공됨)이며, VSO 신호는 일반적으로 하이지만, Tap 신호가 자신의 최고값(예를 들면, 59)로부터 자신의 최저값(예

를 들면, 0)으로 래핑하는 경우 하나의 클럭 주기에 대하여 로우가 된다.

- [0039] SRC(20)로 입력되는 수평 라인 주파수는 공칭(예를 들면, 15,734.26 kHz)인 경우, Filter\_Out 신호의 정상 상태 값은 0이다. 따라서, 누산기 출력은 Accum\_En 신호가 하이인 각각의 18 MHz 클럭 주기상에서 349,525 만큼 증가될 것이다. 그 결과적인 Tap 및 VSO 신호는 도 4에 다이어그램(400)으로 도시되어 있다. 즉, 도 4는 Filter\_Out 신호가 0일 때 Tap 및 VSO 신호의 예를 도시한다. 도 4에서, VSO 신호는 15 만큼 채배되어 표시를 용이하게 하였다는 것이 이해된다. 도 4에서, 두개의 제1 클럭 주기(입력부터 출력까지의 지연)를 무시하면, VSO 신호는 하이이고, Tap 신호는 네개의 18 MHz 클럭 주기 중 세개가 변한다. 직교 도메인 처리는 VSO 신호가 하이일때 인에이블되고, VSO 신호가 로우일 때 디스에이블된다. 따라서, VSO 신호가 하이인 경우 클럭 주기에 대응하는 데이터 샘플은 유효 샘플이고, VSO 신호가 로우인 경우 클럭 사이클에 대응하는 데이터 샘플은 무효 샘플이다. 유효 및 무효 데이터 샘플들 간의 이러한 구별은 도 5에 다이어그램(500)으로 도시되어 있다. 도 5에는, 입력 데이터 샘플들 간에 60 개의 위상이 있다. 관련 입력 샘플에 관련하여, 보간된 값의 위상은 Tap 신호값(예를 들면, 19, 39, 59, 중지, 19, 39, 59 ...)에 대응한다. 위상은 20 또는 입력 샘플들 간의 주기의 1/3(즉, 20/60) 만큼 증가한다. 이것은 결과적으로 입력 샘플 주기의 4/3 배인 출력 샘플 주기가 된다.
- [0040] 수평 라인 주파수가 공칭 주파수보다 작은 경우 (예를 들면, 15,734.26 kHz보다 작은 경우), Filter-Out 신호는 양이고, 누산기 입력(즉, 도 3의 가산기(222)로의 입력)은 감소하고, SRC(20)로부터 (평균적으로) 네개의 유효 출력 샘플 중 세개 이상이 존재한다. 역으로, 수평 라인 주파수는 공칭 주파수보다 더 큰 경우(예를 들면, 15,734.26 kHz보다 더 큰 경우), Filter\_Out 신호는 음이 되고, 누산기 입력은 증가하며, (평균적으로) SRC(20)로부터 네개의 출력 샘플 중 세개보다 더 적게 존재한다.
- [0041] 예시적 실시예에서, 역-SRC(45)는 직교 입력 픽셀 샘플을 18 MHz 비직교 도메인으로 다시 변환한다. 따라서, 역-SRC(45)는, 입력 샘플이 일부 클럭 주기에서 유효할지라도(즉, 직교 도메인에서의 처리가 중지되는 경우 - 도 5 참조), 각각의 18 MHz 클럭 주기상에서 유효 출력 샘플을 생성해야 한다. 결과적으로, 역-SRC(45)는 유효 입력 샘플들 간을 보간해야하고, 유효 입력 샘플이 나타나는 경우 이전 또는 과거를 기반으로 보외(extrapolation)해야 한다. 이러한 방식에서, SRC(20)에 의해 생성되는 VSO 신호는 역-SRC(45)에 대하여 적어도 두개의 개별 목적에 이바지한다. 첫번째로, VSO 신호는 직교 도메인에서 데이터 이송을 제어하여 (즉, 역-SRC(45)의 다상 필터(46)로의 입력 - 도 2 참조), 무효 샘플이 다상 필터(46)로 입력되는 것을 방지한다. 두번째로, VSO 신호는 역-SRC(45)의 위상 컨트롤러(47)에 의해 사용되어 위상을 조정함으로써 적당한 시점에서 보간 및 보외가 이루어진다.
- [0042] 도 6을 참조하면, 도 2의 역-SRC(45)의 위상 컨트롤러(47)의 기본 버전의 예시적 상세도가 도시되어 있다. 도 6에서, 신호 라인 위에 도시된 숫자는 예시적 실시예에서 해당 신호 라인 상으로 전송되는 비트의 개수를 나타낸다. 이러한 숫자들은 임의의 방식으로 제한하려는 것으로 의도되는 것은 아니다. 또한, 도 6에서, 인접하여 별표("\*")를 갖는 신호 라인은 언싸인드 신호(즉, 양 및 음의 표시가 없는 신호)를 나타낸다.
- [0043] 도 6에서, Tap 신호는 감산기(471)에서 고정값 79에서 감산된다. 이 감산 연산의 결과는 다음에, 자신의 입력에 근거하여 60 부터 79 까지 제한된 값을 갖는 출력 신호를 생성하는 리미터(472)에 인가된다. 곱셈기(483)는 리미터(472)로부터 출력 신호를 수신하고, 또한 제2 신호 경로로부터 입력 신호를 수신한다. 이 신호 경로는 가산기(480), 절단 블록(481) 및 D 타입 플립플롭(482)을 포함한다. 가산기(480)는 고정값 -20을 곱셈기(483)의 출력 신호에 가산한다. 이 가산 연산의 결과는, MSB를 절단하여 절단 신호를 생성하는 절단 블록(481)로 인가된다. D 타입 플립플롭(482)은 절단 블록(481)로부터 절단 신호를 수신하고 (예를 들면, 도 2의 블록(48)으로부터의) 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 다른 입력 신호를 곱셈기(483)에 제공한다. 곱셈기(483)는 VSO 신호의 논리 상태에 따라 자신의 출력 신호를 제공한다. 특히, 곱셈기(483)는, VSO 신호가 로우인 경우 자신의 상위 입력(즉, 리미터(472)로부터의 출력 신호)를 통과하게 하고, VSO 신호가 하이인 경우 자신의 하위 입력(즉, D 타입 플립플롭(482)으로부터의 출력 신호)를 통과하게 할 수 있다. 리미터(484)는 곱셈기(483)으로부터 출력 신호를 수신하고, 이에 근거하여 -10 내지 89로 제한되는 값을 갖는 출력 신호를 생성한다. D 타입 플립플롭(485)은 리미터(484)로부터의 출력 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 Inv\_Tap 신호를 출력한다.
- [0044] Inv\_Tap 신호는 역-SRC(45)의 다상 필터(46)에서 곱셈기 계수의 록업 테이블을 제어한다. 역-SRC(45)는 입력 샘플들 간에 80개의 위상을 갖는데, 이것은 공칭 조건에 대하여 SRC(20)에 대하여 입력 샘플들 간에 60개의 위상으로써 동일한 시간 해상도가 된다. 보외를 용이하게 하기 위해, 역-SRC(45)에 대하여 가능 위상의 범위를 -10 내지 89로 확장한다. 도 6에서, Inv\_Tap 신호는 VSO 신호가 로우인 경우 60과 79 사이의 Tap 신호 의존 값

으로 사전설정되고 VSO 신호가 하이인 경우 20 만큼 감소된다. 이것은 공칭 주파수의 적어도 +/- 700 Hz의 범위내에서 수평 주파수에 대하여 양호한 성능을 제공한다. 그러나, 인헨스트 버전의 위상 컨트롤러(47)를 사용함으로써 공칭 주파수로부터 +/- 100 Hz 이상의 수평 주파수에 대하여 상당한 개선이 이루어진다.

[0045] 이제, 도 7을 참조하면, 도 2의 역-SRC(45)의 인헨스트 버전의 위상 컨트롤러(47)의 예시적 상세도가 도시되어 있다. 이러한 인헨스트 버전의 위상 컨트롤러(47)는 도 6의 기본 버전의 위상 컨트롤러(47)와 공통으로 많은 소자를 포함한다. 이러한 공통 소자는 동일한 참조 부호를 갖는다. 도 6에서와 같이, 도 7의 신호 라인 위에 도시된 숫자는 예시적 실시예에서 해당 신호 라인상으로 송신되는 비트의 갯수(즉, 신호의 비트폭)를 나타낸다. 이러한 숫자는 임의의 방식으로 제한하도록 의도되는 것은 아니다. 즉, 다른 비트폭을 갖는 신호를 사용하는 시스템이 본 발명의 원리에 따라 구성될 수 있다. 또한, 도 7에서, 인접하여 별표("\*")를 갖는 신호 라인은 언싸인드 신호(즉, 양 및 음의 표시가 없는 신호)를 나타낸다.

[0046] 도 7에서, Tap 신호는 감산기(471)에서 고정값 79에서 차감된다. 이 차감 연산의 결과는 다음에, 자신의 입력에 근거하여 60에서 79까지 제한되는 값을 갖는 출력 신호를 생성하는 리미터(472)로 인가된다. 감산기(473)는 리미터(472)로부터의 출력 신호를 수신하고, 다른 신호 경로로부터의 출력 신호를 그로부터 차감한다. 이 신호 경로는 절단 블록(474), 가산기(475), 절단 블록(476), 곱셈기(477) 및 D 타입 플립플롭(478)을 포함한다. 절단 블록(474)은 Filter-Out 신호를 수신하고, 그로부터 14개의 LSB를 절단하여 절단 신호를 생성한다. 가산기(474)는 절단 블록(474)로부터의 절단 신호를 신호 경로로부터의 출력 신호에 가산한다. 이 가산 연산의 결과는, MSB를 절단하여 절단 신호를 절단하는 절단 블록(476)에 제공된다. 곱셈기(477)는 절단 블록(476)으로부터의 절단 신호 및 고정값 0을 갖는 신호를 수신하고, 곱셈기 제어 신호에 따라, 또는, 응답하여, 예를 들면, VSO 신호의 논리 상태에 응답하여 상기 두개의 신호중 하나를 선택적으로 출력한다. 특히, 곱셈기(477)는 VSO 신호가 로우인 경우 자신의 상위 입력(즉, 값 0을 갖는 신호)를 통과시키고, VSO 신호가 하이인 경우 자신의 하위 입력(즉, 절단 블록(476)으로부터의 절단 신호)를 통과시킨다. D 타입 플립플롭(478)은 곱셈기(477)로부터의 출력 신호를 수신하고 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 신호 경로의 출력 신호를 제공한다. 도 7에 도시된 바와 같이, 이 출력 신호는 가산기(475)로 다시 제공되고, 또한 감산기(473)로 제공된다.

[0047] 절단 블록(479)은 감산기(473)로부터의 출력 신호를 수신하고, 그로부터의 MSB를 절단하여 절단 신호를 생성한다. 곱셈기(483)는 절단 블록(479)로부터의 절단 신호를 수신하고, 또한 또다른 신호 경로로부터의 입력 신호를 수신한다. 이 신호 경로는, 도 6에 도시된 기본 버전의 위상 컨트롤러(47)에도 포함되었던 가산기(480), 절단 블록(481) 및 D 타입 플립플롭(482)을 포함한다. 가산기(480)는 고정값 -20, 곱셈기(483)로부터의 출력 신호 및 절단 블록(474)으로부터 제공되는 절단 신호를 가산한다. 이 가산 연산의 결과는, MSB를 절단하여 절단 신호를 생성하는 절단 블록(481)으로 인가된다. D 타입 플립플롭(482)는 절단 블록(481)으로부터의 절단 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 다른 입력 신호를 곱셈기(483)에 제공한다. 곱셈기(483)는 VSO 신호의 논리 상태에 의존하여 자신의 출력 신호를 제공한다. 특히, 곱셈기(483)는 VSO 신호가 로우인 경우 자신의 상위 입력(즉, 절단 블록(479)으로부터의 절단 신호)를 통과시키고, VSO 신호가 하이인 경우 자신의 하위 입력(즉, D 타입 플립플롭(482)으로부터의 출력 신호)를 통과시킨다. 리미터(484)는 곱셈기(483)로부터의 출력 신호를 수신하고, 이를 근거로, -10에서 89까지 제한되는 값을 갖는 출력 신호를 생성한다. D 타입 플립플롭(485)은 리미터(484)로부터의 출력 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어, 역-SRC(45)의 다상 필터(46)에서의 곱셈기 계수의 룩업 테이블을 제어하는 Inv\_Tap 신호를 출력한다.

[0048] 위상 컨트롤러(47)의 또 다른 예시적 실시예가 도 7에 도시되어 있다. 도 7에 도시된 실시예는 인터-샘플 주파수 보상을 사용하는데, (i) VSO 신호가 로우인 경우 곱셈기(483)에 의해 선택되는 사전설정된 Inv\_Tap 신호는, VSO 신호가 로우였던 마지막 시간 이후에, Filter\_Out 신호의 3개의 MSB의 누산 값에 의해 조정된다; 그리고 (ii) Filter\_Out 신호의 3개의 MSB를 사용하여, VSO 신호가 하이인 경우에 Inv\_Tap 신호가 감소되는 속도를 조정한다.

[0049] 이제, 도 8을 참조하면, 도 2의 SRC(20)의 다상 필터(21)의 예시적 상세도가 도시되어 있다. 도 8의 신호 라인 위에 도시된 숫자는 예시적 실시예에서 해당 신호 라인 상으로 전송되는 비트의 갯수를 나타낸다. 이 숫자는 임의의 방식으로 제한하고자 의도되는 것은 아니다. 또한, 도 8에서, 인접하여 별표("\*")를 갖는 신호 라인은 언싸인드 신호(즉, 양 및 음의 표시가 없는 신호)를 나타낸다.

[0050] 도 8에서, 비직교 도메인 SRC 입력 신호(Ya)는 D 타입 플립플롭(241)에 제공되는데, 이것은 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 출력 신호를 곱셈기(242)에 제공한다. SRC 입력 신호(Ya)는 또한 곱셈기(243)에 제공된다. SRC 룩업 테이블(244)은 Tap 신호를 수신하고, 이것을 기반으로, 두개의 개별 출력 신호를 제공한다.

SRC 룩업 테이블(244)로부터의 제1 출력 신호는 D 타입 플립플롭(245)으로 제공되어, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 출력 신호를 곱셈기(242)에 제공한다. 도 8에 도시된 바와 같이, D 타입 플립플롭(245)으로부터의 출력 신호는 (60 - Tap 신호값) 곱하기 (128/60)과 동일한 값을 갖는다. SRC 룩업 테이블(244)로부터의 제 2 출력 신호는 또 다른 D 타입 플립플롭(246)에 제공되고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어, 출력 신호를 곱셈기(243)에 제공한다. 도 8에 도시된 바와 같이, D 타입 플립플롭(246)으로부터의 출력 신호는 Tap 신호 값 곱하기 (128/60)과 동일한 값을 갖는다.

[0051] 곱셈기(242)는 D 타입 플립플롭(241)로부터의 출력 신호를 D 타입 플립플롭(245)으로부터의 출력 신호와 곱하여 곱셈된 신호를 생성한다. D 타입 플립플롭(247)은 곱셈기(242)로부터의 곱셈된 신호를 수신하고, VSO 신호에 따라 클럭킹되어 출력 신호를 제공한다. 곱셈기(243)는 SRC 입력 신호(Ya)를 D 타입 플립플롭(246)으로부터의 출력 신호와 곱하여 곱셈된 신호를 생성한다. D 타입 플립플롭(248)은 곱셈기(243)로부터의 곱셈된 신호를 수신하고, VSO 신호에 따라 클럭킹되어 출력 신호를 제공한다. 가산기(249)는 D 타입 플립플롭(247 및 248)로부터의 출력 신호들을 가산한다. 이 가산 연산의 결과가, MSB를 절단하여 절단 신호를 생성하는 절단 블록(250)으로 제공된다. 대칭 라운딩 블록(251)은 절단 블록(250)으로부터의 절단 신호를 수신하고 대칭 라운딩 연산을 수행하여 라운딩된 출력 신호를 생성한다. D 타입 플립플롭(252)은 대칭 라운딩 블록(251)으로부터의 라운딩된 출력 신호를 수신하고 VSO 신호에 따라 클럭킹되어 직교 도메인 SRC 출력 신호(Yb)를 제공한다.

[0052] 이제, 도 9를 참조하면, 도 2의 SRC(45)의 다상 필터(46)의 예시적 상세도가 도시되어 있다. 도 9의 신호 라인 상에 도시된 숫자는 예시적 실시예에서 해당 신호 라인 상으로 전송되는 비트의 갯수를 나타낸다. 이 숫자는 임의의 방식으로 제한하려고 의도되는 것은 아니다.

[0053] 도 9에서, 직교 도메인 역-SRC 입력 신호(Yc)가 D 타입 플립플롭(490)으로 제공되어, VSO 신호에 따라 클럭킹되어 출력 신호를 곱셈기(491)에 제공한다. 역-SRC 입력 신호(Yc)는 또한 곱셈기(492)로 제공된다. 역 SRC 룩업 테이블(493)은 Inv\_Tap 신호를 수신하고, 그를 기반으로 두개의 개별 출력 신호를 제공한다. 역-SRC 룩업 테이블(493)로부터의 제1 출력 신호는 곱셈기(491)에 제공된다. 도 9에 도시된 바와 같이, 역-SRC 룩업 테이블(493)로부터의 제1 출력 신호는 (80 - Inv\_Tap 신호값) 곱하기 (128/80)과 동일한 값을 갖는다. 역-SRC 룩업 테이블(493)로부터의 제2 출력 신호는 곱셈기(492)로 제공된다. 도 9에 도시된 바와 같이, 역-SRC 룩업 테이블로부터의 제2 출력 신호는 Inv\_Tap 신호값 곱하기 (128/80)와 동일한 값을 갖는다.

[0054] 곱셈기(491)는 D 타입 플립플롭(490)으로부터의 출력 신호를 역-SRC 룩업 테이블(493)으로부터의 제1 출력 신호와 곱하여 곱셈된 신호를 생성한다. D 타입 플립플롭(494)은 곱셈기(491)로부터의 곱셈된 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 출력 신호를 제공한다. 곱셈기(492)는 역-SRC 입력 신호(Yc)를 역-SRC 룩업 테이블(493)로부터의 제2 출력 신호와 곱하여 곱셈된 신호를 생성한다. D 타입 플립플롭(495)은 곱셈기(492)로부터의 곱셈된 신호를 수신하고, 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 출력 신호를 제공한다. 가산기(496)는 D 타입 플립플롭(494 및 495)로부터의 출력 신호들을 가산한다. 이 가산 연산의 결과가, MSB를 절단하여 절단 신호를 생성하는 절단 블록(497)에 제공된다. 대칭 라운딩 블록(498)은 절단 블록(497)으로부터의 절단 신호를 수신하고 대칭 라운딩 연산을 수행하여 라운딩된 출력 신호를 생성한다. D 타입 플립플롭(499)은 대칭 라운딩 블록(498)으로부터의 라운딩된 출력 신호를 수신하고 마스터 클럭 신호(MCLK)에 따라 클럭킹되어 비직교 도메인 역-SRC 출력 신호(Yd)를 제공한다.

[0055] 도 8 및 도 9와 결합하여 상기에 설명된 다상 필터(21 및 46)은 이들 각각이 단지 두개의 곱셈기만을 포함한다는 점에서 간략화된 예인 것이 이해된다. 본 발명의 원리에 따라 이러한 실시예를 변경하여 이용할 수 있는 것은 물론 당연하다. 그러나, 도 8 및 도 9의 실시예는 VSO 신호가 SRC(20)의 출력측 및 역-SRC(45)의 입력측 상에서 데이터를 이송하는 방법을 나타낼 때는 유용하다. 이러한 방식에서, VSO 신호는 SRC(20)와 역-SRC(45) 사이에 접속된 회로(예를 들면, DSP(40))를 통하여 데이터 전송을 제어한다는 것이다.

[0056] 이제, 도 10 내지 도 15를 참조하면, 본 발명에 따른 다양한 세트의 예시적 시뮬레이션 결과가 도시되어 있다. 특히, 도 10 내지 도 15는 역-SRC(45)의 인헨스트 버전의 위상 컨트롤러(47)를 사용하여 다양한 조건하에서 도 2의 SRC(20)로의 입력(즉, Ya)과 역-SRC(45)(도 7 참조)로부터의 출력(즉, Yd)를 그래픽적으로 도시한다. 이 시뮬레이션은 SRC(20)의 출력을 역-SRC(45)의 입력에 단지 와이어 접속하여, 도 8과 도 9에 도시된 간략화된 다상 필터(21 및 46)를 각각 사용하여 실행되었다.

[0057] 도 10과 도 11은 본 발명에 따른 제1 세트의 예시적 시뮬레이션 결과를 도시하는 것으로, 수평 라인 주파수(Fh)는 공칭 라인 주파수(즉, 15,734.26 kHz) 더하기 300 Hz와 동일하다. 도 10의 그래프(1000)에 도시된 바와 같이, SRC(20)로의 입력과 역-SRC(45)로부터의 출력은 지정 시간 주기동안 실질적으로 동일하다. 특히, 도 10

에 도시된 시간 주기는 SRC(20)의 PLL이 정상 상태 조건에 도달한 후에 하나의 완료된 수평 라인을 나타낸다. 도 11의 그래프(1100)는 도 10a의 피크 파형의 확대도이다. 도 11에서, SRC(20)로의 입력과 역-SRC(45)로부터 이 출력간의 차이는 회로를 통한 신호 전파 지연에 기인한다.

[0058] 도 12 및 도 13은 본 발명에 따른 제2 세트의 예시적 시뮬레이션 결과를 도시하는 것으로, 여기에서 수평 라인 주파수(Fh)는 공칭 라인 주파수(즉, 15,734.26 kHz)와 동일하다. 도 12의 그래프(1200)에 도시된 바와 같이, SRC(20)로의 입력과 역-SRC(45)로부터의 출력은 지정 시간 주기동안 실질적으로 동일하다. 도 10과 마찬가지로, 도 12에 도시된 시간 주기는 SRC(20)의 PLL이 정상 상태 조건에 도달한 후의 하나의 완료된 수평 라인을 나타낸다. 도 13의 그래프(1300)는 도 12에 있는 피크 파형의 확대도이다. 도 11과 마찬가지로, 도 13에서, SRC(20)로의 입력과 역-SRC(45)로부터의 출력간의 차이는 회로를 통한 신호 전파 지연에 기인한다.

[0059] 도 14 및 도 15는 본 발명에 따른 제3 세트의 예시적 시뮬레이션 결과를 도시하는 것으로, 여기에서 수평 라인 주파수(Fh)는 공칭 라인 주파수(즉, 15,734.26 kHz) 마이너스 300 Hz와 동일하다. 도 14의 그래프(1400)에 도시된 바와 같이, SRC(20)로의 입력과 역-SRC(45)로부터의 출력은 지정 시간 주기동안 실질적으로 동일하다. 도 10 및 도 12와 마찬가지로, 도 14에 도시된 시간 주기는 SRC(20)의 PLL이 정상 상태 조건에 도달한 후의 하나의 완료된 수평 라인을 나타낸다. 도 15의 그래프(1500)는 도 14에 있는 피크 파형의 확대도이다. 도 11 및 도 13과 마찬가지로, 도 15에서, SRC(20)로의 입력과 역-SRC(45)로부터의 출력간의 차이는 회로를 통한 신호 전파 지연에 기인한다.

[0060] 상기에 설명된 바와 같이, 본 발명은 SRC 및 SRC에 의해 제어되는 역-SRC를 포함하는 비디오 시스템을 제공하여 단일 클럭 상에서 비디오 시스템을 동작시킬 수 있다. SRC의 PLL로부터의 정보를 사용하여 역-SRC를 직접적으로 제어함으로써, 비디오 시스템의 과도 회복 간격이 단지 하나의 PLL의 과도 회복 간격이 되고, 따라서 이 간격은 다른 비디오 시스템보다 상당히 더 짧은 것이다. 더우기, 원치않는 픽처 가공물이 방지되고 회로가 더 적게 요구된다.

[0061] 여기에 설명된 본 발명은 디스플레이를 갖거나 갖지않는 다양한 비디오 시스템에 적용가능하다. 따라서, 여기에 사용된 바와 같이 용어 "비디오 시스템", "비디오 신호 처리 시스템" 또는 "디지털 비디오 시스템"은 다양한 타입의 시스템 또는 장치, 즉, 디스플레이 디바이스를 포함하는 모니터 또는 텔레비전 세트, 디스플레이 디바이스를 포함하지 않는 텔레비전 신호 수신기, 및 셋탑 박스, 비디오 카세트 리코더(VCR), 디지털 비디오 디스크(DVD) 플레이어, 비디오 게임 박스, 개인용 비디오 리코더(PVR) 또는 디스플레이 디바이스를 포함하지 않는 다른 비디오 시스템과 같은 장치 또는 시스템을 포함하지만, 이에 한정되는 것은 아니다.

[0062] 본 발명이 바람직한 디자인을 갖는 것으로 설명되었지만, 본 발명은 상기 개시된 사상 및 범위 내에서 추가로 변경될 수 있다. 따라서, 본 출원은 본 발명의 일반적인 원리를 사용하는 발명의 적용예, 용도, 또는 변경예를 커버하는 것을 의도로 한다. 더우기, 본 출원은 본 발명의 개시에서는 벗어나지만 본 발명이 속하는 기술분야에서 공지되거나 관습적인 관련내에 있고 첨부된 청구범위 내에 있는 것도 커버하는 것을 의도로 한다.

**도면의 간단한 설명**

[0009] 본 발명의 전술한 그리고 다른 특징 및 이점, 그리고 이들을 이루기 위한 방법은 첨부 도면을 참조하여 다음에 이어지는 발명의 상세한 설명의 실시예를 참조함으로써 보다 잘 이해될 것이다.

[0010] 도 1은 본 발명을 구현하기에 적당한 예시적 디지털 비디오 시스템의 관련부를 도시한다.

[0011] 도 2는 도 1의 SRC 및 역-SRC의 예시적 상세도이다.

[0012] 도 3은 도 2의 SRC의 위상 컨트롤러의 예시적 상세도이다.

[0013] 도 4는 도 3의 SRC의 위상 컨트롤러의 예시적 출력을 도시한다.

[0014] 도 5는 예시적 SRC 기능을 도시한다.

[0015] 도 6은 도 2의 역-SRC의 위상 컨트롤러의 기본 버전의 예시적 상세도이다.

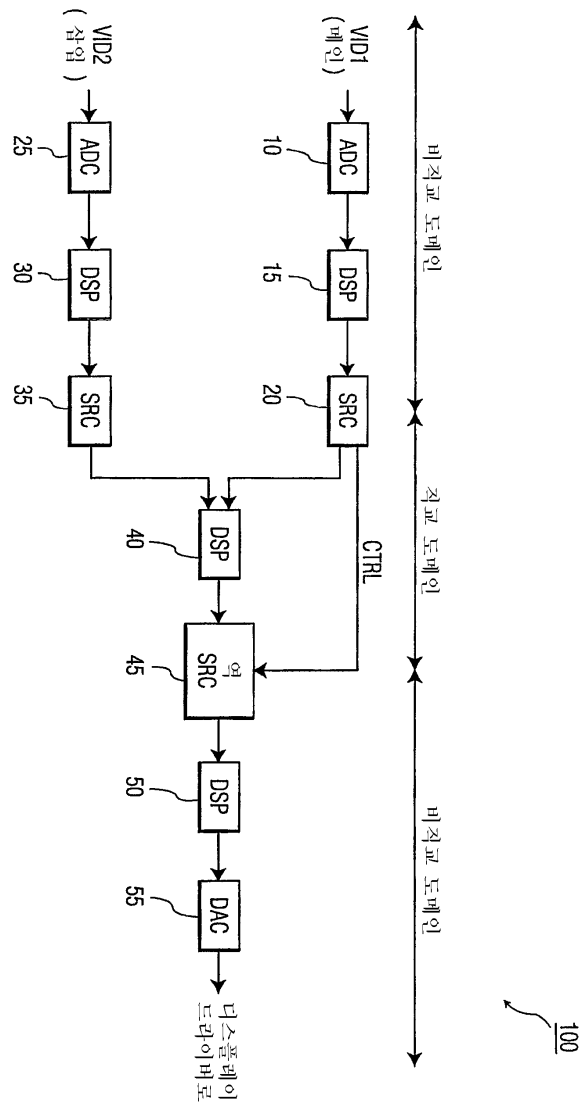
[0016] 도 7은 도 2의 역-SRC의 위상 컨트롤러의 인헨스트 버전의 예시적 상세도이다.

[0017] 도 8은 도 2의 SRC의 다상 필터의 예시적 상세도이다.

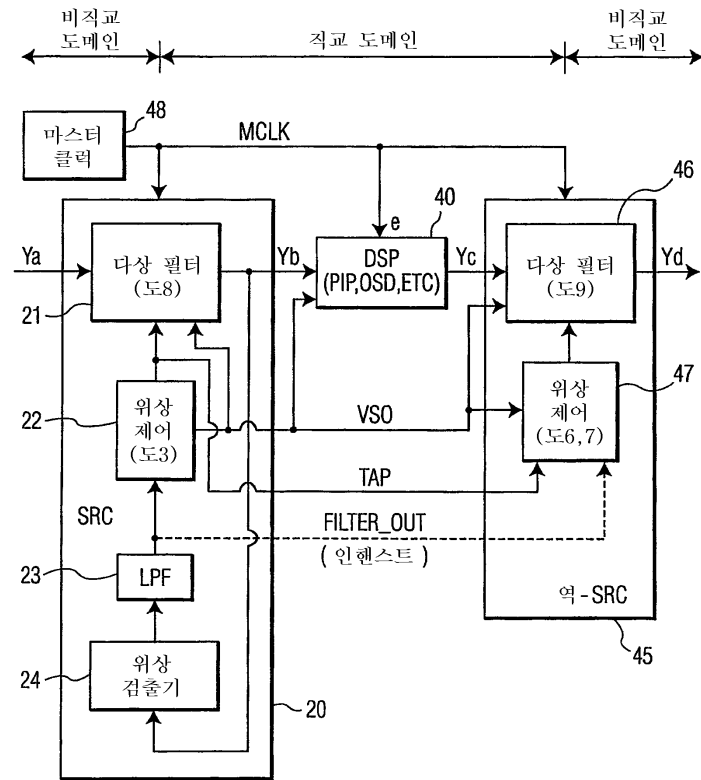
- [0018] 도 9는 도 2의 역-SRC의 다상 필터의 예시적 상세도이다.
- [0019] 도 10 및 도 11은 본 발명에 따른 제1 세트의 예시적 시뮬레이션 결과를 도시한다.
- [0020] 도 12 및 도 13은 본 발명에 따른 제2 세트의 예시적 시뮬레이션 결과를 도시한다.
- [0021] 도 14 및 도 15는 본 발명에 따른 제3 세트의 예시적 시뮬레이션 결과를 도시한다.
- [0022] 여기에 설명되는 예들은 본 발명의 바람직한 실시예를 설명하는 것으로, 그러한 예들이 임의의 방식으로 본 발명의 범위를 제한하는 것으로 해석되는 것은 아니다.

**도면**

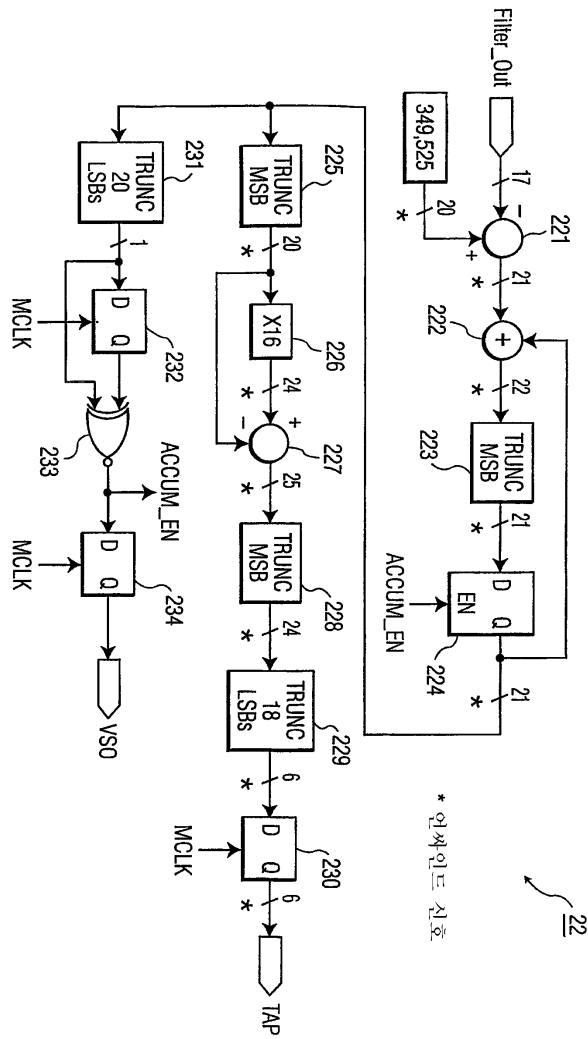
**도면1**



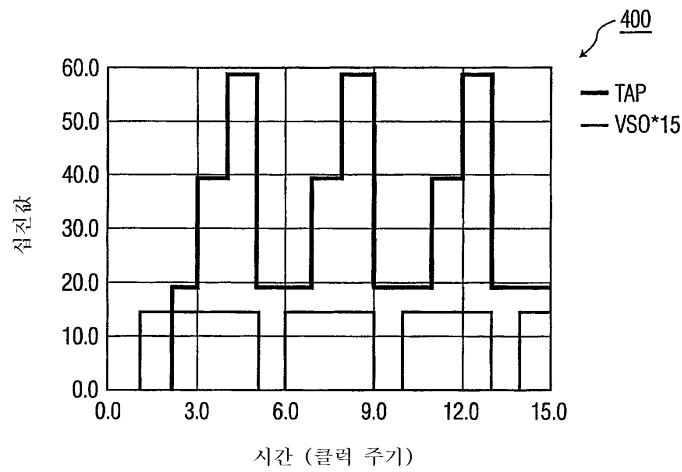
도면2



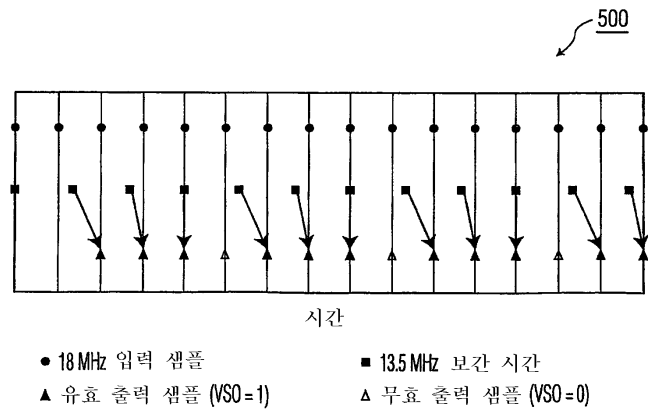
도면3



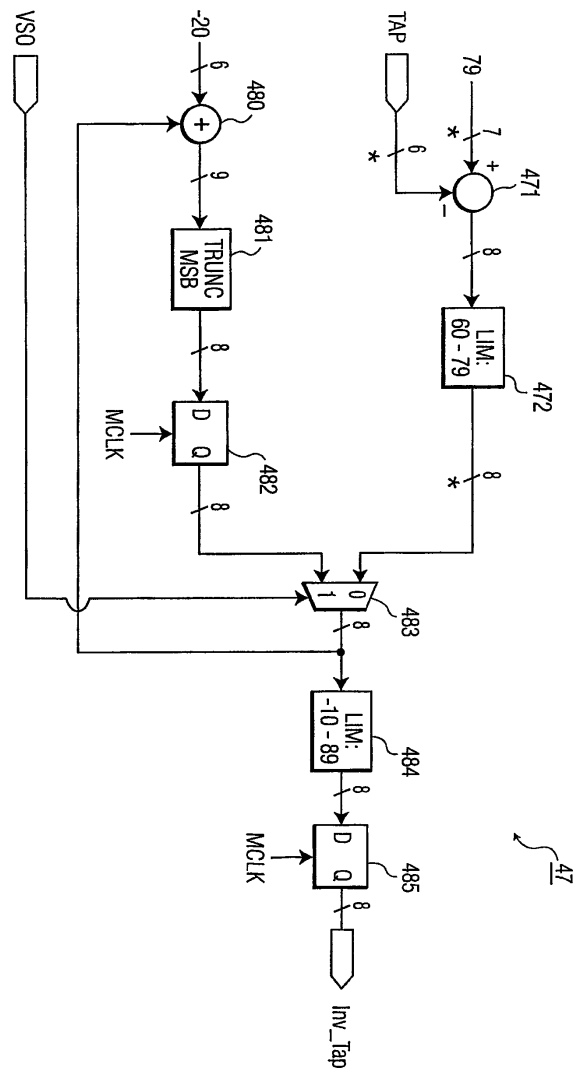
도면4



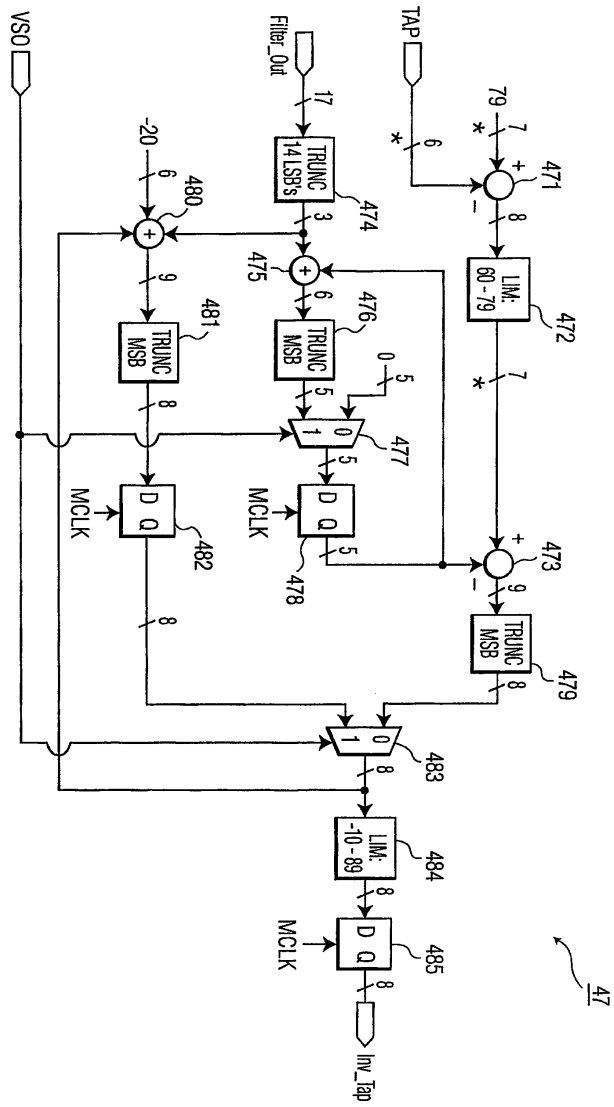
도면5



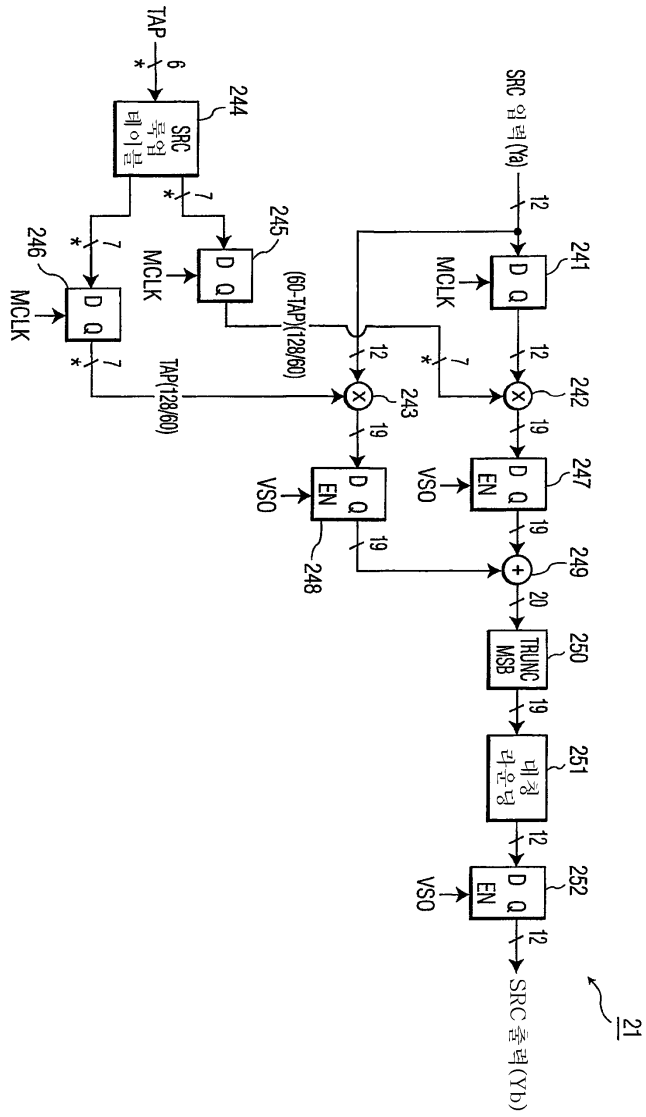
도면6



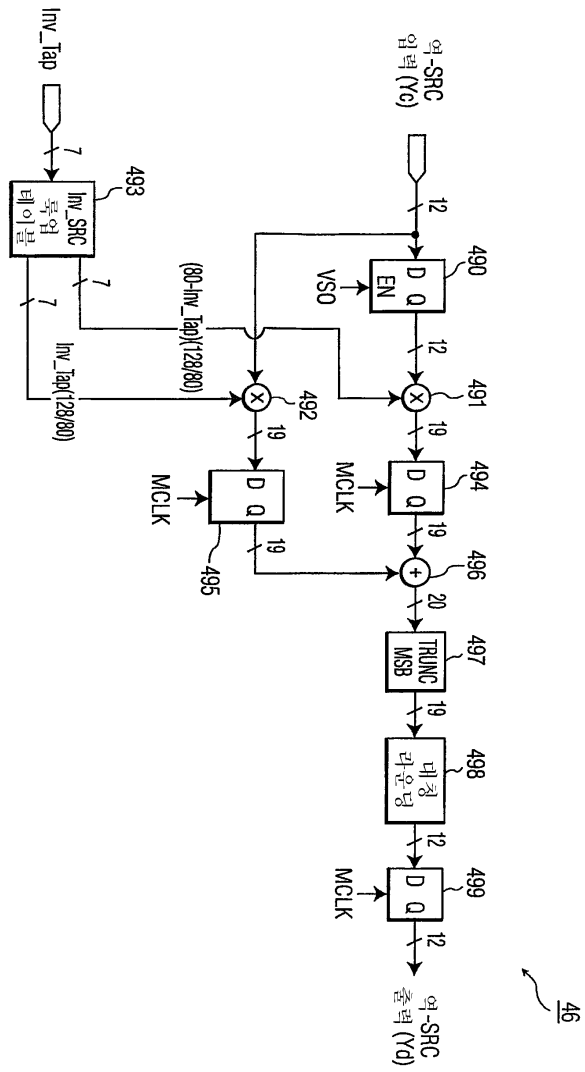
도면7



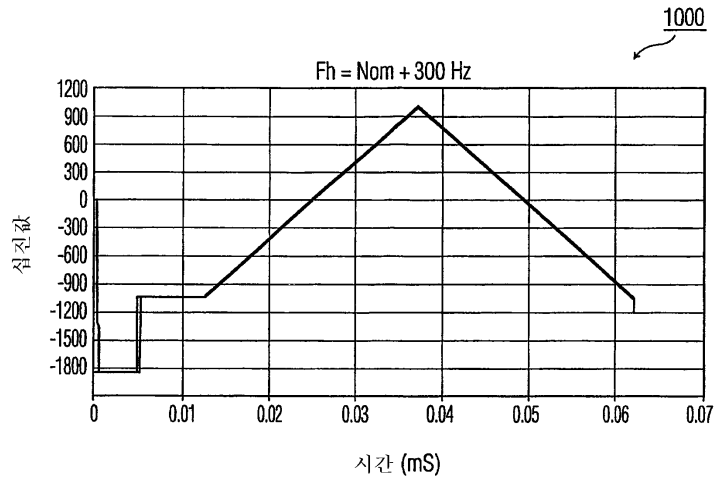
도면8



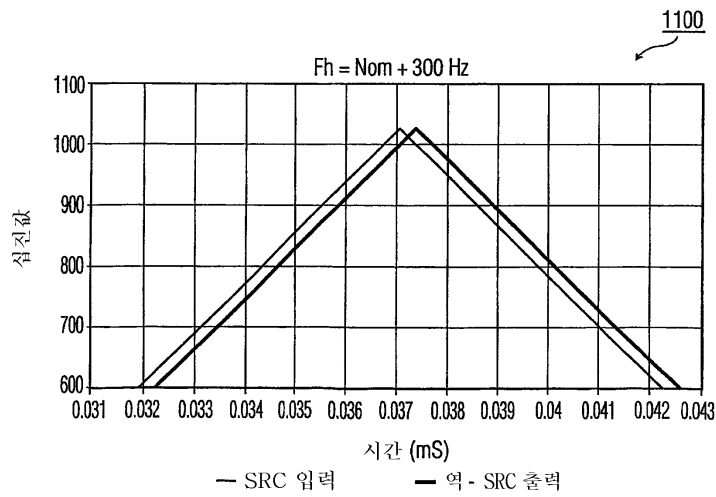
도면9



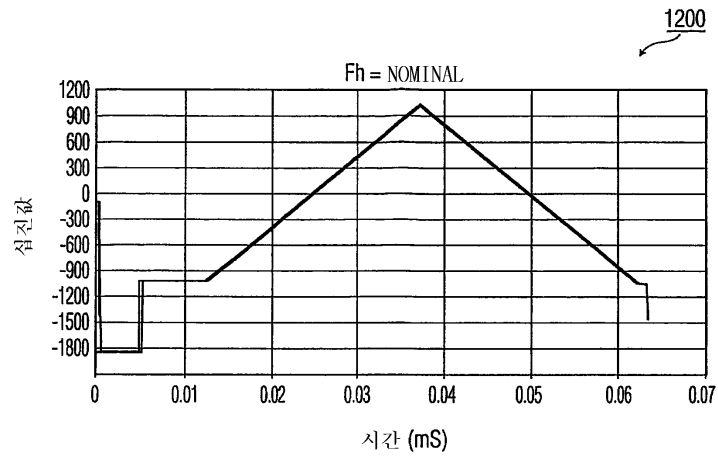
도면10



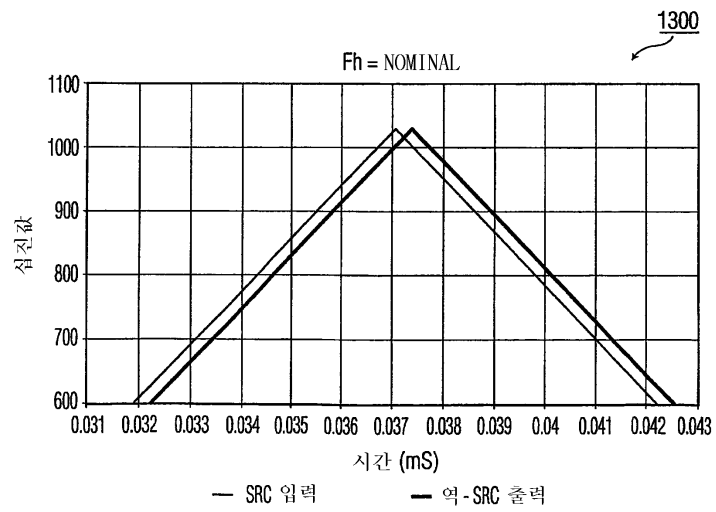
도면11



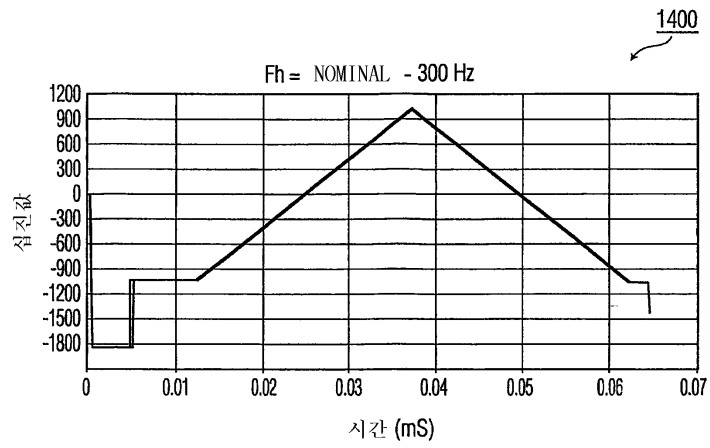
도면12



도면13



도면14



도면15

