

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年8月24日(24.08.2023)



(10) 国際公開番号

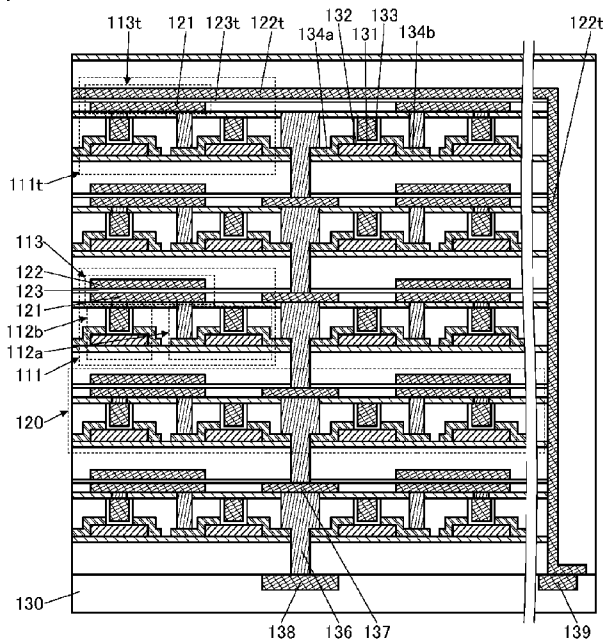
WO 2023/156866 A1

- (51) 国際特許分類:  
H10B 12/00 (2023.01) H01L 29/786 (2006.01)  
H01L 21/28 (2006.01) H10B 41/70 (2023.01)  
H01L 29/417 (2006.01) H10B 99/00 (2023.01)
- (21) 国際出願番号: PCT/IB2023/050939
- (22) 国際出願日: 2023年2月3日(03.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-023699 2022年2月18日(18.02.2022) JP
- (71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).
- (72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 大貫達也 (ONUKI, Tatsuya); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司 (KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: STORAGE DEVICE

(54) 発明の名称: 記憶装置

図6



(57) Abstract: Provided is a storage device that enables miniaturization and high integration. The storage device has a first transistor, a second transistor, a third transistor, a first capacitor, and a second capacitor. The first capacitor has a first electrode and a second electrode. The second capacitor has a first electrode and a third electrode. The source or the drain of the first transistor is electrically connected with the second electrode. The source or the drain of the second transistor is electrically connected with the third electrode. The gate of the third transistor is electrically connected with



WO 2023/156866 A1

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO(BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

the second electrode. The first electrode has parts overlapping with each of the second electrode, the third electrode, the first transistor, and the second transistor, and a fixed potential or a ground potential is applied to the first electrode.

(57) 要約 : 微細化又は高集積化が可能な記憶装置を提供する。記憶装置は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第1の容量、及び第2の容量を有する。第1の容量は、第1の電極と、第2の電極と、を有する。第2の容量は、第1の電極と、第3の電極と、を有する。第1のトランジスタは、ソース及びドレインの一方が第2の電極と電気的に接続される。第2のトランジスタは、ソース及びドレインの一方が第3の電極と電気的に接続される。第3のトランジスタは、ゲートが第2の電極と電気的に接続される。第1の電極は、第2の電極、第3の電極、第1のトランジスタ、及び第2のトランジスタとそれぞれ重なる部分を有し、且つ、固定電位または接地電位が与えられる。

## 明細書

発明の名称

記憶装置

技術分野

[0001]

本発明の一態様は、半導体装置、記憶装置、及び電子機器に関する。また、本発明の一態様は、半導体装置の作製方法に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらの駆動方法、又はそれらの製造方法を一例として挙げるることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタ等の半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器等は、半導体装置を有するといえる場合がある。

背景技術

[0004]

近年、LSI (Large Scale Integration)、CPU (Central Processing Unit)、メモリ（記憶装置）等の半導体装置の開発が進められている。これらの半導体装置は、コンピュータ、携帯情報端末等様々な電子機器に使用されている。また、演算処理実行時の一時記憶、データの長期記憶等、用途に応じて様々な記憶方式のメモリが開発されている。代表的な記憶方式のメモリとして、例えば、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、及び、フラッシュメモリが挙げられる。

[0005]

また、扱われるデータ量の増大に伴って、より大きな記憶容量を有する半導体装置が求められている。特許文献1及び非特許文献1では、トランジスタを積層して形成したメモリセルが開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 国際公開第2021/053473号

[非特許文献]

[0007]

[非特許文献1] M. Oota et al, "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72 nm", IEDM Tech. Dig., 2019, pp. 50-53

## 発明の概要

## 発明が解決しようとする課題

[0008]

本発明の一態様は、微細化又は高集積化が可能な半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、動作速度が速い半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、良好な電気特性を有する半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、トランジスタの電気特性のばらつきが少ない半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、オン電流が大きい半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない半導体装置または記憶装置を提供することを課題の一とする。本発明の一態様は、新規の半導体装置または記憶装置を提供することを課題の一とする。

[0009]

本発明の一態様は、記憶容量が大きい記憶装置を提供することを課題の一とする。本発明の一態様は、占有面積が小さい記憶装置を提供することを課題の一とする。本発明の一態様は、信頼性が高い記憶装置を提供することを課題の一とする。本発明の一態様は、消費電力が少ない記憶装置を提供することを課題の一とする。本発明の一態様は、新規な記憶装置を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

## 課題を解決するための手段

[0011]

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第1の容量、及び第2の容量を有する記憶装置である。第1の容量は、第1の電極と、第2の電極と、を有する。第2の容量は、第1の電極と、第3の電極と、を有する。第1のトランジスタは、ソース及びドレインの一方が第2の電極と電氣的に接続される。第2のトランジスタは、ソース及びドレインの一方が第3の電極と電氣的に接続される。第3のトランジスタは、ゲートが第2の電極と電氣的に接続される。第1の電極は、第2の電極、第3の電極、第1のトランジスタ、及び第2のトランジスタとそれぞれ重なる部分を有し、且つ、固定電位または接地電位が与えられる。

[0012]

また、上記において、第1の電極は、第1のトランジスタの上方に位置する部分と、第1のトランジスタの側方に位置する部分と、を有することが好ましい。

[0013]

また、上記において、さらに接続電極を有することが好ましい。このとき、第1のトランジスタはソース及びドレインの他方が接続電極と電氣的に接続され、第2のトランジスタは、ソース及びドレインの他方が接続電極と電氣的に接続されることが好ましい。

[0014]

また、上記において、第1のトランジスタのソース及びドレインの他方は、第1の導電層を有す

ることが好ましい。また第2のトランジスタのソース及びドレインの他方は、第2の導電層を有することが好ましい。このとき、接続電極は、第1の導電層の上面と接する部分、第1の導電層の側面と接する部分、第2の導電層の上面と接する部分、及び第2の導電層の側面と接する部分を有することが好ましい。

[0015]

また、上記において、さらに第4のトランジスタと、第3の容量を有することが好ましい。このとき、第4のトランジスタ及び第3の容量は、第1のトランジスタの下方に位置することが好ましい。また、第3の容量は、第4の電極と、第5の電極と、を有し、第4の電極は、接地電位または固定電位が与えられることが好ましい。さらに、第4のトランジスタは、ソース及びドレインの一方が第5の電極と電氣的に接続され、ソース及びドレインの他方が接続電極と電氣的に接続されることが好ましい。

[0016]

また、上記において、第4のトランジスタのソース及びドレインの他方は、第3の導電層を有することが好ましい。このとき、接続電極は、第3の導電層の上面と接する部分、及び第3の導電層の側面と接する部分を有することが好ましい。

[0017]

また、上記において、第1の電極は、第4のトランジスタの側方に位置する部分を有することが好ましい。

[0018]

また、上記において、第4の電極は、第1の電極と電氣的に接続されることが好ましい。

[0019]

また、上記において、第1のトランジスタは、半導体層と、ゲート電極と、を有することが好ましい。このとき、第4の電極は、第1のトランジスタの下方に位置する部分を有することが好ましい。そして、ゲート電極は半導体層を介して第4の電極と重なる部分を有することが好ましい。

[0020]

また、上記において、第1の電極及び第2の電極は、それぞれ平板状の形状を有することが好ましい。または、上記において、第2の電極は、上面が凹状の部分を有し、第1の電極は、第2の電極の上面と係合する凸状の部分を有することが好ましい。

発明の効果

[0021]

本発明の一態様により、微細化又は高集積化が可能な半導体装置及び記憶装置を提供できる。本発明の一態様により、動作速度が速い半導体装置及び記憶装置を提供できる。本発明の一態様により、良好な電気特性を有する半導体装置及び記憶装置を提供できる。本発明の一態様により、トランジスタの電気特性のばらつきが少ない半導体装置及び記憶装置を提供できる。本発明の一態様により、信頼性が高い半導体装置及び記憶装置を提供できる。本発明の一態様により、オン電流が大きい半導体装置及び記憶装置を提供できる。本発明の一態様により、消費電力が少ない半導体装置及び記憶装置を提供できる。本発明の一態様により、新規の半導体装置及び記憶装置を提供できる。

[0022]

本発明の一態様により、記憶容量が大きい記憶装置を提供できる。本発明の一態様により、占有面積が小さい記憶装置を提供できる。本発明の一態様により、信頼性が高い記憶装置を提供できる。

本発明の一態様により、消費電力が少ない記憶装置を提供できる。本発明の一態様により、新規な記憶装置を提供できる。

[0023]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0024]

図1A及び図1Bは、記憶装置の構成例を示す図である。

図2A及び図2Bは、記憶装置の構成例を示す図である。

図3は、記憶装置の構成例を示す図である。

図4は、記憶装置の構成例を示す図である。

図5は、記憶装置の構成例を示す図である。

図6は、記憶装置の構成例を示す図である。

図7A乃至図7Dは、記憶装置の構成例を示す回路図である。

図8は、半導体装置の構成例を示す断面図である。

図9Aは、半導体装置の構成例を示す断面図である。図9Bは、トランジスタの構成例を示す断面図である。

図10は、半導体装置の構成例を示す断面図である。

図11は、半導体装置の構成例を示す断面図である。

図12は、半導体装置の構成例を示す断面図である。

図13は、半導体装置の構成例を示す断面図である。

図14は、半導体装置の構成例を示す断面図である。

図15A、及び図15Bは、半導体装置の構成例を示す平面図である。

図16A、及び図16Bは、半導体装置の構成例を示す平面図である。

図17A及び図17Bは、記憶装置の一例を示す図である。

図18A及び図18Bは、記憶層の一例を示す回路図である。

図19は、メモリセルの動作例を説明するためのタイミングチャートである。

図20A及び図20Bは、メモリセルの動作例を説明するための回路図である。

図21A及び図21Bは、メモリセルの動作例を説明するための回路図である。

図22は、半導体装置の構成例を説明するための回路図である。

図23A及び図23Bは半導体装置の一例を示す図である。

図24A及び図24Bは電子部品の一例を示す図である。

図25A乃至図25Jは、電子機器の一例を示す図である。

図26A乃至図26Eは、電子機器の一例を示す図である。

図27A乃至図27Cは、電子機器の一例を示す図である。

図28は、宇宙用機器の一例を示す図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、

本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0026]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0027]

また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。

[0028]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0029]

また、本明細書等において、「膜」という用語と、「層」という用語と、「体」という用語は、相互に入れ替えることが可能である。例えば、「導電層」もしくは「絶縁層」という用語は、「導電膜」もしくは「絶縁膜」、または「導電体」もしくは「絶縁体」という用語に相互に交換することが可能な場合がある。

[0030]

本明細書等において、「上に」、「下に」、「上方に」、又は「下方に」等の配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている場合がある。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、本明細書等で説明した語句に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上に位置する絶縁体」の表現では、示している図面の向きを180度回転することによって、「導電体の下に位置する絶縁体」と言い換えることができる。

[0031]

(実施の形態1)

本実施の形態では、本発明の一態様の記憶装置について説明する。本発明の一態様は、トランジスタと、容量と、を有するメモリセルを複数有する記憶装置に関する。

[0032]

図1Aに、本発明の一態様の記憶装置110の斜視概略図を示す。

[0033]

記憶装置110は、基板130上に、複数のメモリセル111を有する。メモリセル111は、横方向、奥行方向、及び高さ方向に、3次的に周期的に配列されている。各メモリセル111は、少なくともトランジスタ112と、容量113を有する。

[0034]

基板130は、メモリセル111を駆動するために必要な駆動回路、読出し回路（センスアンプ

を含む)、及び電源回路の他、制御回路、論理回路、及び記憶回路などの各種回路、または外部接続端子を有していてもよい。基板130としては、例えばシリコン基板などの単結晶半導体基板、またはSOI基板を用いることが好ましい。

[0035]

図1Aにおいて、同じ階層にある複数のメモリセル111を、まとめてメモリセルアレイ120と呼ぶことができる。図1Aでは、メモリセルアレイ120を5層以上積層した場合の例を示しているが、単層でもよいし、2層以上4層以下であってもよい。メモリセルアレイ120が積層された構成、すなわち、3次元的に配列された全メモリセルを含む構成を、3次元メモリセルアレイまたは積層メモリセルアレイと呼ぶ場合がある。

[0036]

ここで、最も上方に位置するメモリセル111tは、それぞれ容量113tを有する。容量113tの一方の端子は、電極122tと電気的に接続されている。電極122tは、複数のメモリセル111tのそれぞれの容量113tと電気的に接続されている。

[0037]

電極122tは、記憶装置110が有する複数のメモリセル111を覆って設けられている。言い換えると、電極122tは3次元メモリセルアレイの上面を覆って設けられている。また、電極122tには、固定電位または接地電位が与えられていることが好ましい。これにより、電極122tは、外部から入力される電気的なノイズを遮断し、当該ノイズから記憶装置110を保護することのできる保護膜（静電遮蔽膜ともいう）として機能する。このような電極122tを有することで、信頼性の高い記憶装置110を実現できる。

[0038]

ここで、電極122tは、容量113tの一部を構成していることが好ましい。図1Bには、記憶装置110の一部を抜き出した概略図を示している。

[0039]

メモリセル111が有する容量113は電極121と電極122を有する。電極121はトランジスタ112のソース及びドレインの一方と電気的に接続されている。電極122には固定電位または接地電位（ここでは接地電位）が与えられている。トランジスタ112のゲートは、選択信号線（ワード線ともいう）として機能する配線WLが電気的に接続され、トランジスタ112のソース及びドレインの他方は、データ線（ビット線ともいう）として機能する配線BLと電気的に接続されている。

[0040]

同じ階層（メモリセルアレイ120）において、一つの配線BLには左右対称に配置された一対のメモリセル111が接続されている。そのため、メモリセルアレイ120の積層数の2倍の数のメモリセル111が、一つの配線BLに接続されている。

[0041]

最も上方に位置するメモリセル111tにおいて、容量113tは、電極121と電極122tとを有する。電極122tは、少なくとも2つの容量113tの一方の電極を兼ねている。また電極122tは、各トランジスタ112、配線WL、および配線BLを覆って設けられている。

[0042]

また、電極122tは、3次元メモリセルアレイの上方だけでなく、側方にも設けられているこ

とが好ましい。図2 A及び図2 Bには、電極1 2 2 tの形状が異なる例を示している。

[0 0 4 3]

図2 Aでは、メモリセルアレイ1 2 0が複数積層された3次元メモリセルアレイの上面だけでなく側面も覆うように、電極1 2 2 tが設けられている。ここで、メモリセルアレイ1 2 0の積層数が多いほど3次元メモリセルアレイのアスペクト比（横方向または奥行方向の長さに対する高さの比）が大きくなるため、上面だけでなく側面からも外部からの電氣的ノイズの影響を受けやすくなる。そのため、3次元メモリセルアレイの側面を覆うように電極1 2 2 tを設けることが好ましい。

[0 0 4 4]

なお、図2 A及び図2 Bでは、説明を容易にするため、電極1 2 2 tの一部を切り欠いて示したが、電極1 2 2 tは、3次元メモリセルアレイの底面以外の全ての面を覆うように設けることが好ましい。すなわち、電極1 2 2 tは、3次元メモリセルアレイの全側面及び上面を覆って設けられることが好ましい。

[0 0 4 5]

さらに電極1 2 2 tは、側部が基板1 3 0に達していることが好ましい。このとき、電極1 2 2 tの一部が基板1 3 0に設けられた配線と電氣的に接続されていることが好ましい。これにより、基板1 3 0から電極1 2 2 tに固定電位または接地電位を直接供給することができる。

[0 0 4 6]

また、図2 Bに示すように、各メモリセルの容量1 1 3の電極1 2 2は、電極1 2 2 tと電氣的に接続され、電極1 2 2 tを介して固定電位または接地電位（ここでは接地電位）が与えられることが好ましい。これにより、基板1 3 0から電極1 2 2に電位を与えるための接続電極（ビアともいう）が不要になるため、作製工程を簡略化でき、チップ面積を縮小することができる。

[0 0 4 7]

続いて、本発明の一態様の記憶装置のより具体的な例について説明する。

[0 0 4 8]

図3に、記憶装置の断面概略図を示す。図3には、一例としてメモリセルアレイ1 2 0を5つ積層した場合の断面を示している。

[0 0 4 9]

トランジスタ1 1 2は、半導体層1 3 1、ゲート絶縁層1 3 2、ゲート電極1 3 3、及び一対の電極（電極1 3 4 a、電極1 3 4 b）を有する。記憶装置に用いることのできるトランジスタについては、後の実施の形態で詳細に説明する。電極1 3 4 aは、トランジスタ1 1 2のソース及びドレインの一方として機能し、電極1 3 4 bは、トランジスタ1 1 2のソース及びドレインの他方として機能する。

[0 0 5 0]

また、積層される各トランジスタ1 1 2と電氣的に接続する複数の導電層1 3 6が高さ方向に積層されて設けられている。導電層1 3 6の積層体は、貫通電極、接続電極、プラグなどと呼ぶことができる。導電層1 3 6は、各トランジスタの電極1 3 4 aと電氣的に接続されている。また最も下に位置する導電層1 3 6は基板1 3 0に設けられた配線1 3 8と電氣的に接続されている。図3では、高さ方向に隣接する2つの導電層1 3 6の間に、電極1 2 1と同一の導電膜を加工して得られた導電層1 3 7が設けられている。すなわち、導電層1 3 6と導電層1 3 7とが交互に接続されている。

[0051]

トランジスタ112の電極134bは、容量113または容量113tの電極121と電氣的に接続されている。

[0052]

容量113は、電極121と、電極122と、これらの間に位置し、誘電体として機能する絶縁層123を有する。また、容量113tは、電極121と、電極122tと、絶縁層123tとを有する。絶縁層123t及び電極122tは、各メモリセル111tの容量113tに共通に設けられている。容量113及び容量113tは、いわゆる平行平板型の容量を構成している。絶縁層123t及び電極122tは、それぞれ電極121と重なる部分、トランジスタ112と重なる部分、導電層136と重なる部分を有する。

[0053]

ここで、電極122は、その上部に位置するメモリセルのトランジスタ112の半導体層131と重なるように設けることで、当該トランジスタ112の第2のゲート電極（バックゲート電極）を兼ねてもよい。電極122には固定電位または接地電位が与えられるため、このような電極をトランジスタ112のバックゲートに用いることで、トランジスタ112のしきい値電圧などの電気特性の安定化を図ることができる。

[0054]

また、図3の右側には、3次元メモリセルアレイの側面を電極122tが覆う様子を示している。電極122tは、基板130に設けられた配線139と電氣的に接続されている。配線139は、例えば接地電位または固定電位が与えられる配線である。

[0055]

図4には、図3とは容量113及び容量113tの構成が異なる例を示している。

[0056]

トランジスタ112の電極134bに達するように、層間絶縁膜に開口部が設けられ、当該開口部の側壁及び電極134bの上面に沿って電極121及び絶縁層123（または絶縁層123t）が積層して設けられている。また、当該開口部を埋めるように、絶縁層123（または絶縁層123t）上に電極122（または電極122t）が設けられている。言い換えると、電極121は上面が凹状の部分を有しており、電極122は、電極121の上面と係合する凸状の部分を有するといえる。このような構成を有する容量113及び容量113tは、トレンチ型容量またはトレンチ容量と呼ぶことができる。トレンチ容量は平行平板型の容量と比較して面積当たりの容量値を大きくできるため、省面積化、高集積化に適している。

[0057]

また、図4では、縦方向（高さ方向）に隣接する導電層136同士が直接的に接続されている例を示している。

[0058]

図5には、電極122がトランジスタ112のバックゲートを兼ねる場合の構成を示している。電極122は、その上部のトランジスタ112が有する半導体層131と重なる部分を有している。また図5では、最も下に位置するメモリセルアレイ120のトランジスタ112に、バックゲートとして機能する導電層135が設けられている例を示している。導電層135は、電極122と同様に固定電位または接地電位が与えられる。

[0059]

また、図5では、貫通電極が一つの導電層136で形成されている例を示している。すなわち、メモリセルアレイの積層体を貫くように、配線138に達する開口が設けられ、当該開口の内部に導電層136が埋め込まれた構成を有している。このような構成とすることで、貫通電極の形成工程を削減できるため好ましい。

[0060]

また、図6には、メモリセル111及びメモリセル111tがそれぞれ2つのトランジスタ（トランジスタ112a、トランジスタ112b）を有する例を示している。トランジスタ112a及びトランジスタ112bは、それぞれ上記トランジスタ112と同様の構成を有する。

[0061]

トランジスタ112aは、ソース及びドレインの一方（電極134a）が導電層136と電氣的に接続され、他方（電極134b）が容量113の電極121とプラグを介して電氣的に接続されている。さらに、トランジスタ112bのゲート（ゲート電極133）は、電極121と他のプラグを介して電氣的に接続されている。すなわち、トランジスタ112aのソース及びドレインの他方と、トランジスタ112bのゲートは容量113の一方の電極を介して電氣的に接続されているともいえる。

[0062]

続いて、本発明の一態様の記憶装置に用いることのできるメモリセルの構成について説明する。

[0063]

図7A、図7B、及び図7Cには、それぞれ左右対称に2つのメモリセルが接続された回路図を示している。

[0064]

図7Aは、一つのメモリセルに一つのトランジスタ112と、一つの容量113を有する場合の例である。メモリセルには、配線BL、配線WL、及び配線CLが接続されている。配線BLはビット線として機能し、配線WLはワード線として機能する。配線CLには、固定電位または接地電位が与えられる。

[0065]

図7Aにおいて、トランジスタ112は、ゲートが配線WLと電氣的に接続され、ソース及びドレインの一方が配線BLと電氣的に接続され、他方が容量113の一方の電極と電氣的に接続されている。また容量113は、他方の電極が配線CLと電氣的に接続されている。

[0066]

図7Bは、図7Aの各メモリセルに、それぞれ2つのトランジスタ（トランジスタ114、トランジスタ115）を加えた構成を有する。図7Bに示すメモリセルには、配線BL、配線WWL、配線PL、配線SL、配線RWL、及び配線RLが接続されている。配線WWL及び配線RWLはワード線として機能する。配線RL及び配線SLの一方は読出し回路と電氣的に接続され、他方には固定電位または信号が与えられる。配線PLには、固定電位または接地電位が与えられる。

[0067]

トランジスタ112は、ゲートが配線WWLと、ソース及びドレインの一方が配線BLと、他方が容量113の一方の電極及びトランジスタ114のゲートと、それぞれ電氣的に接続されている。容量113は、他方の電極が配線PLと電氣的に接続されている。トランジスタ114は、ソース

及びドレインの一方が配線SLと、他方がトランジスタ115のソース及びドレインの一方と、それぞれ電氣的に接続されている。トランジスタ115は、ゲートが配線RWLと、ソース及びドレインの他方が配線RLとそれぞれ電氣的に接続されている。

[0068]

なお、図7Bに示す構成の場合、トランジスタ115は不要であれば設けなくてもよい。このとき、トランジスタ114のソース及びドレインの他方が配線RLと電氣的に接続される構成とすることができる。トランジスタ115を設けない場合、読出しを行わないメモリセルでは、トランジスタ114が導通状態にならないように、配線PLに与える電位を制御すればよい。

[0069]

図7Bにおけるトランジスタ112は、例えば図6のトランジスタ112aに対応し、図7Bにおけるトランジスタ114は、図6のトランジスタ112bに対応する。

[0070]

図7Cは図7Bの変形例である。図7Cでは、配線BLが配線RLを兼ねる構成となっている。すなわち、トランジスタ115のソース及びドレインの他方が配線BLと電氣的に接続されている。このような構成とすることで、配線数を削減することができるため、高集積化を図ることができる。

[0071]

ここで、図7A乃至図7Cに示す各トランジスタには、それぞれバックゲートを有するトランジスタを適用することができる。図7Dに、バックゲートを有するトランジスタを示す。バックゲートには、固定電位または接地電位が与えられてもよいし、トランジスタのしきい値電圧を制御するための信号が与えられてもよいし、ゲートと同じ信号が与えられてもよい。

[0072]

本発明の一態様の記憶装置は、メモリセルアレイを覆って固定電位が与えられた導電膜が設けられるため、外部からの電氣的なノイズの影響によりデータが変わることなどが抑制され、信頼性の高い記憶装置を実現できる。またメモリセルが有する容量素子の電極が当該導電膜を兼ねる構成とすることで、コストの上昇を抑えつつ信頼性の高い記憶装置を実現できる。また、複数のメモリセルアレイを積層することで面積当たりのセル数の増大を図る際、積層構造のアスペクト比が高い場合であってもその側面を当該導電膜で覆うことができるため、高い集積度と高い信頼性を兼ね備えた記憶装置を実現できる。

[0073]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせることで実施することができる。

[0074]

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。以下で例示する半導体装置は、記憶装置として用いることができる。

[0075]

<半導体装置の構成例>

以下では、本発明の一態様の半導体装置の構成例について説明する。

[0076]

図8は、本発明の一態様の半導体装置の構成例を示す断面図である。図8に示す半導体装置は、

基板（図示せず）上の絶縁体210と、絶縁体210に埋め込まれた導電体209a、及び導電体209bと、絶縁体210上の絶縁体212と、絶縁体212上の絶縁体214と、絶縁体214上のn層（nは2以上の整数）の記憶層11と、n層の記憶層11を貫通するようにZ方向に延在して設けられ、導電体209aまたは導電体209bと電氣的に接続された導電体240a、及び導電体240bと、記憶層11\_\_n上の絶縁体181と、絶縁体181上及び導電体240上の絶縁体183と、絶縁体183上の絶縁体185と、を有する。なお、本実施の形態の半導体装置が有する構成要素は、それぞれ、単層構造であってもよく、積層構造であってもよい。

[0077]

以降において、アルファベットで区別する構成要素について、これらに共通する事項を説明する場合には、アルファベットを省略した符号を用いて説明する場合がある。例えば、導電体209aと導電体209bに共通する事項を説明する場合には、導電体209と記載する場合がある。

[0078]

記憶層11\_\_1乃至記憶層11\_\_nにはそれぞれ、複数のメモリセルを有するメモリセルアレイが設けられる。メモリセルは、トランジスタ201、トランジスタ202、トランジスタ203、及び容量151を有する。また、導電体240aは、書き込みビット線として機能する領域を有し、導電体240bは、読み出しビット線として機能する領域を有する。

[0079]

本明細書等において、図示するトランジスタのチャンネル長方向と平行な方向をX方向とし、図示するトランジスタのチャンネル幅方向と平行な方向をY方向とする。X方向とY方向は、互いに垂直な方向とすることができる。さらに、X方向及びY方向の両方と垂直な方向、つまりXY面と垂直な方向を、Z方向とする。X方向、及びY方向は、例えば基板面に対して平行な方向とし、Z方向は、基板面に対して垂直な方向とすることができる。

[0080]

導電体209a、及び導電体209bは、スイッチ、トランジスタ、容量、インダクタ、抵抗素子、及びダイオード等の回路素子の一部、配線、電極、又は、端子として機能する。

[0081]

図8では、n層の記憶層11のうち、最下層である記憶層11\_\_1と、記憶層11\_\_1上の記憶層11\_\_2と、最上層である記憶層11\_\_nと、を示している。

[0082]

導電体209a、及び導電体209bは、記憶層11に設けられるメモリセルを駆動するための駆動回路と電氣的に接続される。当該駆動回路は、導電体209a、及び導電体209bよりも下に設けられる。記憶層11の積層数（nの数）を増やすことで、メモリセルの占有面積を増やさずに、記憶装置の記憶容量を増やすことができる。よって、1ビット当たりの占有面積が低減され、小型で記憶容量の大きな半導体装置を実現できる。

[0083]

トランジスタ201、トランジスタ202、及びトランジスタ203は、絶縁体214上に設けられる。ここで、トランジスタ202とトランジスタ203は、一部の層を共有している。トランジスタ201乃至トランジスタ203の上方には、容量151が設けられる。

[0084]

また、図8には、最上層である記憶層11\_\_nにおいて、容量151の上部電極として機能する

導電体 205 t と、誘電体層として機能する絶縁体 215 を示している。導電体 205 t 及び絶縁体 215 は、メモリセルアレイが設けられる領域にわたって一続きに設けられる。導電体 205 t 及び絶縁体 215 はそれぞれ、これらより下方に位置するトランジスタ 201、トランジスタ 202、トランジスタ 203、容量 151、導電体 240 a、導電体 240 b などと重なる領域を有する。

[0085]

図 9A は、導電体 209 a、導電体 209 b、絶縁体 210、絶縁体 212、絶縁体 214、及び記憶層 11\_1 の構成例を示す断面図である。図 9A に示すように、トランジスタ 201 乃至トランジスタ 203 上に絶縁体 282 が設けられ、絶縁体 282 上に容量 151 が設けられる。

[0086]

トランジスタ 201、トランジスタ 202、及びトランジスタ 203 はそれぞれ、絶縁体 214 上の導電体 205 a 1 と、導電体 205 a 1 上の絶縁体 222 と、絶縁体 222 上の絶縁体 224 と、絶縁体 224 上の金属酸化物 230（金属酸化物 230 a、及び金属酸化物 230 b）と、絶縁体 224 の側面の一部、並びに、金属酸化物 230 の上面の一部及び側面の一部を覆う、導電体 242 と、金属酸化物 230 上の絶縁体 253 と、絶縁体 253 上の絶縁体 254 と、絶縁体 254 上の導電体 260 と、を有する。ここで、トランジスタ 201 は、導電体 242 として導電体 242 a、及び導電体 242 b を有し、トランジスタ 202 は、導電体 242 として導電体 242 c、及び導電体 242 d を有し、トランジスタ 203 は、導電体 242 として導電体 242 d、及び導電体 242 e を有する。トランジスタ 202、及びトランジスタ 203 は、金属酸化物 230、及び導電体 242 d をそれぞれ共有する。

[0087]

絶縁体 214 上には開口が設けられた絶縁体 216 a が設けられ、当該開口の内部に導電体 205 a 1 が埋め込まれる。そして、導電体 205 a 1 上、及び絶縁体 216 a 上に絶縁体 222 が設けられる。また、導電体 242 a 乃至導電体 242 e 上には絶縁体 275 が設けられ、絶縁体 275 上には絶縁体 280 が設けられている。絶縁体 253、絶縁体 254、及び導電体 260 は、絶縁体 280 及び絶縁体 275 に設けられた開口の内部に埋め込まれている。絶縁体 280 上及び導電体 260 上に絶縁体 282 が設けられている。導電体 205 a 1 は、絶縁体 216 a の側面と接する領域を有することができる。また、絶縁体 253 は、導電体 242 の側面、絶縁体 275 の側面、及び絶縁体 280 の側面のうち少なくとも一部と接する領域を有することができる。

[0088]

金属酸化物 230 は、トランジスタ 201、トランジスタ 202、又はトランジスタ 203 のチャンネル形成領域として機能する領域を有する。なお、トランジスタ 201、トランジスタ 202、及びトランジスタ 203 には、金属酸化物 230 の代わりに、単結晶シリコン、多結晶シリコン、又は非晶質シリコン等の半導体を用いてもよく、例えば低温ポリシリコン（LTPS: Low Temperature Poly Silicon）を用いてもよい。

[0089]

導電体 242 a は、トランジスタ 201 のソース電極又はドレイン電極の一方として機能する領域を有する。導電体 242 b は、トランジスタ 201 のソース電極又はドレイン電極の他方として機能する領域を有する。導電体 242 c は、トランジスタ 202 のソース電極又はドレイン電極の一方として機能する領域を有する。導電体 242 d は、トランジスタ 202 のソース電極又はドレ

イン電極の他方、及びトランジスタ 203 のソース電極又はドレイン電極の一方として機能する領域を有する。導電体 242 e は、トランジスタ 203 のソース電極又はドレイン電極の他方として機能する領域を有する。

[0090]

導電体 260 は、トランジスタ 201、トランジスタ 202、又はトランジスタ 203 の第 1 のゲート電極として機能する領域を有する。絶縁体 253、及び絶縁体 254 は、それぞれ、トランジスタ 201、トランジスタ 202、又はトランジスタ 203 の第 1 のゲート絶縁体として機能する領域を有する。

[0091]

導電体 205 a 1 は、トランジスタ 201、トランジスタ 202、又はトランジスタ 203 の第 2 のゲート電極として機能する領域を有する。絶縁体 222 は、トランジスタ 201 の第 2 のゲート絶縁体として機能する領域と、トランジスタ 202 の第 2 のゲート絶縁体として機能する領域と、トランジスタ 203 の第 2 のゲート絶縁体として機能する領域と、を有する。絶縁体 224 は、トランジスタ 201、トランジスタ 202、又はトランジスタ 203 の第 2 のゲート絶縁体として機能する領域を有する。

[0092]

本明細書等において、第 1 のゲート電極はフロントゲート電極、又は単にゲート電極ということができ、第 2 のゲート電極はバックゲート電極ということが出来る。なお、第 1 のゲート電極をバックゲート電極といい、第 2 のゲート電極をフロントゲート電極、又は単にゲート電極といってもよい。

[0093]

トランジスタ 202 とトランジスタ 203 とは隣接し、前述のように金属酸化物 230 と、導電体 242 d と、をそれぞれ共有している。これにより、トランジスタ 2 個分の面積よりも小さい面積（例えば、1.5 個分の面積）に 2 つのトランジスタ（トランジスタ 202 とトランジスタ 203）を形成することができる。よって、トランジスタ 202 とトランジスタ 203 が金属酸化物 230 及び導電体 242 d を共有しない場合より、トランジスタを高密度に配置でき、半導体装置における高集積化を実現できる。

[0094]

また、トランジスタ 202 が有する導電体 260 と、トランジスタ 203 が有する導電体 260 と、の間の領域に、導電体 242 d が配置される。よって、金属酸化物 230 の導電体 242 d と重なる領域に n 型の領域（低抵抗領域）を形成することができる。特に、金属酸化物 230 b の導電体 242 d と重なる領域に n 型の領域を形成することができる。また、導電体 242 d を介して、トランジスタ 202 とトランジスタ 203 との間に電流を流すこともできる。したがって、チャンネルが形成される半導体層にシリコンを用いるトランジスタ（Si トランジスタともいう）を 2 つ直列で接続する構成に比べて、トランジスタ 202 とトランジスタ 203 との間の抵抗成分を極めて少なくすることができる。

[0095]

容量 151 は、絶縁体 282 上の導電体 160 と、導電体 160 上の絶縁体 215 と、絶縁体 215 上の導電体 205 b と、を有する。

[0096]

絶縁体 282 上には絶縁体 285 が設けられ、絶縁体 285 上には絶縁体 287 が設けられる。絶縁体 287 には開口が設けられ、当該開口の内部に導電体 160 が埋め込まれる。そして、導電体 160 上、及び絶縁体 287 上に絶縁体 215 が設けられる。絶縁体 215 上には複数の開口が設けられた絶縁体 216 b が設けられ、当該開口の内部に導電体 205 a 2、導電体 205 b 等が埋め込まれる。導電体 160 は、絶縁体 285 の上面、及び絶縁体 287 の側面のうち少なくとも一部と接する領域を有することができる。また、導電体 205 a 2、及び導電体 205 b は、絶縁体 216 b の側面と接する領域を有することができる。

[0097]

以降において、導電体 205 a 1、及び導電体 205 a 2 に共通する事項を説明する場合には、導電体 205 a と記載する場合がある。また、導電体 205 a、及び導電体 205 b に共通する事項を説明する場合には、導電体 205 と記載する場合がある。

[0098]

導電体 160 は、容量 151 の一方の電極（下部電極ともいう。）として機能する領域を有する。絶縁体 215 は、容量 151 の誘電体として機能する領域を有する。導電体 205 b は、容量 151 の他方の電極（上部電極ともいう。）として機能する領域を有する。容量 151 は、MIM (Metal-Insulator-Metal) 容量を構成している。

[0099]

絶縁体 280、絶縁体 282、及び絶縁体 285 には、導電体 242 b に達する開口が設けられ、当該開口の内部に導電体 231 が埋め込まれる。また、絶縁体 282、及び絶縁体 285 には、トランジスタ 202 が有する導電体 260 に達する開口が設けられ、当該開口の内部に導電体 232 が設けられる。導電体 231 により、導電体 242 b と、導電体 160 と、が電氣的に接続される。また、導電体 232 により、トランジスタ 202 が有する導電体 260 と、導電体 160 と、が電氣的に接続される。以上より、トランジスタ 201 のソース電極又はドレイン電極の他方として機能する領域を有する導電体 242 b は、導電体 231、導電体 160、及び導電体 232 を介して、トランジスタ 202 のゲート電極として機能する領域を有する導電体 260 と電氣的に接続される。

[0100]

導電体 160 は、導電体 231 の上面、及び導電体 232 の上面と接する領域を有する。

[0101]

導電体 242 a、導電体 242 b、導電体 242 c、及び導電体 242 e は、半導体層として機能する金属酸化物 230 を越えて延在しており、金属酸化物 230 の上面及び側面の一部を覆う。よって、導電体 242 a、導電体 242 b、導電体 242 c、及び導電体 242 e は、配線としても機能する。例えば、導電体 242 a の上面、側面、及び下面の一部と接する領域を有するように、書き込みビット線として機能する領域を有する導電体 240 a が設けられる。また、導電体 242 e の上面、側面、及び下面の一部と接する領域を有するように、読み出しビット線として機能する領域を有する導電体 240 b が設けられる。なお、導電体 242 d も、配線として機能することができる。また、他の導電体も、配線として機能することができる場合がある。

[0102]

導電体 240 a が導電体 242 a の上面、側面、及び下面の一部と接する領域を有し、導電体 240 b が導電体 242 e の上面、側面、及び下面の一部と接する領域を有することにより、別途接続用の電極を設ける必要がないため、メモリセルアレイの占有面積を低減できる。また、メモリセ

ルの集積度が向上し、記憶容量を増大できる。なお、導電体240aは、導電体242aの上面、側面、及び下面の二以上と接する領域を有し、導電体240bは、導電体242eの上面、側面、及び下面の二以上と接する領域を有する。導電体240aが導電体242aの複数面と接することで、例えば導電体240aが導電体242aの1つの面としか接しない場合より、導電体240aと導電体242aの間の接触抵抗を低減できる。また、導電体240bが導電体242eの複数面と接することで、例えば導電体240bが導電体242eの1つの面としか接しない場合より、導電体240bと導電体242eの間の接触抵抗を低減できる。

[0103]

ここで、絶縁体212、及び絶縁体214には、導電体209aと重なる領域を有する開口291a、及び導電体209bと重なる領域を有する開口291bが設けられる。また、絶縁体222には、導電体209a、及び開口291aと重なる領域を有する開口292a、並びに導電体209b、及び開口291bと重なる領域を有する開口292bが設けられる。また、絶縁体282には、導電体209a、開口291a、及び開口292aと重なる領域を有する開口293a、並びに導電体209b、開口291b、及び開口292bと重なる領域を有する開口293bが設けられる。さらに、絶縁体215には、導電体209a、開口291a、開口292a、及び開口293aと重なる領域を有する開口294a、並びに導電体209b、開口291b、開口292b、及び開口293bと重なる領域を有する開口294bが設けられる。そして、開口291a乃至開口294aの内部には導電体240aが設けられ、開口291b乃至開口294bの内部には導電体240aが設けられる。なお、絶縁体212には開口291a、及び開口291bを設けなくてもよい。この場合、例えば絶縁体212の側面が、絶縁体214の側面と一致しない構成とすることができる。また、例えば絶縁体212の側面が、導電体240aの側面と接する領域を有し、また絶縁体212の側面が、導電体240bの側面と接する領域を有することができる。

[0104]

また、開口291a、及び開口291bにおいて、絶縁体212の側面、及び絶縁体214の側面は絶縁体216aに覆われる。また、開口292aにおいて、絶縁体222の側面は導電体242aに覆われ、開口292bにおいて、絶縁体222の側面は導電体242eに覆われる。また、開口293a、及び開口293bにおいて、絶縁体282の側面は絶縁体285に覆われる。さらに、開口294a、及び開口294bにおいて、絶縁体215の側面は絶縁体216bに覆われる。

[0105]

以上より、絶縁体214の上面及び側面の一部を覆うように絶縁体216aが設けられるということができる。また、絶縁体222の上面及び側面の一部を覆うように導電体242a、及び導電体242eが設けられるということができる。さらに、絶縁体282の上面及び側面の一部を覆うように絶縁体285が設けられ、絶縁体215の上面及び側面の一部を覆うように絶縁体216bが設けられるということができる。

[0106]

本発明の一態様の半導体装置を上記構成とする場合、絶縁体212の側面、絶縁体216aの側面、絶縁体275の側面、絶縁体285の側面、絶縁体287の側面、及び絶縁体216bの側面のうち少なくとも一部と接する領域を有するように、導電体240a、及び導電体240bが設けられる。また、前述のように、導電体242aの側面と接する領域を有するように導電体240aが設けられ、導電体242eの側面と接する領域を有するように、導電体240a、及び導電体2

40bが設けられる。さらに、絶縁体212、絶縁体214、絶縁体282、及び絶縁体215とは接しないように、導電体240a、及び導電体240bが設けられる。

[0107]

本発明の一態様の半導体装置を以上のような構成とすることにより、図8に示す記憶層11\_\_nを形成した後に、記憶層11\_\_1乃至記憶層11\_\_nを貫通し、導電体209aに達する開口を設ける際に、絶縁体212、絶縁体214、絶縁体282、及び絶縁体215を加工する必要がなくなる。よって、絶縁体212、絶縁体214、絶縁体282、及び絶縁体215に、加工されやすい条件が他の絶縁体と異なる材料を用いても、上記開口を1つの条件で形成することができる。以上により、絶縁体に用いることができる材料選択の幅を広げることができる。なお、上記開口の内部に導電膜を埋め込むことにより、導電体240a、及び導電体240bを形成することができる。

[0108]

図9Bは、図9Aに示すトランジスタのチャネル幅方向、つまりY方向の構成例を示す断面図である。

[0109]

図9Bに示す例では、絶縁体210上に絶縁体212が設けられ、絶縁体212上に絶縁体214が設けられ、絶縁体214上に絶縁体216aが設けられ、絶縁体216aに設けられた開口の内部に導電体205a1が設けられる。また、導電体205a1上、及び絶縁体216a上に絶縁体222が設けられ、絶縁体222上に絶縁体224、及び絶縁体275が設けられ、絶縁体224上に金属酸化物230が設けられている。絶縁体224の側面、並びに、金属酸化物230の上面及び側面は、絶縁体253、絶縁体254、及び導電体260によって覆われている。絶縁体253、絶縁体254、及び導電体260は、絶縁体275上の絶縁体280に形成されている開口258の内部に設けられている。絶縁体253上、絶縁体254上、導電体260上、及び絶縁体280上には絶縁体282が設けられ、絶縁体282上には絶縁体285が設けられる。

[0110]

ここで、金属酸化物230は、第1のゲート電極として機能する領域を有する導電体260によって、上面だけでなく、側面も覆われているといえる。

[0111]

本明細書等において、少なくとも第1のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、*surrounded channel (S-channel)*構造とよぶ。また、本明細書等で開示する*S-channel*構造は、*Fin*型構造及びプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示する*S-channel*構造は、*Fin*型構造の一種として捉えることも可能である。なお、本明細書等において、*Fin*型構造とは、ゲート電極が少なくともチャネルの2面以上（具体的には、2面、3面、又は4面）を包むように配置される構造を示す。*Fin*型構造、及び*S-channel*構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

[0112]

本実施の形態の半導体装置が有するトランジスタを、上記の*S-channel*構造とすることで、チャネル形成領域を電気的に取り囲むことができる。なお、*S-channel*構造は、チャネル形成領域を電気的に取り囲んでいる構造であるため、実質的にGAA (*Gate All A*

round) 構造、又はLGAA (Lateral Gate All Around) 構造と、同等の構造であるともいえる。トランジスタをS-channel構造、GAA構造、又はLGAA構造とすることで、酸化物とゲート絶縁体との界面又は界面近傍に形成されるチャンネル形成領域を、酸化物のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、又はトランジスタの電界効果移動度を高めることが期待できる。

[0113]

なお、図9Bに示すトランジスタについては、S-channel構造のトランジスタを例示したが、本発明の一態様の半導体装置はこれに限定されない。例えば、本発明の一態様に用いることができるトランジスタ構造としては、プレーナ型構造、Fin型構造、及びGAA構造の中から選ばれるいずれか一又は複数としてもよい。

[0114]

なお、金属酸化物230の断面形状は、図9Bに示すように側面と上面との間に湾曲面を有していてもよい。これにより、金属酸化物230上に形成される膜の被覆性を高めることができる。

[0115]

図10は、導電体240の一部、及びその周辺の領域の拡大図である。図10では、導電体240における、絶縁体216aの側面と接する領域の幅を幅W1とし、導電体242の側面と接する領域の幅を幅W2とし、絶縁体280の側面と接する領域の幅を幅W3とし、絶縁体285の側面と接する領域の幅を幅W4とし、絶縁体216bの側面と接する領域の幅を幅W5とする。

[0116]

図10に示すように、幅W1、幅W3、幅W4、及び幅W5のうち少なくとも一部は、幅W2より大きいことが好ましい。当該構成において、導電体240は、導電体242の上面及び側面の一部と少なくとも接する。したがって、導電体240と導電体242が接する領域の面積を大きくすることができる。なお、本明細書等では、導電体240と導電体242とのコンタクトを、トップサイドコンタクトと呼ぶことがある。また、図10に示すように、導電体240は、導電体242の下面の一部と接してもよい。当該構成にすることで、導電体240と導電体242が接する領域の面積をさらに大きくすることができる。

[0117]

図11は、図10に示す構成の変形例であり、絶縁体282の側面の少なくとも一部、及び絶縁体215の側面の少なくとも一部が導電体240と接する例を示している。図11では、導電体240における、絶縁体212又は絶縁体214の側面と接する領域の幅をW1とし、導電体242の側面と接する領域の幅を幅W2とし、絶縁体280の側面と接する領域の幅を幅W3とし、絶縁体282の側面と接する領域の幅を幅W4とし、絶縁体215の側面と接する領域の幅を幅W5とする。

[0118]

図11では、幅W1、幅W3、幅W4、及び幅W5が互いに等しい、又は概略等しい例を示している。図11に示す例では、断面視において、絶縁体212及び絶縁体214の端部と絶縁体216aの端部が一致又は概略一致し、絶縁体282の端部と絶縁体285の端部が一致又は概略一致し、絶縁体215の端部と絶縁体216bの端部が一致又は概略一致するということができる。よって、絶縁体212及び絶縁体214の側面は絶縁体216aによって覆われず、絶縁体282の

側面は絶縁体 285 によって覆われず、絶縁体 215 の側面は絶縁体 216 b によって覆われない構成とすることができる。また、図 11 に示す例では、絶縁体 212 の端部、絶縁体 214 の端部、絶縁体 216 a の端部、絶縁体 280 の端部、絶縁体 282 の端部、絶縁体 285 の端部、絶縁体 287 の端部、絶縁体 215 の端部、及び絶縁体 216 b の端部を、断面視において互いに一致又は概略一致させることができる。なお、幅 W1、幅 W3、幅 W4、及び幅 W5 はいずれも、幅 W2 より大きくすることができる。

[0119]

図 12 は、図 11 に示す構成を有する記憶層 11\_1 乃至記憶層 11\_n の構成例を示す断面図であり、図 8 に示す構成の変形例である。

[0120]

次に、本実施の形態の半導体装置が有するトランジスタについて詳細に説明する。

[0121]

金属酸化物 230 は、絶縁体 224 上の金属酸化物 230 a と、金属酸化物 230 a 上の金属酸化物 230 b と、を有することが好ましい。金属酸化物 230 b 下に金属酸化物 230 a を有することで、金属酸化物 230 a よりも下方に形成された構造物から、金属酸化物 230 b への不純物の拡散を抑制することができる。

[0122]

なお、本実施の形態では、金属酸化物 230 が、金属酸化物 230 a 及び金属酸化物 230 b の 2 層構造である例を示すが、これに限定されない。金属酸化物 230 は、例えば、金属酸化物 230 b の単層構造であってもよく、3 層以上の積層構造としてもよい。

[0123]

金属酸化物 230 b は、トランジスタにおける、チャンネル形成領域と、チャンネル形成領域を挟むように設けられるソース領域及びドレイン領域と、を有する。チャンネル形成領域の少なくとも一部は、導電体 260 と重なる。ソース領域は、一对の導電体 242 の一方と重なり、ドレイン領域は、一对の導電体 242 の他方と重なる。

[0124]

チャンネル形成領域は、ソース領域及びドレイン領域よりも、酸素欠損が少ない、又は不純物濃度が低いため、キャリア濃度が低い高抵抗領域である。よって、チャンネル形成領域は、i 型（真性）又は実質的に i 型であるといえることができる。

[0125]

また、ソース領域及びドレイン領域は、酸素欠損が多い、又は水素、窒素、金属元素等の不純物濃度が高いため、キャリア濃度が高い低抵抗領域である。すなわち、ソース領域及びドレイン領域は、チャンネル形成領域と比較してキャリア濃度が高い、n 型の領域（低抵抗領域）である。

[0126]

なお、チャンネル形成領域のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$  以下、 $1 \times 10^{17} \text{ cm}^{-3}$  未満、 $1 \times 10^{16} \text{ cm}^{-3}$  未満、 $1 \times 10^{15} \text{ cm}^{-3}$  未満、 $1 \times 10^{14} \text{ cm}^{-3}$  未満、 $1 \times 10^{13} \text{ cm}^{-3}$  未満、 $1 \times 10^{12} \text{ cm}^{-3}$  未満、 $1 \times 10^{11} \text{ cm}^{-3}$  未満、又は、 $1 \times 10^{10} \text{ cm}^{-3}$  未満であることが好ましい。また、チャンネル形成領域のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$  とすることができる。

[0127]

なお、金属酸化物230bのキャリア濃度を低くする場合においては、金属酸化物230b中の不純物濃度を低くし、欠陥準位密度を低くする。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体（又は金属酸化物）を、高純度真性又は実質的に高純度真性な酸化物半導体（又は金属酸化物）と呼ぶ場合がある。

[0128]

トランジスタの電気特性を安定にするためには、金属酸化物230b中の不純物濃度を低減することが有効である。また、金属酸化物230bの不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、及びシリコン等がある。なお、金属酸化物230b中の不純物とは、例えば、金属酸化物230bを構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物といえる。

[0129]

なお、チャンネル形成領域、ソース領域、及び、ドレイン領域は、それぞれ、金属酸化物230bだけでなく、金属酸化物230aまで形成されていてもよい。

[0130]

また、金属酸化物230において、各領域の境界を明確に検出することが困難な場合がある。各領域内で検出される金属元素、並びに、水素、及び窒素等の不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化していてもよい。つまり、チャンネル形成領域に近い領域であるほど、金属元素、並びに、水素、及び窒素等の不純物元素の濃度が減少していてもよい。

[0131]

金属酸化物230には、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

[0132]

半導体として機能する金属酸化物のバンドギャップは、2eV以上が好ましく、2.5eV以上がより好ましい。バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

[0133]

金属酸化物230として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物等の金属酸化物を用いることが好ましい。また、金属酸化物230として、例えば、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有する金属酸化物を用いることが好ましい。なお、元素Mは、ガリウム、アルミニウム、シリコン、ホウ素、イットリウム、スズ、銅、バナジウム、ベリリウム、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、及びマグネシウムから選ばれた一種又は複数種である。特に、元素Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。なお、インジウム、元素M及び亜鉛を有する金属酸化物を、 $In-M-Zn$ 酸化物と表記することがある。

[0134]

金属酸化物230は、化学組成が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、金属

酸化物 230b に用いる金属酸化物における、In に対する元素Mの原子数比より大きいことが好ましい。当該構成にすることで、金属酸化物 230a よりも下方に形成された構造物からの、金属酸化物 230b に対する、不純物及び酸素の拡散を抑制できる。

[0135]

また、金属酸化物 230b に用いる金属酸化物において、元素Mに対する In の原子数比が、金属酸化物 230a に用いる金属酸化物における、元素Mに対する In の原子数比より大きいことが好ましい。当該構成にすることで、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0136]

また、金属酸化物 230a 及び金属酸化物 230b が、酸素以外に共通の元素を主成分として有することで、金属酸化物 230a 及び金属酸化物 230b の界面における欠陥準位密度を低減できる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタは大きいオン電流、及び高い周波数特性を得ることができる。

[0137]

具体的には、金属酸化物 230a として、 $In : M : Zn = 1 : 3 : 4$  [原子数比] 若しくはその近傍の組成、又は  $In : M : Zn = 1 : 1 : 0.5$  [原子数比] 若しくはその近傍の組成の金属酸化物を用いることができる。また、金属酸化物 230b として、 $In : M : Zn = 1 : 1 : 1$  [原子数比] 若しくはその近傍の組成、 $In : M : Zn = 1 : 1 : 1.2$  [原子数比] 若しくはその近傍の組成、 $In : M : Zn = 1 : 1 : 2$  [原子数比] 若しくはその近傍の組成、又は  $In : M : Zn = 4 : 2 : 3$  [原子数比] 若しくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。また、金属酸化物 230 として金属酸化物 230b の単層を設ける場合、金属酸化物 230b として、金属酸化物 230a に用いることができる金属酸化物を適用してもよい。

[0138]

なお、金属酸化物 230a に、元素Mに対する In の原子数比が金属酸化物 230b より大きい金属酸化物を用いてもよく、金属酸化物 230b に、In に対する元素Mの原子数比が、金属酸化物 230a より大きい金属酸化物を用いてもよい。このような構成とすることで、信頼性を高めることができる。

[0139]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であつてもよい。

[0140]

金属酸化物 230b は、結晶性を有することが好ましい。特に、金属酸化物 230b として、CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。

[0141]

CAAC-OS は、結晶性の高い、緻密な構造を有しており、不純物及び欠陥（例えば、酸素欠損）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度

の温度（例えば、400℃以上600℃以下）で加熱処理することで、CAAC-Osをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-Osの密度をより高めることで、当該CAAC-Os中の不純物又は酸素の拡散をより低減することができる。

[0142]

また、CAAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、CAAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

[0143]

また、金属酸化物230bとしてCAAC-Os等の結晶性を有する酸化物を用いることで、ソース電極又はドレイン電極による、金属酸化物230bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、金属酸化物230bから酸素が引き抜かれることを低減できるため、トランジスタは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0144]

酸化物半導体を用いたトランジスタは、酸化物半導体中のチャネルが形成される領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、 $V_OH$ と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、酸化物半導体中のチャネルが形成される領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネルが形成される領域では、不純物、酸素欠損、及び $V_OH$ はできる限り低減されていることが好ましい。言い換えると、酸化物半導体中のチャネルが形成される領域は、キャリア濃度が低減され、i型（真性化）又は実質的にi型であることが好ましい。

[0145]

これに対して、酸化物半導体の近傍に、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を設け、熱処理を行うことで、当該絶縁体から酸化物半導体に酸素を供給し、酸素欠損、及び $V_OH$ を低減することができる。ただし、ソース領域又はドレイン領域に過剰な量の酸素が供給されると、トランジスタのオン電流の低下、又は電界効果移動度の低下を引き起こすおそれがある。さらに、ソース領域又はドレイン領域に供給される酸素の量が基板面内ではばらつくことで、トランジスタを有する半導体装置の特性にばらつきが出ることになる。また、当該絶縁体から酸化物半導体に供給する酸素が、ゲート電極、ソース電極、及びドレイン電極等の導電体に拡散すると、当該導電体が酸化してしまい、導電性が損なわれること等により、トランジスタの電気特性及び信頼性に悪影響を及ぼす場合がある。

[0146]

よって、酸化物半導体中において、チャネル形成領域は、キャリア濃度が低減され、i型又は実質的にi型であることが好ましいが、ソース領域及びドレイン領域は、キャリア濃度が高く、n型であることが好ましい。つまり、酸化物半導体のチャネル形成領域の酸素欠損、及び $V_OH$ を低減することが好ましい。また、ソース領域及びドレイン領域には過剰な量の酸素が供給されないようにすること、及びソース領域及びドレイン領域の $V_OH$ の量が過剰に低減しないようにすることが好ましい。また、導電体260、及び導電体242等の導電率が低下することを抑制する構成にす

ることが好ましい。例えば、導電体 260、及び導電体 242等の酸化を抑制する構成にすることが好ましい。なお、酸化物半導体中の水素はV<sub>o</sub>Hを形成しうるため、V<sub>o</sub>Hの量を低減するには、水素濃度を低減する必要がある。

[0147]

金属酸化物 230bにおけるチャネル形成領域と接する絶縁体 253は、水素を捕獲及び水素を固着する機能を有することが好ましい。これにより、金属酸化物 230bのチャネル形成領域中の水素濃度を低減できる。よって、チャネル形成領域中のV<sub>o</sub>Hを低減し、チャネル形成領域をi型又は実質的にi型とすることができる。

[0148]

水素を捕獲及び水素を固着する機能を有する絶縁体として、アモルファス構造を有する金属酸化物が挙げられる。絶縁体 253として、例えば、酸化マグネシウム、又はアルミニウム及びハフニウム的一方又は双方を含む酸化物等の金属酸化物を用いることが好ましい。このようなアモルファス構造を有する金属酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲又は固着する性質を有する場合がある。つまり、アモルファス構造を有する金属酸化物は、水素を捕獲又は固着する能力が高いといえる。

[0149]

また、絶縁体 253に、高誘電率 (high-k) 材料を用いることが好ましい。なお、high-k材料の一例として、アルミニウム及びハフニウム的一方又は双方を含む酸化物がある。絶縁体 253としてhigh-k材料を用いることで、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚 (EOT) の薄膜化が可能となる。

[0150]

以上より、絶縁体 253として、アルミニウム及びハフニウム的一方又は双方を含む酸化物を用いることが好ましく、アモルファス構造を有し、アルミニウム及びハフニウム的一方又は双方を含む酸化物を用いることがより好ましく、アモルファス構造を有する酸化ハフニウムを用いることがさらに好ましい。本実施の形態では、絶縁体 253として、酸化ハフニウムを用いる。この場合、絶縁体 253は、少なくとも酸素と、ハフニウムと、を有する絶縁体となる。また、当該酸化ハフニウムは、アモルファス構造を有する。この場合、絶縁体 253は、アモルファス構造を有する。

[0151]

そのほか、絶縁体 253には、酸化シリコン又は酸化窒化シリコン等の、熱に対し安定な構造の絶縁体を用いてもよい。例えば、絶縁体 253として、酸化アルミニウムと、酸化アルミニウム上の酸化シリコン又は酸化窒化シリコンと、を有する積層構造を用いてもよい。また、例えば、絶縁体 253として、酸化アルミニウムと、酸化アルミニウム上の酸化シリコン又は酸化窒化シリコンと、酸化シリコン又は酸化窒化シリコン上の酸化ハフニウムを有する積層構造を用いてもよい。

[0152]

導電体 242、及び導電体 260の酸化を抑制するために、導電体 242、及び導電体 260それぞれの近傍に酸素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体 253、絶縁体 254、及び絶縁体 275である。

[0153]

なお、本明細書等において、バリア絶縁体とは、バリア性を有する絶縁体のことを指す。本明細

書等において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。又は、対応する物質を、捕獲、及び固着する（ゲッタリングともいう）機能とする。

[0154]

酸素に対するバリア絶縁体としては、例えば、アルミニウム及びハフニウム的一方又は双方を含む酸化物、酸化マグネシウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、及び窒化酸化シリコンが挙げられる。また、アルミニウム及びハフニウム的一方又は双方を含む酸化物として、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、並びに、ハフニウム及びシリコンを含む酸化物（ハフニウムシリケート）が挙げられる。例えば、絶縁体253、絶縁体254、及び絶縁体275はそれぞれ、上記酸素に対するバリア絶縁体の単層構造又は積層構造であると好ましい。

[0155]

絶縁体253は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。絶縁体253は、導電体242の側面と接する領域を有する。絶縁体253が酸素に対するバリア性を有することで、導電体242の側面が酸化され、当該側面に酸化膜が形成されることを抑制できる。これにより、トランジスタのオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0156]

また、絶縁体253は、金属酸化物230bの上面及び側面、金属酸化物230aの側面、絶縁体224の側面、及び絶縁体222の上面に接して設けられる。絶縁体253が酸素に対するバリア性を有することで、例えば熱処理を行った際に、金属酸化物230bのチャンネル形成領域から酸素が脱離することを抑制できる。よって、金属酸化物230a及び金属酸化物230bに酸素欠損が形成されることを低減できる。

[0157]

また、逆に、絶縁体280に過剰な量の酸素が含まれていても、当該酸素が金属酸化物230a及び金属酸化物230bに過剰に供給されることを抑制できる。よって、ソース領域及びドレイン領域が過剰に酸化され、トランジスタのオン電流の低下、又は電界効果移動度の低下を起こすことを抑制できる。

[0158]

絶縁体254は、酸素に対するバリア性を有することが好ましい。絶縁体254は金属酸化物230のチャンネル形成領域と導電体260との間、及び絶縁体280と導電体260との間に設けられている。当該構成にすることで、金属酸化物230のチャンネル形成領域に含まれる酸素が導電体260へ拡散し、金属酸化物230のチャンネル形成領域に酸素欠損が形成されることを抑制できる。また、金属酸化物230に含まれる酸素及び絶縁体280に含まれる酸素が導電体260へ拡散し、導電体260が酸化することを抑制できる。絶縁体254は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。例えば、絶縁体254として、窒化シリコンを用いることが好ましい。この場合、絶縁体254は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0159]

また、絶縁体254は、水素に対するバリア性を有することが好ましい。これにより、導電体260に含まれる水素等の不純物が、金属酸化物230bに拡散することを防ぐことができる。

[0160]

絶縁体275は、酸素に対するバリア性を有することが好ましい。絶縁体275は、絶縁体28

0と導電体242との間に設けられている。当該構成にすることで、絶縁体280に含まれる酸素が導電体242に拡散することを抑制できる。したがって、絶縁体280に含まれる酸素によって、導電体242が酸化されて抵抗率が增大し、オン電流が低減することを抑制できる。絶縁体275は、少なくとも絶縁体280よりも酸素を透過しにくいことが好ましい。例えば、絶縁体275として、窒化シリコンを用いることが好ましい。この場合、絶縁体275は、少なくとも窒素と、シリコンと、を有する絶縁体となる。

[0161]

金属酸化物230におけるソース領域及びドレイン領域の水素濃度が低減することを抑制するために、ソース領域及びドレイン領域それぞれの近傍に水素に対するバリア絶縁体を設けることが好ましい。本実施の形態で説明する半導体装置において、当該水素に対するバリア絶縁体は、例えば、絶縁体275である。

[0162]

水素に対するバリア絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の酸化物、及び窒化シリコン等の窒化物が挙げられる。例えば、絶縁体275は、上記水素に対するバリア絶縁体の単層構造又は積層構造であると好ましい。

[0163]

絶縁体275は、水素に対するバリア性を有することが好ましい。絶縁体275が水素に対するバリア性を有することで、絶縁体253がソース領域及びドレイン領域中の水素を捕獲及び固着することを抑制できる。したがって、ソース領域及びドレイン領域をn型とすることができる。

[0164]

上記構成にすることで、チャネル形成領域をi型又は実質的にi型とし、ソース領域及びドレイン領域をn型とすることができ、良好な電気特性を有する半導体装置を提供できる。また、上記構成にすることで、半導体装置を微細化又は高集積化しても良好な電気特性を有することができる。また、トランジスタを微細化することで高周波特性を向上することができる。具体的には、遮断周波数を向上することができる。

[0165]

絶縁体253及び絶縁体254は、それぞれ、ゲート絶縁体の一部として機能する。絶縁体253及び絶縁体254は、導電体260とともに、絶縁体280等に形成された開口に設ける。トランジスタの微細化を図るにあたって、絶縁体253の膜厚及び絶縁体254の膜厚はそれぞれ薄いことが好ましい。絶縁体253の膜厚は、0.1nm以上5.0nm以下が好ましく、0.5nm以上5.0nm以下がより好ましく、1.0nm以上5.0nm未満がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。絶縁体254の膜厚は、0.1nm以上5.0nm以下が好ましく、0.5nm以上3.0nm以下がより好ましく、1.0nm以上3.0nm以下がさらに好ましい。なお、絶縁体253及び絶縁体254は、それぞれ、少なくとも一部において、上記のような膜厚の領域を有していればよい。

[0166]

絶縁体253の膜厚を上記のように薄くするには、原子層堆積 (ALD: Atomic Layer Deposition) 法を用いて成膜することが好ましい。ALD法は、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、プラズマ励起されたリアクタントを用いるPEALD (Plasma Enhanced ALD) 法等が

ある。PEALD法では、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。

[0167]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び低温での成膜が可能等の効果がある。よって、絶縁体253を、絶縁体280等に形成された開口部の側面、及び導電体242の側端部等に被覆性良く、上記のような薄い膜厚で成膜することができる。

[0168]

なお、ALD法で用いるプリカーサには例えば炭素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素等の不純物を多く含む場合がある。なお、不純物の定量は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、X線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）、又はオーージェ電子分光法（AES：Auger Electron Spectroscopy）を用いて行うことができる。

[0169]

例えば、絶縁体254としてPEALD法で成膜した窒化シリコンを用いることができる。

[0170]

なお、絶縁体253として、酸化ハフニウム等の水素等の不純物及び酸素の透過を抑制する機能を有する絶縁体を用いることで、絶縁体253は、絶縁体254が有する機能を兼ねることができる。このような場合、絶縁体254を設けない構成にすることで、半導体装置の作製工程を簡略化し、生産性の向上を図ることができる。

[0171]

また、本実施の形態では、半導体装置を、上記構成に加えて、水素がトランジスタに混入することを抑制する構成とすることが好ましい。例えば、水素の拡散を抑制する機能を有する絶縁体を、トランジスタの上下の一方又は双方を覆うように設けることが好ましい。本実施の形態で説明する半導体装置において、当該絶縁体は、例えば、絶縁体212である。

[0172]

絶縁体212として、水素の拡散を抑制する機能を有する絶縁体を用いることが好ましい。これにより、絶縁体212の下方からトランジスタに水素が拡散することを抑制できる。絶縁体212としては、上述の絶縁体275に用いることができる絶縁体を用いることができる。

[0173]

絶縁体212、絶縁体214、及び絶縁体282のうち一つ又は複数は、水、水素等の不純物が、基板側から、又は、トランジスタの上方からトランジスタに拡散することを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体212、絶縁体214、及び絶縁体282のうち一つ又は複数は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$ 等）、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を有することが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を有することが好ましい。

[0174]

絶縁体212、絶縁体214、及び絶縁体282は、それぞれ、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体を有することが好ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等を用いることができる。例えば、絶縁体212として、より水素バリア性が高い、窒化シリコンを用いることが好ましい。また、例えば、絶縁体212、絶縁体214、及び絶縁体282は、それぞれ、水素を捕獲及び水素を固着する機能が高い、酸化アルミニウム又は酸化マグネシウム等を有することが好ましい。これにより、水、水素等の不純物が絶縁体212及び絶縁体214を介して、基板側からトランジスタ側に拡散することを抑制できる。又は、水、水素等の不純物が絶縁体282よりも外側に配置されている層間絶縁膜等から、トランジスタ側に拡散することを抑制できる。又は、絶縁体224等に含まれる酸素が、基板側に拡散することを抑制できる。又は、絶縁体280等に含まれる酸素が、絶縁体282等を介してトランジスタより上方に拡散することを抑制ができる。この様に、トランジスタの上下を、水、水素等の不純物、及び酸素の拡散を抑制する機能を有する絶縁体で取り囲む構造とすることが好ましい。

[0175]

導電体205aは、金属酸化物230及び導電体260と重なるように配置する。ここで、導電体205aは、絶縁体216aに形成された開口部に埋め込まれて設けることが好ましい。また、導電体205aの一部が絶縁体214に埋め込まれる場合がある。

[0176]

導電体205aは、単層構造であってもよく、積層構造であってもよい。例えば図9Aでは、導電体205aが、第1の導電体と、第2の導電体と、の2層積層構造である例を示している。導電体205aの第1の導電体は、絶縁体216aに設けられた開口部の底面及び側壁に接して設けられる。導電体205aの第2の導電体は、導電体205aの第1の導電体に形成された凹部に埋め込まれるように設けられる。ここで、導電体205aの第2の導電体の上面の高さは、導電体205aの第1の導電体の上面の高さ及び絶縁体216aの上面の高さと概略一致する。

[0177]

ここで、導電体205aの第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子( $N_2O$ 、 $NO$ 、又は $NO_2$ 等)、又は銅原子等の不純物の拡散を抑制する機能を有する導電性材料を有することが好ましい。又は、酸素(例えば、酸素原子、及び酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を有することが好ましい。

[0178]

導電体205aの第1の導電体に、水素の拡散を低減する機能を有する導電性材料を用いることにより、導電体205aの第2の導電体に含まれる水素等の不純物が、絶縁体216a及び絶縁体224等を介して、金属酸化物230に拡散することを防ぐことができる。また、導電体205aの第1の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205aの第2の導電体が酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウム、及び、酸化ルテニウムが挙げられる。導電体205aの第1の導電体は、上記導電性材料の単層構造又は積層構造とすることができ、例えば、導電体205aの第1の導電体は、窒化チタンを有することが好ましい。

[0179]

また、導電体205aの第2の導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。例えば、導電体205aの第2の導電体は、タングステンを有することが好ましい。

[0180]

導電体205aは、第2のゲート電極として機能することができる。その場合、導電体205aに印加する電位を、導電体260に印加する電位と連動させず、独立して変化させることで、トランジスタのしきい値電圧( $V_{th}$ )を制御することができる。特に、導電体205aに負の電位を印加することにより、トランジスタの $V_{th}$ をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205aに負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0181]

また、導電体205aの電気抵抗率は、上記の導電体205aに印加する電位を考慮して設計され、導電体205aの膜厚は当該電気抵抗率に合わせて設定される。また、絶縁体216aの膜厚は、導電体205aの膜厚とほぼ同じになる。ここで、導電体205aの設計が許す範囲で導電体205a及び絶縁体216aの膜厚を薄くすることが好ましい。絶縁体216aの膜厚を薄くすることで、絶縁体216a中に含まれる水素等の不純物の絶対量を低減することができるので、当該不純物が金属酸化物230に拡散することを低減することができる。

[0182]

絶縁体222及び絶縁体224は、ゲート絶縁体として機能する。

[0183]

絶縁体222は、水素（例えば、水素原子、及び水素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体222は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体222は、絶縁体224よりも水素及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。

[0184]

絶縁体222は、絶縁性材料であるアルミニウム及びハフニウム的一方又は双方の酸化物を含む絶縁体を有することが好ましい。当該絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。又は、ハフニウム及びジルコニウムを含む酸化物、例えばハフニウムジルコニウム酸化物を用いることが好ましい。このような材料を用いて絶縁体222を形成した場合、絶縁体222は、金属酸化物230から基板側への酸素の放出、及び、トランジスタの周辺部から金属酸化物230への水素等の不純物の拡散を抑制する層として機能する。よって、絶縁体222を設けることで、水素等の不純物が、トランジスタの内側へ拡散することを抑制し、金属酸化物230中の酸素欠損の生成を抑制できる。また、導電体205aの第1の導電体が、絶縁体224、及び、金属酸化物230が有する酸素と反応することを抑制できる。

[0185]

又は、上記絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、又は酸化ジルコニウムを添加してもよい。又は、これらの絶縁体を窒化処理してもよい。また、絶縁体222は、上記絶縁

体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

[0186]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物等の、いわゆるhigh-k材料を含む絶縁体の単層構造又は積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、絶縁体222として、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO<sub>3</sub>)、又は(Ba, Sr)TiO<sub>3</sub>(BST)等の誘電率が高い物質を用いることができる場合もある。

[0187]

金属酸化物230と接する絶縁体224は、例えば、酸化シリコン又は酸化窒化シリコンを有することが好ましい。

[0188]

なお、絶縁体222及び絶縁体224は、それぞれ、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0189]

導電体242、及び導電体260として、それぞれ、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。当該導電性材料として、例えば、窒素を含む導電性材料、及び酸素を含む導電性材料が挙げられる。これにより、導電体242、及び導電体260の導電率が低下することを抑制できる。導電体242、及び導電体260として、金属及び窒素を含む導電性材料を用いる場合、導電体242、及び導電体260は、少なくとも金属と、窒素と、を有する導電体となる。

[0190]

導電体242は、単層構造であつてもよく、積層構造であつてもよい。また、導電体260は単層構造であつてもよく、積層構造であつてもよい。

[0191]

例えば図9Aでは、導電体242を、第1の導電体と、第1の導電体上の第2の導電体と、の2層構造で示す。このとき、金属酸化物230bに接する、導電体242の第1の導電体として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。これにより、導電体242の導電率が低下することを抑制できる。また、導電体242の第1の導電体として、水素を吸い取りやすい(抜き取りやすい)材料を用いると、金属酸化物230の水素濃度を低減でき、好ましい。

[0192]

また、導電体242の第2の導電体は、導電体242の第1の導電体よりも、導電性が高いことが好ましい。例えば、導電体242の第2の導電体の膜厚を、導電体242の第1の導電体の膜厚より大きくすることが好ましい。

[0193]

例えば、導電体242の第1の導電体として、窒化タンタル又は窒化チタンを用い、導電体242の第2の導電体として、タンゲステンを用いることができる。

[0194]

導電体242の導電率が低下することを抑制するために、金属酸化物230bとして、CAAC-Os等の結晶性を有する酸化物を用いることが好ましい。特に、インジウムと、亜鉛と、ガリウム、アルミニウム、及び錫から選ばれる一又は複数と、を有する金属酸化物を用いることが好ましい。CAAC-Osを用いることで、導電体242による、金属酸化物230bからの酸素の引き抜きを抑制できる。また、導電体242の導電率が低下することを抑制できる。

[0195]

導電体242としては、例えば、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、タンタル及びアルミニウムを含む窒化物、チタン及びアルミニウムを含む窒化物等を用いることが好ましい。本発明の一態様においては、タンタルを含む窒化物が特に好ましい。また、例えば、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いてもよい。これらの材料は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0196]

なお、例えば金属酸化物230bに含まれる水素が、導電体242に拡散する場合がある。特に、導電体242に、タンタルを含む窒化物を用いることで、例えば金属酸化物230bに含まれる水素は、導電体242に拡散しやすく、拡散した水素は、導電体242が有する窒素と結合することがある。つまり、例えば金属酸化物230b等に含まれる水素は、導電体242に吸い取られる場合がある。

[0197]

導電体260は、その上面が、絶縁体254の最上部、絶縁体253の最上部、及び絶縁体280の上面と高さが概略一致するように配置される。

[0198]

導電体260は、トランジスタの第1のゲート電極として機能する。導電体260は、第1の導電体と、第1の導電体上の第2の導電体と、を有することが好ましい。例えば、導電体260の第1の導電体は、導電体260の第2の導電体の底面及び側面を包むように配置されることが好ましい。

[0199]

例えば図9Aでは、導電体260を2層構造で示す。このとき、導電体260の第1の導電体として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0200]

導電体260の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子、又は銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0201]

また、導電体260の第1の導電体が酸素の拡散を抑制する機能を有することで、例えば絶縁体280に含まれる酸素により導電体260の第2の導電体が酸化して、導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、

タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。

[0202]

また、導電体260は、導電性が高い導電体を用いることが好ましい。例えば、導電体260の第2の導電体は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260の第2の導電体は積層構造としてもよく、例えば、チタン、又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0203]

また、トランジスタでは、導電体260は、例えば絶縁体280に形成されている開口を埋めるように自己整合的に形成される。導電体260をこのように形成することにより、一对の導電体242の間の領域に、導電体260を位置合わせすることなく確実に配置することができる。

[0204]

絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185は、それぞれ、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

[0205]

例えば、絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185は、それぞれ、酸化シリコン、酸化窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素及び窒素を添加した酸化シリコン、及び、空孔を有する酸化シリコンのうち一つ又は複数を有することが好ましい。

[0206]

特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコン等の材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

[0207]

また、絶縁体216a、絶縁体280、絶縁体285、絶縁体287、絶縁体216b、絶縁体181、及び絶縁体185の上面は、それぞれ、平坦化されていてもよい。

[0208]

絶縁体280中の水、及び水素等の不純物濃度は低減されていることが好ましい。例えば、絶縁体280は、酸化シリコン、又は酸化窒化シリコン等のシリコンを含む酸化物を有することが好ましい。

[0209]

なお、絶縁体280の開口部において、絶縁体280の側壁は、絶縁体222の上面に対して概略垂直であってもよく、テーパ形状であってもよい。側壁をテーパ形状にすることで、例えば絶縁体280の開口部に設ける絶縁体253の被覆性が向上し、鬆等の欠陥を低減できる。

[0210]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（以下、テーパ角と呼ぶ場合がある）が90°未満である領域を有すると好ましい。なお、構造の側面及び基板面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0211]

容量151が有する導電体160及び導電体205bは、それぞれ、導電体205a、導電体242、又は導電体260に用いることができる材料を用いることができる。導電体160及び導電体205bは、それぞれ、ALD法又は化学気相堆積（CVD: Chemical Vapor Deposition）法等の被覆性の良好な成膜法を用いて成膜することが好ましい。

[0212]

導電体160は、第1の導電体と、第1の導電体上の第2の導電体と、を有する。例えば、導電体160の第1の導電体として、ALD法を用いて成膜した窒化チタンを用い、導電体160の第2の導電体として、CVD法を用いて成膜したタングステンをを用いることができる。なお、絶縁体282に対するタングステンの密着性が十分高い場合は、導電体160として、CVD法を用いて成膜したタングステンの単層構造を用いてもよい。

[0213]

容量151が有する絶縁体215には、高誘電率（high-k）材料（高い比誘電率の材料）を用いることが好ましい。絶縁体215は、ALD法又はCVD法等の被覆性の良好な成膜法を用いて成膜することが好ましい。

[0214]

高誘電率（high-k）材料の絶縁体としては、例えば、アルミニウム、ハフニウム、ジルコニウム、及びガリウム等から選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、及び窒化物が挙げられる。また、上記酸化物、酸化窒化物、窒化酸化物、又は窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁体を積層して用いることもできる。

[0215]

例えば、高誘電率（high-k）材料の絶縁体として、例えば、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、シリコン及びジルコニウムを有する酸化物、シリコン及びジルコニウムを有する酸化窒化物、ハフニウム及びジルコニウムを有する酸化物、並びに、ハフニウム及びジルコニウムを有する酸化窒化物が挙げられる。このようなhigh-k材料を用いることで、リーク電流を抑制できる程度に絶縁体215を厚くし、且つ容量151の静電容量を十分確保することができる。

[0216]

また、上記の材料からなる絶縁体を積層して用いることが好ましく、高誘電率（high-k）材料と、当該高誘電率（high-k）材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体215として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁体を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量151の静電破壊を抑制することができる。

[0217]

導電体240は、第1の導電体と、第2の導電体との積層構造とすることが好ましい。例えば、

図9Aに示すように、導電体240は、第1の導電体が開口部の内壁に接して設けられ、さらに内側に第2の導電体が設けられる構造にすることができる。導電体240の第1の導電体は、導電体209の上面、絶縁体212の側面、絶縁体216aの側面、導電体242の上面及び側面、絶縁体280の側面、絶縁体285の側面、絶縁体287の側面、ならびに絶縁体216bの側面のうち少なくとも一部と接する領域を有する。

[0218]

導電体240の第1の導電体としては、水、及び水素等の不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。導電体240の第1の導電体は、例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、及び、酸化ルテニウムのうち一つ又は複数を用いた、単層構造又は積層構造とすることができる。これにより、水、及び水素等の不純物が、導電体240を通じて金属酸化物230に混入することを抑制できる。

[0219]

また、導電体240は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体240の第2の導電体には、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。

[0220]

例えば、導電体240の第1の導電体として窒化チタンを用い、導電体240の第2の導電体としてタングステンを用いることが好ましい。この場合、導電体240の第1の導電体は、チタンと、窒素とを有する導電体となり、導電体240の第2の導電体は、タングステンを有する導電体となる。

[0221]

なお、導電体240は、単層構造であってもよく、3層以上の積層構造であってもよい。また、例えば図8では、導電体240の上面の高さが、絶縁体215の下面の高さと揃っている例を示すが、導電体240の上面の高さは、例えば絶縁体215の下面の高さより高くてもよい。

[0222]

図13は、本発明の一態様の半導体装置の構成例を示す断面図である。図13に示す半導体装置は、図8に示す構成の下に、例えばトランジスタ300を有する層が設けられる例を示している。トランジスタ300は、例えば絶縁体210よりも上層に形成されたメモリセルの駆動回路に設けることができる。なお、図13における絶縁体210よりも上層の構成は、図8と同様のため、詳細な説明は省略する。

[0223]

図13では、トランジスタ300を例示している。トランジスタ300は、基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、基板311の一部を含む半導体領域313、及びソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。トランジスタ300は、pチャネル型のトランジスタ、或いはnチャネル型のトランジスタのいずれでもよい。基板311としては、例えば単結晶シリコン基板を用いることができる。

[0224]

ここで、図13に示すトランジスタ300はチャネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面及び上面を、絶縁体315を介して、

導電体 316 が覆うように設けられている。なお、導電体 316 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 300 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I (Silicon on Insulator) 基板を加工して凸形状を有する半導体膜を形成してもよい。

[0225]

なお、図 13 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いることができる。

[0226]

各構造体の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0227]

例えば、トランジスタ 300 上には、層間膜として、絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 が順に積層して設けられている。また、絶縁体 320 及び絶縁体 322 には導電体 328 等が埋め込まれている。また、絶縁体 324 及び絶縁体 326 には導電体 330 等が埋め込まれている。なお、導電体 328 及び導電体 330 はコンタクトプラグ又は配線として機能する。

[0228]

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために例えば化学機械研磨 (CMP : Chemical Mechanical Polishing) 法を用いた平坦化処理により平坦化されていてもよい。

[0229]

また図 13 では、導電体 240a 及び導電体 240b が、記憶層 11 毎に形成されている例を示している。図 13 に示す構成では、n 個の導電体 240a が高さ方向に連結されることにより、貫通電極を構成している。同様に、n 個の導電体 240b が高さ方向に連結されている。導電体 240a 及び導電体 240b は、それぞれ導電体 242 の上面及び側面と接することで電氣的に接続されている。

[0230]

また、図 13 に示すように、最上層である記憶層 11<sub>n</sub> において、容量 151 の上部電極として機能する導電体 205t と、誘電体層として機能する絶縁体 215 を示している。導電体 205t 及び絶縁体 215 は、メモリセルアレイが設けられる領域にわたって一続きに設けられる。導電体 205t 及び絶縁体 215 はそれぞれ、これらより下方に位置するトランジスタ 201、トランジスタ 202、トランジスタ 203、容量 151、各導電体 240a、各導電体 240b などと重なる領域を有する。

[0231]

図 14 は、メモリセルを X 方向に 2 つ配列した例を示す断面図である。図 14 には、トランジス

タ201、トランジスタ202、トランジスタ203、及び容量151としてそれぞれトランジスタ201a、トランジスタ202a、トランジスタ203a、及び容量151aを有するメモリセルと、トランジスタ201b、トランジスタ202b、トランジスタ203b、及び容量151bを有するメモリセルと、を示している。

[0232]

図14に示すように、導電体240bは、トランジスタ203aが有する導電体242e、及びトランジスタ203bが有する導電体242eと電氣的に接続することができる。よって、導電体240bは、例えばX方向に隣接する2つのメモリセルで共有することができる。また、導電体240aは、例えばX方向に隣接する2つの導電体242aと電氣的に接続することができる。よって、導電体240aも、例えばX方向に隣接する2つのメモリセルで共有することができる。

[0233]

図15A、及び図15Bは、図9A等に示す構成を有する半導体装置の一例を示す平面図であり、XY平面の構成例を示している。

[0234]

図15Aには、トランジスタ201、トランジスタ202、トランジスタ203、導電体240a、及び導電体240bを示している。図15Bは、図15Aに容量151を追加して示している。図15Bでは、トランジスタ201、トランジスタ202、トランジスタ203、及び容量151によりメモリセル10が構成されるとしている。なお、図15A、及び図15Bにおいて、導電体以外の構成要素は省略している。

[0235]

図15Bに示すように、容量151の一方の電極として機能する領域を有する導電体160、及び容量151の他方の電極として機能する領域を有する導電体205bは、矩形よりも複雑な形状、具体的には矩形よりも頂点の数が多形状をしている。これにより、導電体160、及び導電体205bを矩形とする場合と比較して、導電体160と導電体205bが重なる面積を確保しつつ、メモリセル10の占有面積を低減できる。よって、メモリセル10を高密度に配置することができるため、メモリセル10の集積度が向上し、半導体装置の記憶容量を増大できる。例えば、図15Bに示す各種導電体をラインアンドスペースパターンで形成する場合、ライン/スペース=20nm/20nmで設計し、2つのパターンを重ねる部分のマージンを10nmとし、導電体240については、合わせズレに対するマージンを5nm加えて25nm×25nmで設計した場合、メモリセル10の面積は80nm×245nm=0.0196 $\mu\text{m}^2$ となる。そして、例えば図8に示す記憶層11<sub>1</sub>乃至記憶層11<sub>n</sub>それぞれのセル密度は51.0cell/ $\mu\text{m}^2$ となる。

[0236]

図16A、及び図16Bは、図9Aに示す構成を有する半導体装置の、図15A、及び図15Bとは異なる一例を示す平面図であり、XY平面の構成例を示している。

[0237]

図16Bに示す構成では、容量151の一方の電極として機能する領域を有する導電体160、及び容量151の他方の電極として機能する領域を有する導電体205bを矩形としている。これにより、図16Bに示す半導体装置は、図15Bに示す半導体装置より容易に作製できる。

[0238]

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ

て実施することができる。

[0239]

(実施の形態3)

本実施の形態では、本発明の一態様の記憶装置について図面を用いて説明する。

[0240]

図17Aに、本発明の一態様の記憶装置の斜視概略図を示す。図17Bに、本発明の一態様の記憶装置のブロック図を示す。

[0241]

図17A及び図17Bに示す記憶装置150は、駆動回路層50と、n層の記憶層11と、を有する。記憶層11は、それぞれ、メモリセルアレイ15を有する。メモリセルアレイ15は、複数のメモリセル10を有する。

[0242]

n層の記憶層11は駆動回路層50上に設けられる。n層の記憶層11を駆動回路層50上に設けることで、記憶装置150の占有面積を低減できる。また、単位面積当たりの記憶容量を高めることができる。

[0243]

本実施の形態では、1層目の記憶層11を記憶層11\_\_1と示し、2層目の記憶層11を記憶層11\_\_2と示し、3層目の記憶層11を記憶層11\_\_3と示す。また、k層目(kは1以上n以下の整数。)の記憶層11を記憶層11\_\_kと示し、n層目の記憶層11を記憶層11\_\_nと示す。なお、本実施の形態等において、n層の記憶層11全体に係る事柄を説明する場合、又はn層ある記憶層11の各層に共通の事柄を示す場合に、単に「記憶層11」と表記する場合がある。

[0244]

<駆動回路層50の構成例>

駆動回路層50は、PSW22(パワースイッチ)、PSW23、及び周辺回路31を有する。周辺回路31は、周辺回路41、コントロール回路32(Control Circuit)、及び電圧生成回路33を有する。

[0245]

記憶装置150において、各回路、各信号及び各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路又は他の信号を追加してもよい。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2は外部からの入力信号であり、信号RDAは外部への出力信号である。

[0246]

信号CLKはクロック信号である。信号BW、信号CE、及び信号GWは制御信号である。信号CEはチップイネーブル信号であり、信号GWはグローバル書き込みイネーブル信号であり、信号BWはバイト書き込みイネーブル信号である。信号ADDRはアドレス信号である。信号WDAは書き込みデータであり、信号RDAは読み出しデータである。信号PON1、信号PON2は、パワーゲーティング制御用信号である。なお、信号PON1、信号PON2は、コントロール回路32で生成してもよい。

[0247]

コントロール回路32は、記憶装置150の動作全般を制御する機能を有するロジック回路であ

る。例えば、コントロール回路は、信号CE、信号GW及び信号BWを論理演算して、記憶装置150の動作モード（例えば、書き込み動作、読み出し動作）を決定する。又は、コントロール回路32は、この動作モードが実行されるように、周辺回路41の制御信号を生成する。

[0248]

電圧生成回路33は負電圧を生成する機能を有する。信号WAKEは、信号CLKの電圧生成回路33への入力を制御する機能を有する。例えば、信号WAKEにHレベルの信号が与えられると、信号CLKが電圧生成回路33へ入力され、電圧生成回路33は負電圧を生成する。

[0249]

周辺回路41は、メモリセル10に対するデータの書き込み及び読み出しをするための回路である。周辺回路41は、行デコーダ42 (Row Decoder)、列デコーダ44 (Column Decoder)、行ドライバ43 (Row Driver)、列ドライバ45 (Column Driver)、入力回路47 (Input Cir.)、出力回路48 (Output Cir.)、センスアンプ46 (Sense Amplifier) を有する。

[0250]

行デコーダ42及び列デコーダ44は、信号ADDRをデコードする機能を有する。行デコーダ42は、アクセスする行を指定するための回路であり、列デコーダ44は、アクセスする列を指定するための回路である。行ドライバ43は、行デコーダ42が指定する配線WWL（書き込みワード線）又は配線RWL（読み出しワード線）を選択する機能を有する。列ドライバ45は、データをメモリセル10に書き込む機能、メモリセル10からデータを読み出す機能、及び読み出したデータを保持する機能等を有する。列ドライバ45は、列デコーダ44が指定する配線WBL（書き込みビット線）、及び配線RBL（読み出しビット線）を選択する機能を有する。

[0251]

入力回路47は、信号WDAを保持する機能を有する。入力回路47が保持するデータは、列ドライバ45に出力される。入力回路47の出力データが、メモリセル10に書き込むデータ (Din) である。列ドライバ45がメモリセル10から読み出したデータ (Dout) は、出力回路48に出力される。出力回路48は、Doutを保持する機能を有する。また、出力回路48は、Doutを記憶装置150の外部に出力する機能を有する。出力回路48から出力されるデータが信号RDAである。

[0252]

PSW22は周辺回路31へのVDDの供給を制御する機能を有する。PSW23は、行ドライバ43へのVHMの供給を制御する機能を有する。ここでは、記憶装置150の高電源電圧がVDDであり、低電源電圧はGND（接地電位）である。また、VHMは、ワード線を高レベルにするために用いられる高電源電圧であり、VDDよりも高い。信号PON1によってPSW22のオン・オフが制御され、信号PON2によってPSW23のオン・オフが制御される。図17Bでは、周辺回路31において、VDDが供給される電源ドメインの数を1としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

[0253]

<記憶層11の構成例>

n層ある記憶層11の構成例について説明する。n層ある記憶層11は、それぞれがメモリセルアレイ15を有する。また、メモリセルアレイ15は、複数のメモリセル10を有する。図17A

及び図17Bでは、メモリセルアレイ15がp行q列（p及びqは2以上の整数。）のマトリクス状に配置された複数のメモリセル10を有する例を示している。

[0254]

なお、行と列は互いに直交する方向に延在する。本実施の形態では、X方向を「行」とし、Y方向を「列」としているが、X方向を「列」とし、Y方向を「行」としてもよい。

[0255]

図17Bでは、1行1列目に設けられたメモリセル10をメモリセル10[1, 1]と示し、p行q列目に設けられたメモリセル10をメモリセル10[p, q]と示している。また、i行j列目（iは1以上p以下の整数。jは1以上q以下の整数。）に設けられたメモリセル10をメモリセル10[i, j]と示している。

[0256]

メモリセルの回路構成例を図18A及び図18Bに示す。当該回路構成に対応するメモリセル10の断面構成例は、実施の形態1を参照することができる。

[0257]

メモリセル10は、トランジスタM1、トランジスタM2、トランジスタM3、及び容量Cを有する。3つのトランジスタと1つの容量で構成されるメモリセルを、3Tr1C型のメモリセルともいう。よって、本実施の形態に示すメモリセル10は、3Tr1C型のメモリセルである。

[0258]

トランジスタM1は、実施の形態2で示したトランジスタ201a又はトランジスタ201bと対応する。トランジスタM2は、実施の形態2で示したトランジスタ202又はトランジスタ202bと対応する。トランジスタM3は、実施の形態2で示したトランジスタ203又はトランジスタ203bと対応する。容量Cは、実施の形態2で示した容量151と対応する。配線WBLは、実施の形態1で示した導電体240aと対応する。配線RBLは、実施の形態2で示した導電体240bと対応する。

[0259]

メモリセル10[i, j]において、トランジスタM1のゲートは配線WWL[j]と電氣的に接続され、ソース又はドレインの一方は配線WBL[i, s]と電氣的に接続される。なお、図18Aでは、配線WWL[j]の一部がトランジスタM1のゲートとして機能する場合の構成例を示している。容量Cの一方の電極は配線PL[i, s]と電氣的に接続され、他方の電極はトランジスタM1のソース又はドレインの他方と電氣的に接続される。なお、例えば図18Aでは、配線PL[i, s]の一部が容量Cの一方の電極として機能する場合の構成例を示している。また、トランジスタM2のゲートは容量Cの他方の電極と電氣的に接続され、ソース又はドレインの一方はトランジスタM3のソース又はドレインの一方と電氣的に接続され、ソース又はドレインの他方は配線PL[i, s]と電氣的に接続される。また、トランジスタM3のゲートは配線RWL[j]と電氣的に接続され、ソース又はドレインの他方は配線RBL[i, s]と電氣的に接続される。

[0260]

メモリセル10[i, j]において、容量Cの他方の電極、トランジスタM1のソース又はドレインの他方、及びトランジスタM2のゲートが電氣的に接続し、常に同電位となる領域を「ノードND」と呼ぶ。

[0261]

メモリセル10 [i, j + 1]において、トランジスタM1のゲートは配線WWL [j + 1]と電氣的に接続され、ソース又はドレインの一方は配線WBL [i, s + 1]と電氣的に接続される。なお、図18Aでは、配線WWL [j + 1]の一部がトランジスタM1のゲートとして機能する場合の構成例を示している。容量Cの一方の電極は配線PL [i, s + 1]と電氣的に接続され、他方の電極はトランジスタM1のソース又はドレインの他方と電氣的に接続される。なお、例えば図18Aでは、配線PL [i, s + 1]の一部が容量Cの一方の電極として機能する場合の構成例を示している。また、トランジスタM2のゲートは容量Cの他方の電極と電氣的に接続され、ソース又はドレインの一方はトランジスタM3のソース又はドレインの一方と電氣的に接続され、ソース又はドレインの他方は配線PL [i, s + 1]と電氣的に接続される。また、トランジスタM3のゲートは配線RWL [j + 1]と電氣的に接続され、ソース又はドレインの他方は配線RBL [i, s]と電氣的に接続される。

[0262]

以上より、配線RBL [i, s]は、メモリセル10 [i, j]が有するトランジスタM3のソース又は他方、及びメモリセル10 [i, j + 1]が有するトランジスタM3のソース又は他方と電氣的に接続される。よって、配線RBL [i, s]は、メモリセル10 [i, j]とメモリセル10 [i, j + 1]により共有される。また、図示しないが、配線WBL [i, s]は、メモリセル10 [i, j - 1]とメモリセル10 [i, j]により共有され、配線WBL [i, s + 1]は、メモリセル10 [i, j + 1]とメモリセル10 [i, j + 2]により共有される。

[0263]

メモリセル10 [i, j + 1]において、容量Cの他方の電極、トランジスタM1のソース又はドレインの他方、及びトランジスタM2のゲートが電氣的に接続し、常に同電位となる領域をノードNDと呼ぶ。

[0264]

また、図18Aに示すように、トランジスタM1、トランジスタM2、及びトランジスタM3として、それぞれ、バックゲートを有するトランジスタを用いてもよい。ゲートとバックゲートは、ゲートとバックゲートで半導体のチャネル形成領域を挟むように配置される。ゲートとバックゲートは導電体で形成される。バックゲートはゲートと同様に機能させることができる。また、バックゲートの電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。バックゲートの電位は、ゲートと同電位としてもよく、接地電位またはは任意の電位としてもよい。

[0265]

なお、トランジスタM1、トランジスタM2、及びトランジスタM3は、それぞれ、バックゲートを有していなくてもよい。例えば、図18Bに示すように、トランジスタM1に、バックゲートを有するトランジスタを用い、トランジスタM2、及びトランジスタM3に、バックゲートを有さないトランジスタを用いてもよい。

[0266]

また、ゲートとバックゲートは導電体で形成されるため、トランジスタの外部で生じる電場が、チャネルが形成される半導体に作用しないようにする機能（特に静電気に対する静電遮蔽機能）も有する。すなわち、静電気等の外部の電場の影響によりトランジスタの電氣的な特性が変動することを抑制できる。また、バックゲートを設けることで、BT試験前後におけるトランジスタのしきい値電圧の変化量が低減できる。

[0267]

例えば、トランジスタM1にバックゲートを有するトランジスタを用いることで、外部の電場の影響が軽減され、安定してオフ状態を維持できる。よって、ノードNDに書き込まれたデータを安定して保持できる。バックゲートを設けることで、メモリセル10の動作が安定し、メモリセル10を含む記憶装置の信頼性を高めることができる。

[0268]

同様に、トランジスタM3にバックゲートを有するトランジスタを用いることで、外部の電場の影響が軽減され、安定してオフ状態を維持できる。よって、配線RBLと配線PLの間の漏れ電流が低減され、メモリセル10を含む記憶装置の消費電力を低減できる。

[0269]

トランジスタM1、トランジスタM2、及びトランジスタM3のチャンネルが形成される半導体層としては、単結晶半導体、多結晶半導体、微結晶半導体、又は非晶質半導体等を、単体で又は組み合わせ用いることができる。半導体材料としては、例えば、シリコン、又はゲルマニウム等を用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、酸化物半導体、又は窒化物半導体等の化合物半導体を用いてもよい。

[0270]

なお、トランジスタM1、トランジスタM2、及びトランジスタM3のチャンネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）であることが好ましい。酸化物半導体はバンドギャップが2 eV以上であるため、オフ電流が著しく少ない。よって、メモリセル10の消費電力を低減できる。よって、メモリセル10を含む記憶装置150の消費電力を低減できる。

[0271]

また、OSトランジスタを含むメモリセルを「OSメモリ」と呼ぶことができる。また、当該メモリセルを含む記憶装置150も「OSメモリ」と呼ぶことができる。

[0272]

また、OSトランジスタは高温環境下においても動作が安定し、電気特性の変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上200℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、OSメモリは、高温環境下においても動作が安定し、高い信頼性が得られる。

[0273]

<メモリセル10の動作例>

メモリセル10のデータ書き込み動作例と読み出し動作例について説明する。本実施の形態では、トランジスタM1、トランジスタM2、及びトランジスタM3にノーマリオフ型のnチャンネル型トランジスタを用いるものとする。

[0274]

図19はメモリセル10の動作例を説明するためのタイミングチャートである。図20A、図20B、図21A、及び図21Bは、メモリセル10の動作例を説明するための回路図である。

[0275]

以下の図面等において、配線及び電極の電位を示すため、配線及び電極に隣接して電位Hを示す“H”、又は電位Lを示す“L”を付記する場合がある。また、電位変化が生じた配線及び電極に

は、“H”又は“L”を囲み文字で付記する場合がある。さらに、トランジスタがオフ状態である場合、当該トランジスタに重ねて“X”記号を付記する場合がある。

[0276]

また、電位Hがnチャンネル型トランジスタのゲートに供給されると、該トランジスタがオン状態になるものとする。また、電位Lがnチャンネル型トランジスタのゲートに供給されると、該トランジスタがオフ状態になるものとする。よって、電位Hは電位Lよりも高い電位である。電位Hは高電源電位VDDと同電位であってもよい。また、電位Lは電位Hより低い電位である。電位Lは接地電位GNDと同電位であってもよい。本実施の形態では、電位Lを接地電位GNDと同電位とする。

[0277]

はじめに、期間T0において、配線WWL、配線RWL、配線WBL、配線RBL、配線PL、及びノードNDの電位が電位Lであるものとする(図19)。また、トランジスタM1、トランジスタM2、及びトランジスタM3のバックゲートに接地電位GNDが供給されているものとする。

[0278]

[データ書き込み動作]

期間T1において、配線WWL及び配線WBLに電位Hを供給する(図19及び図20A)。すると、トランジスタM1がオン状態になり、ノードNDに“1”を示すデータとして、電位Hが書き込まれる。

[0279]

ノードNDの電位が電位Hになると、トランジスタM2はオン状態になる。また、配線RWLの電位は電位Lであるため、トランジスタM3はオフ状態である。トランジスタM3をオフ状態にしておくことで、配線RBLと配線PLの短絡を防ぐことができる。

[0280]

[保持動作]

期間T2において、配線WWLに電位Lを供給する。すると、トランジスタM1がオフ状態になり、ノードNDがフローティング状態になる。よって、ノードNDに書き込まれたデータ(電位H)が保持される(図19及び図20B)。なお、期間T2の終了後、配線WBLの電位は電位Lになるものとする。

[0281]

前述したとおり、OSトランジスタはオフ電流が極めて少ないトランジスタである。トランジスタM1にOSトランジスタを用いることで、ノードNDに書き込まれたデータを長期間保持できる。そのため、ノードNDをリフレッシュする必要がなくなり、メモリセル10の消費電力を低減できる。よって、記憶装置150の消費電力を低減できる。

[0282]

また、トランジスタM2及びトランジスタM3の一方又は双方にOSトランジスタを用いることにより、書き込み動作及び保持動作時において、配線RBLと配線PLの間に流れる漏れ電流を極めて少なくすることができる。

[0283]

加えて、OSトランジスタは、チャンネルが形成される半導体層にシリコンを用いるトランジスタ(Siトランジスタともいう)と比べてソースとドレインの間の絶縁耐圧が高い。トランジスタM

1にOSトランジスタを用いることにより、ノードNDにより高い電位を供給できる。よって、ノードNDに保持する電位範囲を大きくすることができる。ノードNDに保持する電位範囲を大きくすることによって、多値データ保持又はアナログデータ保持の実現が容易になる。

[0284]

〔読み出し動作〕

期間T3において、配線RBLに電位Hをプリチャージ (Pre) する。すなわち、配線RBLの電位を電位Hにした後、配線RBLをフローティング状態にする (図19及び図21A)。

[0285]

次に、期間T4において、配線RWLに電位Hを供給し、トランジスタM3をオン状態にする (図19及び図21B)。この時、ノードNDの電位が電位Hである場合は、トランジスタM2がオン状態であるため、トランジスタM2及びトランジスタM3を介して配線RBLと配線PLが導通状態になる。配線RBLと配線PLが導通状態になると、フローティング状態である配線RBLの電位が電位Hから電位Lに変化する。

[0286]

なお、ノードNDに“0”を示すデータとして電位Lが書き込まれている場合は、トランジスタM2はオフ状態である。よって、トランジスタM3がオン状態になっても、配線RBLと配線PLは導通状態にならないため、配線RBLの電位は電位Hのままである。

[0287]

このように、配線RWLに電位Hを供給した時の、配線RBLの電位変化を検出することで、メモリセル10に書き込まれたデータを読み出すことができる。

[0288]

OSトランジスタを用いたメモリセル10では、OSトランジスタを介してノードNDに電荷を書き込む方式であるため、従来のフラッシュメモリで必要であった高電圧が不要であり、高速な書き込み動作も実現できる。また、フラッシュメモリと異なり、フローティングゲート又は電荷捕獲層への電荷注入及び引き抜きも行われないため、OSトランジスタを用いたメモリセル10はデータの書き込み及び読み出しが可能な回数を実質的に無制限にできる。OSトランジスタを用いたメモリセル10は、フラッシュメモリと異なり繰り返し書き換え動作でも電子捕獲中心の増加による不安定性が認められない。OSトランジスタを用いたメモリセル10は、従来のフラッシュメモリと比較して劣化が少なく高い信頼性が得られる。

[0289]

OSトランジスタを用いたメモリセル10は、磁気メモリ或いは抵抗変化型メモリ等と異なり原子レベルでの構造変化を伴わない。よって、OSトランジスタを用いたメモリセル10は、磁気メモリ及び抵抗変化型メモリよりも書き換え耐性に優れている。

[0290]

<センスアンプ46の構成例>

次いでセンスアンプ46の構成例について説明する。具体的にはセンスアンプ46を含む、データ信号の書き込み又は読み出しを行う書き込み読み出し回路の構成例について説明する。

[0291]

図22は、センスアンプ46を含む、データ信号の書き込み読み出しを行う回路600の構成例を示す回路図である。回路600は、配線WBL毎、及び配線RBL毎に設けられる。

[0292]

回路600は、トランジスタ661乃至トランジスタ666、センスアンプ46、AND回路652、アナログスイッチ653、及び、アナログスイッチ654を有する。

[0293]

回路600は、信号SEN、信号SEP、信号BPR、信号RSEL、信号WSEL、信号GRSEL、及び信号GWSELに従い、動作する。

[0294]

回路600に入力されるデータDINは、ノードNSとAND回路652を介して電氣的に接続された配線WBLを介してメモリセル10に書き込まれる。メモリセル10に書き込まれたデータDOUTは、ノードNSBとアナログスイッチ653を介して電氣的に接続された配線RBLに伝えられることで、回路600よりデータDOUTとして出力される。

[0295]

なお、データDIN及びデータDOUTは内部信号であり、それぞれ、信号WDA及び信号RDAに対応する。

[0296]

トランジスタ661は、プリチャージ回路に含まれる。トランジスタ661によって、配線RBLは、プリチャージ電位Vpreにプリチャージされる。なお、本実施の形態では、プリチャージ電位Vpreとして、電位Vdd（ハイレベル）を用いた場合を説明する（図22では、Vdd（Vpre）と表記する）。信号BPRはプリチャージ信号であり、信号BPRによって、トランジスタ661の導通状態が制御される。

[0297]

センスアンプ46は、読み出し動作時には、配線RBLに入力されたデータのハイレベル又はローレベルを判定する。また、センスアンプ46は、書き込み動作時には、回路600に入力されたデータDINを一時的に保持するラッチ回路として機能する。

[0298]

図22に示すセンスアンプ46は、ラッチ型センスアンプである。センスアンプ46は、2個のインバータ回路を有し、一方のインバータ回路の入力ノードが他方のインバータ回路の出力ノードと接続される。一方のインバータ回路の入力ノードをノードNS、出力ノードをノードNSBとすると、ノードNS及びノードNSBにおいて相補データが保持される。

[0299]

信号SEN及び信号SEPは、センスアンプ46を活性化するためのセンスアンプイネーブル信号であり、レファレンス電位Vrefは、読み出し判定電位である。センスアンプ46は、レファレンス電位Vrefを基準に、活性化された時点のノードNSBの電位が、ハイレベルであるか、ローレベルであるかを判定する。

[0300]

AND回路652は、ノードNSと、配線WBLとの導通状態を制御する。また、アナログスイッチ653は、ノードNSBと、配線RBLとの導通状態を制御する。さらに、アナログスイッチ654は、ノードNSと、レファレンス電位Vrefを供給する配線との導通状態を制御する。

[0301]

データ読み出し時においては、配線RBLの電位はアナログスイッチ653によってノードNS

Bに伝えられる。配線RBLの電位がレファレンス電位Vrefより低くなると、センスアンプ46は、配線RBLはローレベルであると判定する。また、配線RBLの電位がレファレンス電位Vrefより低くならない場合、センスアンプ46は、配線RBLはハイレベルであると判定する。

[0302]

信号WSELは、書き込み選択信号であり、AND回路652を制御する。信号RSELは、読み出し選択信号であり、アナログスイッチ653及びアナログスイッチ654を制御する。

[0303]

トランジスタ662及びトランジスタ663は、出力MUX（マルチプレクサ）回路に含まれる。信号GRSELは、グローバル読み出し選択信号であり、出力MUX回路を制御する。出力MUX回路は、データを読み出す配線RBLを選択する機能を有する。

[0304]

出力MUX回路は、センスアンプ46から読み出したデータDOUTを出力する機能を有する。

[0305]

トランジスタ664乃至トランジスタ666は、書き込みドライバ回路に含まれる。信号GWSSELは、グローバル書き込み選択信号であり、書き込みドライバ回路を制御する。書き込みドライバ回路は、データDINをセンスアンプ46に書き込む機能を有する。

[0306]

書き込みドライバ回路は、データDINを書き込む列を選択する機能を有する。書き込みドライバ回路は、信号GWSELに従い、バイト単位、ハーフワード単位、又は、1ワード単位のデータ書き込みを行う。

[0307]

ゲインセル型のメモリセルは、1メモリセルあたり少なくとも2つのトランジスタが必要であり、単位面積あたりに配置できるメモリセルの数を増やすことが難しい。一方、メモリセル10に含まれるトランジスタにOSトランジスタを用いることで、メモリセルアレイ15を複数積層して設けることができる。すなわち、単位面積あたりに記憶できるデータ量を増やすことができる。また、ゲインセル型のメモリセルは、電荷を蓄積する容量が小さい場合でも、蓄積した電荷を直近のトランジスタで増幅することで、メモリとしての動作を行うことができる。さらに、オフ電流が非常に小さいOSトランジスタを、メモリセル10に含まれるトランジスタに用いることで、キャパシタの容量を小さくできる。又は、キャパシタとして、トランジスタのゲート容量及び配線の寄生容量の一方又は双方を利用することができ、キャパシタを省略することができる。すなわち、メモリセル10の面積を小さくできる。

[0308]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0309]

(実施の形態4)

本実施の形態では、本発明の一態様の記憶装置が実装されたチップの一例について図面を用いて説明する。

[0310]

図23A及び図23Bに示すチップ1200には、複数の回路（システム）が実装されている。このように、複数の回路（システム）を一つのチップに集積する技術を、システムオンチップ（S

system on Chip: SoC) と呼ぶ場合がある。

[0311]

図23Aに示すように、チップ1200は、CPU1211、GPU1212、一又は複数のアナログ演算部1213、一又は複数のメモリコントローラ1214、一又は複数のインターフェース1215、一又は複数のネットワーク回路1216等を有する。

[0312]

チップ1200には、 bumps (図示しない) が設けられ、図23Bに示すように、パッケージ基板1201の第1の面と接続する。また、パッケージ基板1201の第1の面の裏面には、複数の bumps 1202が設けられており、マザーボード1203と接続する。

[0313]

マザーボード1203には、DRAM1221、及びフラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すNOSRAMを用いることができる。これにより、DRAM1221を、低消費電力化、高速化、及び大容量化させることができる。

[0314]

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、及びGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。又は、CPU1211、及びGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理又は積和演算に用いることができる。GPU1212に、OSトランジスタを用いた画像処理回路、又は、積和演算回路を設けることで、画像処理、又は積和演算を低消費電力で実行することが可能になる。

[0315]

また、CPU1211、及びGPU1212が同一チップに設けられていることで、CPU1211とGPU1212の間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、及びGPU1212が有するメモリ間のデータ転送、及びGPU1212での演算後に、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

[0316]

アナログ演算部1213はA/D (アナログ/デジタル) 変換回路、及びD/A (デジタル/アナログ) 変換回路の一、又は両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

[0317]

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、及びフラッシュメモリ1222のインターフェースとして機能する回路を有する。

[0318]

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、及びコントローラ等の外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、及びゲーム用コントローラ等を含む。このようなインターフェースとして、USB (Univ

ersal Serial Bus)、又はHDMI(登録商標)(High-Definition Multimedia Interface)等を用いることができる。

[0319]

ネットワーク回路1216は、LAN(Local Area Network)等のネットワーク回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

[0320]

チップ1200には、上記回路(システム)を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

[0321]

GPU1212を有するチップ1200が設けられたパッケージ基板1201、DRAM1221、及びフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

[0322]

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、又は携帯型(持ち出し可能な)ゲーム機等の携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)等の手法を実行できるため、チップ1200をAIチップ、又はGPUモジュール1204をAIシステムモジュールとして用いることができる。

[0323]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0324]

(実施の形態5)

本実施の形態では、本発明の一態様の記憶装置が組み込まれた電子部品の一例を示す。

[0325]

[電子部品]

図24Aに電子部品700及び電子部品700が実装された基板(実装基板704)の斜視図を示す。図24Aに示す電子部品700は、モールド711内に本発明の一態様の記憶装置である記憶装置150を有している。図24Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電氣的に接続され、電極パッド713は記憶装置150とワイヤ714を介して電氣的に接続されている。電子部品700は、例えばプリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで実装基板704が完成する。

[0326]

上記実施の形態で示した通り、記憶装置150は、駆動回路層50と、記憶層11(メモリセルアレイ15を含む)と、を有する。

[0327]

図24Bに電子部品730の斜視図を示す。電子部品730は、SiP (System in package) 又はMCM (Multi Chip Module) の一例である。電子部品730は、パッケージ基板732 (プリント基板) 上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の記憶装置150が設けられている。

[0328]

電子部品730では、記憶装置150を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置735は、CPU、GPU、又はFPGA等の集積回路 (半導体装置) を用いることができる。

[0329]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0330]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることもできる。

[0331]

インターポーザ731としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行うことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0332]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0333]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ (2.5次元実装) では、シリコンインターポーザを用いることが好ましい。

[0334]

また、電子部品730と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、記憶装置150と半導体装置735の高さを揃えることが好

ましい。

[0335]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図24Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0336]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、及び、QFN (Quad Flat Non-leaded package) が挙げられる。

[0337]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0338]

(実施の形態6)

本実施の形態では、本発明の一態様の記憶装置の応用例について説明する。

[0339]

本発明の一態様の記憶装置は、各種電子機器 (例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、及び、ゲーム機) の記憶装置に適用できる。また、イメージセンサ、IoT (Internet of Things)、又はヘルスケア関連機器等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及び、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

[0340]

本発明の一態様の記憶装置を有する電子機器の一例について説明する。なお、図25A乃至図25J、及び図26A乃至図26Eには、先の実施の形態で説明した、当該記憶装置を有する電子部品700又は電子部品730が各電子機器に含まれている様子を図示している。

[0341]

[携帯電話]

図25Aに示す情報端末5500は、情報端末の一種である携帯電話 (スマートフォン) である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0342]

情報端末5500は、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイル (例えば、ウェブブラウザの使用時のキャッシュ) を保持することができる。

[0343]

[ウェアラブル端末]

図25Bに、ウェアラブル端末の一例である情報端末5900を示す。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、及びバンド5905等を有する。

[0344]

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0345]

[情報端末]

図25Cに、デスクトップ型情報端末5300を示す。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

[0346]

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様の記憶装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

[0347]

図25A乃至図25Cでは、電子機器として、スマートフォン、ウェアラブル端末、及び、デスクトップ用情報端末について説明したが、他の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、及び、ワークステーションが挙げられる。

[0348]

[電化製品]

図25Dに、電化製品の一例として電気冷凍冷蔵庫5800を示す。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、及び冷凍室用扉5803等を有する。例えば、電気冷凍冷蔵庫5800は、IoT (Internet of Things) に対応した電気冷凍冷蔵庫である。

[0349]

電気冷凍冷蔵庫5800に本発明の一態様の記憶装置を適用することができる。電気冷凍冷蔵庫5800は、電気冷凍冷蔵庫5800に保存されている食材、及びその食材の消費期限等の情報を、例えばインターネットを通じて情報端末に送受信することができる。電気冷凍冷蔵庫5800は、当該情報を送信する際に生成される一時的なファイルを、本発明の一態様の記憶装置に保持することができる。

[0350]

図25Dでは、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバー、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、及び、オーディオビジュアル機器が挙げられる。

[0351]

[ゲーム機]

図25Eには、ゲーム機の一例である携帯ゲーム機5200を示す。携帯ゲーム機5200は、

筐体5201、表示部5202、及びボタン5203等を有する。

[0352]

また、図25Fには、ゲーム機の一例である据え置き型ゲーム機7500を示す。据え置き型ゲーム機7500は、特に、家庭用の据え置き型ゲーム機とすることができる。据え置き型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線又は有線によってコントローラ7522を接続することができる。また、図25Fには示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなる、タッチパネル、スティック、回転式つまみ、又はスライド式つまみ等を備えることができる。また、コントローラ7522は、図25Fに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) 等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲームでは、楽器、又は音楽機器等を模した形状のコントローラを用いることができる。さらに、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、及び、マイクロフォンの一つ又は複数を用意して、ゲームプレイヤーのジェスチャー、又は音声によって操作する形式としてもよい。

[0353]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、又はヘッドマウントディスプレイ等の表示装置によって出力することができる。

[0354]

携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、消費電力を低減できる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0355]

さらに、携帯ゲーム機5200又は据え置き型ゲーム機7500に本発明の一態様の記憶装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持を行うことができる。

[0356]

図25E及び図25Fでは、ゲーム機の一例として、携帯ゲーム機及び家庭用の据え置き型ゲーム機について説明したが、その他のゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、及び、スポーツ施設に設置されるバッティング練習用の投球マシンが挙げられる。

[0357]

[移動体]

本発明の一態様の記憶装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

[0358]

図25Gには移動体の一例である自動車5700が図示されている。

[0359]

自動車5700の運転席周辺には、スピードメーター、タコメーター、走行距離、燃料計、ギア

状態、又はエアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す記憶装置が備えられていてもよい。

[0360]

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない）からの映像を映し出すことによって、例えばピラーで遮られた視界、又は運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

[0361]

本発明の一態様の記憶装置は、情報を一時的に保持することができるため、例えば、当該記憶装置を、自動車5700の自動運転、道路案内、又は危険予測等を行うシステムにおける、必要な一時的な情報の保持に用いることができる。また、本発明の一態様の記憶装置は、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

[0362]

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、及び、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）も挙げることができる。

[0363]

[カメラ]

本発明の一態様の記憶装置は、カメラに適用することができる。

[0364]

図25Hに、撮像装置の一例であるデジタルカメラ6240を示す。デジタルカメラ6240は、筐体6241、表示部6242、操作スイッチ6243、及びシャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

[0365]

デジタルカメラ6240に本発明の一態様の記憶装置を適用することによって、消費電力を低減することができる。また、低消費電力化により、回路からの発熱を低減でき、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

[0366]

[ビデオカメラ]

本発明の一態様の記憶装置は、ビデオカメラに適用することができる。

[0367]

図25Iに、撮像装置の一例であるビデオカメラ6300を示す。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作スイッチ6304、レンズ6305、及び接続部6306等を有する。操作スイッチ6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体

6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度に従って切り替える構成としてもよい。

[0368]

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。本発明の一態様の記憶装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

[0369]

[ICD]

本発明の一態様の記憶装置は、植え込み型除細動器（ICD）に適用できる。

[0370]

図25Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402と、右心室へのワイヤ5403とを少なくとも有している。

[0371]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0372]

ICD本体5400は、ペースメーカーとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍、又は心室細動等）、電気ショックによる治療が行われる。

[0373]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、例えば当該センサによって取得した心拍数のデータ、ペーシングによる治療を行った回数、又は時間等を電子部品700に記憶することができる。

[0374]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

[0375]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、及び体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0376]

[PC用の拡張デバイス]

本発明の一態様の記憶装置は、PC（Personal Computer）等の計算機、及び情報端末用の拡張デバイスに適用することができる。

[0377]

図26Aは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えばUSB(Universal Serial Bus)でPCに接続することで、当該チップによる情報の記憶を行うことができる。なお、図26Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様の拡張デバイスは、これに限定されず、例えば冷却用ファンを搭載した比較的大きい形態の拡張デバイスとしてもよい。

[0378]

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、例えば本発明の一態様の記憶装置を駆動する回路が設けられている。例えば、基板6104には、電子部品700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

[0379]

[SDカード]

本発明の一態様の記憶装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なSDカードに適用することができる。

[0380]

図26BはSDカードの外観の模式図であり、図26Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5113には、電子部品700、コントローラチップ5115が取り付けられている。なお、電子部品700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、又は読み出し回路等は、電子部品700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

[0381]

基板5113の裏面側にも電子部品700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、電子部品700のデータの読み出し及び書き込みが可能となる。

[0382]

[SSD]

本発明の一態様の記憶装置は、情報端末等の電子機器に取り付けが可能なSSD(Solid State Drive)に適用することができる。

[0383]

図26DはSSDの外観の模式図であり、図26Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納

されている。基板5153には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板5153には、電子部品700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、及びECC (Error-Correcting Code) 回路等が組み込まれている。なお、電子部品700と、メモリチップ5155と、コントローラチップ5115と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

[0384]

[計算機]

図27Aに示す計算機5600は、大型の計算機の例である。計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。

[0385]

計算機5620は、例えば、図27Bに示す斜視図の構成とすることができる。図27Bにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0386]

図27Cに示すPCカード5621は、CPU、GPU、及び記憶装置等を備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図27Cには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参酌すればよい。

[0387]

接続端子5629は、マザーボード5630のスロット5631に挿することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えばPCIeが挙げられる。

[0388]

接続端子5623、接続端子5624、及び接続端子5625は、例えば、PCカード5621に対して電力供給、又は信号入力等を行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、及び、SCSI (Small Computer System Interface) が挙げられる。また、接続端子5623、接続端子5624、及び接続端子5625から映像信号を出力する場合、それぞれの規格としては、例えばHDMI (登録商標) が挙げられる。

[0389]

半導体装置5626は、信号の入出力を行う端子（図示しない）を有しており、当該端子をボード5622が備えるソケット（図示しない）に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0390]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA（Field Programmable Gate Array）、GPU、及びCPU等が挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[0391]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置が挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0392]

計算機5600は並列計算機としても機能できる。計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0393]

上記の各種電子機器等に、本発明の一態様の記憶装置を用いることにより、電子機器の小型化、及び低消費電力化を図ることができる。また、本発明の一態様の記憶装置は消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定した電子機器を実現できる。よって、電子機器の信頼性を高めることができる。

[0394]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0395]

(実施の形態7)

本実施の形態では、本発明の一態様の半導体装置を宇宙用機器に適用する場合の具体例について、図28を用いて説明する。

[0396]

本発明の一態様の半導体装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

[0397]

図28には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図28においては、宇宙空間に惑星6804を例示している。な

お、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

[0398]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0399]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

[0400]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0401]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む半導体装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

[0402]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0403]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、及び宇宙探査機等の宇宙用機器に好適に用いることができる。

[符号の説明]

[0404]

10：メモリセル、11：記憶層、15：メモリセルアレイ、22：PSW、23：PSW、31：周辺回路、32：コントロール回路、33：電圧生成回路、41：周辺回路、42：行デコーダ、43：行ドライバ、44：列デコーダ、45：列ドライバ、46：センスアンプ、47：入力

回路、48：出力回路、50：駆動回路層、110：記憶装置、111t：メモリセル、111：メモリセル、112a：トランジスタ、112b：トランジスタ、112：トランジスタ、113t：容量、113：容量、容量素子、114：トランジスタ、115：トランジスタ、120：メモリセルアレイ、121：電極、122t：電極、122：電極、123t：絶縁層、123：絶縁層、130：基板、131：半導体層、132：ゲート絶縁層、133：ゲート電極、134a：電極、134b：電極、135：導電層、136：導電層、137：導電層、138：配線、139：配線、150：記憶装置、151：容量、160：導電体、181：絶縁体、183：絶縁体、185：絶縁体、201a：トランジスタ、201b：トランジスタ、201：トランジスタ、202a：トランジスタ、202b：トランジスタ、202：トランジスタ、203a：トランジスタ、203b：トランジスタ、203：トランジスタ、205a：導電体、205b：導電体、205t：導電体、205：導電体、209a：導電体、209b：導電体、209：導電体、210：絶縁体、212：絶縁体、214：絶縁体、215：絶縁体、216a：絶縁体、216b：絶縁体、222：絶縁体、224：絶縁体、230a：金属酸化物、230b：金属酸化物、230：金属酸化物、231：導電体、232：導電体、240a：導電体、240b：導電体、240：導電体、242a：導電体、242b：導電体、242c：導電体、242d：導電体、242e：導電体、242：導電体、253：絶縁体、254：絶縁体、258：開口、260：導電体、275：絶縁体、280：絶縁体、282：絶縁体、285：絶縁体、287：絶縁体、291a：開口、291b：開口、292a：開口、292b：開口、293a：開口、293b：開口、294a：開口、294b：開口、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、600：回路、652：AND回路、653：アナログスイッチ、654：アナログスイッチ、661：トランジスタ、662：トランジスタ、663：トランジスタ、664：トランジスタ、666：トランジスタ、700：電子部品、702：プリント基板、704：実装基板、711：モールド、712：ランド、713：電極パッド、714：ワイヤ、730：電子部品、731：インターポーザ、732：パッケージ基板、733：電極、735：半導体装置、1200：チップ、1201：パッケージ基板、1202：バンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、1222：フラッシュメモリ、5110：SDカード、5111：筐体、5112：コネクタ、5113：基板、5115：コントローラチップ、5150：SSD、5151：筐体、5152：コネクタ、5153：基板、5155：メモリチップ、5156：コントローラチップ、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：表示部、5303：キーボード、5400：ICD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5600：計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、

5802 : 冷蔵室用扉、5803 : 冷凍室用扉、5900 : 情報端末、5901 : 筐体、5902 : 表示部、5903 : 操作スイッチ、5904 : 操作スイッチ、5905 : バンド、6100 : 拡張デバイス、6101 : 筐体、6102 : キャップ、6103 : USBコネクタ、6104 : 基板、6106 : コントローラチップ、6240 : デジタルカメラ、6241 : 筐体、6242 : 表示部、6243 : 操作スイッチ、6244 : シャッターボタン、6246 : レンズ、6300 : ビデオカメラ、6301 : 第1筐体、6302 : 第2筐体、6303 : 表示部、6304 : 操作スイッチ、6305 : レンズ、6306 : 接続部、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、6803 : アンテナ、6804 : 惑星、6805 : 二次電池、6807 : 制御装置、7500 : 据え置き型ゲーム機、7520 : 本体、7522 : コントローラ

## 請求の範囲

## [請求項 1]

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 1 の容量、及び第 2 の容量を有し、

前記第 1 の容量は、第 1 の電極と、第 2 の電極と、を有し、

前記第 2 の容量は、前記第 1 の電極と、第 3 の電極と、を有し、

前記第 1 のトランジスタは、ソース及びドレインの一方が前記第 2 の電極と電氣的に接続され、

前記第 2 のトランジスタは、ソース及びドレインの一方が前記第 3 の電極と電氣的に接続され、

前記第 3 のトランジスタは、ゲートが前記第 2 の電極と電氣的に接続され、

前記第 1 の電極は、前記第 2 の電極、前記第 3 の電極、前記第 1 のトランジスタ、及び前記第 2 のトランジスタとそれぞれ重なる部分を有し、且つ、固定電位または接地電位が与えられる、  
記憶装置。

## [請求項 2]

請求項 1 において、

前記第 1 の電極は、前記第 1 のトランジスタの上方に位置する部分と、前記第 1 のトランジスタの側方に位置する部分と、を有する、

記憶装置。

## [請求項 3]

請求項 1 または請求項 2 において、

接続電極を有し、

前記第 1 のトランジスタは、ソース及びドレインの他方が前記接続電極と電氣的に接続され、

前記第 2 のトランジスタは、ソース及びドレインの他方が前記接続電極と電氣的に接続される、

記憶装置。

## [請求項 4]

請求項 3 において、

前記第 1 のトランジスタの前記ソース及びドレインの他方は、第 1 の導電層を有し、

前記第 2 のトランジスタの前記ソース及びドレインの他方は、第 2 の導電層を有し、

前記接続電極は、前記第 1 の導電層の上面と接する部分、前記第 1 の導電層の側面と接する部分、前記第 2 の導電層の上面と接する部分、及び前記第 2 の導電層の側面と接する部分を有する、

記憶装置。

## [請求項 5]

請求項 3 において、

第 4 のトランジスタと、第 3 の容量を有し、

前記第 4 のトランジスタ及び前記第 3 の容量は、前記第 1 のトランジスタの下方に位置し、

前記第 3 の容量は、第 4 の電極と、第 5 の電極と、を有し、

前記第 4 の電極は、接地電位または固定電位が与えられ、

前記第 4 のトランジスタは、ソース及びドレインの一方が前記第 5 の電極と電氣的に接続され、ソース及びドレインの他方が前記接続電極と電氣的に接続される、

記憶装置。

## [請求項 6]

請求項 5 において、  
前記第 4 のトランジスタの前記ソース及びドレインの他方は、第 3 の導電層を有し、  
前記接続電極は、前記第 3 の導電層の上面と接する部分、及び前記第 3 の導電層の側面と接する部分  
部分を有する、  
記憶装置。

[請求項 7]

請求項 5 において、  
前記第 1 の電極は、前記第 4 のトランジスタの側方に位置する部分を有する、  
記憶装置。

[請求項 8]

請求項 7 において、  
前記第 4 の電極は、前記第 1 の電極と電氣的に接続される、  
記憶装置。

[請求項 9]

請求項 5 において、  
前記第 1 のトランジスタは、半導体層と、ゲート電極と、を有し、  
前記第 4 の電極は、前記第 1 のトランジスタの下方に位置する部分を有し、  
前記ゲート電極は、前記半導体層を介して前記第 4 の電極と重なる部分を有する、  
記憶装置。

[請求項 10]

請求項 1 または請求項 2 において、  
前記第 1 の電極及び前記第 2 の電極は、それぞれ平板状の形状を有する、  
記憶装置。

[請求項 11]

請求項 1 または請求項 2 において、  
前記第 2 の電極は、上面が凹状の部分を有し、  
前記第 1 の電極は、前記第 2 の電極の上面と係合する凸状の部分を有する、  
記憶装置。

図 1A  
110

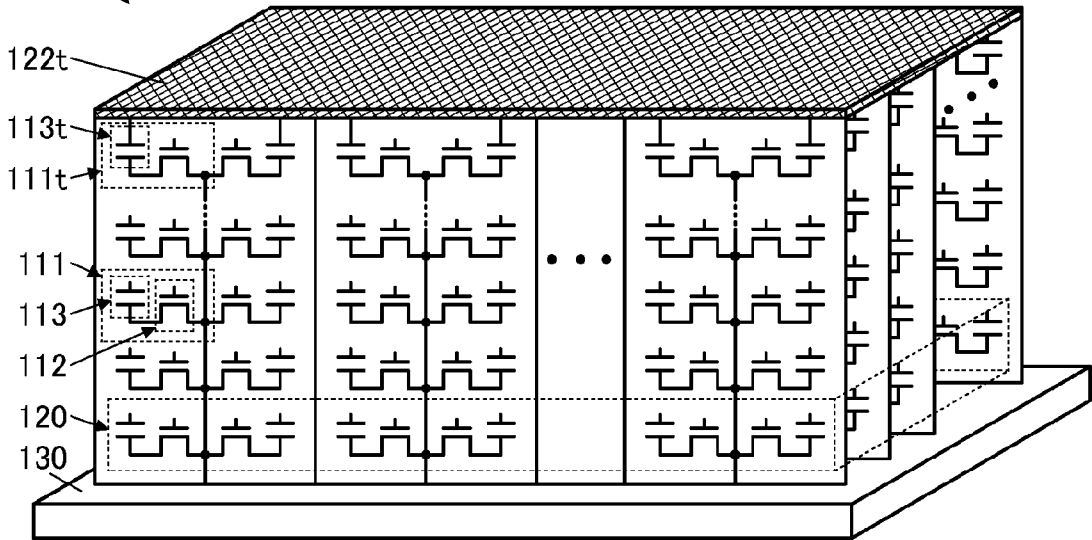
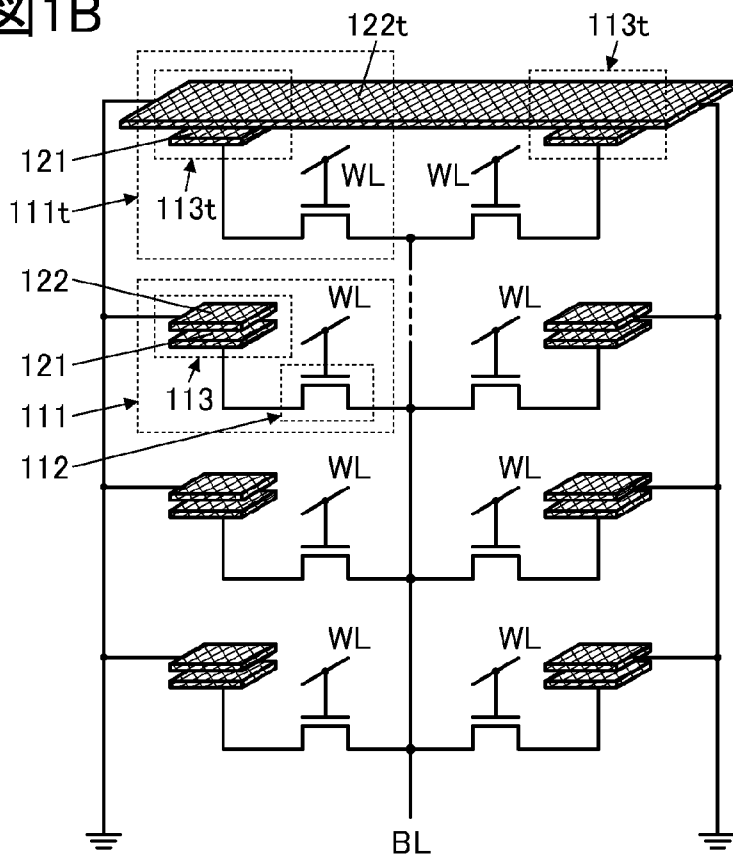
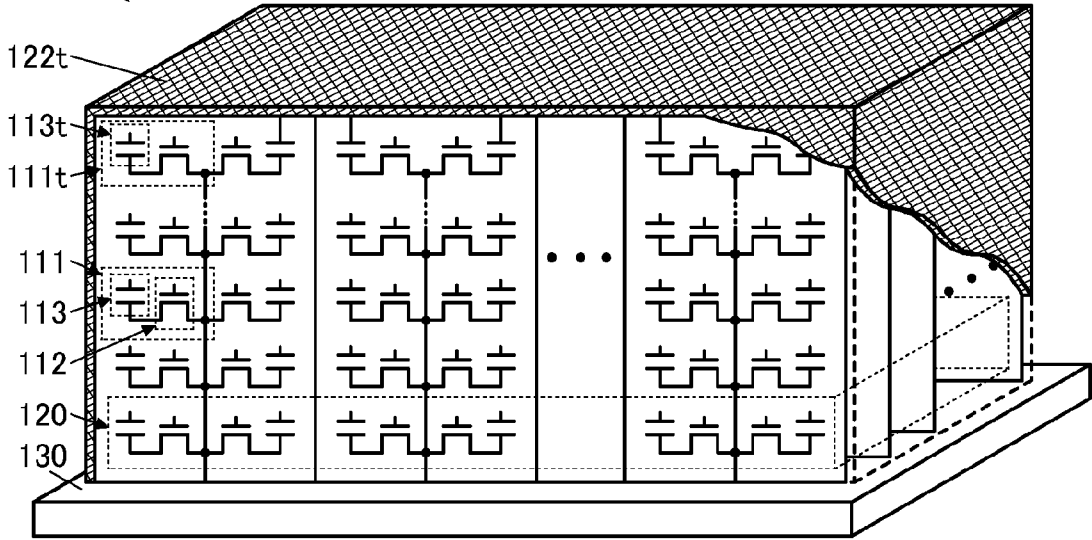


図 1B



2A  
110



2B

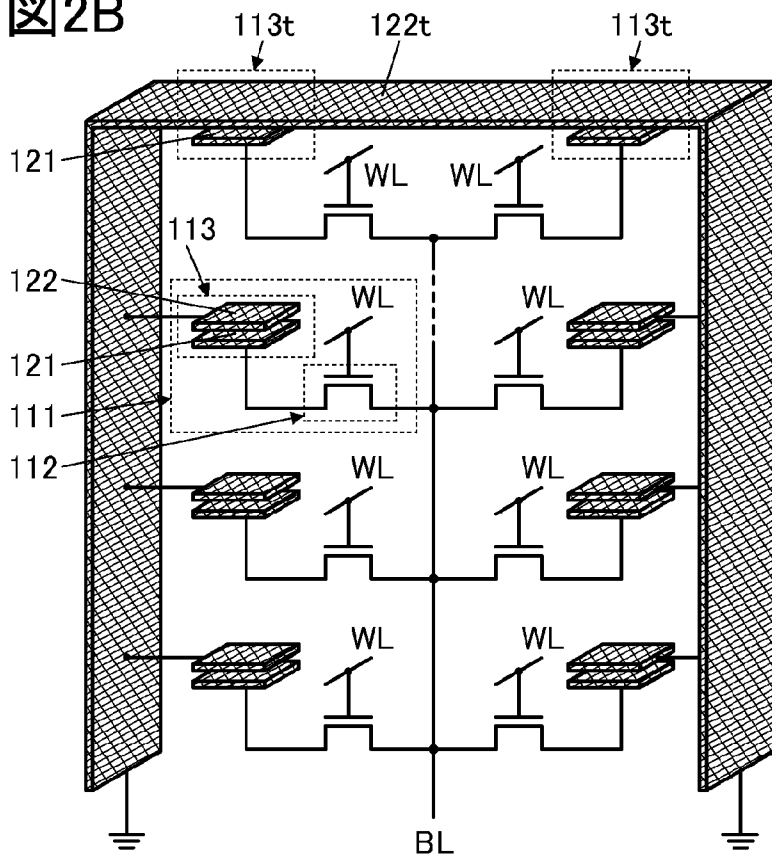


図3

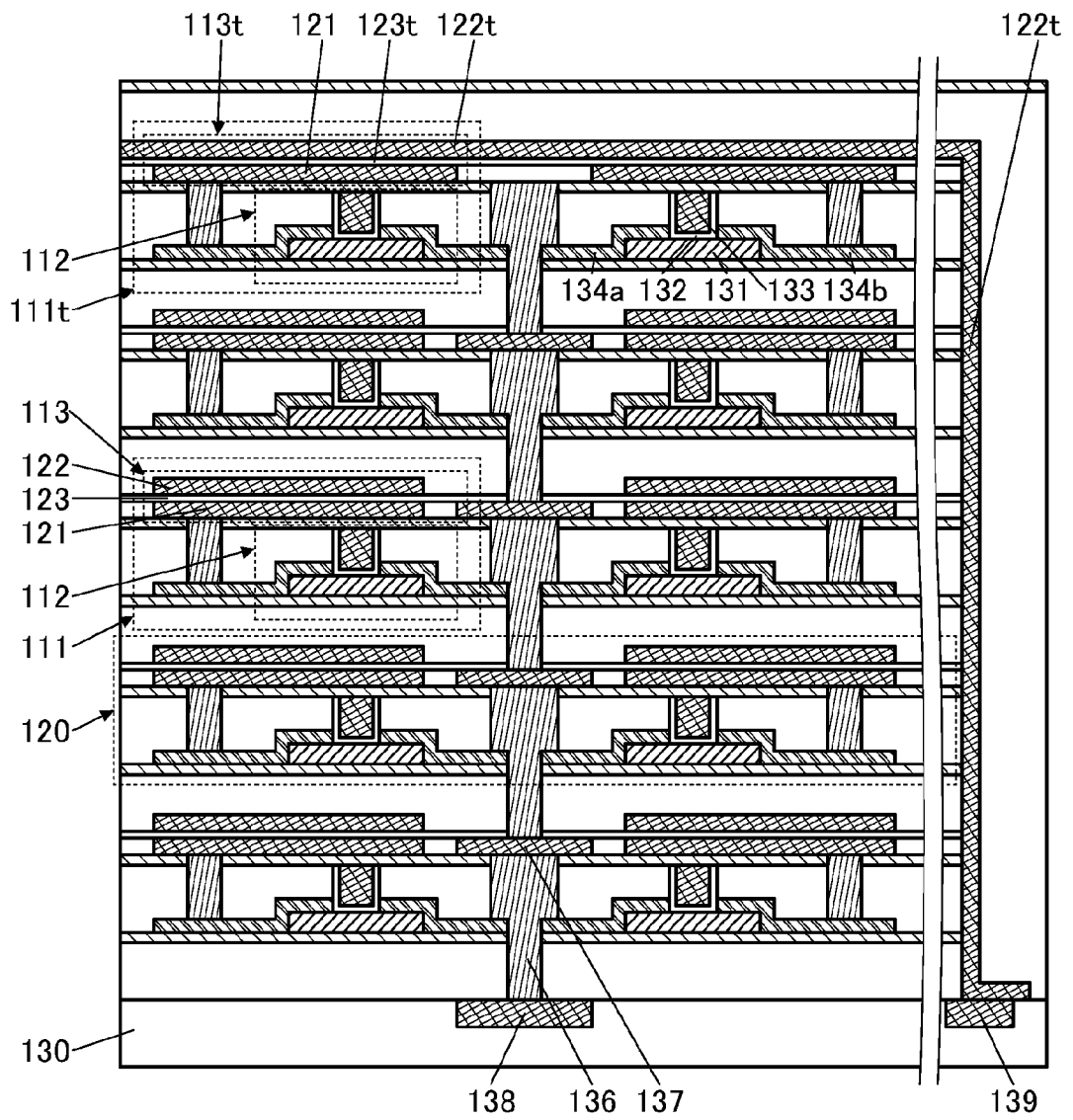


図4

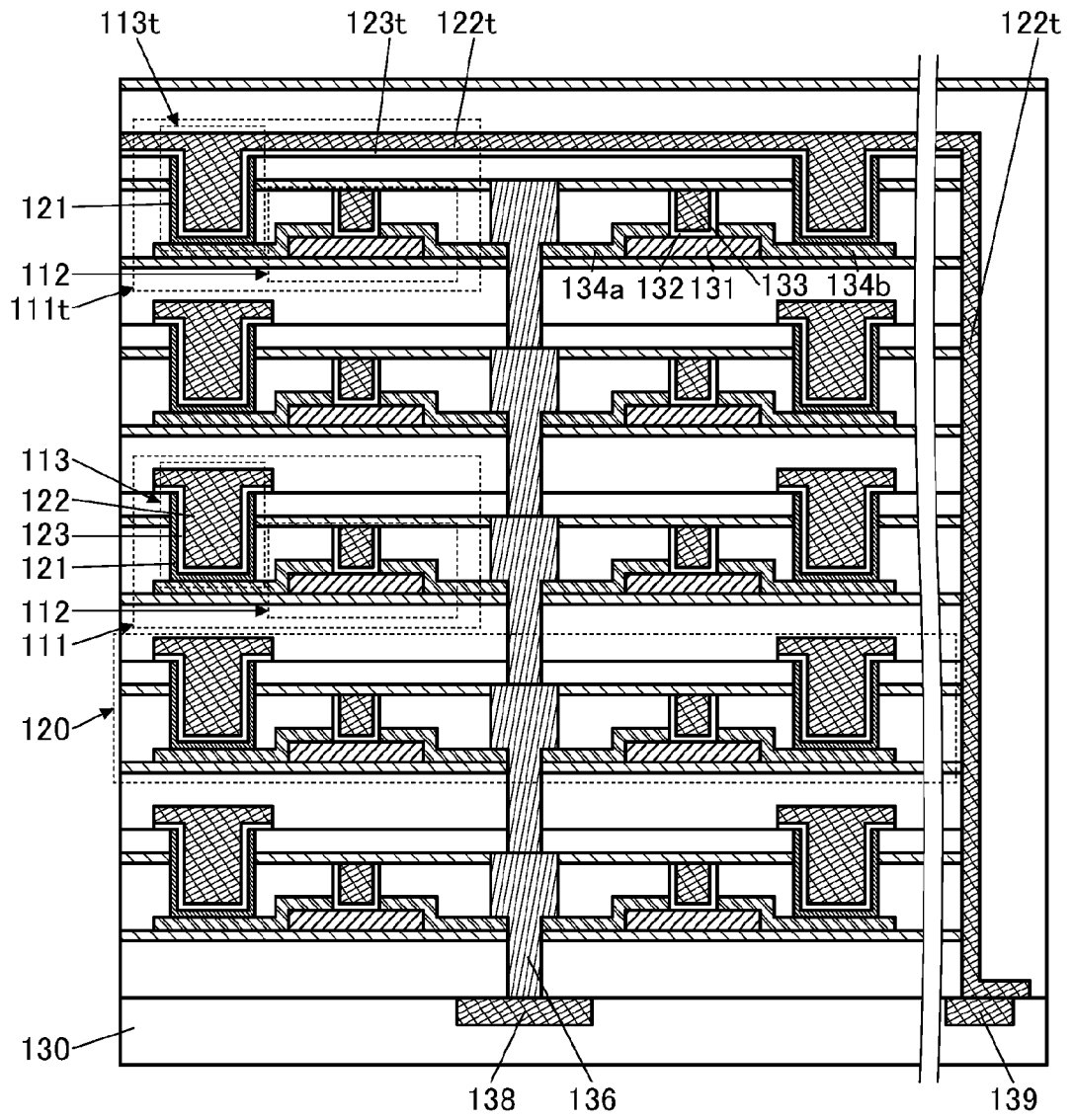


図5

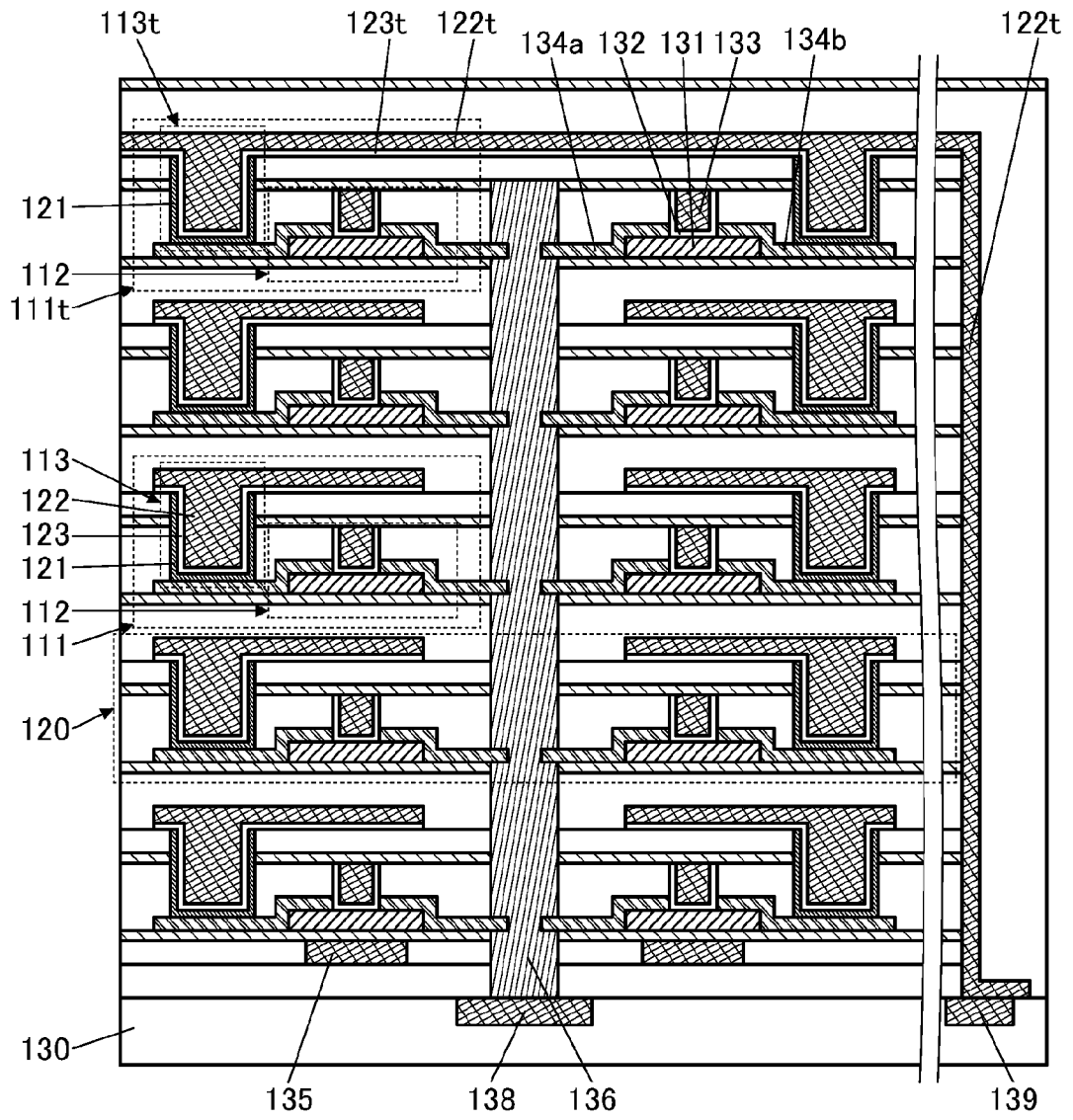


図6

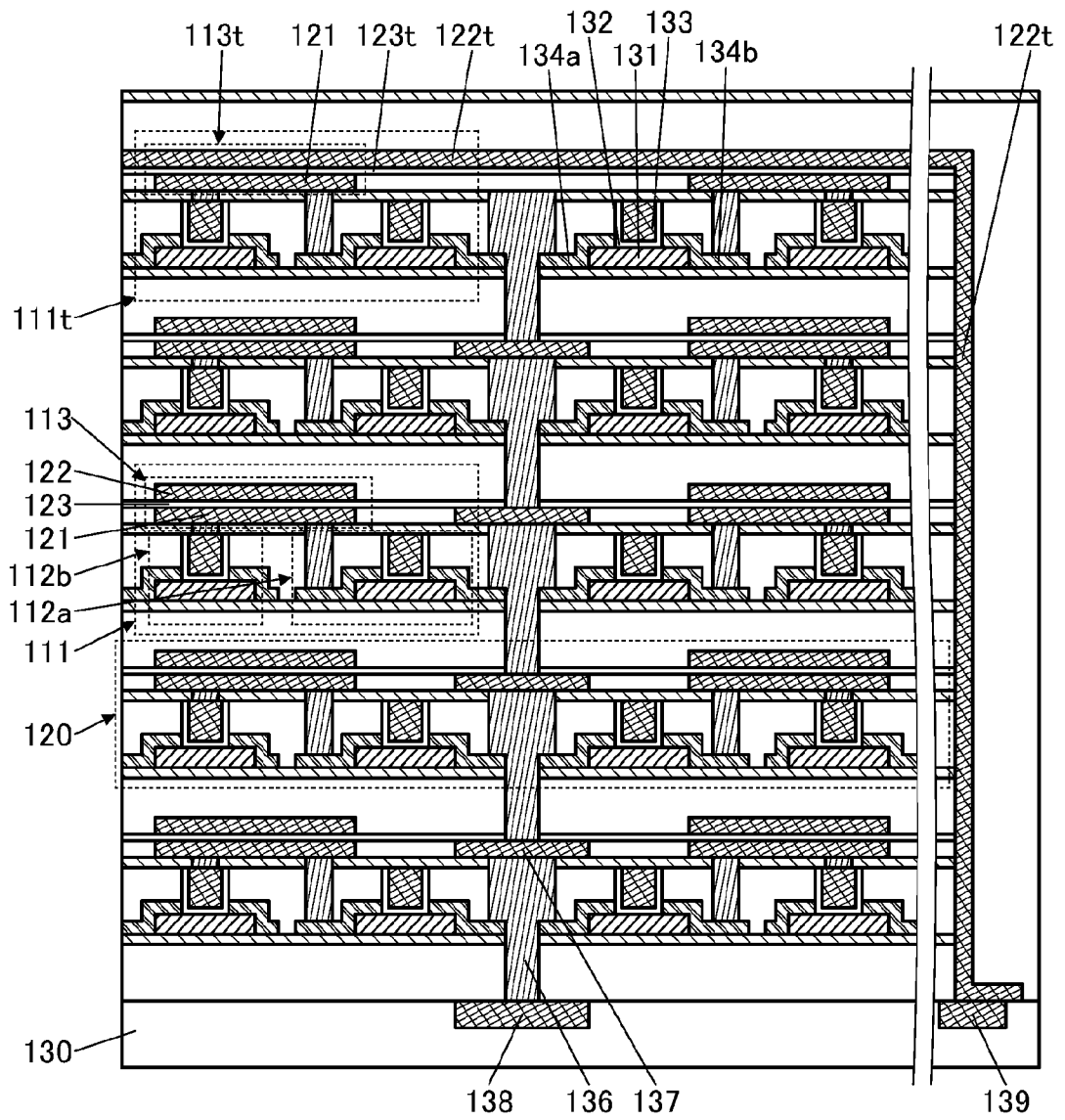


图7A

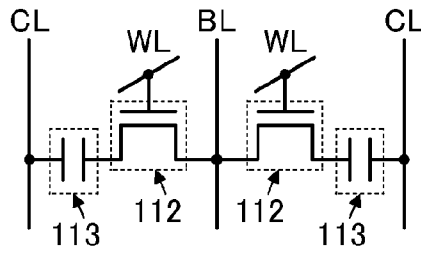


图7B

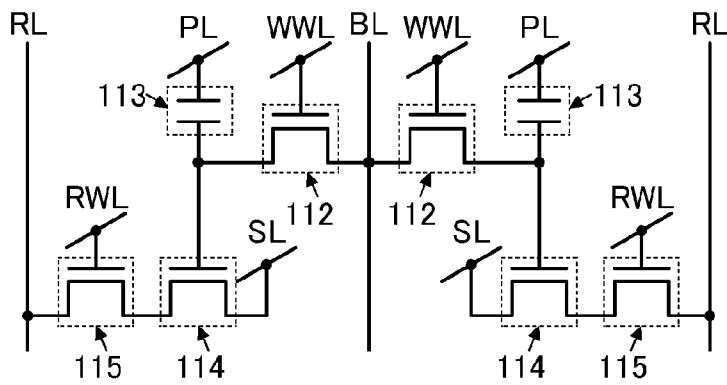


图7C

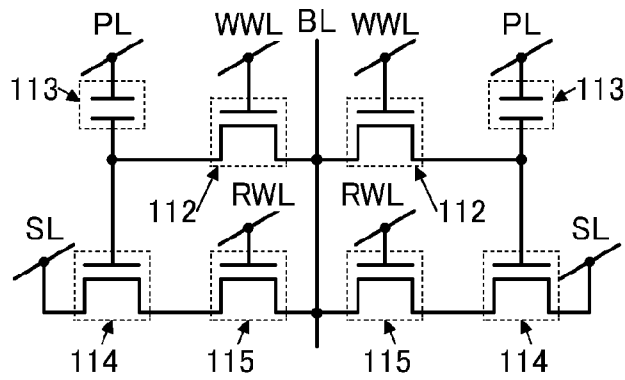
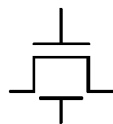


图7D



8

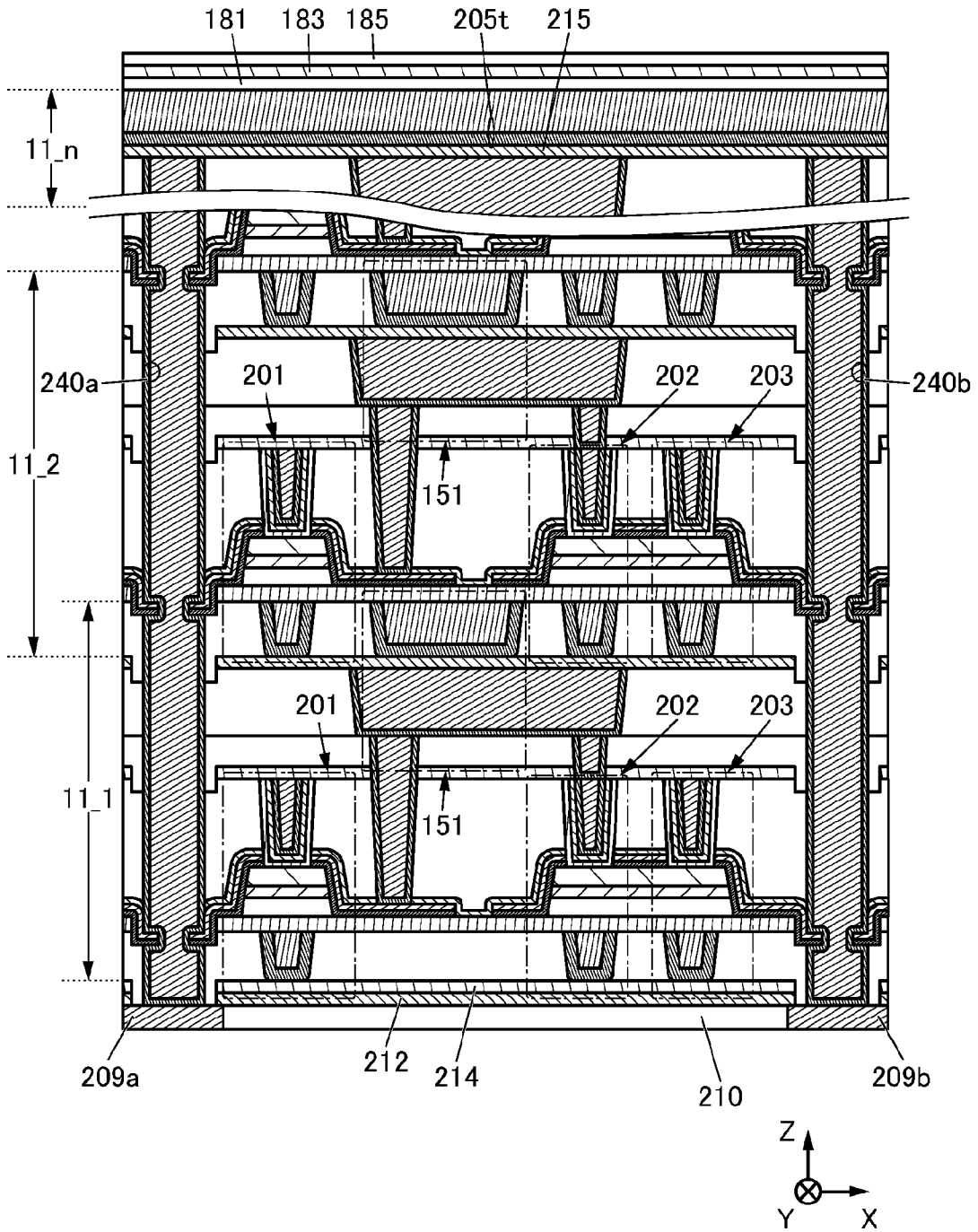


図9A

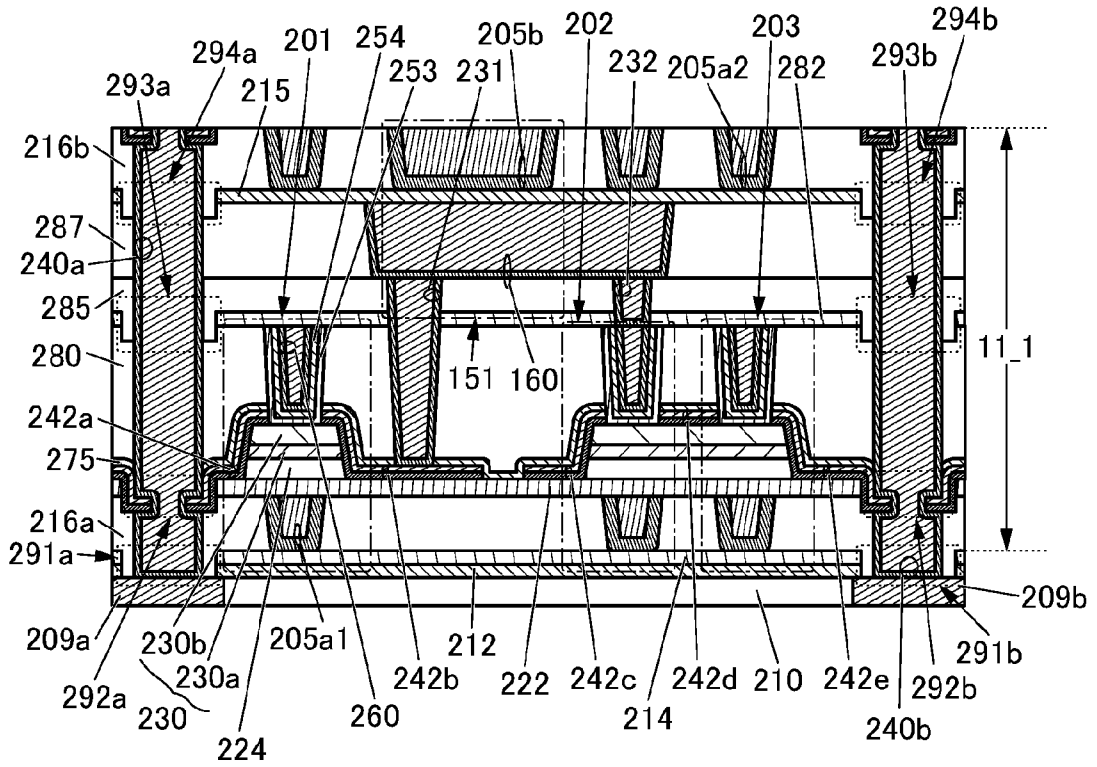


図9B

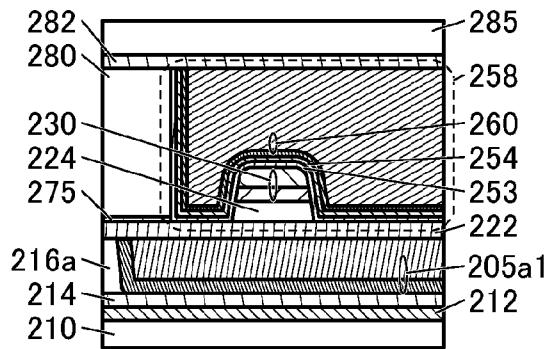


図 10

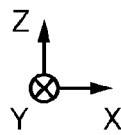
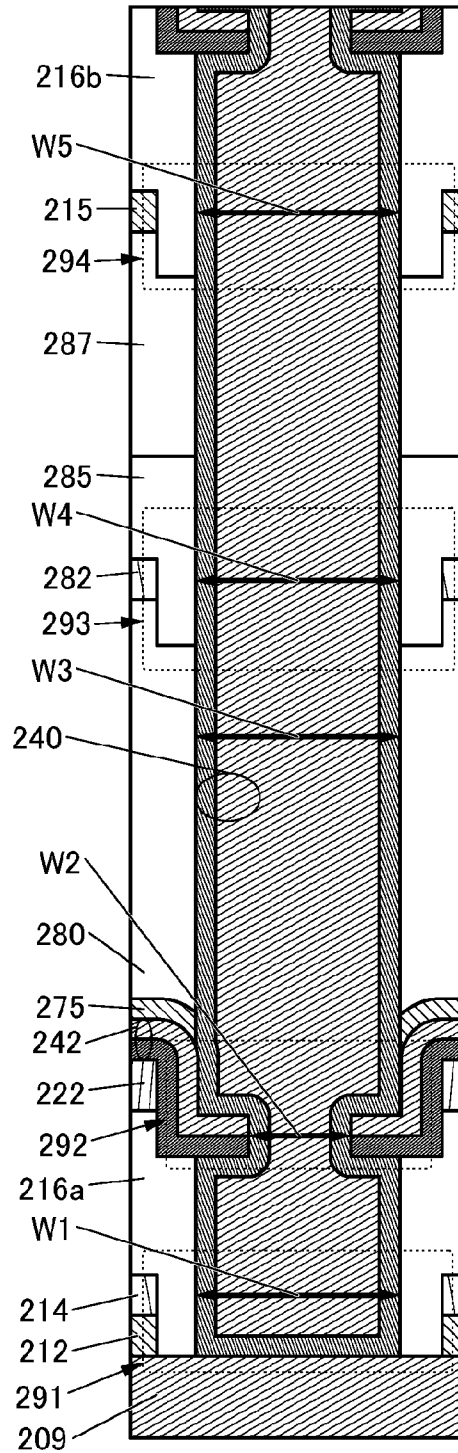


図 11

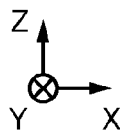
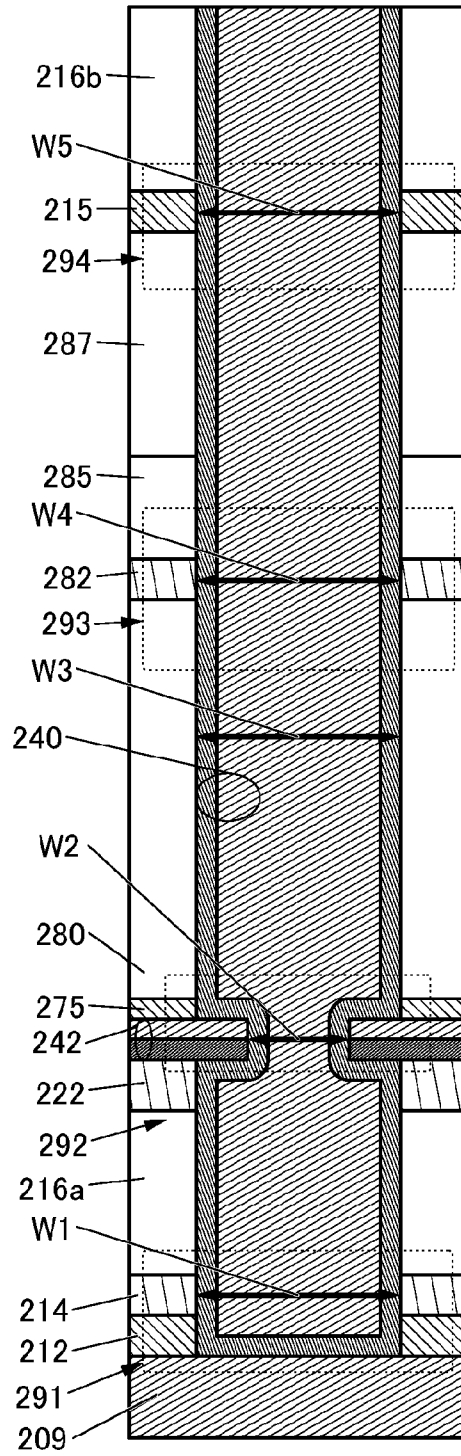


図 12

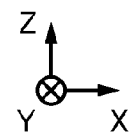
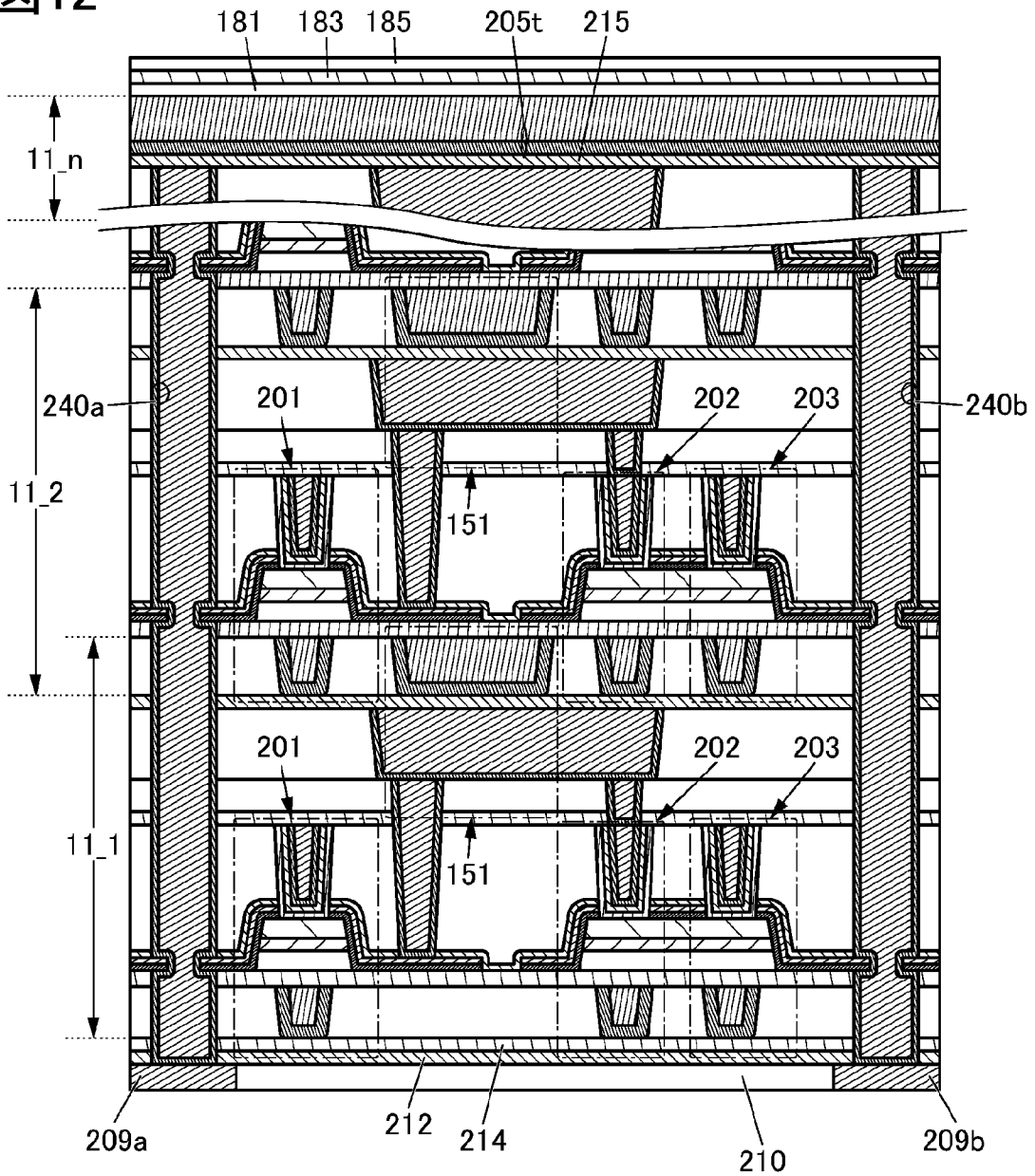


図 13

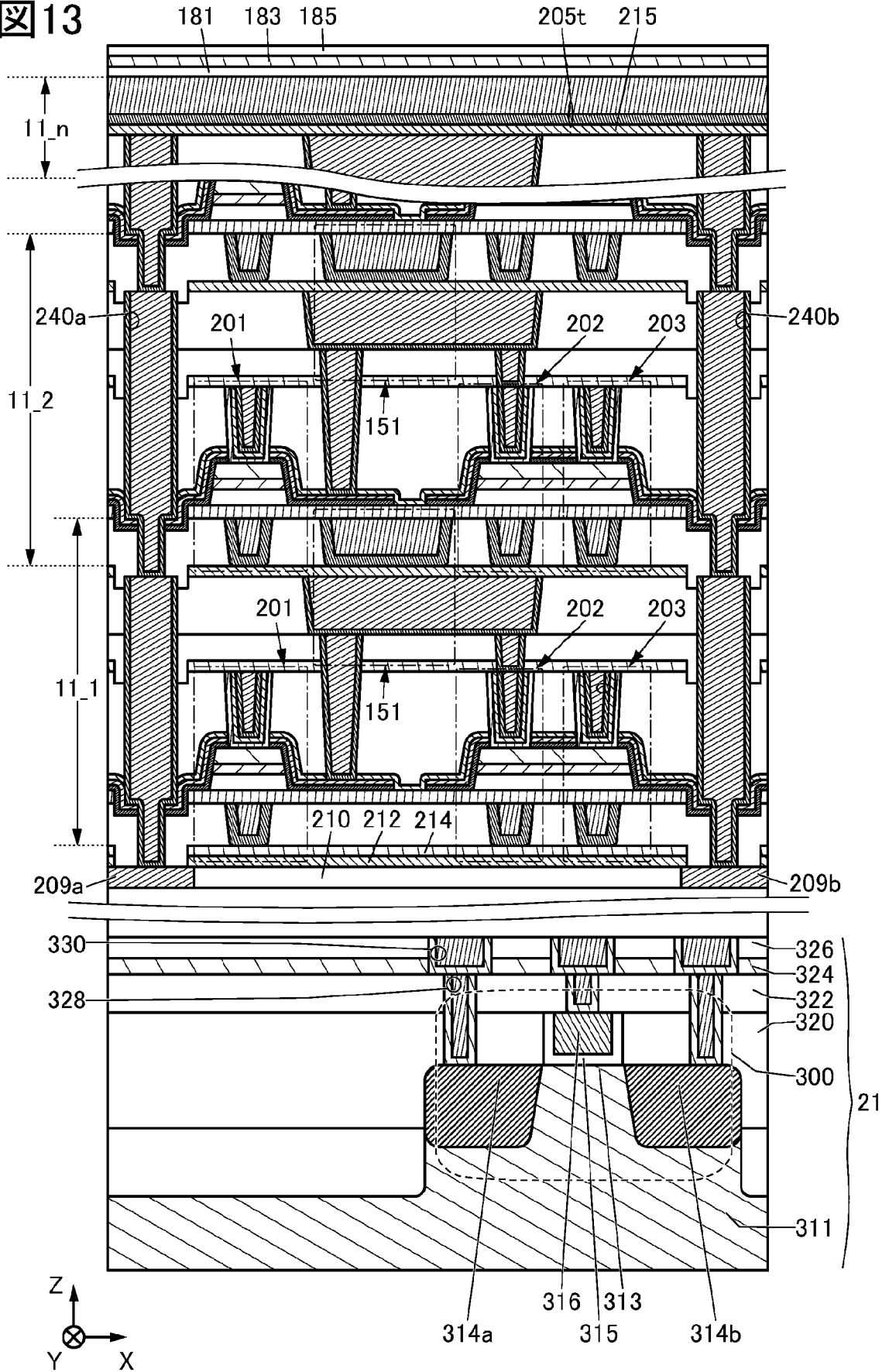


图 14

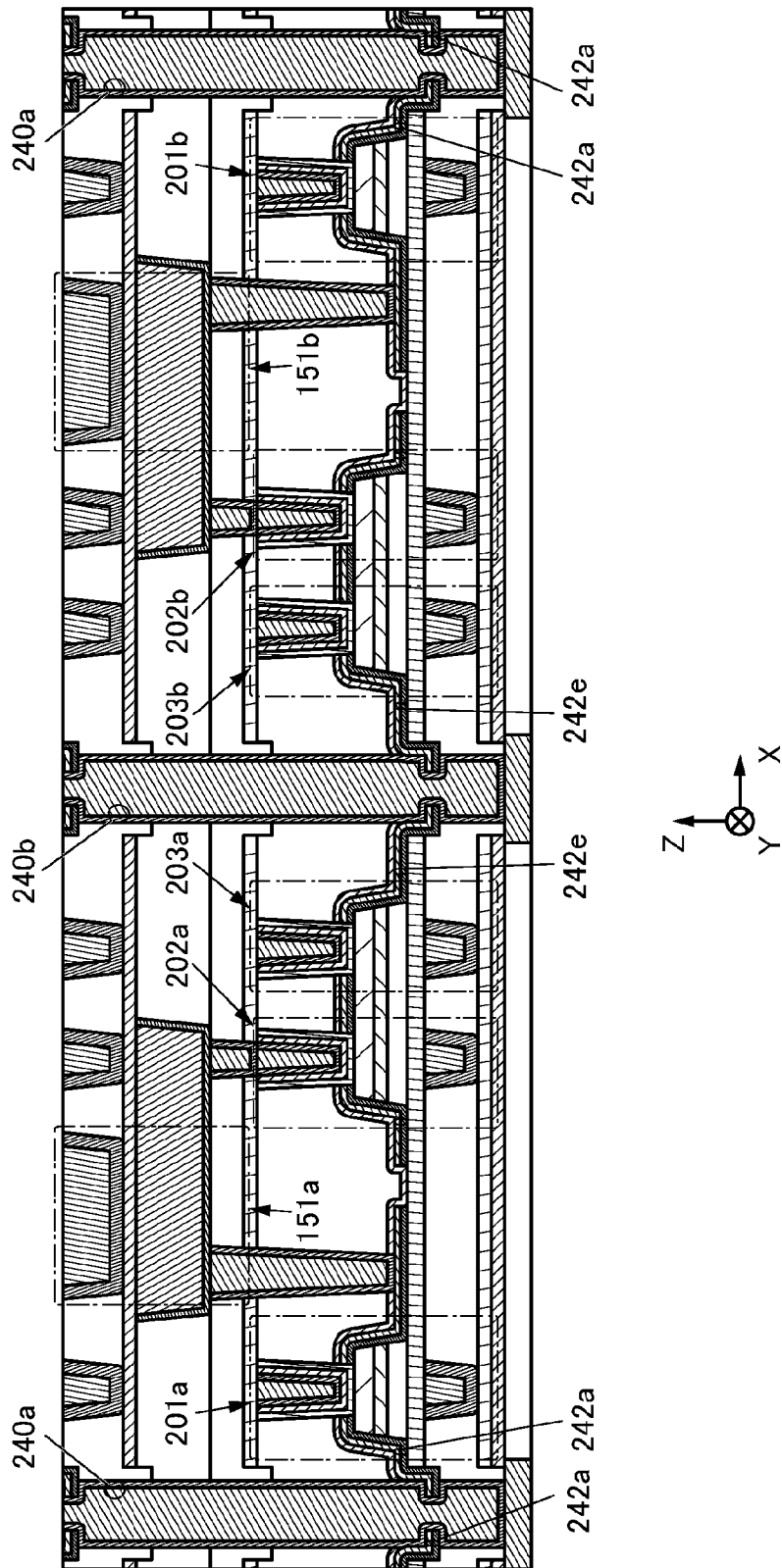


図15A

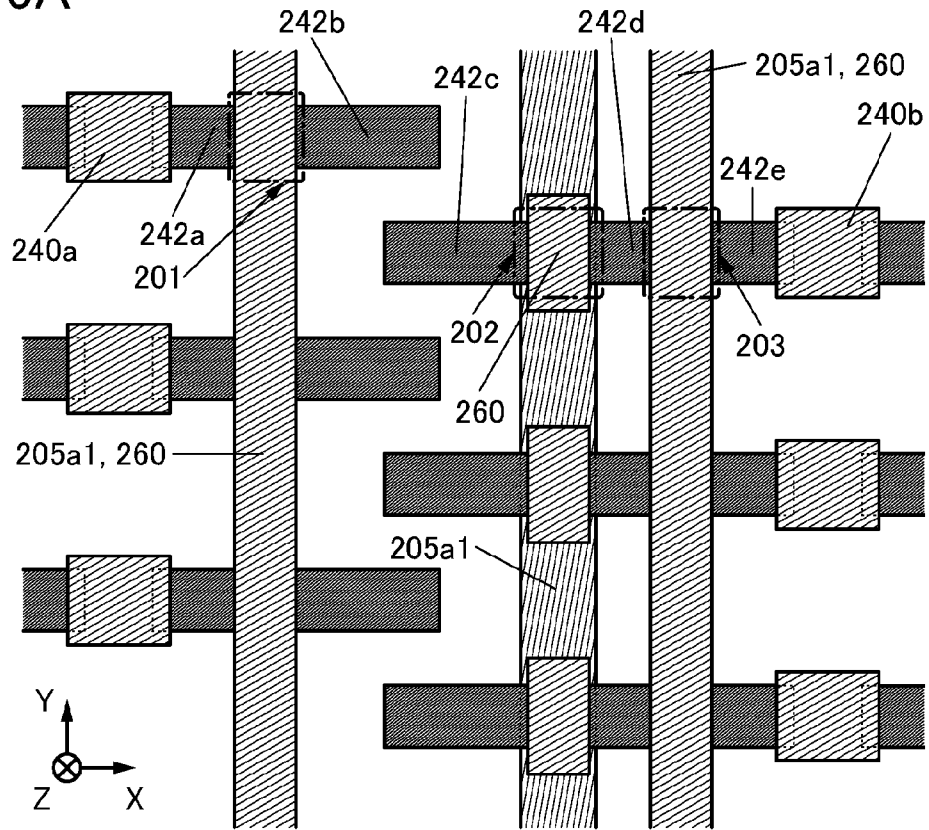


図15B

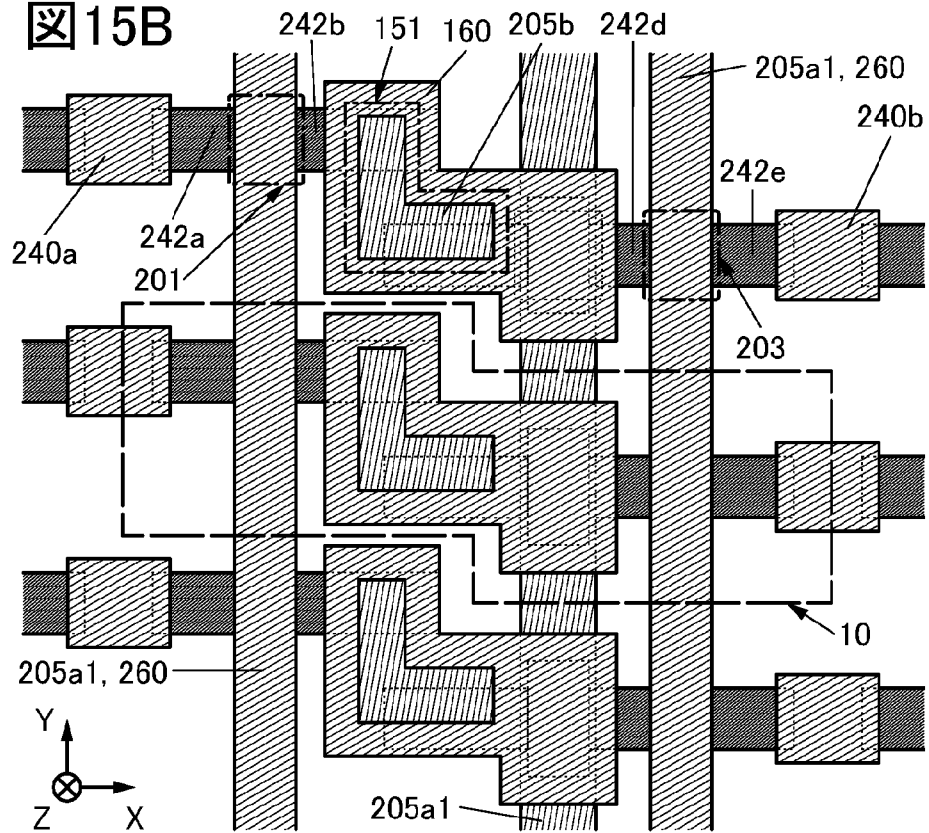


図16A

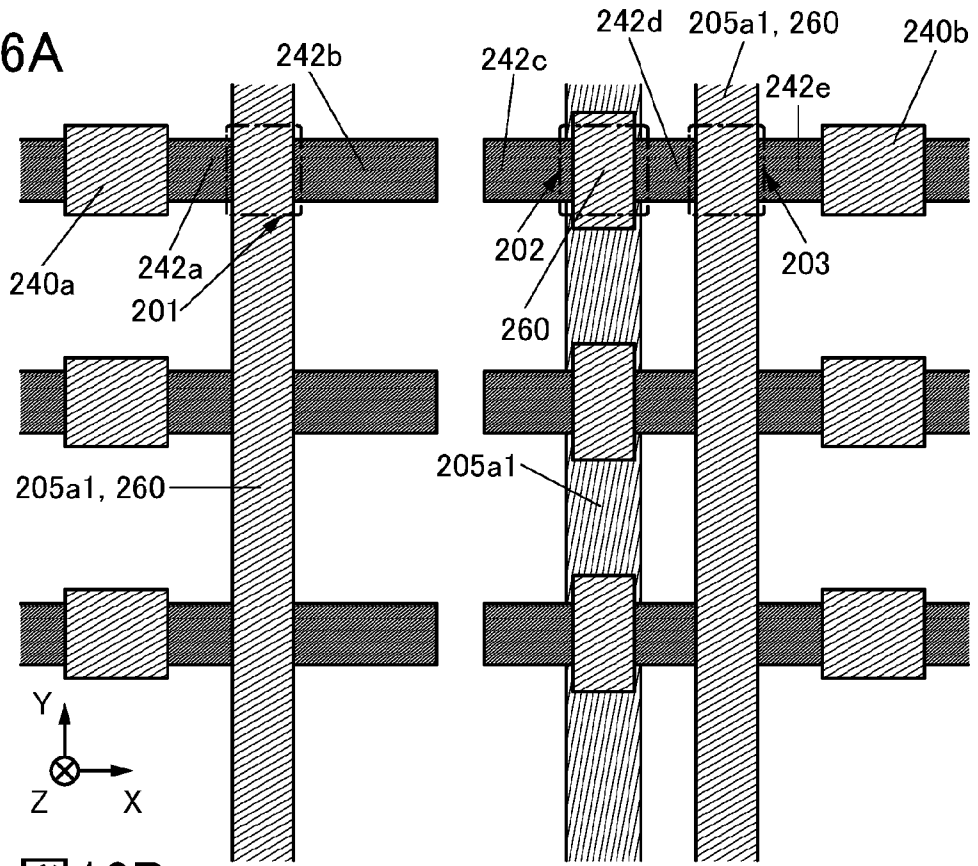


図16B

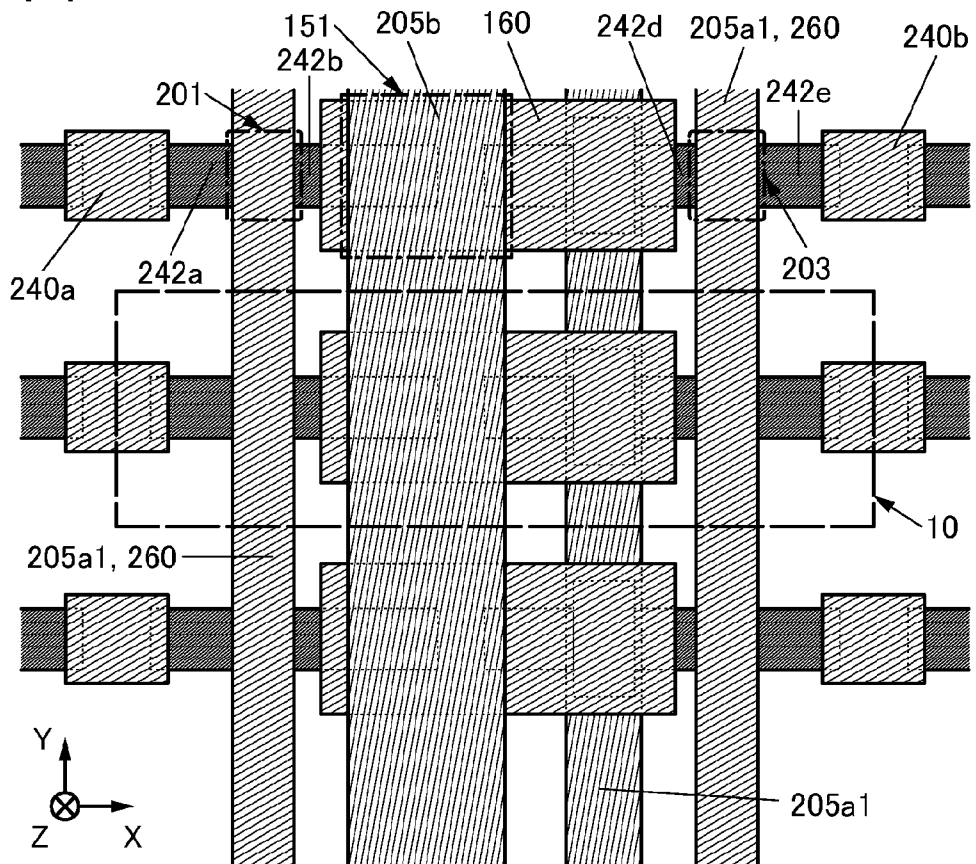


図17A

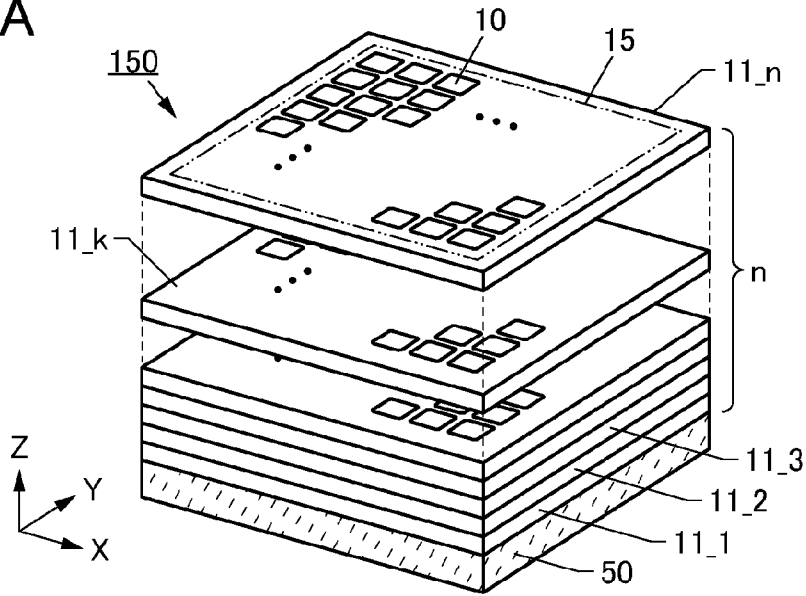


図17B

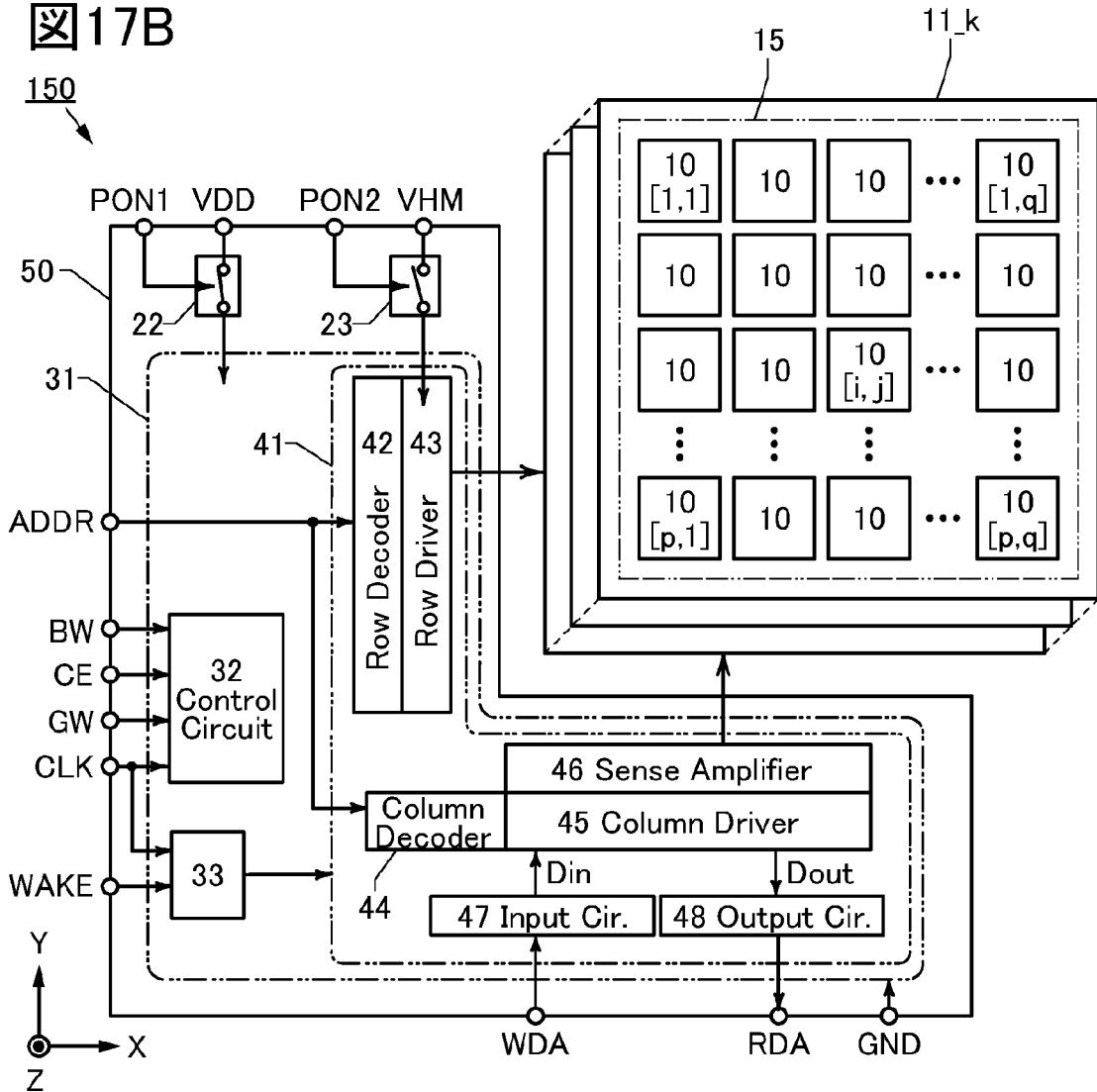


図18A

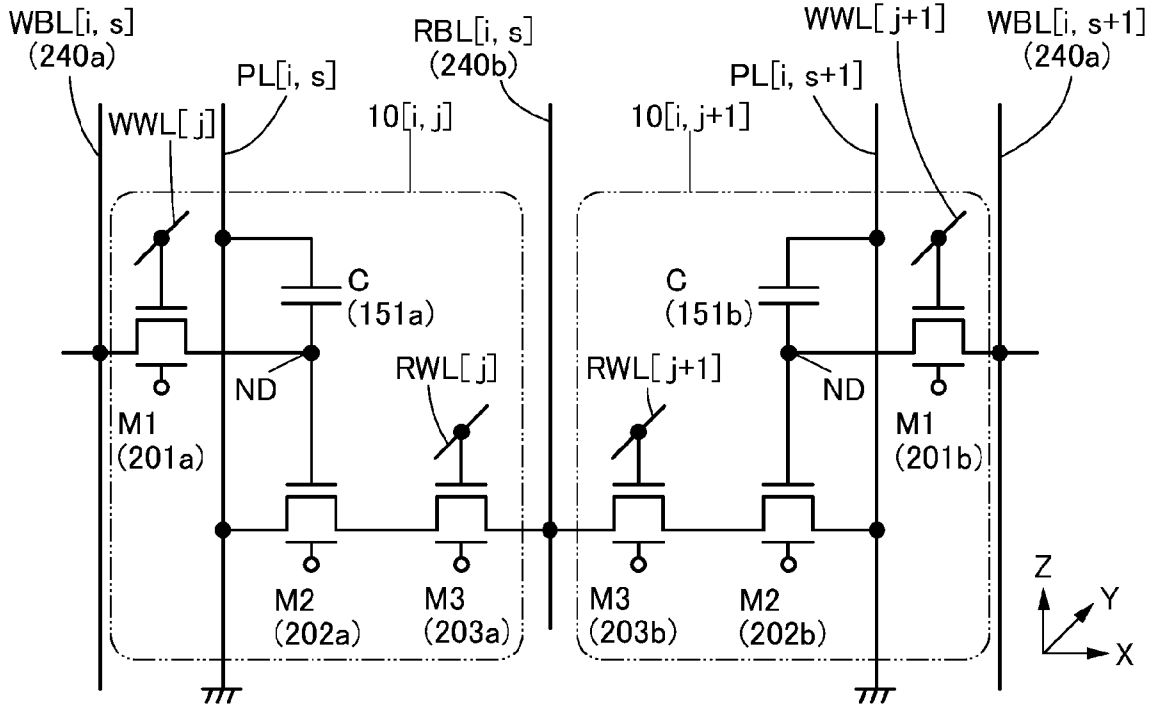


図18B

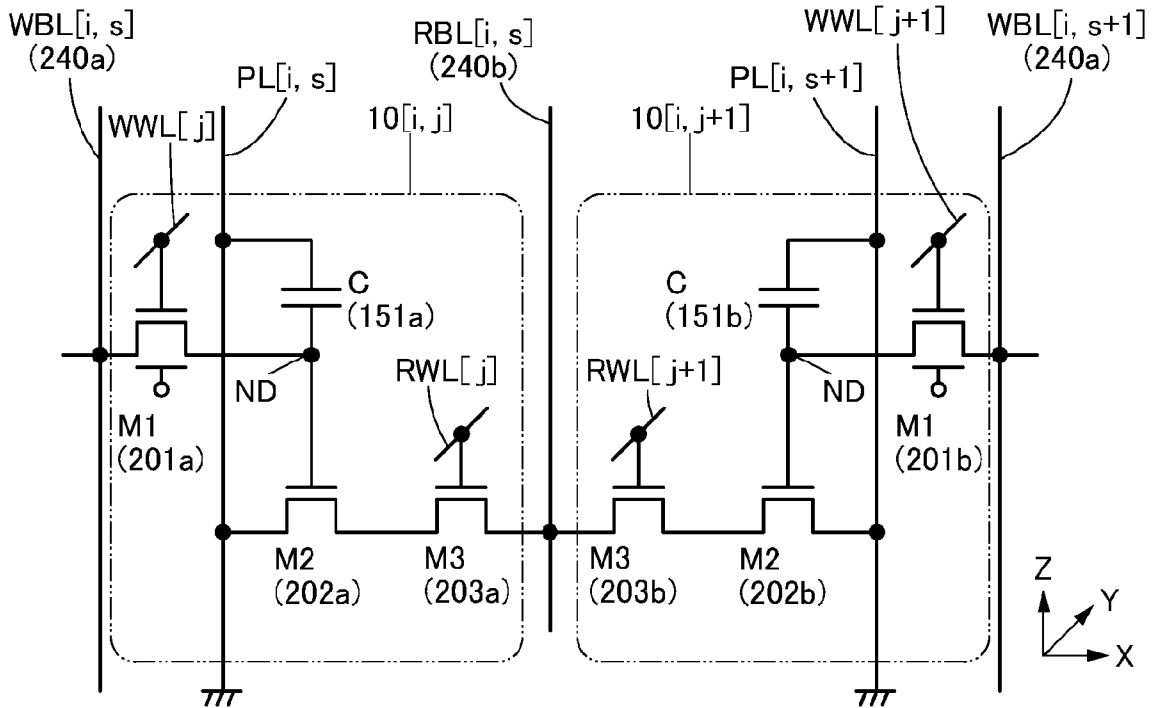


図 19

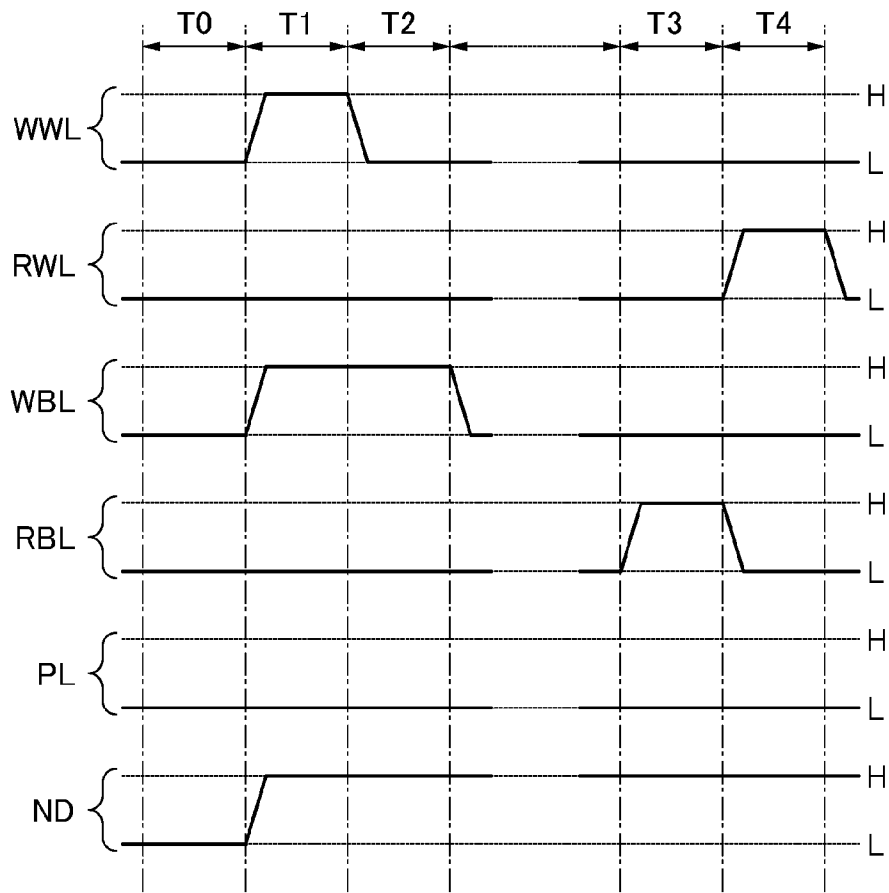


図20A

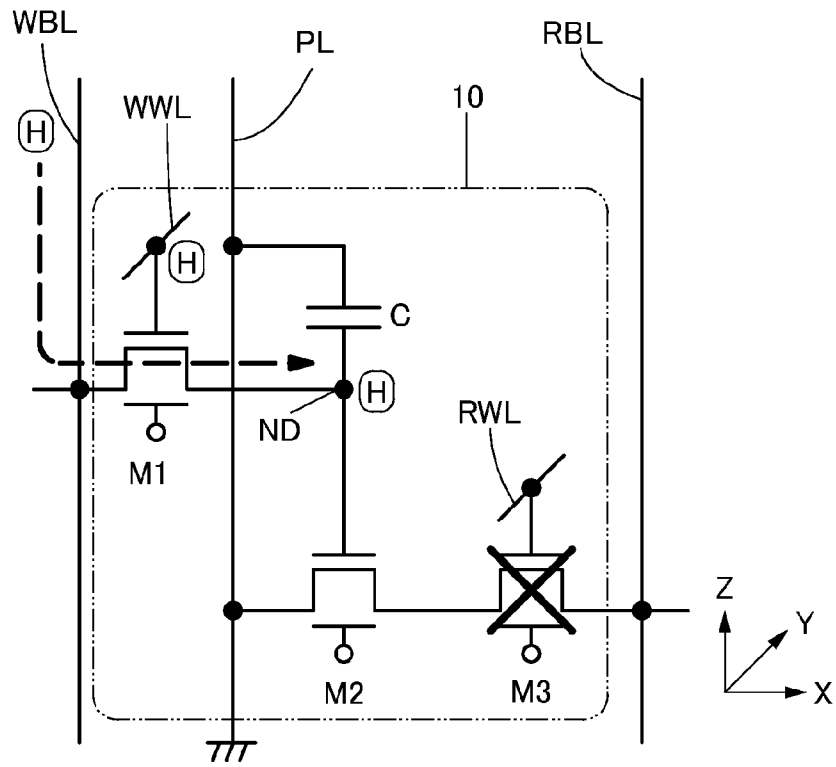


図20B

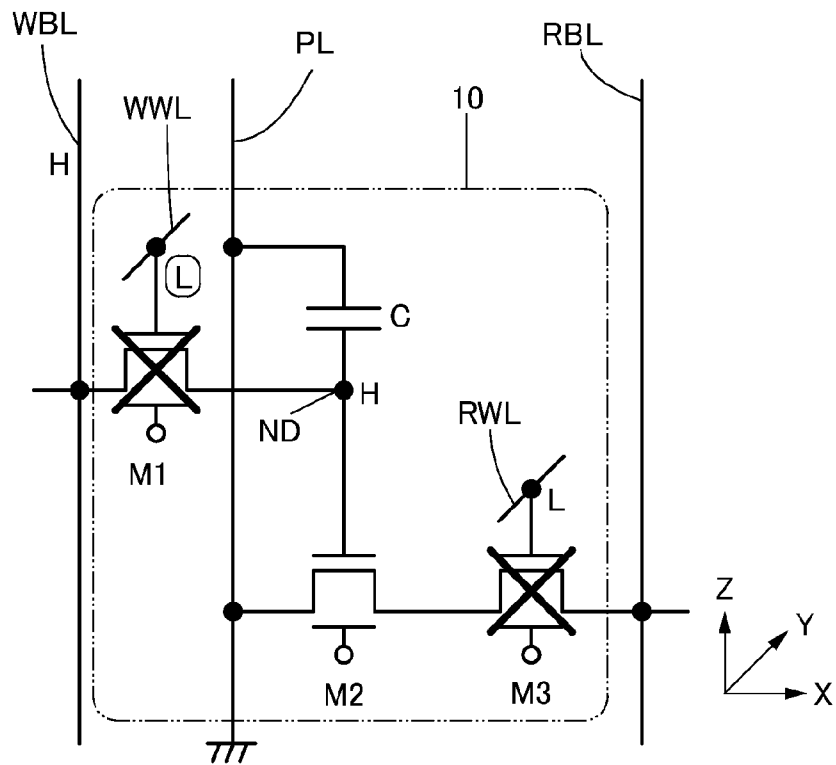


図21A

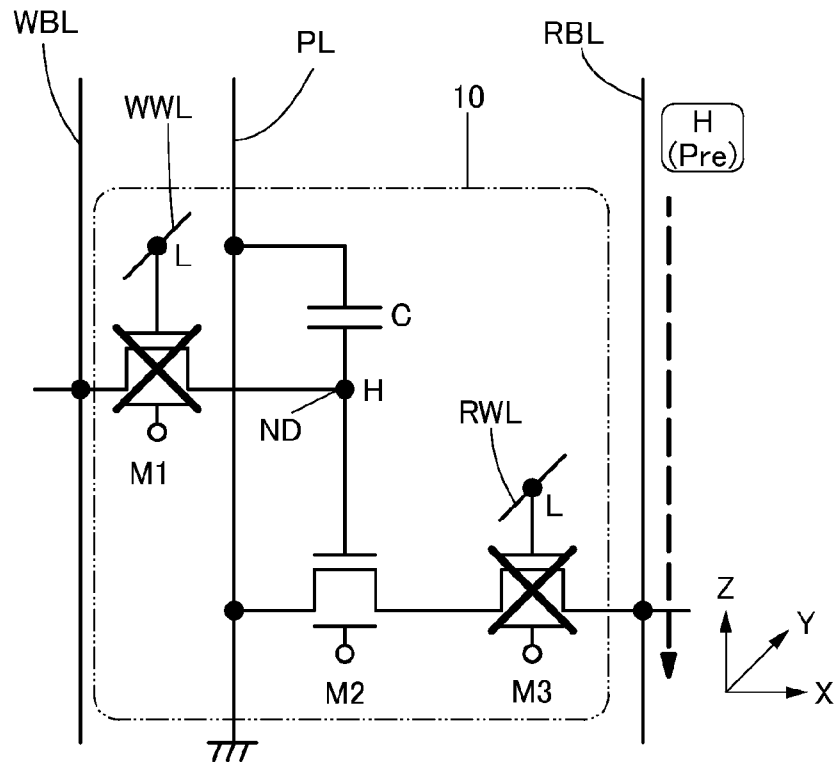


図21B

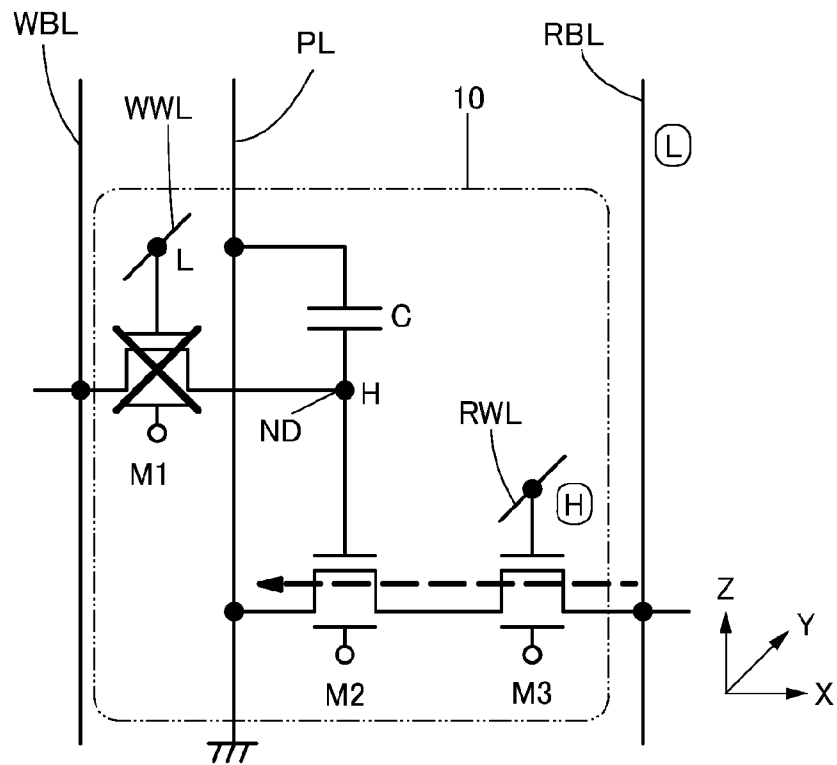
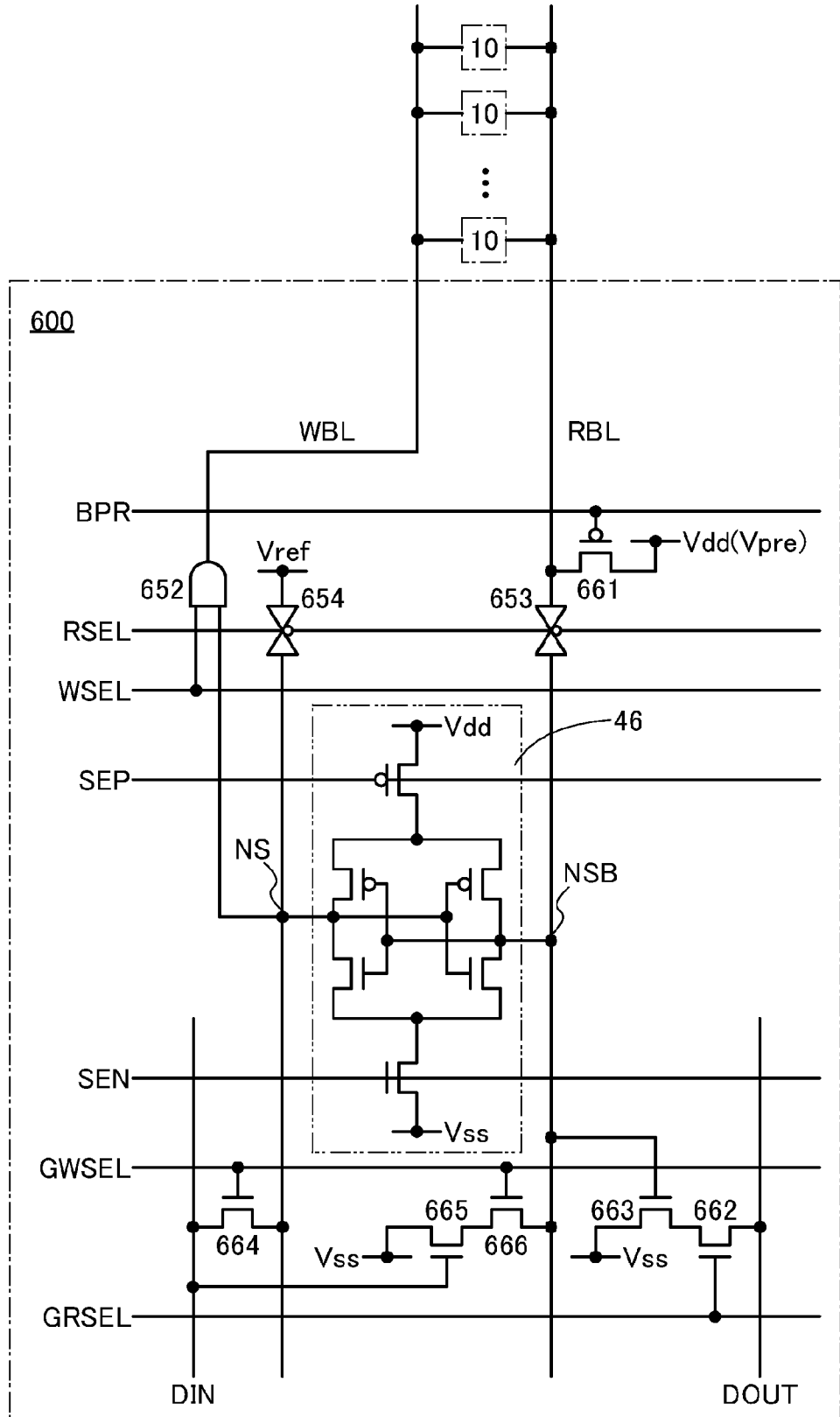
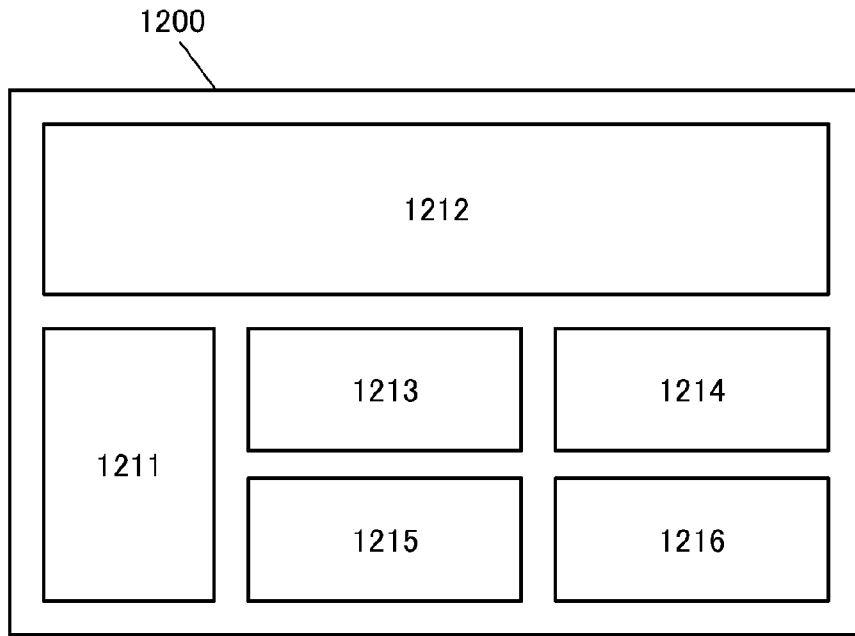


図 22



☒ 23A



☒ 23B

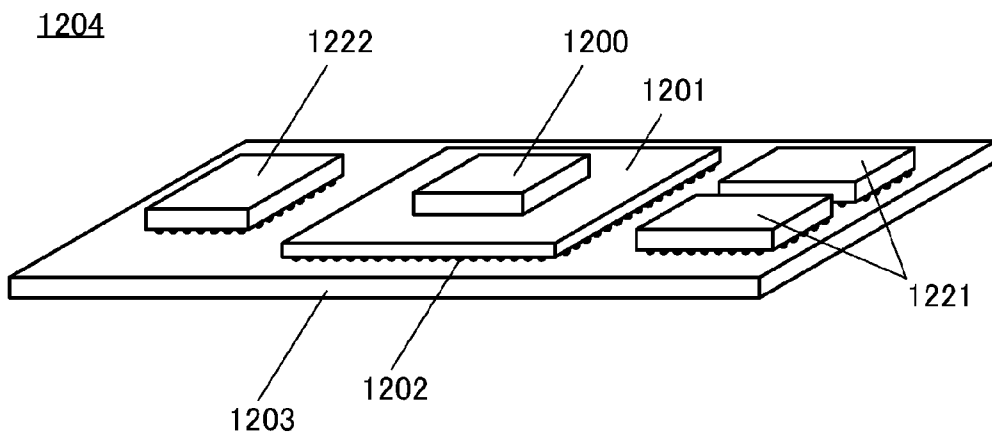


図24A

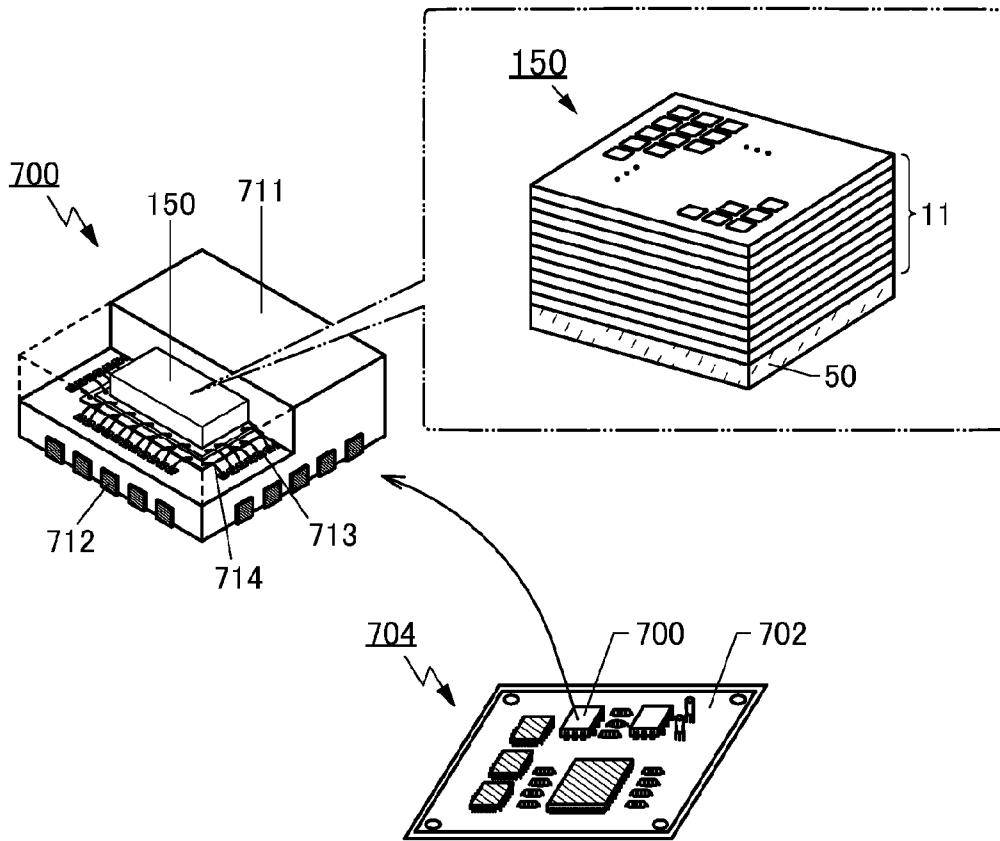


図24B

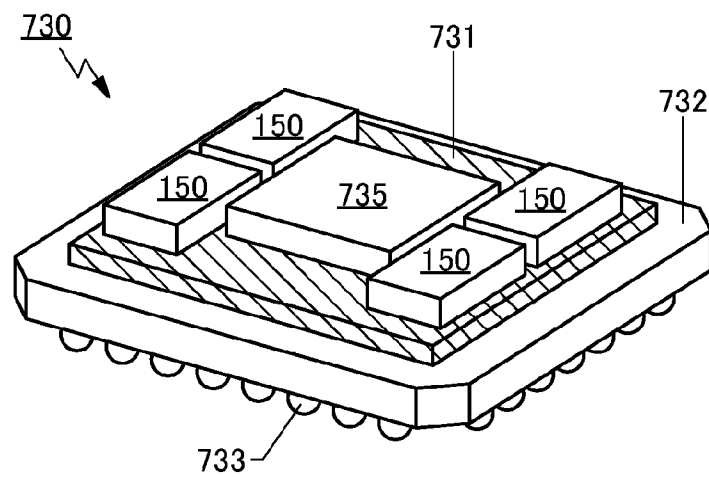


图 25A

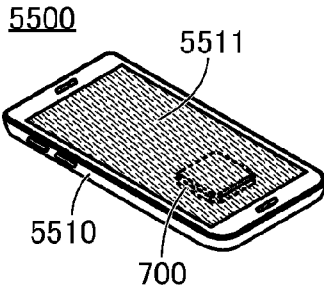


图 25B

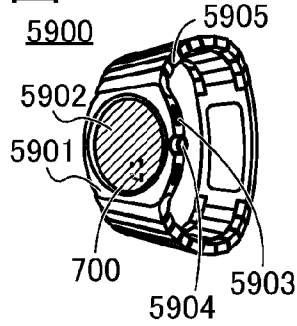


图 25C

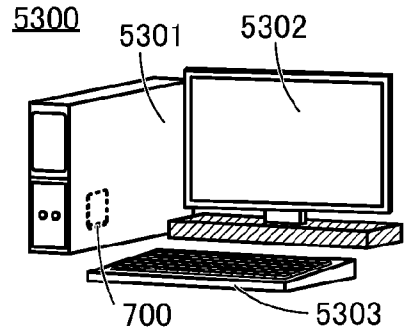


图 25D

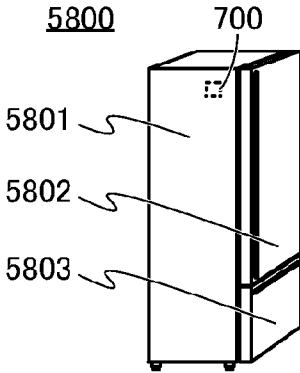


图 25E

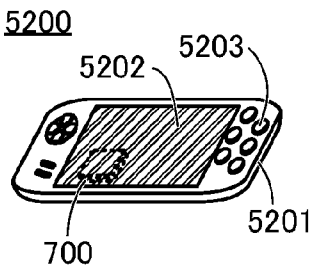


图 25F

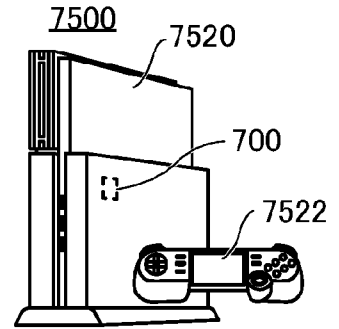


图 25G

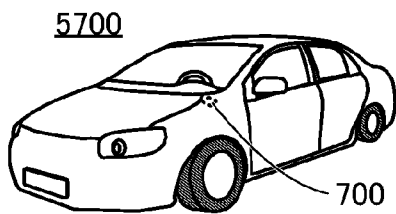


图 25H

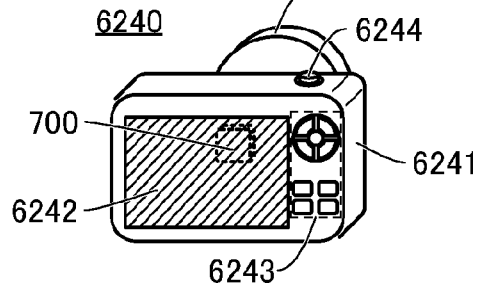


图 25I

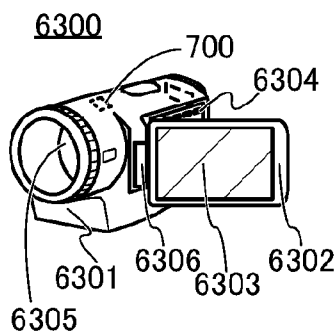


图 25J

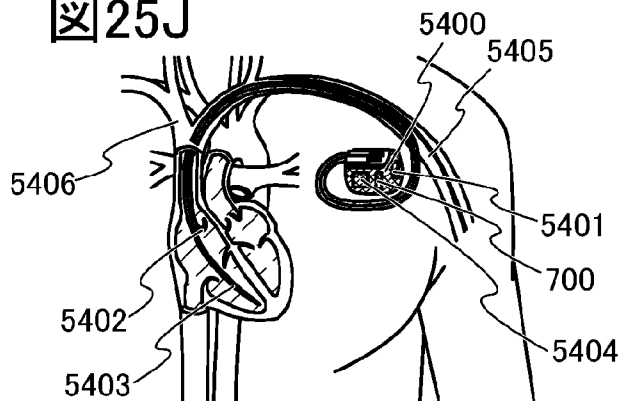


図26A

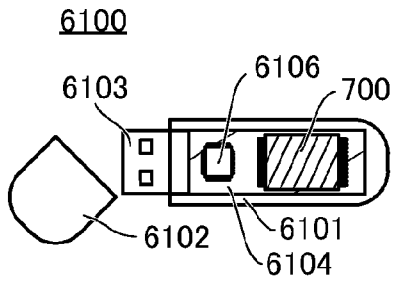


図26B

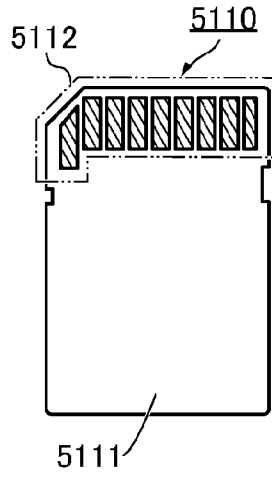


図26C

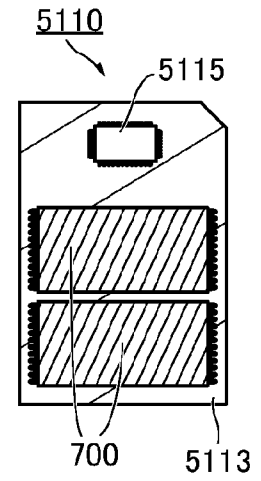


図26D

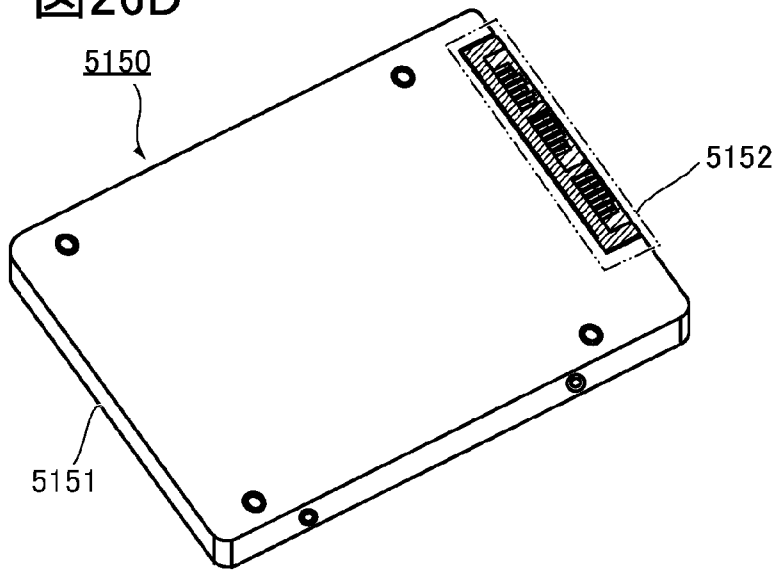
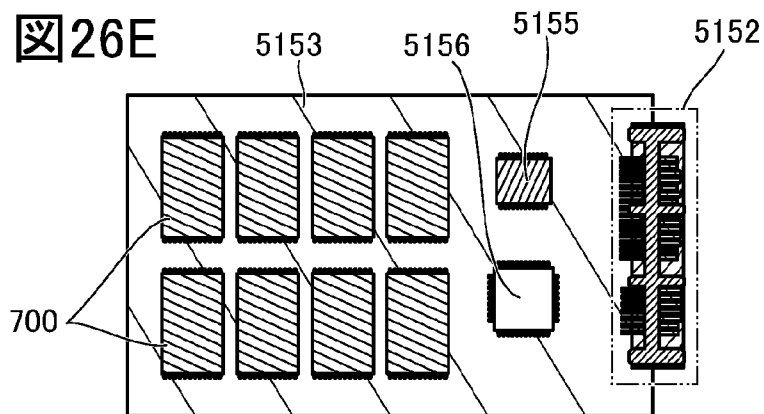
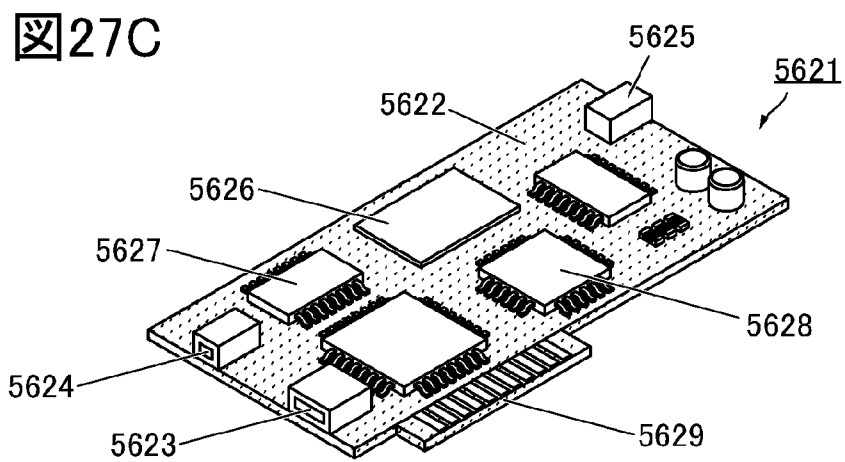
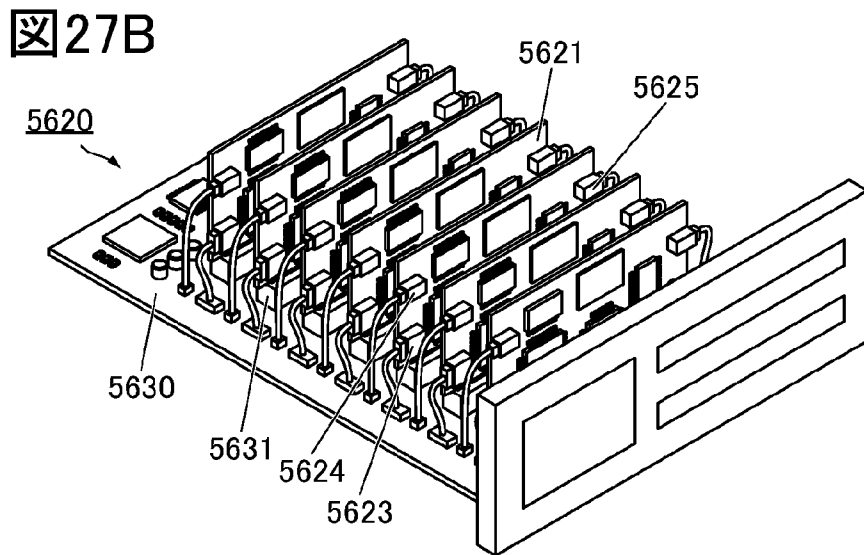
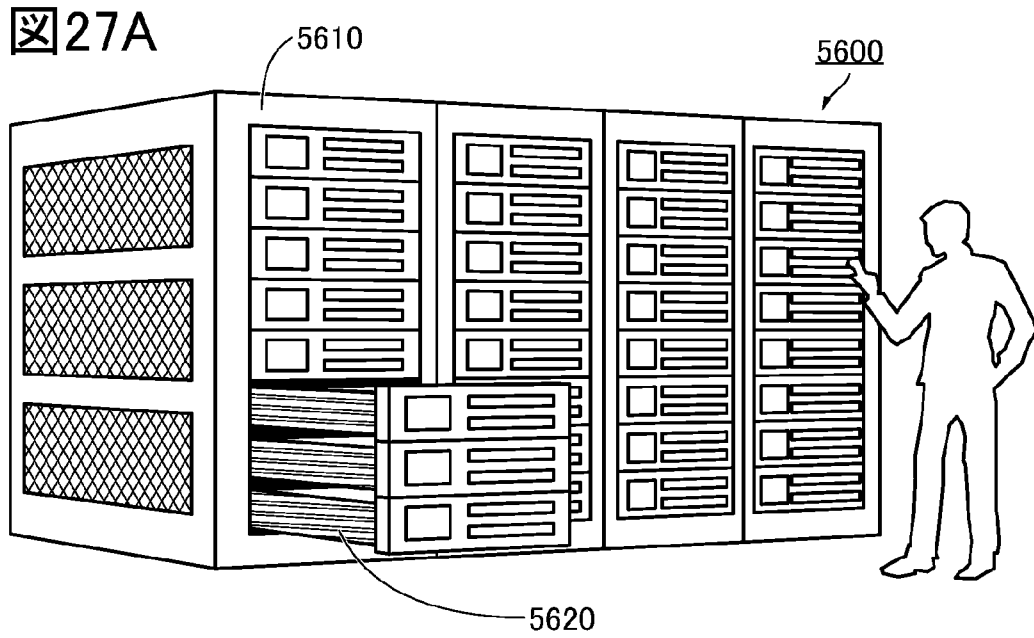
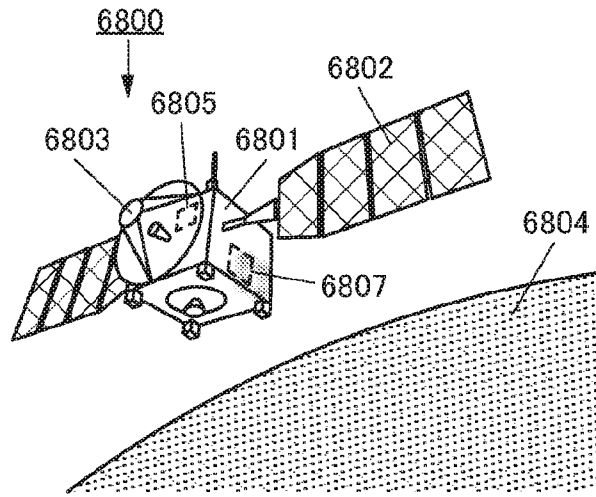


図26E





28



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/050939

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |  |  |
|--|--|--|
| <i>H10B 12/00</i> (2023.01)i; <i>H01L 21/28</i> (2006.01)i; <i>H01L 29/417</i> (2006.01)i; <i>H01L 29/786</i> (2006.01)i; <i>H10B 41/70</i> (2023.01)i; <i>H10B 99/00</i> (2023.01)i<br>FI: H10B12/00 801; H10B99/00 441; H10B12/00 671Z; H10B41/70; H01L29/78 613B; H01L29/78 612C; H01L29/78 618B; H01L21/28 301B; H01L29/50 M   |  |  |
| According to International Patent Classification (IPC) or to both national classification and IPC  |  |  |
| <b>B. FIELDS SEARCHED</b>  |  |  |
| Minimum documentation searched (classification system followed by classification symbols)<br>H10B12/00; H01L21/28; H01L29/417; H01L29/786; H10B41/70; H10B99/00  |  |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2023<br>Registered utility model specifications of Japan 1996-2023<br>Published registered utility model applications of Japan 1994-2023  |  |  |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |  |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |  |  |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No.  |
| Y<br>A   | JP 2015-181159 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 October 2015 (2015-10-15)<br>paragraphs [0008], [0073], [0106]-[0113], [0117]-[0119], fig. 1(A)-1(B), 6-7(A) | 1-6, 9-11<br>7-8   |
| Y<br>A   | JP 2015-228528 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 December 2015 (2015-12-17)<br>paragraphs [0009]-[0011], [0018], [0155], [0164]-[0166], fig. 9, 12(B)-13      | 1-6, 9-11<br>7-8   |
| Y<br>A   | JP 2018-201011 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 20 December 2018 (2018-12-20)<br>paragraphs [0001], [0015], [0424]-[0428], fig. 37                              | 2, 11<br>1, 3-10   |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.  |  |  |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |  |  |
| Date of the actual completion of the international search<br><b>19 April 2023</b>  |  | Date of mailing of the international search report<br><b>09 May 2023</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |  | Authorized officer<br><br>Telephone No.                                  |

INTERNATIONAL SEARCH REPORT

International application No.

**PCT/IB2023/050939**

| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> |   |                       |
|---|---|-----------------------|
| Category*                                     | Citation of document, with indication, where appropriate, of the relevant passages                        | Relevant to claim No. |
| Y   | JP 2012-33828 A (TOSHIBA CORP.) 16 February 2012 (2012-02-16)<br>paragraphs [0006], [0024]-[0046], fig. 5 | 4, 6                  |
| A   |   | 1-3, 5, 7-11          |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/IB2023/050939**

| Patent document cited in search report |             |   | Publication date (day/month/year) | Patent family member(s)   | Publication date (day/month/year) |
|--|-------------|---|-----------------------------------|---|-----------------------------------|
| JP                                     | 2015-181159 | A | 15 October 2015                   | JP 2020-36023 A<br>US 2015/0255139 A1<br>paragraphs [0007], [0102],<br>[0135]-[0142], [0146]-[0148],<br>fig. 1A-1B, 6-7A<br>JP 2019-110302 A<br>JP 2021-61434 A<br>JP 2022-137292 A<br>US 2017/0243874 A1<br>US 2019/0189622 A1<br>US 2020/0343251 A1<br>US 2021/0398988 A1                   |                                   |
| JP                                     | 2015-228528 | A | 17 December 2015                  | JP 2013-102133 A<br>US 2013/0069132 A1<br>paragraphs [0012]-[0014],<br>[0034], [0171], [0180]-[0182],<br>fig. 9, 12B-13<br>JP 2017-28327 A<br>JP 2018-125551 A<br>JP 2020-10055 A<br>JP 2021-141340 A<br>US 2016/0211267 A1<br>CN 103022012 A<br>KR 10-2013-0031794 A<br>KR 10-2019-0096885 A |                                   |
| JP                                     | 2018-201011 | A | 20 December 2018                  | (Family: none)  |                                   |
| JP                                     | 2012-33828  | A | 16 February 2012                  | US 2012/0025386 A1<br>paragraphs [0044]-[0066], fig.<br>5   |                                   |

| <p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H10B 12/00(2023.01)i; H01L 21/28(2006.01)i; H01L 29/417(2006.01)i; H01L 29/786(2006.01)i;<br/>                 H10B 41/70(2023.01)i; H10B 99/00(2023.01)i<br/>                 FI: H10B12/00 801; H10B99/00 441; H10B12/00 671Z; H10B41/70; H01L29/78 613B; H01L29/78 612C;<br/>                 H01L29/78 618B; H01L21/28 301B; H01L29/50 M</p>   |   |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
|--|---|--------------------------|-----------------|-----------------------------------|----------------|--------------|---|----------------------|-------------|---|----------------------|--------|---|----------------------|--------|--|--------------------------|
| <p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H10B12/00; H01L21/28; H01L29/417; H01L29/786; H10B41/70; H10B99/00</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>   |   |                          | 日本国実用新案公報       | 1922 - 1996年                      | 日本国公開実用新案公報    | 1971 - 2023年 | 日本国実用新案登録公報   | 1996 - 2023年         | 日本国登録実用新案公報 | 1994 - 2023年  |                      |        |   |                      |        |  |                          |
| 日本国実用新案公報  | 1922 - 1996年  |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| 日本国公開実用新案公報  | 1971 - 2023年  |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| 日本国実用新案登録公報  | 1996 - 2023年  |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| 日本国登録実用新案公報  | 1994 - 2023年  |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| <p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の<br/>カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する<br/>請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y<br/>A</td> <td>JP 2015-181159 A（株式会社半導体エネルギー研究所）15.10.2015（2015-10-15）<br/>[0008], [0073], [0106] - [0113], [0117] - [0119], 図1(A) - 1(B), 6 - 7(A)</td> <td>1-6, 9-11<br/><br/>7-8</td> </tr> <tr> <td>Y<br/>A</td> <td>JP 2015-228528 A（株式会社半導体エネルギー研究所）17.12.2015（2015-12-17）<br/>[0009] - [0011], [0018], [0155], [0164] - [0166], 図9, 12(B) - 13</td> <td>1-6, 9-11<br/><br/>7-8</td> </tr> <tr> <td>Y<br/>A</td> <td>JP 2018-201011 A（株式会社半導体エネルギー研究所）20.12.2018（2018-12-20）<br/>[0001], [0015], [0424] - [0428], 図37</td> <td>2, 11<br/><br/>1, 3-10</td> </tr> <tr> <td>Y<br/>A</td> <td>JP 2012-33828 A（株式会社東芝）16.02.2012（2012-02-16）<br/>[0006], [0024] - [0046], 図5</td> <td>4, 6<br/><br/>1-3, 5, 7-11</td> </tr> </tbody> </table> |   |                          | 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する<br>請求項の番号 | Y<br>A       | JP 2015-181159 A（株式会社半導体エネルギー研究所）15.10.2015（2015-10-15）<br>[0008], [0073], [0106] - [0113], [0117] - [0119], 図1(A) - 1(B), 6 - 7(A) | 1-6, 9-11<br><br>7-8 | Y<br>A      | JP 2015-228528 A（株式会社半導体エネルギー研究所）17.12.2015（2015-12-17）<br>[0009] - [0011], [0018], [0155], [0164] - [0166], 図9, 12(B) - 13 | 1-6, 9-11<br><br>7-8 | Y<br>A | JP 2018-201011 A（株式会社半導体エネルギー研究所）20.12.2018（2018-12-20）<br>[0001], [0015], [0424] - [0428], 図37 | 2, 11<br><br>1, 3-10 | Y<br>A | JP 2012-33828 A（株式会社東芝）16.02.2012（2012-02-16）<br>[0006], [0024] - [0046], 図5 | 4, 6<br><br>1-3, 5, 7-11 |
| 引用文献の<br>カテゴリー*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求項の番号           |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| Y<br>A   | JP 2015-181159 A（株式会社半導体エネルギー研究所）15.10.2015（2015-10-15）<br>[0008], [0073], [0106] - [0113], [0117] - [0119], 図1(A) - 1(B), 6 - 7(A) | 1-6, 9-11<br><br>7-8     |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| Y<br>A   | JP 2015-228528 A（株式会社半導体エネルギー研究所）17.12.2015（2015-12-17）<br>[0009] - [0011], [0018], [0155], [0164] - [0166], 図9, 12(B) - 13         | 1-6, 9-11<br><br>7-8     |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| Y<br>A   | JP 2018-201011 A（株式会社半導体エネルギー研究所）20.12.2018（2018-12-20）<br>[0001], [0015], [0424] - [0428], 図37                                     | 2, 11<br><br>1, 3-10     |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| Y<br>A   | JP 2012-33828 A（株式会社東芝）16.02.2012（2012-02-16）<br>[0006], [0024] - [0046], 図5  | 4, 6<br><br>1-3, 5, 7-11 |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>   |   |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>   |   |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| <p>国際調査を完了した日</p> <p>19.04.2023</p>  | <p>国際調査報告の発送日</p> <p>09.05.2023</p>   |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |
| <p>名称及びあて先</p> <p>日本国特許庁(ISA/JP)<br/>〒100-8915<br/>日本国<br/>東京都千代田区霞が関三丁目4番3号</p>   | <p>権限のある職員（特許庁審査官）</p> <p>宮本 博司 5F 6313</p> <p>電話番号 03-3581-1101 内線 3516</p>  |                          |                 |                                   |                |              |   |                      |             |   |                      |        |   |                      |        |  |                          |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/050939

| 引用文献             | 公表日        | パテントファミリー文献  | 公表日 |
|------------------|------------|--|-----|
| JP 2015-181159 A | 15.10.2015 | JP 2020-36023 A<br>US 2015/0255139 A1<br>[0007], [0102], [0135] -<br>[0142], [0146] - [0148],<br>図1A - 1B, 6 - 7A<br>JP 2019-110302 A<br>JP 2021-61434 A<br>JP 2022-137292 A<br>US 2017/0243874 A1<br>US 2019/0189622 A1<br>US 2020/0343251 A1<br>US 2021/0398988 A1                 |     |
| JP 2015-228528 A | 17.12.2015 | JP 2013-102133 A<br>US 2013/0069132 A1<br>[0012] - [0014], [0034],<br>[0171], [0180] - [0182],<br>図9, 12B - 13<br>JP 2017-28327 A<br>JP 2018-125551 A<br>JP 2020-10055 A<br>JP 2021-141340 A<br>US 2016/0211267 A1<br>CN 103022012 A<br>KR 10-2013-0031794 A<br>KR 10-2019-0096885 A |     |
| JP 2018-201011 A | 20.12.2018 | (ファミリーなし)  |     |
| JP 2012-33828 A  | 16.02.2012 | US 2012/0025386 A1<br>[0044] - [0066], 図5  |     |