

ROYAUME DE BELGIQUE

BREVET D'INVENTION



MINISTERE DES AFFAIRES ECONOMIQUES

NUMERO DE PUBLICATION : 1001063A3

NUMERO DE DEPOT : 8701162

Classif. Internat.: G09G

Date de délivrance : 27 Juin 1989

Le Ministre des Affaires Economiques,

Vu la Convention de Paris du 20 Mars 1883 pour la Protection de la propriété industrielle;

Vu la loi du 28 Mars 1984 sur les brevets d' invention, notamment l' article 22;

Vu l' arrêté royal du 2 Décembre 1986 relatif à la demande, à la délivrance et au maintien en vigueur des brevets d' invention, notamment l' article 28;

Vu le procès verbal dressé le 09 Octobre 1987 à 15h25 à l' Office de la Propriété Industrielle

ARRETE :

ARTICLE 1.- Il est délivré à : INTERNATIONAL BUSINESS MACHINES CORPORATION Armonk, NEW YORK 10504(ETATS-UNIS D'AMERIQUE)

représenté(e)(s) par : VOSSWINKEL Philippe, BUREAU GEVERS S.A., Rue de Livourne 7 - 1050 BRUXELLES.

un brevet d' invention d' une durée de 20 ans, sous réserve du paiement des taxes annuelles, pour : SYSTEME D'AFFICHAGE NUMERIQUE A BALAYAGE DE TRAME.

INVENTEUR(S) : Morel Jeanne Ellen, Cnsidata Street 6904, Boca Raton, Floride 33433 (US); Rackley Darwin Preston, Maplewood Drive 17755, Boca Raton, Floride 33431 (US); Trynosky Stephen Wayne, Sw 6th Street 8924, Boca Raton, Floride 33433 (US); Wall William Allan, Nw 8th Street 1001, Boca Raton, Floride 33432 (US)

Priorité(s) 14.10.86 US USA 918249

ARTICLE 2.- Ce brevet est délivré sans examen préalable de la brevetabilité de l' invention, sans garantie du mérite de l' invention ou de l' exactitude de la description de celle-ci et aux risques et périls du(des) demandeur(s).

Bruxelles, le 27 Juin 1989
PAR DELEGATION SPECIALE :

WILLIS L.
GIESELER.

"Système d'affichage numérique à balayage de trame".

La présente invention concerne les systèmes d'affichage numériques et plus particulièrement les systèmes qui utilisent un dispositif d'affichage à balayage de trame.

5 Les systèmes d'affichage numérique à utiliser avec des systèmes de calcul, sont bien connus dans l'art antérieur. Dans beaucoup de systèmes graphiques équipés de dispositifs d'affichage à balayage de trame, on utilise le système dans lequel tous les points sont adressables ou à plan de bits. Dans ce système, les données sont disposées dans une mémoire de révision de façon que
10 lorsqu'elles sont lues en sortie pour l'affichage, des groupes de données successifs sortant de la mémoire concernent directement des éléments images successifs sur l'affichage. On peut trouver l'une des plus anciennes descriptions d'un tel système dans un article intitulé "Computer Graphics In Color" de Peter B. Denes publié dans la revue
15 "Bell Laboratories Record" de mai 1976, pages 139 à 146. Beaucoup de systèmes de micro-calculateur courants utilisent le système dans lequel tous les points sont adressables pour générer des affichages graphiques. On peut citer à titre d'exemple l'Ordinateur Personnel IBM lorsqu'il comprend une carte d'adaptation graphique couleurs
20 (CGA) ou une carte d'adaptation graphique améliorée (EGA).

La plupart des systèmes connus peuvent être commutés pour donner des définitions d'affichage différentes y compris des nombres différents d'éléments images par trame d'analyse totale d'image, des nombres différents de lignes d'affichage et des nombres
25 différents de couleurs disponibles par élément image. Cependant, aucun de ces systèmes de l'art antérieur n'a utilisé un agencement commutable entre un premier mode dans lequel des données sont extraites d'une mémoire de révision à une fréquence donnée et transmises à l'affichage à la même fréquence et un second mode dans
30

lequel les données sont extraites de la mémoire à cette même fréquence mais transmises au dispositif de retard à une fréquence qui est un diviseur pair, par exemple la moitié, de la fréquence d'extraction. Un système d'affichage numérique réalisé selon les enseignements de la présente invention comprend une mémoire de révision pour
5 emmagasiner des données numériques définissant des éléments images d'affichage et des moyens pour connecter des données lues dans la mémoire de révision en groupes de signaux d'éléments images pour l'affichage. Le système comprend des moyens de commutation
10 pour passer d'un premier à un second mode. Dans le premier mode, les données sont lues dans la mémoire, amendées et appliquées au dispositif d'affichage à une première fréquence. Dans le second mode, les données sont lues dans la mémoire et initialement converties à ladite première fréquence, mais sont finalement converties et
15 appliquées au dispositif d'affichage à une nième sous harmonique (par exemple la moitié) de ladite première fréquence. Dans le second mode, des groupes successifs de données dérivées de la mémoire sont combinés pour former les signaux de commande d'affichage.

La figure 1 est une représentation schématique
20 d'un adaptateur d'affichage numérique pour connecter une unité centrale de traitement à un dispositif d'affichage à balayage de trame.

La figure 2 est un schéma détaillé des portes et d'un circuit de combinaison utilisés dans le système de la figure 1.

25 La figure 3 est une représentation schématique d'un circuit sélecteur utilisé dans le système de la figure 1.

La figure 4 représente le contenu de données des registres de décalage utilisés dans le système de la figure 1 dans un mode de fonctionnement de celui-ci.

30 La figure 1 est une représentation schématique d'un système d'affichage numérique mettant en oeuvre les enseignements de la présente invention. Le système présente des lignes d'entrée qui sont connectées à une unité centrale de traitement (non représentée) et des lignes de sortie qui sont connectées à un dispositif
35 d'affichage à tube cathodique (non représenté). Le système comprend

une mémoire de révision composée de quatre plans 10-13 pour l'emmagasinage respectif des données représentant les composants de couleur différents des signaux à afficher. Ainsi, par exemple, le plan M0 (10) emmagasine des composants de rouge, le plan M1 (11) des composants de vert, le plan M2 (12) des composants de bleu et le plan M3 (13) des composants d'intensité. Les données sont emmagasinées dans la mémoire de révision dans la configuration de tous les points adressables (APA). Dans cette configuration, des multipléts de données sont disposés dans les plans aux emplacements correspondant aux positions des éléments images sur l'affichage à tube cathodique. Ainsi, par exemple, au début d'un balayage du tube cathodique (CRT), quatre multipléts sélectionnés sont lus simultanément depuis des emplacements identiques dans chacun des plans de la mémoire de révision, un multipléts par plan. Ces multipléts sont normalement utilisés pour définir la couleur et/ou l'intensité des huit premiers éléments images de l'affichage. Puis les multipléts à une adresse suivant immédiatement l'adresse lue initialement, sont lus pour définir la couleur et/ou l'intensité des huit éléments images suivants de l'affichage. Le déroulement de ce procédé se poursuit jusqu'à ce que tous les éléments images aient été définis et affichés. Suivant la définition de l'affichage et la capacité de la mémoire de révision, les données pour une trame d'affichage peuvent soit remplir la mémoire de révision, soit être emmagasinées dans une partie des emplacements adressables dans celle-ci. Dans le premier cas, l'adresse initiale pour une trame d'affichage est la première adresse de chaque plan de la mémoire de révision. Dans le second cas, l'adresse initiale pour une trame d'affichage peut être choisie à une adresse sélectionnée dans la mémoire de révision. En changeant cette adresse initiale de trame à trame, des fonctions de déroulement et d'animation peuvent être assurées. Les adresses de mémoire de révision séquentielles pour lire les données d'affichage depuis cette mémoire, sont générées par un système de commande de tube cathodique (CRTC) 14 et appliquées à la mémoire de révision par les 20 lignes d'adresses 15. Le système CRTC 14 peut être du type MC6845 fabriqué par MOTOROLA Inc. et peut être commandé d'une

manière connue par des signaux d'entrée sur des lignes non représentées et comprenant des lignes d'horloge et de commande, à partir de l'unité centrale de traitement. Pour simplifier l'explication, on n'a pas représenté les connexions directes entre la mémoire de
5 révision et l'unité centrale de traitement. Ces connexions comprendraient évidemment les connexions du bus de données et du bus d'adresses aux lignes d'adresses 15 au travers d'un système de multiplexage. Ces connexions permettent à l'unité centrale de traitement d'accéder à la mémoire de révision pour insérer et mettre à jour
10 des données à afficher.

La présente invention concerne un agencement pour utiliser les données contenues dans la mémoire de révision pour fournir des signaux de résolution d'affichage différents, à la fois en fonction du nombre des éléments images dans une trame d'affi-
15 chage et du nombre des couleurs disponibles pour chaque élément image. Par exemple, on va décrire trois résolutions commutables, les deux premières permettant un affichage de 640 x 200 éléments images avec 16 ou 64 couleurs par éléments, respectivement, et la troisième permettant un affichage de 320 x 200 éléments images
20 avec 256 couleurs par élément.

Tout d'abord, le fonctionnement du système est commuté au moyen des signaux de mode sur les lignes 16 issues d'un registre 38 qui reçoit et retient des signaux de commande de mode issus de l'unité centrale de traitement, en mode à 640 x 200
25 éléments images et 16 couleurs. Dans ce mode, le circuit de sélection 17 est sans effet sur les signaux qui le traversent. En conséquence, pour chaque accès de la mémoire de révision, un groupe de quatre multipléts de données, un multipléte de chaque plan de la mémoire de révision, est alimenté sans changement aux registres à décalage
30 21 à 24. Les registres à décalage 21 à 24 sont synchronisés ensemble par des signaux de chronologie sur une ligne 25 issue du système CRTC 14 pour sérialiser les multipléts reçus. Les sorties en série des registres à décalage sont synchronisées au travers des portes de synchronisation 26 à 29 pour fournir des entrées de 4 bits parallèles
35 à un système de registres en palette 31. Ce système de registres

comprend seize registres pouvant être chargés depuis l'unité centrale de traitement (au travers des lignes de données et de commande non représentées) et sélectionnés par les entrées à 4 bits. Chaque registre emmagasine 6 bits. Les sorties de 6 bits sont appliquées

5 à une porte de 6 bits 32 et sont synchronisées depuis cette porte par des signaux d'horloge sur la ligne 25, à une autre porte de 6 bits 33. Les sorties des deux portes 32 et 33 sont appliquées au travers des lignes 34 et 39, respectivement, à un circuit de combinaison 35. Le circuit de combinaison reçoit aussi des signaux de sélection

10 de couleur de 4 bits depuis un registre 36 par les lignes 40. Ces signaux de sélection de couleur sont appliqués au registre 36 depuis l'unité centrale de traitement par les lignes d'entrées 37. Le circuit de combinaison est commandé par des signaux de mode issus du registre de modes par des lignes 16. La figure 2 est une représentation

15 schématique d'une réalisation du circuit de combinaison 35. Cette figure montre les portes 32, 33 et le registre 36 de la figure 1 avec leurs sorties respectives à six, six et quatre lignes 34, 39 et 40. Ces lignes sont sélectivement connectées aux portes de huit bits 45, 46 et 47 dont les sorties de huit bits sont appliquées par les

20 lignes 41, 42 et 43 à une sortie commune 44. Un circuit de sélection 48 répond aux signaux d'entrée de mode issus du registre 38 (figure 1) par les lignes 16 pour fournir sélectivement une sortie sur l'une de ses trois lignes de sortie 51, 52 ou 53, ce qui conditionne ainsi l'une des portes 45, 46 ou 47. Lorsque la porte 45 est conditionnée,

25 quatre bits issus de la porte 32 et quatre bits issus de la porte 33 sont transférés aux lignes de sortie 44. Lorsque la porte 46 est conditionnée, six bits de la porte 33 et deux bits du registre 36 sont appliqués aux lignes de sortie 44. Lorsque la porte 47 est conditionnée,

30 quatre bits de la porte 33 et quatre bits du registre 36 sont appliqués aux lignes de sortie 44. Ces différentes sorties correspondent aux trois modes de fonctionnement du système de la figure 1 tels que définis par les signaux de mode appliqués au registre 38. En se reportant à nouveau à la figure 1, on voit que la sortie du circuit de combinaison 35 sur les lignes 44 est appliquée à une porte 54. Cette

35 porte est synchronisée soit à la fréquence d'horloge des signaux

sur la ligne d'horloge 25 issue du système CRTC 14, soit à la moitié de cette fréquence. Cette demi-fréquence est développée par un circuit de verrouillage 55 qui est synchronisé par la ligne d'horloge 25 et a sa sortie -Q reconnectée à son entrée D. L'entrée libre du circuit de verrouillage 55 est connectée à une ligne de conditionnement d'affichage (DISPEN) qui sera décrite ultérieurement.

Un circuit de sélection 56 détermine si les signaux de cadence d'horloge à pleine fréquence ou à demi-fréquence sont appliqués à la porte 54 en réponse à des signaux de mode issus du registre de modes 38. Comme on le verra plus clairement par la suite, la chronologie de demi-fréquence est utilisée avec la sortie de la porte 45 (Figure 2), c'est-à-dire avec des sorties de couleurs comprenant quatre bits de chacun des registres 32 et 33 et la chronologie de fréquence entière est utilisée avec les autres modes de fonctionnement du système.

Les signaux de huit bits passant par la porte 54 sont utilisés pour commander une table de recherche de couleur (CLUT) 58. Celle-ci comprend 256 registres de 18 bits pouvant être sélectionnés par les signaux d'entrée de huit bits.

Des dix-huit bits des registres, six commandent un circuit numérique/analogique rouge 59, six autres commandent un circuit numérique/analogique vert 60 et les six derniers commandent un circuit numérique/analogique bleu 61 qui délivrent respectivement des signaux de sortie analogiques rouges, verts et bleus pour commander un affichage à tube cathodique.

Comme indiqué ci-dessus, on considérera à présent le fonctionnement du système en mode à 640 x 200 éléments images et 16 couleurs. Ce mode correspond à la sélection du registre 47 (Figure 2) pour délivrer des sorties à la table CLUT 58 à la fréquence d'horloge entière, c'est-à-dire que la sortie d'horloge CRTC est dirigée sans changement à la porte d'horloge 54.

Dans ce mode, le registre de sélection des couleurs 36 fournit 4 bits des signaux d'adresses CLUT, ceux-ci restant constants pendant des périodes données afin de définir des gammes différentes de couleurs à afficher pendant chacune de ces périodes.

Les 4 bits restants de l'adresse CLUT viennent du registre 33 et sont donc déterminés par le contenu des plans de la mémoire de révision et le système à palette. La fréquence d'horloge du CRTC 14 correspond à la fréquence de la révision des éléments images sur le tube cathodique de façon que chaque ligne d'éléments images sur ce tube soit affichée tour à tour. Ce mode avec quatre bits variables pour chaque élément image, permet seize couleurs différentes d'affichage.

Dans un autre mode en fonction lorsque la porte 46 de la figure 2 est sélectionnée et à nouveau en utilisant la chronologie à fréquence entière, 640 x 200 éléments images sont à nouveau affichés. Dans ce mode, il n'y a cependant que deux bits fixes du registre de sélection des couleurs 36 et la porte 46 reçoit tous les six bits de couleurs provenant de la porte 33. En conséquence, dans ce mode, avec six bits variables pour chaque élément image, soixante-quatre couleurs différentes peuvent être affichées.

Dans le système décrit jusqu'à maintenant, la mémoire de révision, les registres de décalage parallèle/série 21 à 24, le système à palette 31, la table de recherche de couleurs 58 et les circuits de conversion numérique/analogique 59 à 61 font tous partie de systèmes d'affichage numérique connus.

Le système d'affichage de la présente invention se distingue principalement de ceux connus dans l'art antérieur par la combinaison des deux portes 32 et 33 de la figure 1, de la porte 45 de la figure 2 et de la porte 54 de la figure 1 qui commande la fréquence d'horloge qui est sélectionnée pour le mode choisi. Dans la présente réalisation, tous ces éléments entrent en jeu pour produire un affichage de 320 x 200 éléments images chacun avec un choix de deux cent cinquante couleurs.

Dans la présente réalisation, le mode à 320 x 200 éléments images est le troisième mode pouvant être sélectionné. Dans ce mode, c'est la porte 45 (Figure 2) dans le circuit de combinaison qui est sélectionnée et la demi-fréquence d'horloge issue de la bascule 55 qui est sélectionnée par le sélecteur 56 pour commander la porte 54.

En fonctionnement dans le troisième mode, les données sont lues depuis la mémoire de révision, passées dans les registres de décalage parallèle/série 21 à 24 et les portes 26 à 29 à la fréquence d'horloge entière. Les sorties de porte adressent le système de registres à palette 31 qui applique ses sorties de six bits aux portes 32 d'où elles passent aux portes 33 à la fréquence d'horloge entière. Quatre bits de chacune de ces portes forment la sortie à huit bits de la porte 45 (Figure 2) qui est appliquée par les lignes 44 à la porte 54. Cette porte fonctionne maintenant à une fréquence égale à la moitié de la fréquence d'horloge des circuits jusqu'à ce point. En conséquence, cette porte est traversée par chaque groupe alterné de huit bits provenant de la porte 45 et allant vers la table CLUT 58 ou, autrement dit, le courant de sorties des 6 bits provenant du système à palette 31, des quatre bits de chaque sortie numérotée pair et des quatre bits de chaque sortie numérotée impair, sont combinés pour former chaque entrée de la table CLUT. Comme il y a au moins huit bits variables et qu'aucun bit fixe du registre 36 n'est utilisé, chaque groupe de bits adresse l'un quelconque des 256 registres de la table CLUT 58. En conséquence, chaque élément image affiché peut avoir l'une quelconque des 256 couleurs. Si l'affichage est balayé à la même fréquence que précédemment, la division par deux de la fréquence d'adressage de la table CLUT depuis la porte 54, signifie que la moitié seulement du nombre des éléments images est formé. Ainsi, le tube cathodique affichera maintenant 320 x 200 éléments images mais chaque élément sera sélectionné parmi 256 couleurs.

Dans la description ci-dessus, les fonctions et la structure du circuit de sélection 17 de la figure 1 étaient omises dans un but de simplification. Ce circuit constitue une partie hautement souhaitable, bien que non essentielle, du système d'affichage. Il est effectif dans le mode de faible définition d'éléments images décrit comme le troisième mode ci-dessus. Etant donné les exigences d'emmagasinage de la mémoire de révision, il est clair que sans modification du système, chaque élément pel affiché sera divisé à partir des deux bits correspondants provenant de chacun des plans

de mémoire de révision 10 à 13. Autrement dit, dans chaque plan, chaque multipllet emmagasiné comprend un quart des données pour chaque élément image de quatre éléments images. Précédemment et dans les premier et deuxième modes du présent système, chaque

5 multipllet emmagasiné dans un plan contenait un bit de chacun des huit groupes de données d'éléments images. En conséquence, pour modifier les données pour un seul élément pel, il est nécessaire d'utiliser des techniques de manipulation de bits. Ces techniques deviennent

10 cependant complexes lorsque des paires de bits doivent être manipulées.

Le système de sélection 17 permet à la mémoire de révision de contenir des multipllets dans chaque plan, chaque multipllet contenant deux ensembles de quatre bits de données d'éléments images. Dans les premier et deuxième modes, le circuit de sélection transfère les données depuis la mémoire de révision sans

15 changement, et ces données d'éléments images sont emmagasinées comme précédemment, chaque multipllet dans un plan contenant huit bits représentant chacun un bit de différentes données d'éléments images. Dans le troisième mode, les données sont emmagasinées sous la forme de multipllets contenant chacun deux groupes de quatre

20 bits de données d'éléments images. Ces multipllets sont lus depuis des emplacements correspondants dans des plans consécutifs. Ainsi par exemple, si le premier emplacement à lire en sortie pour affichage est 0, le premier multipllet est lu depuis l'emplacement 0 dans le plan 0, le suivant depuis l'emplacement 0 dans le plan 1 suivi par

25 l'emplacement 0 dans le plan 2, etc... Pour que CPU et CRTC accèdent tous deux à la mémoire de révision, les deux bits d'adresses d'ordre inférieur définissent maintenant le plan sélectionné, ce qui provoque ainsi le chaînage des plans ensemble.

La figure 3 représente une réalisation du système de sélection 17 de la figure 1. En haut de la figure 3, sont représentés

30 quatre registres de données de mémoire 62 à 65 connectés pour recevoir des données des plans de mémoire M0 à M3, respectivement. Les registres de données sont connectés au travers des ensembles de portes 66 à 69 ou 70 à 73, aux registres de décalage 21 à 24.

35 Des signaux sur une ligne de mode 51 (voir la figure 2) qui sont

généérés pour le mode d'affichage 320 x 200, à 256 couleurs, sont connectés aux portes 66 à 69. Des signaux qui sont générés pour les autres modes (c'est-à-dire ceux générés sur les lignes 52 et 53 de la figure 2), sont utilisés pour conditionner les portes 70 à 73.

5 Dans les modes de haute définition d'éléments images, c'est-à-dire les modes à 640 x 200 éléments d'affichage, les signaux des registres 62 à 65 sont transférés au travers des portes 70 à 73 aux registres de décalage 21 à 24 sans modification. En mode de faible définition des éléments d'affichage, chaque porte 66 à 69 transfère deux bits

10 depuis chacun des registres 62 à 65 à chacun des registres de décalage 21 à 24. Autrement dit, chaque registre de décalage reçoit quatre groupes de deux bits, chaque groupe étant issu d'un plan de mémoire différent.

La figure 4 représente l'agencement de transfert des bits. Cette figure montre les quatre registres à décalage 21 à 24 avec les lignes de sortie en série à la droite de chaque registre. Dans chaque étage de registre de la figure 4, le contenu de données est référencé n/m, n représentant le plan de mémoire et m représentant l'emplacement des bits d'un multiplet lu dans ce plan.

20 On rappellera qu'en mode d'affichage 320 x 200, la couleur de chaque élément image est définie par huit bits comprenant deux groupes consécutifs de quatre bits chacun issus des registres de décalage. En examinant la configuration de bits de la figure 4, on voit que les deux premiers groupes de quatre bits, lus dans les registres à décalage, comprennent un multiplet complet de données

25 issu du plan de mémoire de révision 0. Ce multiplet est suivi par des multipléts des plans de mémoire 1, 2 et ensuite 3. Ainsi, les plans de mémoire de révision peuvent être enchainés avec chaque multiplet dans un plan représentant les données pour un élément

30 image complet. Comme indiqué ci-dessus, les plans peuvent alors avoir des multipléts d'éléments images consécutifs en séquence, ce qui fait qu'ils sont lus à partir des plans 0 à 3 pour revenir ensuite au plan 0.

Dans la description précédente de la figure 1,

35 on a indiqué que l'entrée DISPEN à la bascule 55 sur la ligne 57

serait expliquée ultérieurement. Cette entrée a pour objet de s'assurer en mode à 320 x 200 éléments images, que les signaux corrects sont appliqués depuis les portes 32 et 33 au travers du circuit de combinaison 35, à la table CLUT 58. Le signal DISPEN est un signal
5 généré par CRTC 14 pour indiquer l'instant où l'affichage doit être conditionné. Autrement dit, il définit la partie de chaque ligne de balayage de l'affichage qui est modulée par les données d'élément image. Afin de s'assurer que les paires correctes de quatre groupes de bits sont utilisées, le signal DISPEN maintient la bascule déconditionnée jusqu'au début de la partie d'affichage d'une ligne de balayage.
10 Puis la bascule est commutée pour générer un signal de transfert au travers de l'unité de sélection 56 à la porte 54 au second cycle d'horloge de fréquence entière, c'est-à-dire lorsque les données ont été transférées au travers de la porte 32 à la porte 33. Ainsi, le
15 premier élément image de la ligne balayée est défini par les deux premiers groupes de données de quatre bits.

En résumé, on a présenté un système d'affichage numérique pour commander un dispositif d'affichage à balayage de trame. Les données d'éléments images sont retenues dans une mémoire
20 d'affichage dans une forme adressable en tous points dans laquelle la disposition des données en mémoire correspond aux positions des éléments pel sur le dispositif d'affichage. Bien que la vitesse de balayage de trame reste la même, l'écoulement des données à l'affichage peut être établi à une première fréquence ou à la moitié de
25 cette fréquence. Avec la première fréquence, on obtient un affichage à résolution élevée des éléments images et un nombre de couleurs limité. Avec la demi-fréquence, la résolution des éléments images est réduite de moitié mais en utilisant des paires de groupes de signaux de couleurs successifs pour chaque élément image, la résolution
30 de la couleur est améliorée de manière importante. Pour une utilisation efficace des mémoires de révision en mode à résolution élevée d'images, on utilise le système connu de lecture en sortie de multiplets à partir de plans de mémoires multiples, chaque multiplet contenant des bits concernant un composant couleur des éléments pel. En mode
35 à faible résolution d'images, chaque multiplet dans la mémoire de

révision correspond à un seul élément image et les plans de mémoire sont enchaînés. Un circuit de sélection entre la mémoire et des convertisseurs parallèle/série connectés aux plans de la mémoire est commuté pour assurer des chemins de données appropriés entre la mémoire et les convertisseurs.

5 Bien que des valeurs particulières aient été utilisées pour définir les divers modes de fonctionnement du système, il est évident que d'autres valeurs pourraient être utilisées, par exemple 640 x 200 éléments images, 4 couleurs et 320 x 200 éléments images, 10 16 couleurs, à condition que le nombre des éléments images dans un mode soit le double du nombre des éléments dans un second mode. Pour les deux modes, la vitesse du balayage d'affichage pourra être la même. En outre, en modifiant le système par l'augmentation du nombre des portes entre le registre à palette et le circuit de combinaison, on peut utiliser des modes dans lesquels les éléments images 15 peuvent varier de plus du double. Par exemple avec trois de ces portes, des modes de fonctionnement à une première fréquence, à la moitié de cette fréquence et au quart de cette fréquence, peuvent être utilisés avec des définitions de bit d'éléments images correspondantes.

20 Bien que la présente invention ait été plus particulièrement décrite en se référant à une réalisation préférée de celle-ci, il est évident pour l'homme de l'art que diverses autres modifications de formes et de détails peuvent y être apportées sans pour autant sortir du cadre et de l'esprit de la présente invention.

30

35

REVENDEICATIONS

1. Un système d'affichage numérique pour commander un dispositif d'affichage à balayage de trame, caractérisé en ce que ledit système comprend :

- 5 a) une mémoire de révision pour emmagasiner des données d'éléments images dans des emplacements correspondant aux emplacements d'éléments images associés sur ledit dispositif d'affichage,
- b) des moyens pour lire des groupes de données d'éléments images consécutifs dans ladite mémoire de révision à une première fréquence d'horloge,
- 10 c) des moyens pour convertir lesdits groupes de données en groupes de signaux de commande d'éléments images pour le dispositif d'affichage, et
- d) des moyens de commutation pour commuter lesdits moyens afin
- 15 d'effectuer une conversion entre un premier mode dans lequel chaque dit groupe de données est converti en un groupe de signaux de commande d'élément image individuel délivré au dispositif d'affichage à ladite première fréquence d'horloge, et un second mode dans lequel 2^n groupes de données successifs (où n est
- 20 un nombre entier positif) sont combinés pour générer un groupe de signaux de commande d'élément image individuel délivré au dispositif d'affichage à une nième sous harmonique de ladite fréquence d'horloge.

2. Un système d'affichage numérique selon la

25 revendication 1 dans lequel n est égal à 1 et lesdits moyens de conversion comprennent des premiers moyens de transfert qui sont connectés pour recevoir des groupes de données d'éléments images, des seconds moyens de transfert qui sont connectés pour recevoir la sortie desdits premiers moyens de transfert, lesdits premiers et seconds moyens

30 de transfert étant synchronisés à ladite première fréquence d'horloge, et des moyens de combinaison qui sont connectés aux sorties desdits premiers et seconds moyens de transfert pour ne transmettre que la sortie desdits seconds moyens de transfert dans ledit premier mode et pour combiner les sorties desdits premiers et seconds moyens

35 de transfert dans ledit second mode.

3. Un système d'affichage numérique selon la revendication 2 comprenant des troisièmes moyens de transfert qui sont connectés pour recevoir les sorties desdits moyens de combinaison, lesdits troisièmes moyens de transfert étant synchronisés à ladite première fréquence d'horloge dans ledit premier mode et à la moitié de ladite première fréquence d'horloge dans ledit second mode.

4. Un système d'affichage selon la revendication 3 comprenant un système de table de recherche de couleurs qui est connecté pour recevoir les sorties desdits troisièmes moyens de transfert pour générer des groupes de signaux de commande numérique pour ledit dispositif d'affichage.

5. Un système d'affichage selon la revendication 3 comprenant un système de registres à palette qui reçoit des groupes de données d'éléments images consécutifs dérivés de ladite mémoire de révision et qui engendre en réponse à ceux-ci, lesdits groupes de données d'éléments images pour lesdits premiers moyens de transfert.

6. Un système d'affichage selon la revendication 5 dans lequel ladite mémoire de révision comprend plusieurs plans de couleurs et comprenant en outre, autant de convertisseurs parallèle/série que de plans de couleurs, chacun de ces convertisseurs étant prévu pour recevoir des multiplets de données de la mémoire et présentant une sortie en série connectée audit système de registres à palette, de telle sorte que ledit système de registres à palette reçoive des groupes de données dont les largeurs de bit correspondent en nombre aux convertisseurs parallèle/série.

7. Un système d'affichage selon la revendication 6 dans lequel la mémoire de révision comprend quatre plans de couleurs, et comprenant en outre un système de sélection connecté entre la mémoire de révision et les convertisseurs parallèle/série, ledit système de sélection étant connecté auxdits moyens de commutation pour commuter le système dans un premier mode dans lequel chaque multiplet de données lu dans un plan de la mémoire de révision est envoyé dans le convertisseur parallèle/série associé au plan, et dans un second mode dans lequel des paires de bits de chaque multiplet

lu dans un plan de mémoire, sont dirigés vers des paires associées d'emplacements dans les convertisseurs parallèle/série, de telle sorte que chaque convertisseur parallèle/série reçoive deux bits de chaque plan de la mémoire de révision.

5

10

15

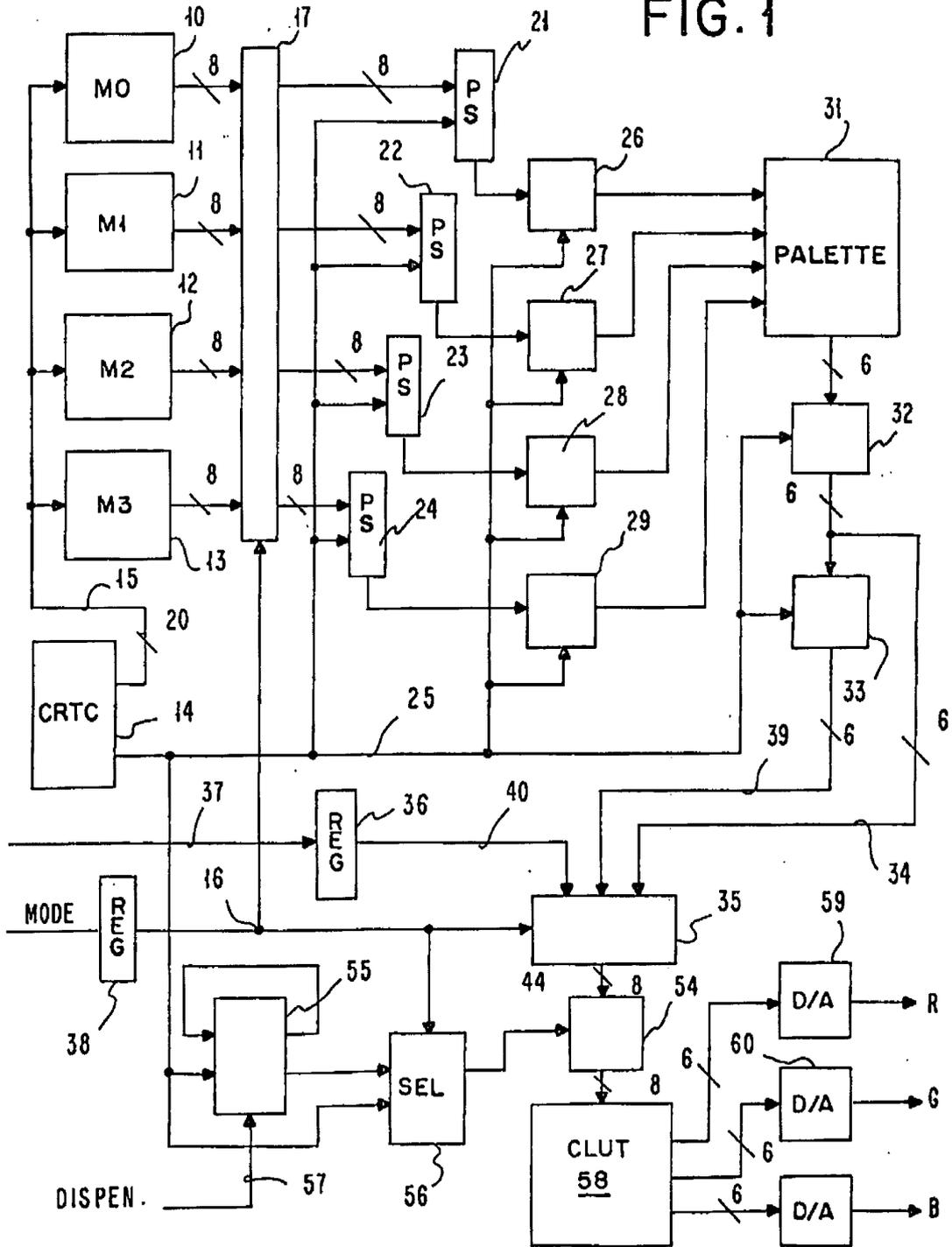
20

25

30

35

FIG. 1



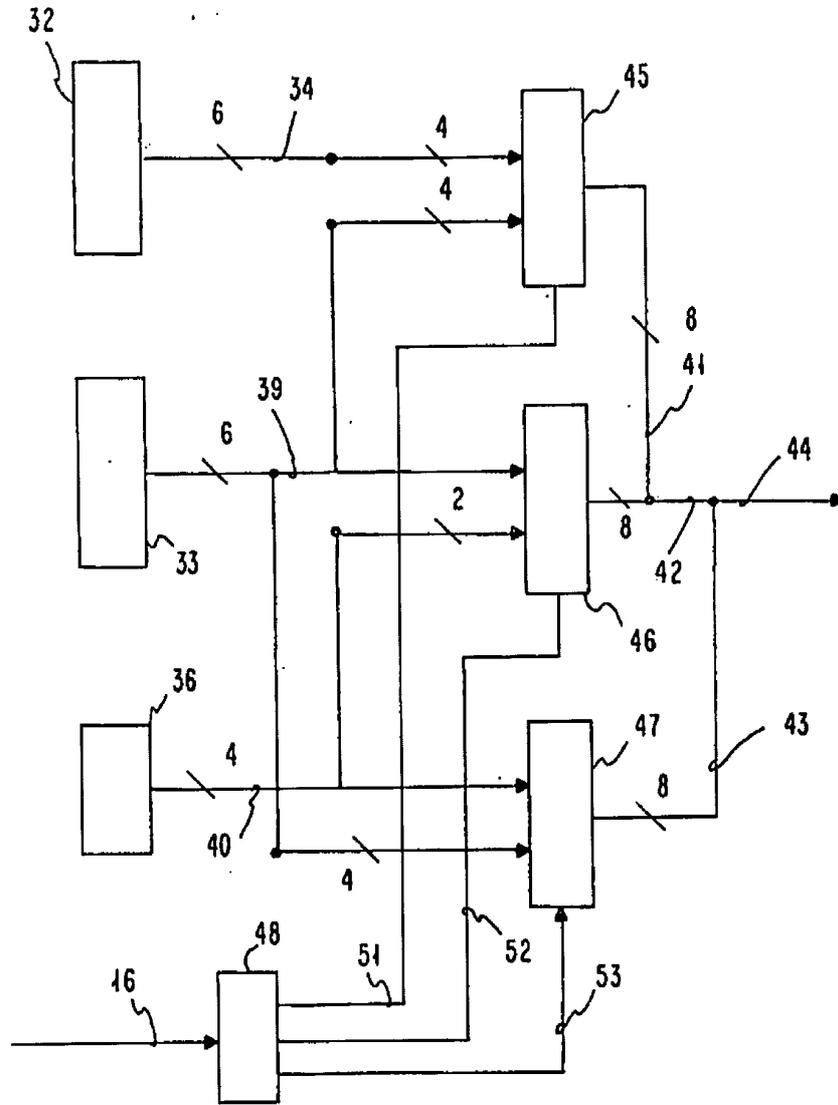


FIG. 2

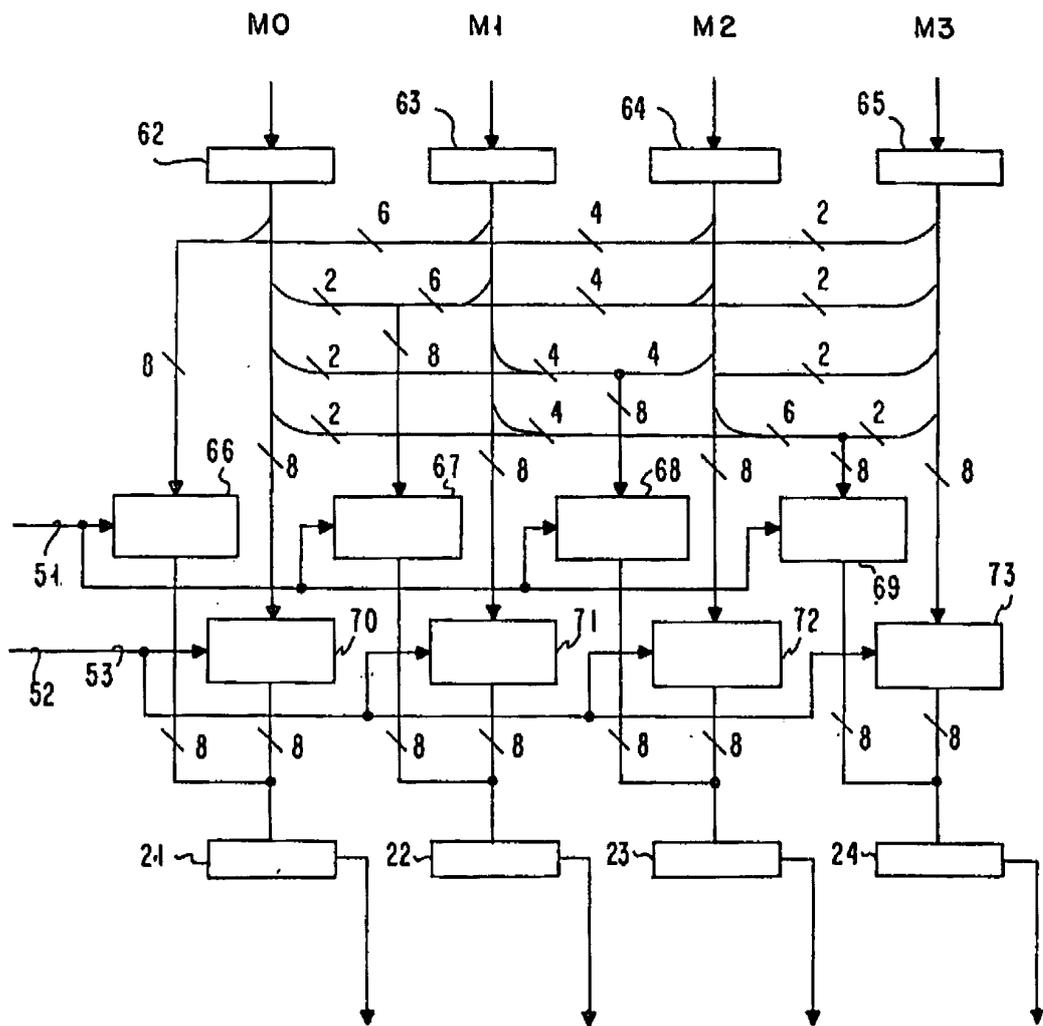


FIG.3

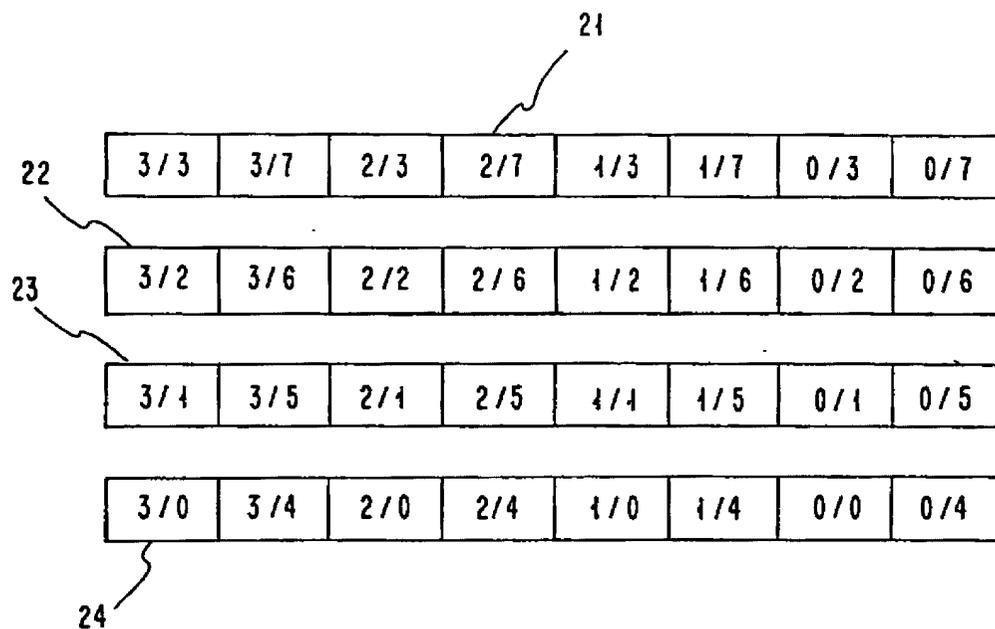


FIG. 4

**ANNEXE AU RAPPORT DE RECHERCHE
RELATIF A LA DEMANDE DE BREVET BELGE NO.**

**BE 8701162
BO 464**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 05/01/89
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US-A- 4673930	16-06-87	Aucun	
US-A- 4087808	02-05-78	Aucun	
FR-A- 2246911	02-05-75	DE-A- 2433854	10-04-75
GB-A- 2157927	30-10-85	FR-A- 2563027	18-10-85
		JP-A- 60235193	21-11-85
		US-A- 4673929	16-06-87
FR-A- 2544898	26-10-84	EP-A, B 0128051	12-12-84
		JP-A- 59208586	26-11-84
		US-A- 4620289	28-10-86
		DE-A- 3472726	18-08-88
EP-A- 0085480	10-08-83	AU-A- 1030683	21-07-83
		GB-A- 2116004	14-09-83
DE-A- 3420919	06-12-84	JP-A- 59224972	17-12-84
		GB-A, B 2144294	27-02-85

EPO FORM P0463

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82