



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월13일
(11) 등록번호 10-0863001
(24) 등록일자 2008년10월06일

(51) Int. Cl.

H03L 7/08 (2006.01)

(21) 출원번호 10-2007-0014061

(22) 출원일자 2007년02월09일

심사청구일자 2007년02월09일

(65) 공개번호 10-2008-0074667

(43) 공개일자 2008년08월13일

(56) 선행기술조사문헌

KR1020040090180 A

KR1020040081529 A

KR1020030090129 A

KR1020050097700 A

전체 청구항 수 : 총 16 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

최훈

경기 이천시 증일동 현대홈타운아파트 103동 120 3호

(74) 대리인

김성남

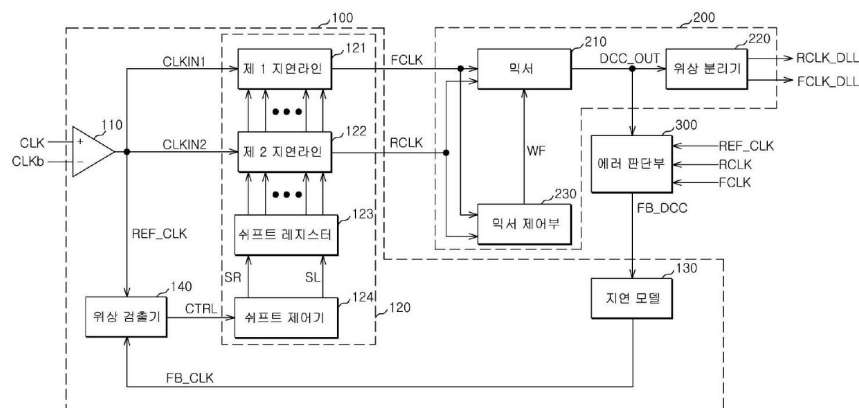
심사관 : 장완호

(54) 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로 및 그제어방법

(57) 요약

본 발명은 외부 클럭을 입력받아 제 1 내부 클럭을 생성하고 상기 제 1 내부 클럭을 내부의 지연수단을 통해 지연시켜 복수개의 제 2 내부 클럭을 출력하며, 피드백 클럭과 상기 제 1 내부 클럭과의 위상차에 따라 상기 지연수단의 지연시간을 조정함으로써 상기 제 2 내부 클럭의 지연 고정에 이루어지도록 하는 지연 고정 루프 블록; 상기 복수개의 제 2 내부 클럭의 듀티 싸이클을 보정한 듀티 싸이클 보정 클럭을 출력하는 듀티 싸이클 보정 블록; 및 상기 복수개의 제 2 내부 클럭의 위상 비교결과에 따라 듀티 보정 에러 발생을 판단하여 상기 듀티 싸이클 보정 클럭 또는 상기 복수개의 제 2 내부 클럭 중 하나를 상기 피드백 클럭으로서 상기 지연 고정 루프 블록으로 피드백시키는 에러 판단부를 구비한다.

대표도



특허청구의 범위

청구항 1

외부 클럭을 입력받아 제 1 내부 클럭을 생성하고 상기 제 1 내부 클럭을 내부의 지연수단을 통해 지연시켜 복수개의 제 2 내부 클럭을 출력하며, 피드백 클럭과 상기 제 1 내부 클럭과의 위상차에 따라 상기 지연수단의 지연시간을 조정함으로써 상기 제 2 내부 클럭의 지연 고정에 이루어지도록 하는 지연 고정 루프 블록;

상기 복수개의 제 2 내부 클럭의 듀티 사이클을 보정한 듀티 사이클 보정 클럭을 출력하는 듀티 사이클 보정 블록; 및

상기 복수개의 제 2 내부 클럭의 위상 비교결과에 따라 듀티 보정 에러 발생을 판단하여 상기 듀티 사이클 보정 클럭 또는 상기 복수개의 제 2 내부 클럭 중 하나를 상기 피드백 클럭으로서 상기 지연 고정 루프 블록으로 피드백시키는 에러 판단부를 구비하는 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 2

제 1 항에 있어서,

상기 지연 고정 루프 블록은

상기 외부 클럭을 입력받아 상기 제 1 내부 클럭을 생성하는 버퍼,

상기 제 1 내부 클럭을 위상 검출신호에 따라 증감된 지연량 만큼 지연시켜 상기 복수개의 제 2 내부 클럭으로 출력하는 레지스터 제어 지연부, 및

상기 제 1 내부 클럭과 상기 피드백 클럭의 위상을 비교하여 상기 위상 검출신호를 출력하는 위상 검출기를 구비하는 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 3

제 2 항에 있어서,

상기 레지스터 제어 지연부는

상기 제 1 내부 클럭을 레지스터값 만큼 지연시켜 상기 복수개의 제 2 내부 클럭으로 출력하는 복수개의 지연라인,

쉬프트 제어신호에 상응하는 상기 레지스터값을 출력하는 쉬프트 레지스터, 및

상기 위상 검출신호에 따라 상기 쉬프트 레지스터로 상기 쉬프트 제어신호를 출력하는 쉬프트 제어기를 구비하는 것을 특징으로 하는 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 4

제 1 항에 있어서,

상기 듀티 사이클 보정 블록은

제어신호에 따라 상기 복수개의 제 2 내부 클럭의 듀티 사이클을 보정하는 믹서, 및

상기 복수개의 제 2 내부 클럭을 이용하여 상기 제어신호를 생성하는 믹서 제어부를 구비하는 것을 특징으로 하는 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 5

제 4 항에 있어서,

상기 믹서의 출력신호의 위상을 분리하여 지연 고정 루프 클럭으로 출력하는 위상 분리기를 더 포함하는 것을 특징으로 하는 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 6

제 1 항에 있어서,

상기 에러 판단부는

상기 복수개의 제 2 내부 클럭 각각의 위상을 검출하여 복수개의 위상 검출신호를 출력하는 복수개의 위상 검출기,

상기 복수개의 위상 검출신호를 조합하여 선택신호를 생성하는 선택신호 생성부, 및

상기 선택신호에 따라 상기 제 2 내부 클럭 중 하나 또는 듀티 싸이클 보정 클럭을 출력하는 신호 선택부를 구비하는 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 7

제 6 항에 있어서,

상기 복수개의 위상 검출기는

상기 제 1 내부 클럭과 상기 제 2 내부 클럭의 위상을 비교하여 상기 복수개의 위상 검출신호를 출력하도록 구성됨을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 8

제 6 항에 있어서,

상기 선택신호 생성부는

상기 복수개의 위상 검출신호가 동일한 논리레벨을 갖는 경우와 그렇지 않은 경우에 대해 서로 다른 레벨의 선택신호를 출력하도록 구성됨을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 9

제 6 항에 있어서,

상기 선택신호 생성부는

상기 복수개의 검출신호를 입력받는 제 1 논리소자,

상기 복수개의 검출신호를 입력받는 제 2 논리소자,

상기 제 2 논리소자의 출력을 입력받는 제 1 반전소자,

상기 제 1 논리소자의 출력과 상기 반전소자의 출력을 입력받는 제 3 논리소자, 및

상기 제 3 논리소자의 출력을 입력받아 상기 선택신호를 출력하는 제 2 반전소자를 구비하는 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 10

제 6 항에 있어서,

상기 신호 선택부는

상기 선택신호에 따라 상기 제 2 내부 클럭 중 하나를 출력하는 제 1 스위칭 소자, 및

상기 선택신호에 따라 상기 듀티 싸이클 보정 클럭을 출력하는 제 2 스위칭 소자를 구비하는 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 11

제 1 항에 있어서,

상기 복수개의 제 2 내부 클럭 중 하나는 외부 클럭의 라이징 엣지에 동기된 클럭인 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로.

청구항 12

지연 고정 루프 블록과 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭의 듀티 싸이클을 보정하여 듀티 싸이클 보정 클럭으로 출력하는 듀티 싸이클 보정 블록을 구비한 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법으로서,

상기 지연 고정 루프 블록에서 출력된 복수개의 클럭을 이용하여 상기 듀티 싸이클 보정 클럭의 오류를 판단하는 단계; 및

상기 듀티 싸이클 보정 클럭의 오류를 판단한 결과에 따라 상기 듀티 싸이클 보정 클럭 또는 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭 중 하나를 상기 지연 고정 루프 블록으로 피드백시키는 단계를 구비하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법.

청구항 13

제 12 항에 있어서,

상기 오류를 판단하는 단계는

상기 복수개의 클럭의 위상을 비교하여 이루어짐을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법.

청구항 14

제 12 항에 있어서,

상기 오류를 판단하는 단계는

상기 복수개의 클럭의 위상이 동일하면 상기 듀티 싸이클 보정 클럭이 정상인 것으로 판단하는 단계, 및

상기 복수개의 클럭의 위상이 동일하지 않으면 상기 듀티 싸이클 보정 클럭에 오류가 발생된 것으로 판단하는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법.

청구항 15

제 12 항에 있어서,

상기 피드백시키는 단계는

상기 듀티 싸이클 보정 클럭이 정상인 것으로 판단되면 상기 듀티 싸이클 보정 클럭을 상기 지연 고정 루프 블록으로 피드백시키는 단계, 및

상기 듀티 싸이클 보정 클럭에 오류가 발생된 것으로 판단되면 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭 중 하나를 상기 지연 고정 루프 블록으로 피드백시키는 단계를 구비하는 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법.

청구항 16

제 12 항에 있어서,

상기 복수개의 클럭 중 하나는 외부 클럭의 라이징 엣지에 동기된 클럭인 것을 특징으로 하는 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 지연 고정 루프에 관한 것으로서, 특히 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로(Delay

Locked Loop Circuit) 및 그 제어방법에 관한 것이다.

- <18> 통상적으로, 시스템 또는 회로에서 사용되는 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러 없이 보다 빠른 동작을 보장하기 위하여 사용되기도 한다. 반도체 회로 외부로부터 입력되는 클럭이 반도체 회로 내부에서 사용될 때 내부 회로에 의한 클럭 스큐(Clock Skew) 즉, 시간지연이 발생하게 되는데, 이러한 시간 지연을 보상하여 내부 클럭이 외부 클럭과 동일한 위상을 갖도록 하기 위해 지연 고정 루프 회로가 사용되고 있다.
- <19> 또한 반도체 회로의 동작에 있어, 클럭의 지연 고정도 중요하지만, 클럭의 라이징 구간과 폴링 구간의 듀티가 5:5를 유지하도록 하는 것도 매우 중요하다. 따라서 현재 반도체 회로기술에서 사용되는 대부분의 지연 고정 루프 회로는 듀티 사이클 보정 회로를 추가한 형태로 사용되고 있다.
- <20> 한편, 종래의 기술에 따른 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로는 PVT(Process/Voltage/Temperature) 변동에 따라 듀티 보정 에러를 유발할 수 있다.
- <21> 즉, 외부 클럭의 라이징 엣지에 동기된 라이징 클럭(RCLK)과 외부 클럭의 폴링 엣지에 동기된 폴링 클럭(FCLK)의 지연 고정이 완료된 후, PVT 변동에 의해 위상 지연이 발생할 수 있다.
- <22> 상기 듀티 보정은 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 위상을 비교하고 두 클럭의 라이징 구간 또는 폴링 구간의 폭을 조절하여 이루어지는데, 라이징 클럭(RCLK)의 위상 지연량이 폴링 클럭(FCLK)과 다를 경우, 라이징 클럭(RCLK)의 위상 보정이 이루어지지 못한다. 도 1은 듀티 보정 에러 발생초기 상태를 나타낸 것으로, 도 1의 좌측에 도시된 듀티 사이클 보정 클럭(DCC_OUT)과 같이, 라이징 구간과 폴링 구간의 듀티 비가 5:5가 되지 못하는 에러가 발생된다.
- <23> 상기 듀티 사이클 보정 클럭(DCC_OUT)은 다시 지연 고정 루프 회로로 피드백되고 지연 고정 신호처리를 거쳐 듀티 사이클 보정 회로에서 듀티 사이클 보정이 수행되는 과정을 반복한다.
- <24> 상기 지연 고정 신호처리 및 듀티 사이클 보정의 반복에 의해 듀티 보정 에러 발생 초기의 스큐(Skew) 즉, 위상 왜곡 성분이 누적되어 도 1의 우측에 도시된 듀티 사이클 보정 클럭(DCC_OUT)과 같이 하이 구간과 로우 구간이 정상적으로 반복되지 못하는 비정상적인 신호가 출력된다.
- <25> 상술한 바와 같이 종래의 기술에 따른 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로는 PVT 변동에 따른 위상 지연으로 듀티 사이클 보정 에러를 유발하고 결국, 이를 사용하는 반도체 회로의 동작 불량(Fail)을 초래하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <26> 본 발명은 PVT 변동이 발생하더라도 안정적인 지연 고정 및 듀티 사이클 보정이 가능하도록 한 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로 및 그 제어방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <27> 본 발명에 따른 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로는 외부 클럭을 입력받아 제 1 내부 클럭을 생성하고 상기 제 1 내부 클럭을 내부의 지연수단을 통해 지연시켜 복수개의 제 2 내부 클럭을 출력하며, 피드백 클럭과 상기 제 1 내부 클럭과의 위상차에 따라 상기 지연수단의 지연시간을 조정함으로써 상기 제 2 내부 클럭의 지연 고정이 이루어지도록 하는 지연 고정 루프 블록; 상기 복수개의 제 2 내부 클럭의 듀티 사이클을 보정한 듀티 사이클 보정 클럭을 출력하는 듀티 사이클 보정 블록; 및 상기 복수개의 제 2 내부 클럭의 위상 비교결과에 따라 듀티 보정 에러 발생을 판단하여 상기 듀티 사이클 보정 클럭 또는 상기 복수개의 제 2 내부 클럭 중 하나를 상기 피드백 클럭으로서 상기 지연 고정 루프 블록으로 피드백시키는 에러 판단부를 구비함을 특징으로 한다.
- <28> 본 발명에 따른 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법은 지연 고정 루프 블록과 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭의 듀티 사이클을 보정하여 듀티 사이클 보정 클럭으로 출력하는 듀티 사이클 보정 블록을 구비한 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로의 제어방법으로서, 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭을 이용하여 상기 듀티 사이클 보정 클럭의 오류를 판단하는 단계; 및 상기 듀티 사이클 보정 클럭의 오류를 판단한 결과에 따라 상기 듀티 사이클 보정 클럭 또는 상기 지연 고정 루프 블록에서 출력된 복수개의 클럭 중 하나를 상기 지연 고정 루프 블록으로 피드백시키는 단계를 구비

함을 특징으로 한다.

- <29> 이하, 첨부된 도면을 참조하여 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로 및 그 제어 방법의 바람직한 실시예를 설명하면 다음과 같다.
- <30> 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로는 도 2에 도시된 바와 같이, 외부 클럭(CLK, CLKb)을 입력받아 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)을 생성하고 상기 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)을 내부의 지연수단을 통해 지연시켜 복수개의 제 2 내부 클럭[이하, 폴링 클럭(FCLK), 라이징 클럭(RCLK)]을 출력하며, 피드백 클럭(FB_DCC)과 상기 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)과의 위상차에 따라 상기 지연수단의 지연시간을 조정함으로써 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)의 지연 고정이 이루어지도록 하는 지연 고정 루프 블록(100), 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)의 듀티 싸이클을 보정한 듀티 싸이클 보정 클럭(DCC_OUT)을 출력하는 듀티 싸이클 보정 블록(200), 및 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)의 위상 비교결과에 따라 듀티 보정 에러 발생을 판단하여 상기 듀티 싸이클 보정 클럭(DCC_OUT) 또는 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK) 중 하나를 상기 피드백 클럭(FB_DCC)으로서 상기 지연 고정 루프 블록(100)으로 피드백시키는 에러 판단부(300)를 구비한다. 상기 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)은 신호의 경로를 구분하기 위하여 다르게 명명한 것일 뿐, 실제로는 같은 클럭이다.
- <31> 상기 지연 고정 루프 블록(100)은 도 3에 도시된 바와 같이, 상기 외부 클럭(CLK, CLKb)을 입력받아 상기 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)을 생성하는 버퍼(110), 상기 제 1 내부 클럭(CLKIN1, CLKIN2)을 위상 검출신호(CTRL)에 따라 증감된 지연량 만큼 지연시켜 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)으로 출력하는 레지스터 제어(Register-Controlled) 지연부(120), 상기 에러 판단부(300)에서 출력된 피드백 클럭(FB_DCC)을 정해진 시간동안 지연시키는 지연 모델(130), 및 상기 제 1 내부 클럭(REF_CLK, 이하 기준 클럭)과 상기 지연 모델(130)에서 출력된 클럭(FB_CLK)의 위상을 비교하여 상기 위상 검출신호(CTRL)를 출력하는 위상 검출기(140)를 구비한다.
- <32> 상기 레지스터 제어 지연부(120)는 상기 제 1 내부 클럭(CLKIN1)을 레지스터값 만큼 지연시키고 반전시켜 상기 폴링 클럭(FCLK)으로 출력하는 제 1 지연라인(121), 상기 제 1 내부 클럭(CLKIN2)을 상기 레지스터값 만큼 지연시켜 상기 라이징 클럭(RCLK)으로 출력하는 제 2 지연라인(122), 쉬프트 제어신호(Shift Right: SR, Shift Left: SL)에 따라 상기 제 1 및 제 2 지연라인(121, 122)의 지연량을 결정하기 위한 상기 레지스터값을 출력하는 쉬프트 레지스터(123), 및 상기 위상 검출신호(CTRL)에 따라 상기 쉬프트 레지스터(123)로 상기 쉬프트 제어신호(SR, SL)를 출력하는 쉬프트 제어기(124)를 구비한다.
- <33> 상기 지연 모델(130)은 더미(Dummy) 클럭 버퍼, 더미 출력 버퍼 및 더미 로드 등을 포함하며, 복제회로(Replica Circuit)라고도 불리 운다.
- <34> 상기 듀티 싸이클 보정 블록(200)은 제어신호(WF)에 따라 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)의 듀티 싸이클을 보정하여 듀티 싸이클 보정 클럭(DCC_OUT)을 출력하는 믹서(210), 상기 듀티 싸이클 보정 클럭(DCC_OUT)의 위상을 분리하여 지연 고정 루프 클럭(RCLK_DLL, FCLK_DLL)을 출력하는 위상 분리기(220), 및 상기 폴링 클럭(FCLK) 및 라이징 클럭(RCLK)의 위상을 비교하여 그 비교결과에 따라 상기 제어신호(WF)를 생성하는 믹서 제어부(230)를 구비한다. 상기 위상 분리기(220)는 상기 듀티 싸이클 보정 클럭(DCC_OUT)의 위상을 분리하기 위한 위상 분리 회로 및 위상 분리된 두 신호를 구동하여 상기 지연 고정 루프 클럭(RCLK_DLL, FCLK_DLL)을 생성하기 위한 드라이버를 구비한다.
- <35> 상기 에러 판단부(300)는 도 4에 도시된 바와 같이, 상기 기준 클럭(REF_CLK)을 이용하여 라이징 클럭(RCLK)의 위상을 검출하여 제 1 위상 검출신호(RCTRL)를 출력하는 제 1 위상 검출기(310), 상기 기준 클럭(REF_CLK)을 이용하여 폴링 클럭(FCLK)의 위상을 검출하여 제 2 위상 검출신호(FCTRL)를 출력하는 제 2 위상 검출기(320), 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)를 조합하여 선택신호(Y, Yb)를 생성하는 선택신호 생성부(330), 및 상기 선택신호(Y, Yb)에 따라 상기 라이징 클럭(RCLK) 또는 듀티 싸이클 보정 클럭(DCC_OUT)을 출력하는 신호 선택부(340)를 구비한다. 상기 신호 선택부(340)에서 라이징 클럭(RCLK)을 출력하는 것은 듀티 보정 에러가 발생된 경우에 이루어진다. 듀티 보정 에러 발생시 듀티 싸이클 보정 클럭(DCC_OUT)이 비정상적인 상태이므로 이를 대신하여 듀티 싸이클 보정이 진행되기 전의 클럭을 지연 고정 루프 블록(100)으로 피드백시키기 위함이다. 따라서 본 발명의 실시예에서는 듀티 싸이클 보정이 이루어지지 않은 라이징 클럭(RCLK)과 폴링 클럭(FCLK) 중의 하나로서 상기 라이징 클럭(RCLK)을 선택한 것이므로 라이징 클럭(RCLK) 대신에 폴링 클럭(FCLK)을 출력하도록 상기 신호 선택부(340)를 구성하는 것도 가능하다.

- <36> 상기 선택신호 생성부(330)는 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)가 동일한 논리 레벨을 갖는 경우 선택신호(Y = 하이 레벨, Yb = 로우 레벨)를 출력하고, 상기 제 1 및 제 2 위상 검출신호가 서로 다른 논리 레벨을 갖는 경우 선택신호(Y = 로우 레벨, Yb = 하이 레벨)를 출력하도록 익스클루시브 노아(Exclusive Nor: XNOR) 로직을 구비한다. 상기 익스클루시브 노아 로직은 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)를 입력받는 제 1 노아 게이트(NR11), 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)를 입력받는 제 1 낸드 게이트(ND11), 상기 제 1 낸드 게이트(ND11)의 출력을 입력받는 제 1 인버터(IV11), 상기 제 1 노아 게이트(NR11)와 상기 제 1 인버터(IV11)의 출력을 입력받아 상기 선택신호(Yb)를 출력하는 제 2 노아 게이트(NR12), 및 상기 제 2 노아 게이트(NR12)의 출력을 입력받아 상기 선택신호(Y)를 출력하는 제 2 인버터(IV12)를 구비한다.
- <37> 상기 신호 선택부(340)는 상기 선택신호(Y, Yb)에 따라 상기 라이징 클럭(RCLK)을 출력하는 제 1 패스 게이트(PG21), 및 상기 선택신호(Y, Yb)에 따라 상기 듀티 싸이클 보정 클럭(DCC_OUT)을 출력하는 제 2 패스 게이트(PG22)를 구비한다.
- <38> 이와 같이 구성된 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 동작을 설명하면 다음과 같다.
- <39> 지연 고정 루프 블록(100)의 버퍼(110)가 외부 클럭(CLK, CLKb)을 입력받아 제 1 내부 클럭(CLKIN1, CLKIN2, REF_CLK)을 생성하여 출력한다.
- <40> 상기 제 1 내부 클럭(CLKIN1)이 제 1 지연라인(121)을 통해 지연되고 반전되어 폴링 클럭(FCLK)으로 출력되고, 상기 제 1 내부 클럭(CLKIN2)이 제 2 지연라인(122)을 통해 지연되어 라이징 클럭(RCLK)으로 출력된다.
- <41> 한편, 기준 클럭(REF_CLK)은 위상 검출기(140)로 공급된다.
- <42> 듀티 싸이클 보정 블록(200)의 믹서 제어부(230)가 상기 폴링 클럭(FCLK)과 라이징 클럭(RCLK)의 위상을 비교한 결과에 따라 폴링 클럭(FCLK)과 라이징 클럭(RCLK)의 하이 레벨 구간과 로우 레벨 구간 중 폭을 조정해야 하는 구간을 정해주는 제어신호(WF)를 출력한다. 예를 들어, 라이징 클럭(RCLK)의 폴링 엣지가 폴링 클럭(FCLK)에 비해 앞서있는 경우 라이징 클럭(RCLK)의 하이 레벨 구간이 로우 레벨 구간에 비해 좁은 반면, 폴링 클럭(FCLK)의 하이 레벨 구간이 로우 레벨 구간에 비해 넓은 것을 의미한다. 정상적인 듀티 보정이 이루어지기 위해서는 클럭의 듀티비가 5:5가 되어야 하므로 라이징 클럭(RCLK)의 하이 레벨 구간은 늘리고 폴링 클럭(FCLK)의 하이 레벨 구간은 좁혀야 한다. 따라서 믹서 제어부(230)는 상기 폴링 클럭(FCLK)과 라이징 클럭(RCLK)의 위상을 비교하여 라이징 클럭(RCLK)의 폴링 엣지가 폴링 클럭(FCLK)에 비해 앞서 있으면 상기 제어신호(WF)를 특정 레벨 예를 들어, 하이 레벨로 출력하고, 이와는 반대로 폴링 클럭(FCLK)의 폴링 엣지가 라이징 클럭(RCLK)에 비해 앞서 있으면 로우 레벨을 출력하도록 구성된 것이다.
- <43> 믹서(210)는 상기 제어신호(WF)의 레벨에 따라 폴링 클럭(FCLK)과 라이징 클럭(RCLK) 각각의 하이 레벨 구간의 폭을 조정하는 방식으로 듀티 싸이클 보정을 수행하여 듀티 싸이클 보정 클럭(DCC_OUT)을 출력한다.
- <44> 에러 판단부(300)는 폴링 클럭(FCLK)과 라이징 클럭(RCLK)의 위상 비교를 통해 듀티 보정 에러 발생여부를 판단하고, 듀티 보정 에러가 발생되었으면 듀티 싸이클 보정 클럭(DCC_OUT) 대신에 라이징 클럭(RCLK)을 선택하여 지연 고정 루프 블록(100)으로 피드백시킨다. 한편 듀티 보정 에러가 발생되지 않았으면 정상적인 듀티 싸이클 보정이 이루어진 듀티 싸이클 보정 클럭(DCC_OUT)을 선택하여 지연 고정 루프 블록(100)으로 피드백시킨다. 상기 에러 판단부(300)의 제 1 위상 검출기(310)는 라이징 클럭(RCLK)의 하이 레벨 구간이 기준 클럭(REF_CLK)에 비해 앞서있으면 제 1 위상 검출신호(RCTRL)를 로우 레벨로 출력하고, 라이징 클럭(RCLK)의 하이 레벨 구간이 기준 클럭(REF_CLK)에 비해 뒤져있으면 제 1 위상 검출신호(RCTRL)를 하이 레벨로 출력한다. 상기 제 2 위상 검출기(320)는 폴링 클럭(FCLK)의 하이 레벨 구간이 기준 클럭(REF_CLK)에 비해 앞서있으면 제 2 위상 검출신호(FCTRL)를 로우 레벨로 출력하고, 폴링 클럭(FCLK)의 하이 레벨 구간이 기준 클럭(REF_CLK)에 비해 뒤져있으면 제 2 위상 검출신호(FCTRL)를 하이 레벨로 출력한다.
- <45> 선택신호 생성부(330)는 익스클루시브 노아 로직이므로 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)가 동일한 논리 레벨이면 선택신호(Y, Yb)를 각각 하이 레벨과 로우 레벨로 출력하고, 그렇지 않으면 선택신호(Y, Yb)를 각각 로우 레벨과 하이 레벨로 출력한다. 상기 신호 선택부(340)는 선택신호(Y, Yb)가 각각 하이 레벨과 로우 레벨인 경우 듀티 싸이클 보정 클럭(DCC_OUT)을 선택하여 출력하고, 상기 선택신호(Y, Yb)가 각각 하이 레벨과 로우 레벨이면 라이징 클럭(RCLK)을 선택하여 출력한다.
- <46> 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)가 동일한 논리 레벨이라는 것은 지연 고정이 정상적으로 이루어

어저 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 위상이 오차범위 내에서 동일하다는 것을 의미한다. 이와 같이 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 위상이 동일한 경우 듀티 사이클 보정 클럭(DCC_OUT)은 정상적인 듀티 사이클 보정이 이루어진 파형을 보일 것이다. 한편, 상기 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)가 서로 다른 논리 레벨이라는 것은 지연 고정에 정상적으로 이루어지지 않았거나 혹은 지연 고정이 정상적으로 이루어졌더라도 PVT 변동에 의해 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 위상에 차이가 있다는 것을 의미한다. 이와 같이 위상차가 존재하는 라이징 클럭(RCLK)과 폴링 클럭(FCLK)을 이용하여 생성한 듀티 사이클 보정 클럭(DCC_OUT)은 비정상적인 파형으로 출력될 것이고 지연 고정 루프 블록(100)에 피드백되면 지연 고정 동작의 오류를 심화시켜 종래 기술의 문제점에서 서술한 바와 같은 스큐 누적으로 인한 불량을 발생시킬 것이다. 따라서 비정상적인 듀티 사이클 보정 클럭(DCC_OUT) 대신에 라이징 클럭(RCLK)을 출력하는 것이며, 지연 고정 루프 블록(100)으로 피드백되는 라이징 클럭(RCLK)은 폴링 클럭(FCLK)은 서로 위상 차이가 있더라도 비정상적인 듀티 사이클 보정 클럭(DCC_OUT)과 달리 정상적인 파형은 유지하므로 지연 고정 루프 블록(100)의 동작에 의해 상기 위상 차이가 보정된 후 듀티 사이클 보정 블록(200)으로 입력된다.

<47> 도 5의 좌측에 도시된 바와 같이, 라이징 클럭(RCLK)이 폴링 클럭(FCLK)에 비해 밀려 있다면, 믹서 제어부(230)는 제어신호(WF)를 로우 레벨로 출력하게 된다. 이와 같이 제어신호(WF)가 로우 레벨인 경우 라이징 클럭(RCLK)이 폴링 클럭(FCLK)에 비해 밀려 있음에도 불구하고 라이징 클럭(RCLK)의 위상을 기준 클럭(REF_CLK)에 대비하여 당기지 못하고 오히려 미는 방식으로 듀티 사이클 보정을 수행하여 출력한 듀티 사이클 보정 클럭(DCC_OUT)을 지연 고정 루프 블록(100)으로 피드백시키므로 종래의 기술과 같은 문제점이 발생하였다. 그러나 본 발명은 듀티 사이클 보정 클럭(DCC_OUT) 대신 라이징 클럭(RCLK)을 지연 고정 루프 블록(100)으로 피드백시키므로 상술한 문제를 해결하여 듀티 보정이 정확히 이루어질 수 있다.

<48> 또한 도 5의 우측에 도시된 바와 같이, 라이징 클럭(RCLK)과 폴링 클럭(FCLK)이 기준 클럭(REF_CLK)에 비해 앞서 있지만, 라이징 클럭(RCLK)이 기준 클럭(REF_CLK) 대비 심하게 밀려 있는 경우가 발생할 수 있다. 이 경우 라이징 클럭(RCLK)의 지연 고정 포인트가 기준 클럭(REF_CLK)의 N번째 클럭에서 N+1 번째 클럭이 되는 불량이 발생할 수 있다. 그러나 본 발명은 예러 판단부(300)의 제 1 및 제 2 위상 검출기(310, 320)의 제 1 및 제 2 위상 검출신호(RCTRL, FCTRL)의 출력 레벨이 달라지는 타이밍에 듀티 사이클 보정 클럭(DCC_OUT) 대신 라이징 클럭(RCLK)을 지연 고정 루프 블록(100)으로 피드백시키므로 상술한 문제를 해결하여 듀티 보정이 정확히 이루어질 수 있다.

<49> 상기 지연 고정 루프 블록(100)의 지연 모델(130)이 상기 예러 판단부(300)에서 출력된 피드백 클럭(FB_DCC)을 정해진 시간만큼 지연시켜 위상 검출기(140)로 출력한다.

<50> 상기 위상 검출기(140)는 상기 지연 모델(130)의 출력(FB_CLK)과 기준 클럭(REF_CLK)의 위상을 비교하여 위상 검출신호(CTRL)를 출력한다.

<51> 상기 위상 검출신호(CTRL)에 따라 쉬프트 제어기(124)가 쉬프트 제어신호(SR, SL)를 출력하고, 쉬프트 레지스터(123)가 상기 쉬프트 제어신호(SR, SL)에 응답하여 레지스터값을 우측 또는 좌측으로 쉬프트시켜 상기 제 1 지연라인(121) 및 제 2 지연라인(122)의 지연량을 조정한다.

<52> 이후 쉬프트 제어기(124)는 위상 검출신호(CTRL)에 따라 지연량이 조정되고 듀티 사이클 보정이 이루어진 지연 모델(130)의 출력(FB_CLK)과 기준 클럭(REF_CLK)의 비교결과를 판단해가면서, 상기 클럭(FB_CLK)과 기준 클럭(REF_CLK)이 최소의 지터(Jitter)를 가지는 타이밍에 지연고정이 이루어졌음을 판단하여 위상 고정 신호를 활성화시킨다.

<53> 상기 활성화된 위상 고정 신호에 응답하여 상기 위상 분리기(220)의 드라이버가 동작하고 최종적으로 지연 고정 및 듀티 사이클 보정이 정상적으로 이루어진 지연 고정 루프 클럭(FCLK_DLL, RCLK_DLL)이 출력된다.

<54> 본 발명에 따른 듀티 사이클 보정 기능을 갖는 지연 고정 루프 회로의 동작 시뮬레이션을 나타낸 파형도가 도 6a 내지 도 6d에 도시되어 있다. 즉, 도 6a에 도시된 바와 같이, PVT 변화를 재현하기 위해 전압을 1.8V에서 1.4V까지 연속적으로 강하되도록 하였다. 상기 전압 강하에 따라 각 클럭들의 스윙 폭이 변하는 것을 알 수 있다.

<55> 노멀 상태(normal) 즉, 정상적인 전압조건을 나타낸 도 6b에 도시된 바와 같이, 종래기술과 본 발명 모두 듀티 사이클 보정이 정상적으로 이루어지고 있음을 알 수 있다.

<56> 전압 강하 초기 상태(abnormal 1)가 되면 도 6c에 도시된 바와 같이, 종래기술의 경우 기준 클럭(REF_CLK) 대비 라이징 클럭(RCLK)의 지연 고정이 정상적으로 진행되지 않고, 그에 따라 듀티 사이클 보정 클럭(DCC_OUT)의 듀

티비가 51.8%로 정상값을 벗어나 듀티 보정 능력이 점점 떨어지고 있음을 알 수 있다. 이에 반하여 본 발명은 듀티 싸이클 보정 클럭(DCC_OUT)의 듀티비가 50.8%로 종래기술에 비해 정상값에 근접함을 알 수 있다.

<57> 상기 전압 강하 초기 상태(abnormal 1)에 비해 전압 강하가 더욱 심화(abnormal2) 6d에 도시된 바와 같이, 종래 기술의 경우 기준 클럭(REF_CLK) 대비 라이징 클럭(RCLK)의 지연 고정이 정상적으로 이루어진 것처럼 보이나, 실질적으로는 라이징 클럭(RCLK)의 지연 고정 포인트가 기준 클럭(REF_CLK)의 N번째 클럭이 아닌 N+1 번째 클럭 이므로 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 스큐가 심화되어 듀티 싸이클 보정 클럭(DCC_OUT)의 듀티비가 61.6%로 되므로 정상적인 동작이 거의 불가능해졌음을 알 수 있다. 이에 반하여 본 발명은 라이징 클럭(RCLK)의 지연 고정 포인트가 정상적으로 기준 클럭(REF_CLK)의 N번째 클럭이 되어 라이징 클럭(RCLK)과 폴링 클럭(FCLK)의 스큐가 거의 없고 듀티 싸이클 보정 클럭(DCC_OUT)의 듀티비가 50.1%가 되어, 외부 환경이 급격하게 변화 여도 정확한 듀티 보정이 이루어짐을 알 수 있다.

<58> 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<59> 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로 및 그 제어방법은 듀티 보정 에러 발생을 판단하여 비정상적인 피드백으로 인한 지연 고정 루프 동작 오류를 미연에 방지하므로 PVT 변동이 발생하더라도 안정적이고 정확한 듀티 싸이클 보정 및 지연 고정 동작이 가능하도록 하여 제품의 성능 및 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

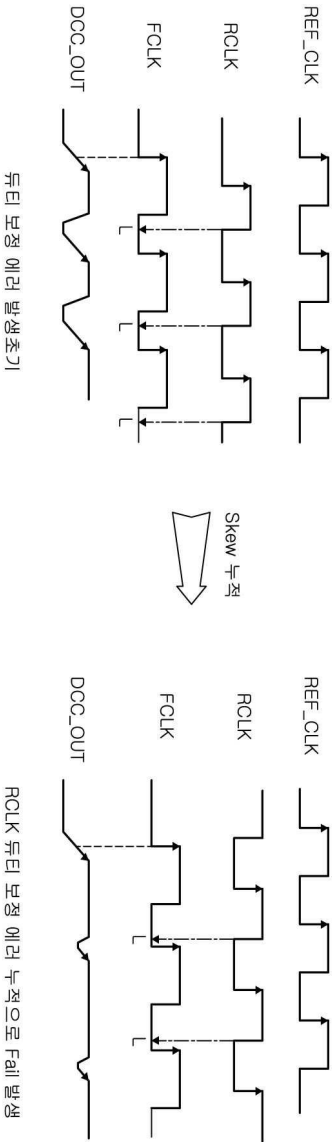
- <1> 도 1은 종래의 기술에 따른 듀티 보정 에러발생을 보여주는 파형도,
- <2> 도 2는 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 블록도,
- <3> 도 3은 도 2의 각 구성의 내부 블록도,
- <4> 도 4는 도 3의 에러 판단부의 회로도,
- <5> 도 5는 본 발명에 따른 듀티 싸이클 보정 방법을 나타낸 파형도,
- <6> 도 6a 내지 도 6d는 본 발명에 따른 듀티 싸이클 보정 기능을 갖는 지연 고정 루프 회로의 동작 시뮬레이션을 나타낸 파형도이다.

<7> < 도면의 주요 부분에 대한 부호의 설명 >

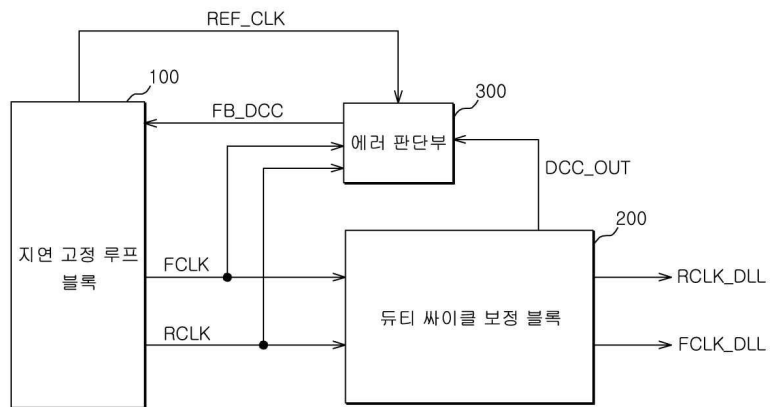
- <8> 100: 지연 고정 루프 블록 110: 버퍼
- <9> 120: 레지스터 제어 지연부 121: 제 1 지연라인
- <10> 122: 제 2 지연라인 123: 쉬프트 레지스터
- <11> 124: 쉬프트 제어기 130: 지연 모델
- <12> 140: 위상 검출기 200: 듀티 싸이클 보정 블록
- <13> 210: 믹서 220: 위상 분리기
- <14> 230: 믹서 제어부 300: 에러 판단부
- <15> 310: 제 1 위상 검출기 320: 제 2 위상 검출기
- <16> 330: 선택신호 생성부 340: 신호 선택부

도면

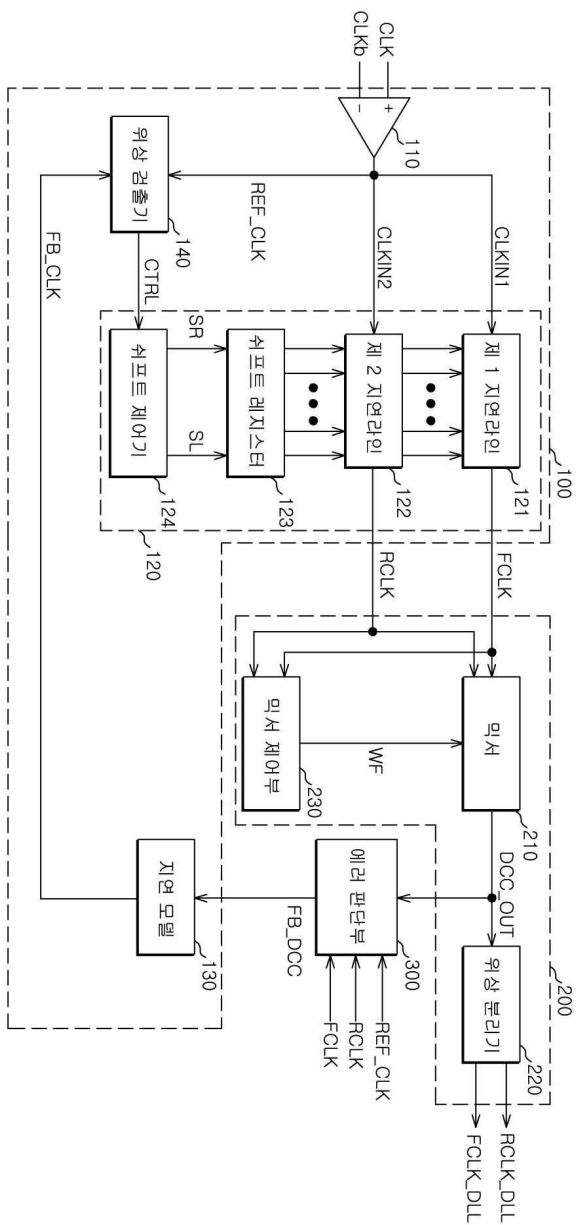
도면1



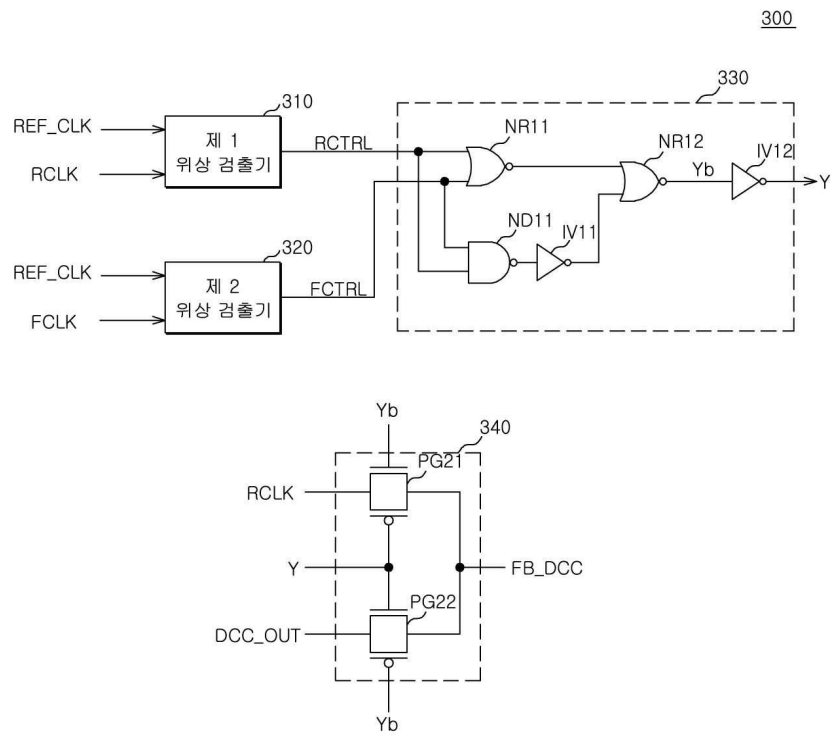
도면2



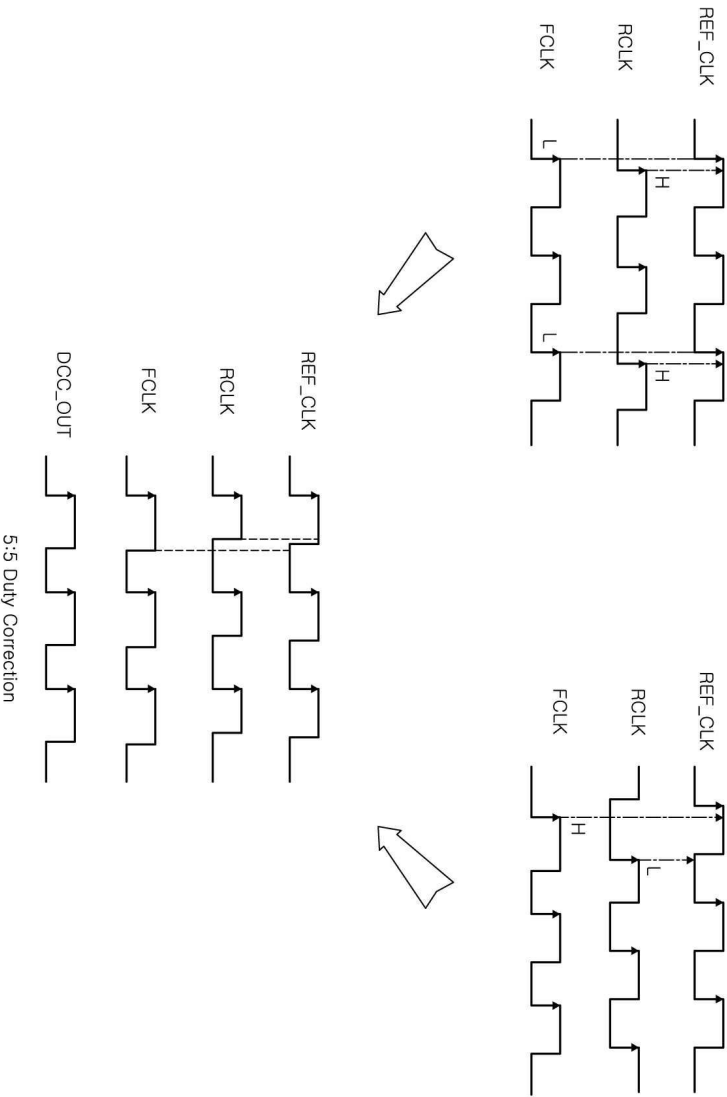
도면3



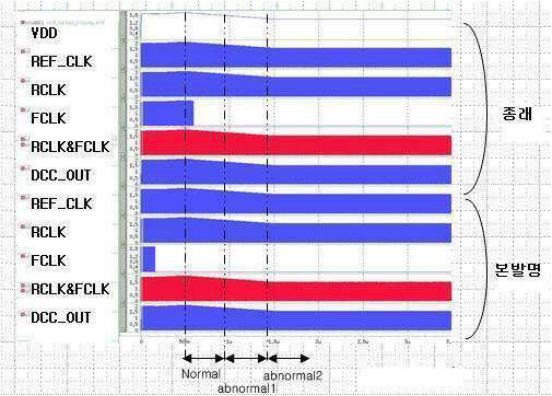
도면4



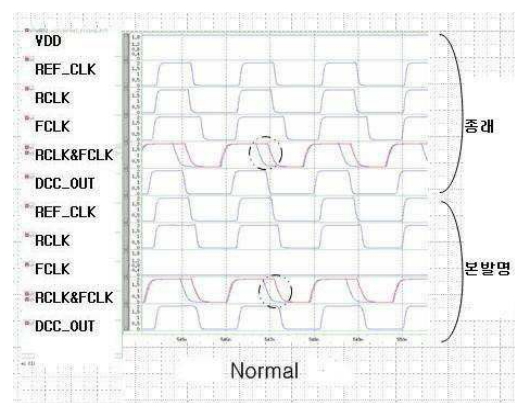
도면5



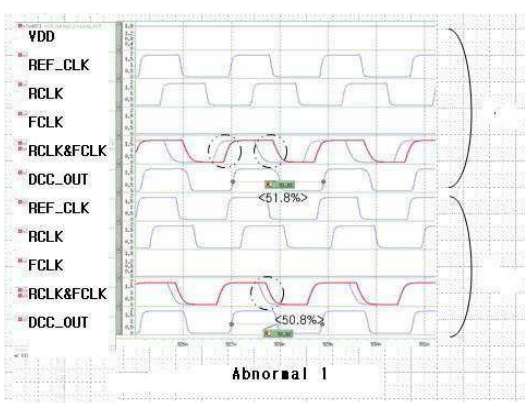
도면6a



도면6b



도면6c



도면6d

