

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5403201号
(P5403201)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int.Cl.

F I

H O 1 L 21/02 (2006.01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006.01)

H O 1 L 27/12 C

H O 1 L 23/52 (2006.01)

G O 2 F 1/1345

G O 2 F 1/1345 (2006.01)

G O 9 F 9/30 3 3 7

G O 9 F 9/30 (2006.01)

請求項の数 4 (全 12 頁)

(21) 出願番号 特願2007-14563 (P2007-14563)
 (22) 出願日 平成19年1月25日(2007.1.25)
 (65) 公開番号 特開2008-182064 (P2008-182064A)
 (43) 公開日 平成20年8月7日(2008.8.7)
 審査請求日 平成22年1月18日(2010.1.18)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100079108
 弁理士 稲葉 良幸
 (74) 代理人 100080953
 弁理士 田中 克郎
 (74) 代理人 100093861
 弁理士 大賀 眞司
 (72) 発明者 入口 千春
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1基板上に、傾斜した側面を有する外部接続用電極部を備えた電子部品を1つ以上形成する部品形成工程と、

前記電子部品を前記第1基板上で個々の電子部品に分離すると共に、前記傾斜した側面を露出させる分離工程と、

前記電子部品を前記第1基板上から第2基板上に移す転写工程と、

前記傾斜した側面を含む経路上に液体材料を塗布することにより、前記電子部品の外部接続用電極部と前記第2基板上の電極とを電氣的に接続する配線を形成する配線形成工程とを備え、

前記分離工程では、異方性エッチングにより個々の電子部品に分離した後、等方性エッチングにより前記傾斜した側面を露出させることを特徴とする半導体装置の製造方法。

【請求項 2】

前記配線形成工程では、前記液体材料を塗布する前に、前記経路の周囲に撥液処理を施すことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記配線形成工程では、インクジェット法を用いて前記液体材料を塗布することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項 4】

第 1 基板の第 1 面に、外部接続用電極部を備えた電子部品を 1 つ以上形成する部品形成工程と、

前記電子部品を前記第 1 基板上で個々の電子部品に分離する分離工程と、

前記電子部品を前記第 1 基板から第 2 基板の第 1 面に移す転写工程と、

前記第 2 基板の前記第 1 面に配置された電極と、前記外部接続用電極部と、に重なるように液体材料を塗布し、前記電極と前記外部接続用電極部とを電氣的に接続する配線を形成する配線形成工程と、を備え、

前記外部接続用電極部が前記電子部品の端部に形成されたものであり、前記電子部品の前記端部が第 1 の部分と第 2 の部分とを有し、前記第 1 の部分と前記第 2 の部分とが前記外部接続用電極部に覆われ、前記第 1 の部分の膜厚が前記第 2 の部分の膜厚より大きく、前記第 2 の部分が前記第 1 の部分より前記第 2 基板の外周寄りに位置し、
前記分離工程では、異方性エッチングにより個々の電子部品に分離した後、等方性エッチングにより前記端部を露出させる、ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、半導体装置、電気光学装置、および電子機器に関するものである。

【背景技術】

【0002】

TFT (Thin Film Transistor) 等の電子デバイスを基板上に実装した半導体装置において、電子デバイスの外部接続用の電極と基板の端子とを電氣的に接続する金属配線を形成する方法がいくつか知られている。例えば、ワイヤボンディングによって金属配線で接続する方法や、インクジェット法を用いて導電性材料を含む液体材料を塗布することにより配線を形成する方法などが知られている。

インクジェット法を用いて配線を形成する場合、電子デバイスに設けられた外部接続用電極と基板の端子との間には多くの場合段差があるため、電氣的接続が安定した配線を形成するためには工夫が必要である。例えば特許文献 1 には、この段差を絶縁樹脂で覆うことにより緩やかな傾斜にすることが記載されている。

【特許文献 1】特開 2005 - 302813 号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

特許文献 1 に記載された方法では、段差を緩やかな傾斜にするために、絶縁樹脂で覆う工程が必要となる。

そこで本発明の目的は、製造工程を複雑にせずに、半導体装置の電子部品と配線との電氣的接続の安定性を向上させることである。

【課題を解決するための手段】

【0004】

本発明に係る半導体装置の製造方法は、第 1 基板上に形成され、傾斜した側面を有する外部接続用電極部を備えた電子部品を、前記傾斜した側面を露出させた状態で前記第 1 基板上から第 2 基板上に移す転写工程と、前記傾斜した側面を含む経路上に液体材料を塗布することにより、前記電子部品の外部接続用電極部と前記第 2 基板上の電極とを電氣的に接続する配線を形成する配線形成工程とを備えたものである。

これによれば、電子部品の外部接続用電極部の側面が傾斜を有しているため、液体材料を傾斜した側面に沿って塗布することができる。このため、電氣的接続の安定した配線を形成することができる。また、外部接続用電極部の側面全体に液体材料を塗布することができるので、外部接続用電極部と配線の接触面積を大きくすることができ、電氣的接続の安定性を向上させることができる。

【0005】

本発明に係る半導体装置の製造方法は、第1基板上に、傾斜した側面を有する外部接続用電極部を備えた電子部品を1つ以上形成する部品形成工程と、前記電子部品を前記第1基板上で個々の電子部品に分離すると共に、前記傾斜した側面を露出させる分離工程と、前記電子部品を前記第1基板上から第2基板上に移す転写工程と、前記傾斜した側面を含む経路上に液体材料を塗布することにより、前記電子部品の外部接続用電極部と前記第2基板上の電極とを電氣的に接続する配線を形成する配線形成工程とを備えたものである。

これによれば、電子部品の外部接続用電極部の側面が傾斜を有しているため、液体材料を傾斜した側面に沿って塗布することができる。このため、電氣的接続の安定した配線を形成することができる。また、外部接続用電極部の側面全体に液体材料を塗布することができるので、外部接続用電極部と配線の接触面積を大きくすることができ、電氣的接続の安定性を向上させることができる。

10

【0006】

また、前記配線形成工程では、前記液体材料を塗布する前に、前記経路に撥液処理を施すことを特徴とすることが望ましい。

これにより、液体材料が実装基板や電子部品の表面上で広がらず、配線経路上に確実に液体材料を塗布することができる。

【0007】

また、前記配線形成工程では、例えばインクジェット法を用いて前記液体材料を塗布することにより、簡易かつ確実に液体材料を塗布することができる。

【0008】

20

また、前記分離工程では、異方性エッチングにより個々の電子部品に分離した後、等方性エッチングにより前記傾斜した側面を露出させることができる。

【0009】

本発明に係る半導体装置の製造方法は、第1基板の第1面に配置され、外部接続用電極部を備えた電子部品を前記第1基板から第2基板の第1面に移す転写工程と、前記第2基板の前記第1面に配置された電極と、前記外部接続用電極部と、に重なるように液体材料を塗布し、前記電極と前記外部接続用電極部とを電氣的に接続する配線を形成する配線形成工程と、を備え、前記外部接続用電極部が前記電子機器の端部に形成されたものであり、前記電子部品の前記端部が第1の部分と第2の部分とを有し、前記第1の部分と前記第2の部分とが前記外部接続用電極部に覆われ、前記第1の部分の膜厚が前記第2の部分の膜厚より大きく、前記第2の部分が前記第1の部分より前記第2基板の外周寄りに位置する、ことを特徴とするものであってもよい。

30

【0010】

本発明に係る半導体装置は、基板と、前記基板上に位置し、電子部品と、前記基板上に位置する電極と、前記電子部品の端部に形成された外部接続用電極部と前記電極とに接する配線と、を含み、前記電子部品の前記端部が第1の部分と第2の部分とを有し、前記第1の部分と前記第2の部分とが前記外部接続用電極部に覆われ、前記第1の部分の膜厚が前記第2の部分の膜厚より大きく、前記第2の部分が前記第1の部分より前記基板の外周寄りに位置する、ことを特徴とする。

これによれば、第1の部分と第2の部分との間の面が電子部品の傾斜した側面となることもでき、この場合、第1の部分と第2の部分とにまたがって形成される外部接続用電極部も、傾斜した側面に沿って形成されていることになる。このため、電氣的接続の安定した配線を形成することができる。なお、第1の部分と第2の部分との間の面は曲率を有したものであってもよい。

40

【0011】

上記半導体装置において、前記端部の膜厚が前記第1の部分から前記第2の部分にかけて連続的に変化することが好ましい。これによれば、配線が断線する可能性を低減することができる。

【0012】

上記半導体装置において、前記端部の前記第1の部分が前記電子部品の上面の一部をな

50

すことが好ましい。これによれば、配線の接触する面積が増加するため、接触不良の発生を低減することができる。

【 0 0 1 3 】

本発明の半導体装置は、電気光学装置や電子機器に適用することができる。ここで、電気光学装置とは、例えば、液晶素子、電気泳動粒子が分散した分散媒体を有する電気泳動素子、E L素子等を備えた装置であって、本発明の半導体装置を駆動回路等に適用した装置などをいう。また、電子機器とは、本発明に係る半導体装置を備えた一定の機能を奏する機器一般をいい、例えば電気光学装置やメモリを備える。その構成に特に限定は無いが、例えばI Cカード、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携

10

帯型T V、D S P装置、P D A、電子手帳、電光掲示板、宣伝広告用ディスプレイ等が含まれる。

【発明を実施するための最良の形態】

【 0 0 1 4 】

以下、本発明の実施の形態について図面を参照して説明する。
実施の形態 1 .

図 1 ~ 図 7 を用いて、実施の形態 1 による半導体装置 1 0 の製造方法について説明する

。図 1 (A) は、図 7 に示す半導体装置 1 0 に実装される薄膜チップ (電子部品) 2 0 の構成の概略を示す図である。図 1 (B) は図 1 (A) の A 部を拡大した図である。図 1 (B) に示すように、薄膜チップ 2 0 は、T F T 等の電子デバイス部 2 1 と、外部接続用電極部 2 2 を 1 つ以上備えている。薄膜チップ 2 0 は、図 1 (C) に示すように薄膜チップ製造基板 (第 1 基板) 3 0 上に製造される。一般に、薄膜チップ製造基板 3 0 上には薄膜チップ 2 0 が複数製造される。この薄膜チップ 2 0 を薄膜チップ製造基板 3 0 から半導体装置 1 0 の基板 (第 2 基板) 上に転写した後、薄膜チップ 2 0 と基板上の端子とを電氣的に接続する配線を形成することにより半導体装置 1 0 を製造する。

20

【 0 0 1 5 】

図 2 (A) は、薄膜チップ製造基板 3 0 上に製造された薄膜チップ 2 0 の電子デバイス部 2 1 と外部接続用電極部 2 2 の構成を示す平面図、図 2 (B) は、外部接続用電極部 2 2 の断面 (図 2 (A) の X - X 断面) を示す断面図である。薄膜チップ製造基板 3 0 は、ガラス基板等であり、厚さは 0 . 5 ~ 0 . 7 mm が望ましい。薄膜チップ製造基板 3 0 と薄膜チップ 2 0 の間には剥離層 3 1 が設けられている。剥離層 3 1 は例えばアモルファスシリコンで形成されており、厚さは 1 0 0 nm 程度が望ましい。

30

【 0 0 1 6 】

剥離層 3 1 上にはまず下地絶縁膜 (二酸化シリコン膜) 2 3 が形成されている。下地絶縁膜 2 3 は、厚さ 5 0 0 nm 程度が望ましい。下地絶縁膜 2 3 上には厚さ 5 0 nm 程度のゲート絶縁膜 (二酸化シリコン膜) 2 4 が形成されている。ゲート絶縁膜 2 4 上に形成されたゲート配線 2 5 は、タンタルで厚さ 5 0 0 nm 程度に形成されている。層間絶縁膜 (二酸化シリコン膜) 2 6 は、8 0 0 nm 程度の厚さで形成されており、ソース・ドレイン配線 2 7 は、アルミニウムで厚さ 9 0 0 nm 程度に形成されている。図 2 (B) に示すように、外部接続用電極部 2 2 はソース・ドレイン配線 2 7 と一体に形成され、下地絶縁膜 2 3 の中程まで達している。パッシベーション膜 (窒化シリコン膜) 2 8 は、ソース・ドレイン配線 2 7 を覆うように 1 μ m 程度の厚さに形成されている。

40

【 0 0 1 7 】

図 2 (B) に示すように、外部接続用電極部 2 2 はテーパー状に形成されており、側面は傾斜を有している。薄膜チップ 2 0 を形成する際には、まず、ソース・ドレイン配線 2 7 部分の開口をエッチングにより形成した後、外部接続用電極部 2 2 の開口を形成するためのフォトレジストを形成して、エッチングを行う。その後、ソース・ドレイン配線 2 7 と外部接続用電極部 2 2 を一体に形成する。

【 0 0 1 8 】

50

次に、薄膜チップ製造基板 30 上に複数形成された薄膜チップ 20 を単体の薄膜チップ 20 に分離する。

図 3, 4 を用いて、薄膜チップ 20 の分離について説明する。図 3 (A) は、薄膜チップ 20 の平面図、図 3 (B) および図 4 は、薄膜チップ 20 の断面図 (図 3 (A) の X - X 断面を示す断面図) である。

まず、パッシベーション膜 28 上にフォトリソスト 29 を形成し、チップ分離部 32 を開口するようにパターニングする。次に、 CF_4 プラズマを用いた反応性イオンエッチングを行い、チップ分離部 32 を異方性エッチングにより除去する。これにより、図 3 (B) に示すように、チップ分離部 32 の剥離層 31 が露出し、薄膜チップ 20 は隣接する薄膜チップ 20 と分離される。

10

【0019】

さらに、フッ酸溶液を用いて等方性エッチングを行い、薄膜チップ 20 の側面部分の下地絶縁膜 23、ゲート絶縁膜 24、および層間絶縁膜 26 を除去し、図 4 に示すように外部接続用電極部 22 の側面 (図中 B の部分) を露出させる。

【0020】

次に、薄膜チップ 20 を半導体装置 10 に転写する。

図 5 (A) ~ (C) を用いて薄膜チップ 20 の転写について説明する。図 5 (A) ~ (C) は、薄膜チップ 20 の断面図 (図 3 (A) の X - X 断面を示す断面図) である。

【0021】

まず、図 5 (A) に示すように、半導体装置 10 の基板 11 にスクリーン印刷技術等を用いて熱硬化型接着剤 40 を塗布し、薄膜チップ 20 のパッシベーション膜 28 と貼り合わせる。貼り合わせ後、加熱処理 (80、30 分) を施し、接着剤を硬化させる。

20

【0022】

次に、図 5 (B) に示すように、薄膜チップ製造基板 30 の背面よりレーザー光を照射する。ここでは、XeCl エキシマレーザー装置を用いて波長 308 nm のレーザー光を照射する。レーザー光を照射することにより、剥離層 31 の密着力が低下し、薄膜チップ 20 が薄膜チップ製造基板 30 から容易に剥離できる。これにより、薄膜チップ 20 が半導体装置 10 の基板 11 上に転写される。基板 11 と薄膜チップ 20 のパッシベーション膜 28 とが接着剤を介して貼り合わされる。

【0023】

図 5 (C) は基板 11 に薄膜チップ 20 が転写されたあとの半導体装置 10 の断面図である。パッシベーション膜 28 の端部が第 1 の部分 281 と第 2 の部分 282 とを有し、第 1 の部分 281 と第 2 の部分 282 とが外部接続用電極部 22 に覆われている。第 1 の部分 281 の膜厚は第 2 の部分 282 の膜厚より大きい。また、第 2 の部分 282 が第 1 の部分 281 より基板 11 の外周寄りに位置している。

30

【0024】

次に、薄膜チップ 20 の外部接続用電極部 22 と、基板 11 上の電極とを接続する金属配線を形成する。

図 6, 7 を用いて金属配線の形成について説明する。図 6 (A) および図 7 (A) は、基板 11 上の薄膜チップ 20 の平面図、図 6 (B) および図 7 (B) は、それぞれ図 6 (A) および図 7 (A) の X - X 断面を示す断面図である。

40

【0025】

まず、図 6 (B) に示すように、基板 11 と薄膜チップ 20 の表面に自己組織化膜 50 を形成し、表面を撥液化する。自己組織化膜 50 は、例えばフルオロアルキルシラン (FAS) を用いて形成することができる。

【0026】

次に、図 7 に示すように、外部接続用電極部 22 の傾斜した側面を含む経路上にインクジェット法を用いて導電性材料を含む液体材料を吐出し、金属配線 60 を形成する。上述したように、薄膜チップ 20 の外部接続用電極部 22 の側面はあらかじめ露出させている。液体材料としては、Au、Ag、Cu などの導電性材料を 10 nm 程度に細粒化した導

50

電性微粒子を、テトラデカンなどの溶剤に分散させたものを用いる。

【0027】

液体材料をインクジェット法によって塗布した後、加熱して溶剤成分を除去することにより金属配線60が形成される。なお、液体材料の塗布は、インクジェット法以外にディスペンサを用いた滴下などの方法で行っても良い。

【0028】

基板11および薄膜チップ20の表面には自己組織化膜50が形成されているため、吐出した液体材料が基板11や薄膜チップ20の表面上で広がらず、配線経路上に確実に液体材料を塗布することができる。

【0029】

本実施形態では、薄膜チップ20の外部接続用電極部22の側面は傾斜を有しているため、液体材料を傾斜した側面に沿って塗布することができる。このため、電氣的接続の安定した金属配線60を形成することができる。また、外部接続用電極部22側面部全体に液体材料を塗布することができるので、外部接続用電極部22と金属配線60の接触面積を大きくすることができ、外部接続用電極部22と金属配線60との電氣的接続の安定性を向上させることができる。

【0030】

なお、外部接続用電極部22の形状は図2(B)に示すものに限られず、液体材料を均一に塗布しやすいように平均的な傾斜を有し、電氣的接続の安定した金属配線60を形成できる形状であればよい。また、傾斜を有するのは金属配線60を形成する側の側面のみ

【0031】

また、薄膜チップ製造基板30上では、薄膜チップ20が半導体装置10に実装される際に上側となる面が下側となるように形成し、半導体装置10に転写する際に上下の向きを逆にして転写しているが、薄膜チップ製造基板30上においても半導体装置10に実装される時と同じ向きで形成するようにしてもよい。

【0032】

実施の形態2.

図8(A)は、実施の形態2による半導体装置10に実装される薄膜チップ20の電子デバイス部21と外部接続用電極部22の構成を示す平面図、図8(B)は、外部接続用電極部22の断面(図8(A)のX-X断面)を示す断面図である。実施の形態1と同様に、薄膜チップ20は薄膜チップ製造基板30上に製造され、薄膜チップ製造基板30から剥離されて半導体装置10の基板上に転写される。

【0033】

図8(B)に示すように、外部接続用電極部22は、実施の形態1と同様にソース・ドレイン配線27と一体に形成されテーパー状になっているが、実施の形態2では外部接続用電極部22の上面(半導体装置10に実装した際の上面)は剥離層31に接するように形成されている。

【0034】

薄膜チップ製造基板30上に複数形成された薄膜チップ20の分離および薄膜チップ20の半導体装置10への転写は実施の形態1と同様に行う。薄膜チップ20を転写した後、薄膜チップ20の外部接続用電極部22と、基板11上の電極とを接続する金属配線を形成する。金属配線の形成は、実施の形態2においてもまず基板11と薄膜チップ20の表面に自己組織化膜50を形成し、表面を撥液化する。次に、インクジェット法等を用いて液体材料を吐出し、金属配線60を形成する。

【0035】

図9(A)は、基板11上で金属配線60を形成した薄膜チップ20の平面図、図9(B)は図9(A)のX-X断面を示す断面図である。

図9(B)に示すように、実施の形態2においても、パッシベーション膜28の端部が第1の部分281と第2の部分282とを有しており、第1の部分281と第2の部分2

10

20

30

40

50

８２とが外部接続用電極部２２に覆われている。また、第１の部分２８１の膜厚は第２の部分２８２の膜厚より大きい。また、第２の部分２８２が第１の部分２８１より基板１１の外周寄りに位置している。さらに、実施の形態２では、第１の部分２８１が薄膜チップ２０の上面の一部をなしている。これにより、金属配線６０の接触する面積が増加するため、接触不良の発生を低減することができる。

【００３６】

以上のように、実施の形態２においても、薄膜チップ２０の外部接続用電極部２２の側面は傾斜を有しているため、液体材料を傾斜した側面に沿って塗布することができる。このため、電氣的接続の安定した金属配線６０を形成することができる。また、外部接続用電極部２２側面部全体に液体材料を塗布することができるので、外部接続用電極部２２と金属配線６０の接触面積を大きくすることができる。さらに実施の形態２では、外部接続用電極部２２の上面も露出しているため、外部接続用電極部２２と金属配線６０の接触面積をさらに大きくとることができる。よって、外部接続用電極部２２と金属配線６０との電氣的接続の安定性をさらに向上させることができる。

【００３７】

なお、外部接続用電極部２２の形状は図８（Ｂ）に示すものに限られず、液体材料を均一に塗布しやすいように平均的な傾斜を有し、電氣的接続の安定した金属配線６０を形成できる形状であればよい。また、傾斜を有するのは金属配線６０を形成する側の側面のみでもよい。

【００３８】

電気光学装置

図１０は、本発明の電気光学装置の例である有機ＥＬ装置１００の回路構成を示す図である。有機ＥＬ装置１００は、複数の走査線１０１と、走査線１０１に直交して配置される複数の信号線１０２と、信号線１０２に並列に延びる複数の電源線１０３と、各走査線１０１と各信号線１０２との交点付近にそれぞれ設けられる複数の画素部Ａとを含んでいる。すなわち、本例の有機ＥＬ装置１００は、複数の画素部Ａを備え、当該各画素部がマトリクス状に配列されてなるアクティブマトリクス型の表示装置である。

【００３９】

各走査線１０１には、シフトレジスタ及びレベルシフタを備える走査線駆動回路１０５が接続されている。また、各信号線１０２には、シフトレジスタ、レベルシフタ、ビデオライン及びアナログスイッチを備えるデータ線駆動回路１０４が接続されている。各画素部Ａには、走査線１０１を介して走査信号がゲートに供給されるスイッチングトランジスタ１１２と、このスイッチングトランジスタ１１２を介して信号線１０２から供給される画素信号を保持するコンデンサ１１１と、このコンデンサ１１１によって保持された画素信号がゲートに供給される駆動用トランジスタ１１３と、この駆動用トランジスタ１１３を介して電源線１０３に電氣的に接続されたときに当該電源線１０３から駆動電流が流れ込む画素電極（陽極）と、この画素電極と対向する対向電極（陰極）との間に挟み込まれた発光機能層と、が設けられている。これらの画素電極と対向電極と発光機能層によって有機ＥＬ素子３００が構成されている。なお、発光機能層は正孔輸送層、発光層、電子注入層を含む。

【００４０】

この有機ＥＬ装置１００では、走査線１０１が駆動されてスイッチングトランジスタ１１２がオン状態となると、そのときの信号線１０２の電位がコンデンサ１１１に保持され、このコンデンサ１１１の状態に応じて、駆動用トランジスタ１１３のオン／オフ状態が決まる。そして、駆動用トランジスタ１１３のチャネルを介して、電源線１０３から画素電極に電流がながれ、さらに発光機能層を介して陰極に電流がながれる。発光機能層は、この流れる電流量に応じて発光する。各発光機能層の発光状態を制御することにより、所望の画像表示を行うことができる。

【００４１】

本発明による半導体装置１０は、例えば有機ＥＬ装置１００のデータ線駆動回路１０４

10

20

30

40

50

や走査線駆動回路 105 に用いられる。

【0042】

電子機器

次に、上述した有機 EL 装置 100 を備えた電子機器の具体例について説明する。

図 11 は、有機 EL 装置 100 を備えた電子機器の具体例を示す斜視図である。図 11 (A) は、電子機器の一例である携帯電話機を示す斜視図である。この携帯電話機 100 は、本発明にかかる有機 EL 装置 100 を用いて構成された表示部 1001 を備えている。図 11 (B) は、電子機器の一例である腕時計を示す斜視図である。この腕時計 1100 は、本発明にかかる有機 EL 装置 100 を用いて構成された表示部 1101 を備えている。図 11 (C) は、電子機器の一例である携帯型情報処理装置 1200 を示す斜視図である。この携帯型情報処理装置 1200 は、キーボード等の入力部 1201、演算手段や記憶手段などが格納された本体部 1202、および本発明にかかる有機 EL 装置 100 を用いて構成された表示部 1203 を備えている。

10

【図面の簡単な説明】

【0043】

【図 1】図 1 (A) ~ (C) は、半導体装置に実装される薄膜チップの構成の概略を示す図である。

【図 2】図 2 (A) は、実施の形態 1 による薄膜チップの平面図、図 2 (B) は、図 2 (A) の X - X 断面を示す断面図である。

【図 3】図 3 (A) , (B) は、薄膜チップの分離を説明する図である。

20

【図 4】図 4 は、薄膜チップの分離を説明する図である。

【図 5】図 5 (A) ~ (C) は、薄膜チップの転写を説明する図である。

【図 6】図 6 (A) , (B) は、金属配線の形成を説明する図である。

【図 7】図 7 (A) , (B) は、金属配線の形成を説明する図である。

【図 8】図 8 (A) は、実施の形態 2 による薄膜チップの平面図、図 8 (B) は、図 8 (A) の X - X 断面を示す断面図である。

【図 9】図 9 (A) , (B) は、実施の形態 2 による金属配線の形成を説明する図である。

【図 10】図 10 は、本発明の電気光学装置の例である有機 EL 装置の回路構成を示す図である。

30

【図 11】図 11 (A) ~ (C) は、本発明の電子機器の例を示す図である。

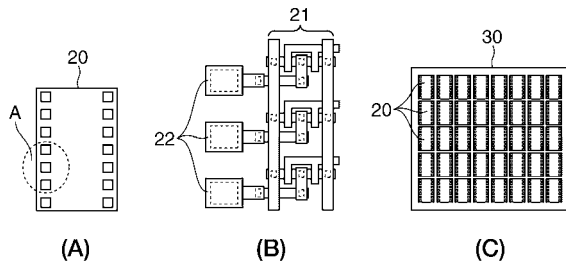
【符号の説明】

【0044】

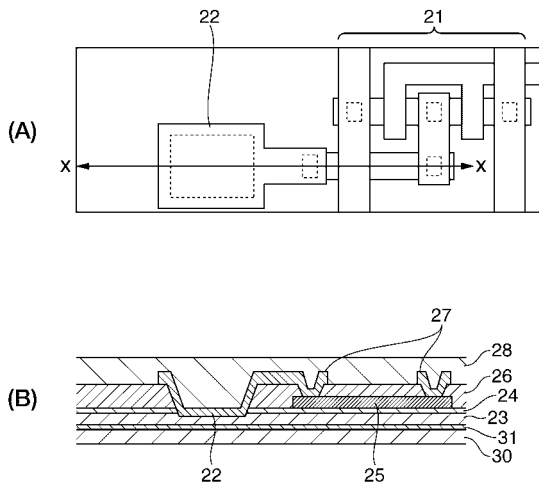
10 半導体装置、11 基板、20 薄膜チップ、21 電子デバイス部、22 外部接続用電極部、23 下地絶縁膜、24 ゲート絶縁膜、25 ゲート配線、26 層間絶縁膜、27 ソース・ドレイン配線、28 パッシベーション膜、281 第 1 の部分、282 第 2 の部分、29 フォトレジスト、30 薄膜チップ製造基板、31 剥離層、32 チップ分離部、40 熱硬化型接着剤、50 自己組織化膜、60 金属配線、100 有機 EL 装置、101 走査線、102 信号線、103 電源線、104 データ線駆動回路、105 走査線駆動回路、111 コンデンサ、112 スイッチングトランジスタ、113 駆動用トランジスタ、115 グランド線、300 有機 EL 素子

40

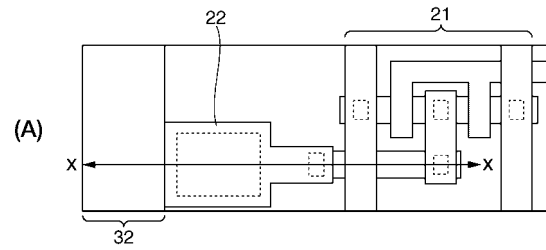
【図 1】



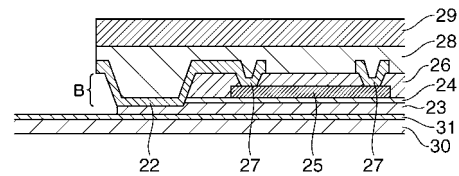
【図 2】



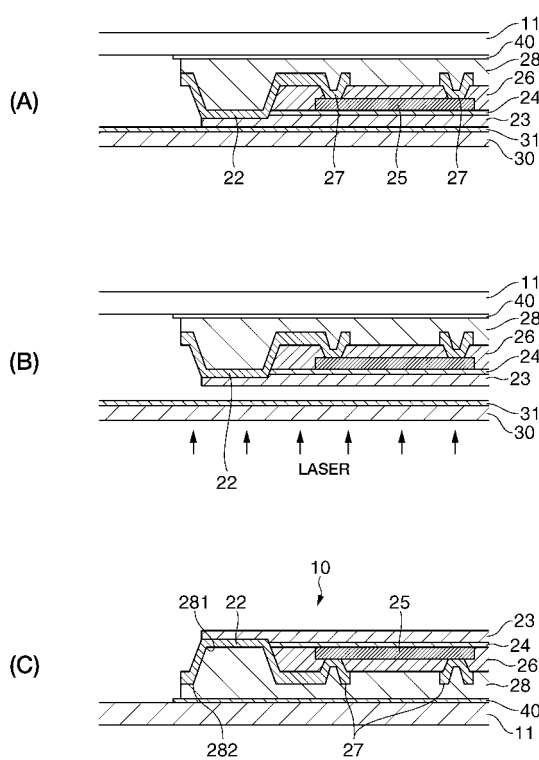
【図 3】



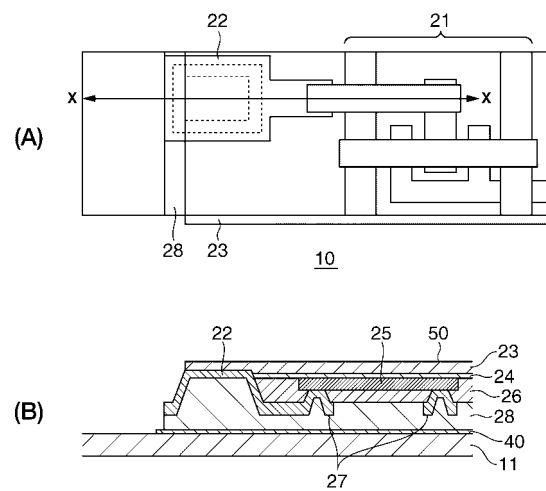
【図 4】



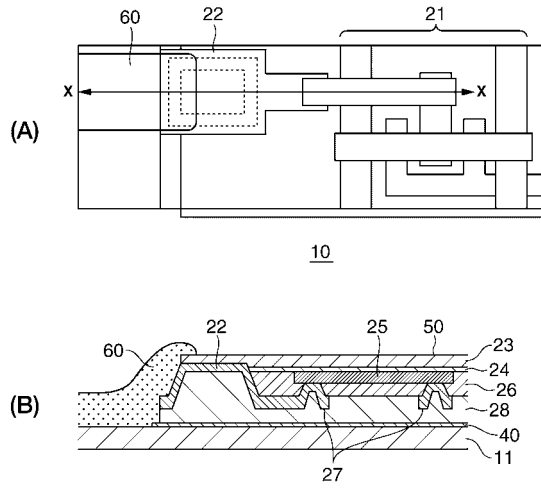
【図 5】



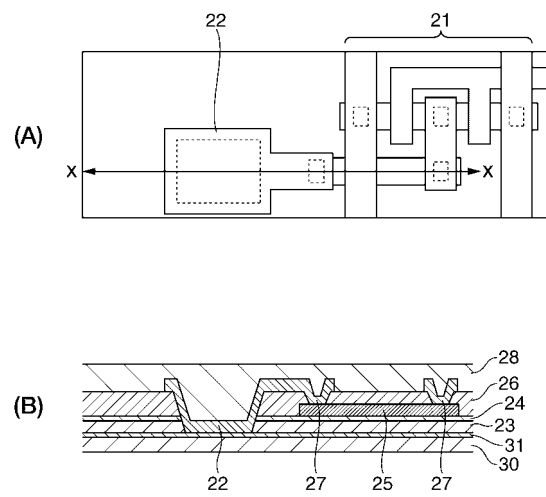
【図 6】



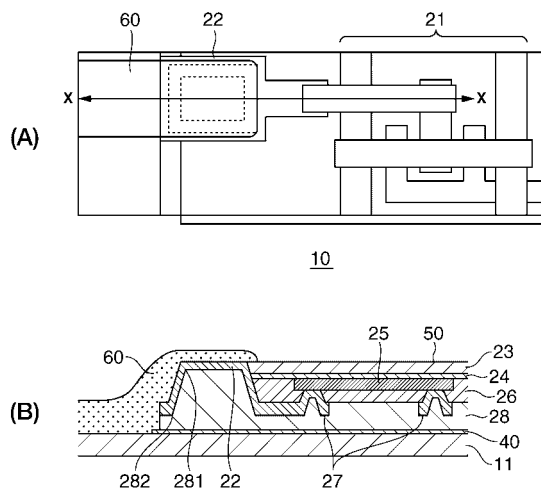
【図 7】



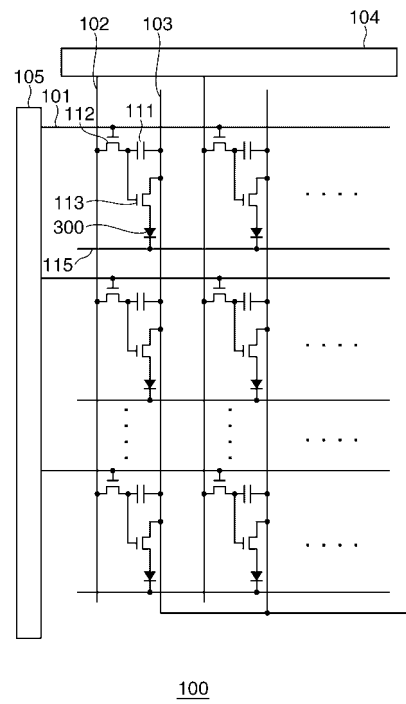
【図 8】



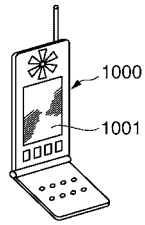
【図 9】



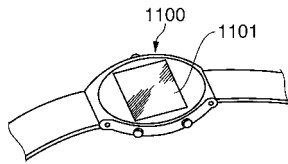
【図 10】



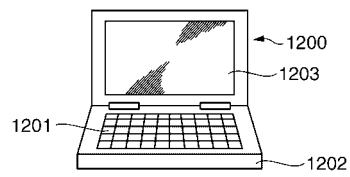
【図 11】



(A)



(B)



(C)

フロントページの続き

(56)参考文献 国際公開第2006/120309(WO, A1)

特開2005-093703(JP, A)

特開2003-197881(JP, A)

特開2005-302813(JP, A)

特開平11-024106(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345

G09F 9/30

H01L 21/02

H01L 23/52

H01L 27/12