

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-13990

(P2006-13990A)

(43) 公開日 平成18年1月12日(2006.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 5/13 (2006.01)	H03K 5/13	5B079
H03K 19/0175 (2006.01)	H03K 19/00 101N	5J001
G06F 1/10 (2006.01)	G06F 1/04 330A	5J056
G11C 11/407 (2006.01)	G11C 11/34 354C	5M024
	G11C 11/34 362S	
審査請求 未請求 請求項の数 15 O L (全 25 頁)		

(21) 出願番号 特願2004-189213 (P2004-189213)
 (22) 出願日 平成16年6月28日 (2004.6.28)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (72) 発明者 岩崎 敬一
 東京都大田区中馬込1丁目3番6号 株式会社リコー内

Fターム(参考) 5B079 BC03 CC02 CC14 DD06 DD13
 5J001 AA11 BB00 CC03 DD04
 5J056 AA39 BB00 CC00 CC05 CC09
 CC14 FF01 FF07 FF09 GG14
 KK01
 5M024 AA49 BB27 BB34 DD83 JJ04
 JJ38 PP01 PP02 PP07

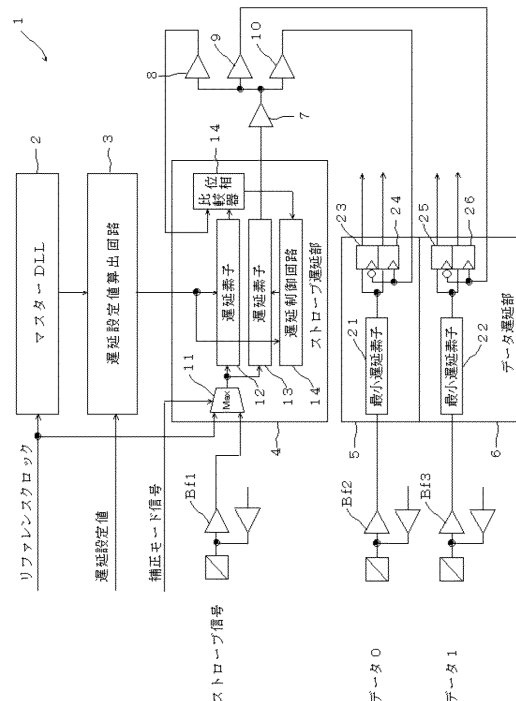
(54) 【発明の名称】 遅延制御装置

(57) 【要約】

【課題】本発明は、データをストロープ信号に同期させて取り込む際のデータとストロープ信号の同期を簡単かつ適切にとる遅延制御装置を提供する。

【解決手段】遅延制御装置1は、MUX11がストロープ信号を選択しているときに、遅延素子13が、当該ストロープ信号を遅延値だけ遅延させて、データをストロープ信号に基づいて取り込むフリップフロップ23~26に入力させ、MUX11がクロックを選択しているときに、遅延素子12と遅延素子13のクロックの遅延出力の位相を、位相比較器14で比較し、遅延制御回路15で、位相比較器14の比較結果に基づいて、第2遅延素子の遅延値を制御する。したがって、遅延素子13のフリップフロップ23~26に至るまでの遅延値を基準となる遅延素子12の遅延値と等しくし、データ転送を適切に行うことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

データの数に対応する数だけ設けられそれぞれ当該データをストローク信号に基づいて取り込むフリップフロップと、選択信号に応じてストローク信号とクロックを選択して出力する選択手段と、前記選択手段の選択するストローク信号またはクロックが入力され遅延値が可変である第 1 遅延素子と第 2 遅延素子と、当該第 1 遅延素子と当該第 2 遅延素子の出力の位相を比較する位相比較手段と、当該位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御する遅延制御手段と、を備え、前記選択手段が前記ストローク信号を選択しているとき、前記第 2 遅延素子が当該ストローク信号を前記遅延値だけ遅延させて前記フリップフロップに出力する遅延制御装置であって、前記選択手段が前記クロックを選択すると、当該クロックの前記第 1 遅延素子と前記第 2 遅延素子の遅延出力を前記位相比較手段で比較し、前記遅延制御手段が、当該位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御することを特徴とする遅延制御装置。

10

【請求項 2】

前記遅延制御装置は、前記第 2 遅延素子の出力が、1つのバッファまたは複数のバッファのツリー構造を通して、前記位相比較手段及び前記フリップフロップに入力されていることを特徴とする請求項 1 記載の遅延制御装置。

【請求項 3】

前記遅延制御装置は、前記フリップフロップの前記データの入力端子に、少なくとも前記第 1 遅延素子及び第 2 遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子が接続されていることを特徴とする請求項 1 または請求項 2 記載の遅延制御装置。

20

【請求項 4】

前記遅延制御装置は、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出して前記第 1 遅延素子に設定するとともに、前記遅延制御手段に出力する遅延値算出手段を、さらに備え、前記遅延制御手段が、当該遅延値算出手段から入力される遅延値と前記位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御することを特徴とする請求項 1 から請求項 3 のいずれかに記載の遅延制御装置。

【請求項 5】

データの数に対応する数だけ設けられそれぞれ当該データをストローク信号に基づいて取り込むフリップフロップと、選択信号に応じてストローク信号とクロックを選択して出力する選択手段と、前記選択手段の選択するストローク信号またはクロックが入力され遅延値が可変である第 1 遅延素子と第 2 遅延素子と、第 1 遅延素子と第 2 遅延素子の出力の位相を比較する位相比較手段と、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出して前記第 1 遅延素子に設定する遅延値算出手段と、前記位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御する遅延制御手段と、を備え、前記選択手段が前記ストローク信号を選択しているとき、前記第 2 遅延素子が当該ストローク信号を前記遅延値だけ遅延させて前記フリップフロップに出力する遅延制御装置であって、前記選択手段が前記クロックを選択すると、当該クロックを前記第 1 遅延素子が前記遅延値算出手段の算出する遅延値で遅延させた遅延出力と当該クロックを前記第 2 遅延素子が遅延させた遅延出力とを前記位相比較手段で比較し、前記遅延制御手段が、当該位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御することを特徴とする遅延制御装置。

30

40

【請求項 6】

前記遅延制御装置は、前記第 2 遅延素子の出力が、1つのバッファまたは複数のバッファのツリー構造を通して、前記位相比較手段及び前記フリップフロップに入力されていることを特徴とする請求項 5 記載の遅延制御装置。

【請求項 7】

前記遅延制御装置は、前記フリップフロップの前記データの入力端子に、少なくとも前

50

記第 1 遅延素子及び第 2 遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子が接続されていることを特徴とする請求項 5 または請求項 6 記載の遅延制御装置。

【請求項 8】

前記遅延制御装置は、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該 1 つの遅延値算出手段が、当該算出した遅延値を前記第 1 遅延素子に設定し、当該他の遅延値算出手段が、当該算出した遅延値を前記データ遅延素子に設定することを特徴とする請求項 7 記載の遅延制御装置。

【請求項 9】

前記遅延制御装置は、前記選択手段に入力される前記ストロブ信号を所定の遅延値で遅延させるストロブ遅延素子と、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該遅延値算出手段の 1 つが、当該算出した遅延値を前記ストロブ遅延素子に設定することを特徴とする請求項 5 から請求項 8 のいずれかに記載の遅延制御装置。

10

【請求項 10】

前記遅延制御装置は、少なくとも前記データ遅延素子に設定可能な遅延値のうち最小の遅延値を有するとともに当該データ遅延素子に入力されるデータを遅延させる第 2 データ遅延素子を前記データ遅延素子と同じ数だけ備えていることを特徴とする請求項 9 記載の遅延制御装置。

20

【請求項 11】

前記遅延制御装置は、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該遅延値算出手段の 1 つが、当該算出した遅延値を前記第 2 データ遅延素子に設定することを特徴とする請求項 10 記載の遅延制御装置。

【請求項 12】

前記遅延制御装置は、前記選択手段に、前記ストロブ信号と補正信号制御回路の出力する補正信号が入力され、当該補正信号制御回路が、所定周期でハイとローに変化する補正信号を出力し、前記選択手段が、前記選択信号に応じて当該ストロブ信号と当該補正信号を選択して出力することを特徴とする請求項 1 から請求項 11 のいずれかに記載の遅延制御装置。

30

【請求項 13】

前記遅延制御装置は、前記遅延値算出手段の前記遅延設定値が、外部の制御手段から設定可能であることを特徴とする請求項 4、請求項 8、請求項 9、請求項 11 のいずれかに記載の遅延制御装置。

【請求項 14】

前記遅延制御装置は、前記遅延値算出手段の前記遅延設定値が、外部の不揮発性メモリに格納されている当該遅延設定値を外部の制御手段が読み出して設定可能であることを特徴とする請求項 4、請求項 8、請求項 9、請求項 11 のいずれかに記載の遅延制御装置。

40

【請求項 15】

前記遅延制御装置は、記憶手段としての D D R - S D R A M に接続され、当該 D D R - S D R A M へのアクセス時のデータ及びストロブ信号の遅延制御を行うことを特徴とする請求項 1 から請求項 14 のいずれかに記載の遅延制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遅延制御装置に関し、詳細には、D L L (ディレイ・ロックド・ループ) を用いてデータをクロックまたはストロブ信号に同期させて取り込む際のデータとクロックまたはストロブ信号の同期を簡単かつ適切にとる遅延制御装置に関する。

50

【背景技術】

【0002】

従来からデバイス間のデータインターフェースの手法としては、デバイス間で位相制御された単一のクロックを用い当該クロックに同期してデータを送受信する手法と、データを送信するデバイスがストローク信号とデータを出力し当該データを受信するデバイスが受け取ったストローク信号とデータを用いて内部に取り込む手法とがある。

【0003】

後者の手法の例としては、ハードディスクにおけるウルトラDMAあるいはDDR（ダブルデータレート：Double Data Rate）SDRAMのデータインターフェースがある。これらのうちウルトラDMAを実施することは、ウルトラDMA100においてもストローク信号は最大50MHzの動作であるため、ハードディスクインターフェースを有するASIC設計において特に困難ではない。

10

【0004】

ところが、DDR-SDRAMの場合、400MHzあるいは266MHzのような高速のストローク信号に同期してデータを受け取る必要があり、また、ストローク信号とデータのタイミング規定が厳しいため、ASIC設計において専用の機構を用いないと、実施が困難である。

【0005】

DLL（Delay Locked Loop）を用いた従来技術としては、例えば、非特許文献1に記載の技術が知られており、この手法を用いた構成は、図8のように示され、図8の構成を用いたデータの入力タイミングは、図9のように示される。

20

【0006】

すなわち、従来の信号遅延装置は、データが4ビットの場合、図8に示すように、DLL101、遅延設定算出回路102、遅延素子103、4個の最小遅延素子104～107、4個のフリップフロップ108～111等を備え、DLL101は、遅延素子112、位相比較器113及び遅延制御回路114等を備えている。

【0007】

DLL101は、遅延素子112が、入力されるクロックの1周期分を遅延させて位相比較器113に出力し、位相比較器113が遅延素子112で遅延されたクロックと入力されたクロックの位相を比較して、遅延制御回路114に出力し、遅延制御回路114が、この位相比較結果に基づいてクロックの1周期分に値する遅延設定値を算出して、遅延素子112と遅延設定値算出回路102に出力する。

30

【0008】

遅延設定値算出回路102は、遅延制御回路114から入力される遅延設定値とギア比設定値からストローク信号を遅延させる遅延素子103の遅延設定値を算出して、遅延素子103に出力し、遅延素子103は、入力されるストローク信号を遅延設定算出回路102から入力される遅延設定値に基づいて遅延させて補正ストローク信号としてフリップフロップ108～111に出力する。

【0009】

最小遅延素子104～107には、それぞれデータ0～データ3が入力され、最小遅延素子104～107は、予め設定されている遅延量だけデータ0～データ3を遅延させてフリップフロップ108～111に出力する。この最小遅延素子104～107は、遅延値が0%に設定された遅延素子103の遅延値と同じ遅延値となる。

40

【0010】

そして、例えば、上記ギア比設定値が45%であると、遅延設定値算出回路102は、クロックの45%の遅延値を遅延素子103に設定し、遅延素子103は、入力されるストローク信号を当該遅延値だけ遅延させて、フリップフロップ108～111に出力する。なお、上記回路では、遅延素子112と遅延素子103は、同じ構成の遅延素子であることが前提となっている。そして、この信号遅延装置におけるデータの入力タイミングは、図9のようになり、図9のtdがストローク用の遅延素子103による遅延量である。

50

【 0 0 1 1 】

【非特許文献1】Micron Design Line ,Volume8,Issue3 3Q99 「DDR SDRAM Functionality and Controller Read Data Capture」

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

しかしながら、このような従来の技術にあつては、DLLを使用してASICを設計した場合、データが複数ビットあると、補正されたストロブ信号と各データを取り込むフリップフロップ間のスキュー、各データのASIC端子からフリップフロップの入力までのスキューの大小が、図9に示した有効なデータ幅の大小に影響する。

10

【 0 0 1 3 】

すなわち、図10(a)は、ストロブ遅延の理想的なタイミングを示しており、TDは、複数のデータ信号の入力から最小遅延素子104~107を通してフリップフロップ108~111に至るまでの遅延を示している。図10において、TD1は、ストロブ遅延値であり、T1は、遅延素子103で設定された遅延値を示している。遅延素子103は、小さな遅延単位の選択により遅延値T1が決まるためジッタが存在し、J1は、そのジッタを示している。ASIC設計においては、複数のデータ信号で遅延TDDが一定になることが必要である。したがって、図8に示すように、フリップフロップ108~111は、最小遅延素子104~107の近傍に配置され、各データ線の遅延TDDの差が無いように設計される。

20

【 0 0 1 4 】

ここで問題となるのは、ASIC設計では、遅延素子103により補正されるストロブ信号は、遅延素子103を出力した後、クロックツリーシンセシスを用いて各フリップフロップ108~111までのスキューが小さくなるように設計されるが、遅延素子103からフリップフロップ108~111までの距離が長くなることである。遅延素子103からフリップフロップ108~111までの遅延は、温度、電圧の変動により遅延値の変動が大きいことである。図10(b)のJ2が、その変動量であり、TCが遅延素子103からフリップフロップ108~111までの遅延値に相当する。

【 0 0 1 5 】

したがって、図10(a)の理想的なタイミングにおいては、その有効なデータウィンドウTDWに対して、マージンが、図10(a)のM1A、M1Bになるが、実際のASIC設計においては、マージンが図10(b)のM2A、M2Bのように、データウィンドウに対するバランス及びマージンが減少してしまう。

30

【 0 0 1 6 】

すなわち、遅延素子103~フリップフロップ108~111までの遅延値の変動量J2及び遅延素子103からフリップフロップ108~111までの遅延値TCが存在するため、ASIC設計において、複数のデータ信号で遅延TDDを一定することが困難になるという問題である。

【 0 0 1 7 】

また、図10(a)の理想的なタイミングにおいて、遅延TDDの値は、図8に示すように、ASICのデータ入力からフリップフロップ108~111までの遅延値を示しているが、実際のシステム上では、接続される記憶装置の複数のデータバスからASICのデータバスまでの配線距離は全て等しいわけではなく、スキューを持っている。すなわち、図11に示すように、遅延TDDが、一定であっても、データ0~データ3がASICに入力されるタイミングが異なる。そのため、ストロブ信号で取り込むべきデータウィンドウは、図11にTDW__ALLで示されるように、狭くなってしまふ。

40

【 0 0 1 8 】

したがって、ASIC設計においては、この入力されるデータ0~データ3のスキューを小さく抑制する必要がある。

【 0 0 1 9 】

50

タ転送を適切に行う遅延制御装置を提供することを目的としている。

【0024】

請求項6記載の発明は、請求項5の第2遅延素子の出力を、1つのバッファまたは複数のバッファのツリー構造を通して、位相比較手段及びフリップフロップに入力することにより、第2遅延素子から位相比較手段に至るまでの遅延値と第2遅延素子からフリップフロップに至るまでの遅延値を等しくして、第2遅延素子からフリップフロップまでの遅延を小さく抑制し、スキューによるデータとストローク信号とのタイミングのずれを適切に補正できるようにして、データとストローク信号を適切に同期させて、データ転送を適切に行う遅延制御装置を提供することを目的としている。

【0025】

請求項7記載の発明は、請求項5または請求項6のフリップフロップのデータの入力端子に、少なくとも第1遅延素子及び第2遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子を接続することにより、クロックツリーシンセシスによるバッファ段数に関係なく、第2遅延素子からフリップフロップまでの遅延を小さく抑制し、理想的な遅延制御を行えるようにするとともに、ASICのレイアウト設計工程においても、クロックツリーシンセシスのバッファ段数や遅延値の大小に関係なくレイアウト設計を行えるようにして、設計工期を短縮させることのできる遅延制御装置を提供することを目的としている。

【0026】

請求項8記載の発明は、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を第1遅延素子に設定し、当該他の遅延値算出手段が、当該算出した遅延値をデータ遅延素子に設定することにより、複数のデータの遅延を、例えば、クロック周期のM%分の遅延にさせるような制御を、それぞれのデータ信号毎に個別で設定し、データ信号のスキューを補正するとともに、クロックツリーを採用することなく、第2遅延素子から各フリップフロップまでの伝送路にスキューがあっても補正できるようにし、安価かつ適切にデータ転送を行う遅延制御装置を提供することを目的としている。

【0027】

請求項9記載の発明は、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を、入力されるストローク信号を所定の遅延値で遅延させるストローク遅延素子に設定することにより、ストローク出力信号にデータ出力信号に対して一定の遅延を持たせ、スキューによるデータとストローク信号とのタイミングのずれを適切に補正できるようにして、データとストローク信号を適切に同期させて、データ転送を適切に行う遅延制御装置を提供することを目的としている。

【0028】

請求項10記載の発明は、少なくともデータ遅延素子に設定可能な遅延値のうち最小の遅延値を有するとともに当該データ遅延素子に入力されるデータを遅延させる第2データ遅延素子をデータ遅延素子と同じ数だけ設けることにより、データ出力信号とストローク出力信号のタイミング(遅延差)をデータ遅延素子に設定する遅延分とし、データとストローク信号を適切に同期させて、データ転送を適切に行う遅延制御装置を提供することを目的としている。

【0029】

請求項11記載の発明は、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を第2データ遅延素子に設定することにより、データ出力信号毎に遅延値を設定できるようにし、データ出力以降の伝送路のスキューを補正して、より一層適切にデータ転送を行う遅延制御装置を提供することを目的としている。

10

20

30

40

50

【0030】

請求項12記載の発明は、選択手段に、ストロブ信号と補正信号制御回路の出力する補正信号が入力され、当該補正信号制御回路が、所定周期でハイとローに変化する補正信号を出力し、選択手段が、選択信号に応じて当該ストロブ信号と当該補正信号を選択して出力することにより、安価にかつ汎用性が良好な状態で、適切にデータ転送を行う遅延制御装置を提供することを目的としている。

【0031】

請求項13記載の発明は、遅延値算出手段の遅延設定値を、外部の制御手段から設定可能とすることにより、遅延設定値をソフトウェア等で設定できるようにし、ASIC設計やボード設計の差異により異なる値を機器毎に自由に設定することのできる遅延制御装置を提供することを目的としている。

10

【0032】

請求項14記載の発明は、遅延値算出手段の遅延設定値を、外部の不揮発性メモリに格納されている当該遅延設定値を外部の制御手段が読み出して設定可能とすることにより、機器毎に異なるボード上のデータスキューに対応した遅延設定値を、例えば、初期化用のROM等の不揮発性メモリに書き込んで、制御手段が設定して、メインのソフトウェアを変更することなく、適切な遅延設定値を設定できるようにし、ASIC設計やボード設計の差異により異なる値を機器毎に自由にかつ安価に設定することのできる遅延制御装置を提供することを目的としている。

【0033】

請求項15記載の発明は、遅延制御装置を、記憶手段としてのDDR-SDRAMに接続し、当該DDR-SDRAMへのアクセス時のデータ及びストロブ信号の遅延制御を行うことにより、DDR-SDRAMの制御を適切に行うとともに、例えば、選択信号を、例えば、リフレッシュ期間にアクティブにすることにより、データの転送サイクルを妨げることなくストロブ信号の補正を行うことのできる利用性の良好な遅延制御装置を提供することを目的としている。

20

【課題を解決するための手段】

【0034】

請求項1記載の発明の遅延制御装置は、データの数に対応する数だけ設けられそれぞれ当該データをストロブ信号に基づいて取り込むフリップフロップと、選択信号に応じてストロブ信号とクロックを選択して出力する選択手段と、前記選択手段の選択するストロブ信号またはクロックが入力され遅延値が可変である第1遅延素子と第2遅延素子と、当該第1遅延素子と当該第2遅延素子の出力の位相を比較する位相比較手段と、当該位相比較手段の比較結果に基づいて前記第2遅延素子の遅延値を制御する遅延制御手段と、を備え、前記選択手段が前記ストロブ信号を選択しているとき、前記第2遅延素子が当該ストロブ信号を前記遅延値だけ遅延させて前記フリップフロップに出力する遅延制御装置であって、前記選択手段が前記クロックを選択すると、当該クロックの前記第1遅延素子と前記第2遅延素子の遅延出力を前記位相比較手段で比較し、前記遅延制御手段が、当該位相比較手段の比較結果に基づいて前記第2遅延素子の遅延値を制御することにより、上記目的を達成している。

30

40

【0035】

この場合、例えば、請求項2に記載するように、前記遅延制御装置は、前記第2遅延素子の出力が、1つのバッファまたは複数のバッファのツリー構造を通して、前記位相比較手段及び前記フリップフロップに入力されているものであってもよい。

【0036】

また、例えば、請求項3に記載するように、前記遅延制御装置は、前記フリップフロップの前記データの入力端子に、少なくとも前記第1遅延素子及び第2遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子が接続されているものであってもよい。

【0037】

50

また、例えば、請求項 4 に記載するように、前記遅延制御装置は、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出して前記第 1 遅延素子に設定するとともに、前記遅延制御手段に出力する遅延値算出手段を、さらに備え、前記遅延制御手段が、当該遅延値算出手段から入力される遅延値と前記位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御するものであってもよい。

【0038】

請求項 5 記載の発明の遅延制御装置は、データの数に対応する数だけ設けられそれぞれ当該データをストロブ信号に基づいて取り込むフリップフロップと、選択信号に応じてストロブ信号とクロックを選択して出力する選択手段と、前記選択手段の選択するストロブ信号またはクロックが入力され遅延値が可変である第 1 遅延素子と第 2 遅延素子と、第 1 遅延素子と第 2 遅延素子の出力の位相を比較する位相比較手段と、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出して前記第 1 遅延素子に設定する遅延値算出手段と、前記位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御する遅延制御手段と、を備え、前記選択手段が前記ストロブ信号を選択しているとき、前記第 2 遅延素子が当該ストロブ信号を前記遅延値だけ遅延させて前記フリップフロップに出力する遅延制御装置であって、前記選択手段が前記クロックを選択すると、当該クロックを前記第 1 遅延素子が前記遅延値算出手段の算出する遅延値で遅延させた遅延出力と当該クロックを前記第 2 遅延素子が遅延させた遅延出力とを前記位相比較手段で比較し、前記遅延制御手段が、当該位相比較手段の比較結果に基づいて前記第 2 遅延素子の遅延値を制御することにより、上記目的を達成している。

【0039】

この場合、例えば、請求項 6 に記載するように、前記遅延制御装置は、前記第 2 遅延素子の出力が、1つのバッファまたは複数のバッファのツリー構造を通して、前記位相比較手段及び前記フリップフロップに入力されているものであってもよい。

【0040】

また、例えば、請求項 7 に記載するように、前記遅延制御装置は、前記フリップフロップの前記データの入力端子に、少なくとも前記第 1 遅延素子及び第 2 遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子が接続されているものであってもよい。

【0041】

さらに、例えば、請求項 8 に記載するように、前記遅延制御装置は、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該 1 つの遅延値算出手段が、当該算出した遅延値を前記第 1 遅延素子に設定し、当該他の遅延値算出手段が、当該算出した遅延値を前記データ遅延素子に設定するものであってもよい。

【0042】

また、例えば、請求項 9 に記載するように、前記遅延制御装置は、前記選択手段に入力される前記ストロブ信号を所定の遅延値で遅延させるストロブ遅延素子と、前記クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該遅延値算出手段の 1 つが、当該算出した遅延値を前記ストロブ遅延素子に設定するものであってもよい。

【0043】

さらに、例えば、請求項 10 に記載するように、前記遅延制御装置は、少なくとも前記データ遅延素子に設定可能な遅延値のうち最小の遅延値を有するとともに当該データ遅延素子に入力されるデータを遅延させる第 2 データ遅延素子を前記データ遅延素子と同じ数だけ備えているものであってもよい。

【0044】

また、例えば、請求項 11 に記載するように、前記遅延制御装置は、前記クロックの整

数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段を、さらに備え、当該遅延値算出手段の1つが、当該算出した遅延値を前記第2データ遅延素子に設定するものであってもよい。

【0045】

さらに、例えば、請求項12に記載するように、前記遅延制御装置は、前記選択手段に、前記ストローク信号と補正信号制御回路の出力する補正信号が入力され、当該補正信号制御回路が、所定周期でハイとローに変化する補正信号を出力し、前記選択手段が、前記選択信号に応じて当該ストローク信号と当該補正信号を選択して出力するものであってもよい。

【0046】

また、例えば、請求項13に記載するように、前記遅延制御装置は、前記遅延値算出手段の前記遅延設定値が、外部の制御手段から設定可能であってもよい。

【0047】

さらに、例えば、請求項14に記載するように、前記遅延制御装置は、前記遅延値算出手段の前記遅延設定値が、外部の不揮発性メモリに格納されている当該遅延設定値を外部の制御手段が読み出して設定可能であってもよい。

【0048】

また、例えば、請求項15に記載するように、前記遅延制御装置は、記憶手段としてのDDR-SDRAMに接続され、当該DDR-SDRAMへのアクセス時のデータ及びストローク信号の遅延制御を行うものであってもよい。

【発明の効果】

【0049】

請求項1記載の発明の遅延制御装置によれば、選択手段で選択されたストローク信号またはクロックが入力されるとともに、遅延値が可変である第1遅延素子と第2遅延素子を有し、選択手段がストローク信号を選択しているときに、第2遅延素子が、当該ストローク信号を遅延値だけ遅延させて、データの数に対応する数だけ設けられそれぞれ当該データをストローク信号に基づいて取り込むフリップフロップに入力させ、選択手段がクロックを選択しているときに、第1遅延素子と第2遅延素子の当該クロックの遅延出力の位相を、位相比較手段で比較し、遅延制御手段で、当該位相比較手段の比較結果に基づいて、第2遅延素子の遅延値を制御するので、第2遅延素子の位相比較手段に至るまでの遅延値を第1遅延素子に設定される遅延値に等しくして、第2遅延素子のフリップフロップに至るまでの遅延値を、基準となる第1遅延素子の遅延値と等しくすることができ、フリップフロップのクロック入力のジッタが第1遅延素子および第2遅延素子のみで決定されるようにして、データ転送を適切に行うことができる。

【0050】

請求項2記載の発明の遅延制御装置によれば、第2遅延素子の出力を、1つのバッファまたは複数のバッファのツリー構造を通して、位相比較手段及びフリップフロップに入力しているので、第2遅延素子から位相比較手段に至るまでの遅延値と第2遅延素子からフリップフロップに至るまでの遅延値を等しくして、第2遅延素子からフリップフロップまでの遅延を小さく抑制することができ、スキューによるデータとストローク信号とのタイミングのずれを適切に補正できるようにして、データとストローク信号を適切に同期させて、データ転送を適切に行うことができる。

【0051】

請求項3記載の発明の遅延制御装置によれば、フリップフロップのデータの入力端子に、少なくとも第1遅延素子及び第2遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子を接続しているので、クロックツリーシンセシスによるバッファ段数に関係なく、第2遅延素子からフリップフロップまでの遅延を小さく抑制することができ、理想的な遅延制御を行えるようにすることができるとともに、ASICのレイアウト設計工程においても、クロックツリーシンセシスのバッファ段数や遅延値の大小に関係なくレイアウト設計を行えるようにして、設計工期を短縮させることができる。

10

20

30

40

50

【0052】

請求項4記載の発明の遅延制御装置によれば、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出して第1遅延素子に設定するとともに遅延制御手段に出力する遅延値算出手段から入力される遅延値と位相比較手段の比較結果に基づいて、遅延制御手段が、第2遅延素子の遅延値を制御しているので、第1遅延素子に設定する遅延値を、ストロブ信号とデータ信号のタイミング関係から第1遅延素子に設定する遅延値分だけずれたタイミングでストロブ信号をデータ信号からずらすことができ、理想的な遅延制御を行えるようにすることができる。

【0053】

請求項5記載の発明の遅延制御装置によれば、選択手段で選択されたストロブ信号またはクロックが入力されるとともに、遅延値が可変である第1遅延素子と第2遅延素子を有し、選択手段がストロブ信号を選択しているときに、第2遅延素子が、当該ストロブ信号を遅延値だけ遅延させて、データの数に対応する数だけ設けられそれぞれ当該データをストロブ信号に基づいて取り込むフリップフロップに入力させ、選択手段がクロックを選択しているときに、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する遅延値算出手段が算出した遅延値で第1遅延素子が当該クロックを遅延させた遅延出力と第2遅延素子の当該クロックの遅延出力の位相を、位相比較手段で比較し、遅延制御手段で、当該位相比較手段の比較結果に基づいて、第2遅延素子の遅延値を制御しているので、第2遅延素子の位相比較手段に至るまでの遅延値を第1遅延素子に設定される遅延値に等しくして、第2遅延素子のフリップフロップに至るまでの遅延値を、基準となる第1遅延素子の遅延値と等しくすることができ、フリップフロップのクロック入力のジッタが第1遅延素子および第2遅延素子のみで決定されるようにして、データ転送を適切に行うことができる。

【0054】

請求項6記載の発明の遅延制御装置によれば、第2遅延素子の出力を、1つのバッファまたは複数のバッファのツリー構造を通して、位相比較手段及びフリップフロップに入力しているので、第2遅延素子から位相比較手段に至るまでの遅延値と第2遅延素子からフリップフロップに至るまでの遅延値を等しくして、第2遅延素子からフリップフロップまでの遅延を小さく抑制することができ、スキューによるデータとストロブ信号とのタイミングのずれを適切に補正できるようにして、データとストロブ信号を適切に同期させて、データ転送を適切に行うことができる。

【0055】

請求項7記載の発明の遅延制御装置によれば、請求項5または請求項6のフリップフロップのデータの入力端子に、少なくとも第1遅延素子及び第2遅延素子に設定可能な遅延値のうち最小の遅延値を有するデータ遅延素子を接続しているので、クロックツリーシンセシスによるバッファ段数に関係なく、第2遅延素子からフリップフロップまでの遅延を小さく抑制することができ、理想的な遅延制御を行えるようにすることができるとともに、ASICのレイアウト設計工程においても、クロックツリーシンセシスのバッファ段数や遅延値の大小に関係なくレイアウト設計を行えるようにして、設計工期を短縮させることができる。

【0056】

請求項8記載の発明の遅延制御装置によれば、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を第1遅延素子に設定し、当該他の遅延値算出手段が、当該算出した遅延値をデータ遅延素子に設定しているので、複数のデータの遅延を、例えば、クロック周期のM%分の遅延にさせるような制御を、それぞれのデータ信号毎に個別で設定することができ、データ信号のスキューを補正することができるとともに、クロックツリーを採用することなく、第2遅延素子から各フリップフロップまでの伝送路にスキューがあっても補正できるようにして、安価かつ適切にデータ転送を行うことができる。

10

20

30

40

50

【 0 0 5 7 】

請求項 9 記載の発明の遅延制御装置によれば、ロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を、入力されるストローク信号を所定の遅延値で遅延させるストローク遅延素子に設定しているため、ストローク出力信号にデータ出力信号に対して一定の遅延を持たせることができ、スキューによるデータとストローク信号とのタイミングのずれを適切に補正できるようにして、データとストローク信号を適切に同期させて、データ転送を適切に行うことができる。

【 0 0 5 8 】

請求項 10 記載の発明の遅延制御装置によれば、少なくともデータ遅延素子に設定可能な遅延値のうち最小の遅延値を有するとともに当該データ遅延素子に入力されるデータを遅延させる第 2 データ遅延素子をデータ遅延素子と同じ数だけ設けているため、データ出力信号とストローク出力信号のタイミング（遅延差）をデータ遅延素子に設定する遅延分とすることができ、データとストローク信号を適切に同期させて、データ転送を適切に行うことができる。

10

【 0 0 5 9 】

請求項 11 記載の発明の遅延制御装置によれば、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延値算出手段のうち、1つの遅延値算出手段が、当該算出した遅延値を第 2 データ遅延素子に設定しているため、データ出力信号毎に遅延値を設定できるようにすることができ、データ出力以降の伝送路のスキューを補正して、より一層適切にデータ転送を行うことができる。

20

【 0 0 6 0 】

請求項 12 記載の発明の遅延制御装置によれば、選択手段に、ストローク信号と補正信号制御回路の出力する補正信号が入力され、当該補正信号制御回路が、所定周期でハイとローに変化する補正信号を出力し、選択手段が、選択信号に応じて当該ストローク信号と当該補正信号を選択して出力するので、安価にかつ汎用性が良好な状態で、適切にデータ転送を行うことができる。

【 0 0 6 1 】

請求項 13 記載の発明の遅延制御装置によれば、遅延値算出手段の遅延設定値を、外部の制御手段から設定可能としているため、遅延設定値をソフトウェア等で設定できるようにすることができ、ASIC 設計やボード設計の差異により異なる値を機器毎に自由に設定することができる。

30

【 0 0 6 2 】

請求項 14 記載の発明の遅延制御装置によれば、遅延値算出手段の遅延設定値を、外部の不揮発性メモリに格納されている当該遅延設定値を外部の制御手段が読み出して設定可能としているため、機器毎に異なるボード上のデータスキューに対応した遅延設定値を、例えば、初期化用の ROM 等の不揮発性メモリに書き込んで、制御手段が設定して、メインのソフトウェアを変更することなく、適切な遅延設定値を設定できるようにすることができ、ASIC 設計やボード設計の差異により異なる値を機器毎に自由にかつ安価に設定

40

【 0 0 6 3 】

請求項 15 記載の発明の遅延制御装置によれば、遅延制御装置を、記憶手段としての DDR - SDRAM に接続し、当該 DDR - SDRAM へのアクセス時のデータ及びストローク信号の遅延制御を行っているため、DDR - SDRAM の制御を適切に行うことができるとともに、例えば、選択信号を、例えば、リフレッシュ期間にアクティブにすることで、データの転送サイクルを妨げることなくストローク信号の補正を行うことができ、利便性を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 6 4 】

50

以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。なお、以下に述べる実施例は、本発明の好適な実施例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【実施例 1】

【0065】

図 1 は、本発明の遅延制御装置の第 1 実施例を示す図であり、図 1 は、本発明の遅延制御装置の第 1 実施例を適用した遅延制御装置 1 の回路構成図である。

【0066】

図 1 において、遅延制御装置 1 は、マスター D L L 2、遅延設定値算出回路 3、ストロープ遅延部 4、2 つのデータ遅延部 5、6 及び 4 つのバッファ 7 ~ 10 等を備えている。 10

【0067】

ストロープ遅延部 4 は、選択手段としての M U X (multiplexer : マルチプレクサ) 11、2 つの遅延素子 12、13、位相比較器 14 及び遅延制御回路 15 を備えており、データ遅延部 5 とデータ遅延部 6 は、それぞれ最小遅延素子 21 と最小遅延素子 22 を備えているとともに、フリップフロップ 23、24 とフリップフロップ 25、26 を備えている。

【0068】

マスター D L L 2 には、リファレンスクロックが入力され、マスター D L L 2 は、入力されるリファレンスクロックの 1 周期分に値する遅延値を生成して、遅延設定値算出回路 3 に出力する。 20

【0069】

遅延設定値算出回路 (遅延値算出手段) 3 には、遅延設定値と上記マスター D L L 2 からの遅延値が入力され、遅延設定値算出回路 3 は、遅延設定値と遅延値に基づいてストロープ信号の遅延設定値を算出して、ストロープ遅延部 4 の遅延素子 12 と遅延制御回路 13 に出力する。

【0070】

ストロープ遅延部 4 は、その M U X 11 に、上記リファレンスクロック (クロック) とストロープ信号が入力されるとともに、切換信号として補正モード信号が入力され、M U X 11 は、補正モード信号に基づいてリファレンスクロックとストロープ信号を切り換えて遅延素子 12 と遅延素子 13 に共通に出力する。特に、M U X 11 は、補正モード信号がアクティブのとき、すなわち、補正モード時に、リファレンスクロックを選択して遅延素子 12 と遅延素子 13 に出力する。なお、ストロープ信号は、バッファ B f 1 を介して M U X 11 に入力される。 30

【0071】

遅延素子 (第 1 遅延素子) 12 は、M U X 11 から入力されるリファレンスクロックまたはストロープ信号を遅延設定値算出回路 3 から入力される遅延設定値だけ遅延させて、位相比較器 14 に出力する。この遅延素子 12 の遅延値は、遅延素子 12 の入力端子から位相比較器 14 の入力端子までの遅延が理想的なストロープ信号の遅延値となるように設定されている。 40

【0072】

遅延制御回路 (遅延制御手段) 15 は、遅延設定値算出回路 3 から入力される遅延設定値を遅延素子 13 に設定するとともに、遅延素子 13 への遅延値を、位相比較器 14 からの遅延補正值で一単位ずつ増やして設定、または、一単位ずつ減らして設定する。

【0073】

遅延素子 (第 2 遅延素子) 13 は、M U X 11 から入力されるリファレンスクロックまたはストロープ信号を遅延制御回路 15 から入力される補正遅延値だけ遅延させて、バッファ 7 及びバッファ 8 を介して位相比較器 14 に出力するとともに、バッファ 7 とバッファ 10 を介してデータ遅延部 5 のフリップフロップ 23、24 に、また、バッファ 7 とバッファ 9 を介してデータ遅延部 6 のフリップフロップ 25、26 に、出力する。 50

【 0 0 7 4 】

位相比較器（位相比較手段）14には、遅延素子12の出力と、バッファ7及びバッファ8を通した遅延素子13の出力と、が入力され、位相比較器14は、これらの入力の位相を比較して、遅延素子13の出力が遅延素子12の出力よりも遅いと判定すると、遅延制御回路15の現在の遅延値（最初は遅延素子12と同じ設定値が設定・保存されている）の設定単位を一単位増やす遅延補正值を遅延制御回路15に出力し、遅延素子13の出力が遅延素子12の出力よりも早いと判定すると、遅延制御回路15の現在の遅延値の設定単位を一単位減らす遅延補正值を遅延制御回路15に出力する。なお、位相比較器14による遅延素子13の出力が遅延素子12の出力よりも遅いという判定を、「+」判定、遅延素子13の出力が遅延素子12の出力よりも早いという判定を、「-」判定という。

10

【 0 0 7 5 】

遅延制御回路15は、位相比較器14からの「+」判定または「-」判定に応じた遅延補正值に基づいて、遅延素子13への現在の遅延設定値を設定単位の一単位増やして設定、あるいは、一単位減らして設定する。

【 0 0 7 6 】

データ遅延部5の最小遅延素子（データ遅延素子）21には、データ0がバッファBf2を介して入力され、フリップフロップ23、24は、そのデータ入力端子に最小遅延素子21の出力が、そのクロック入力端子にストロブ遅延部4の遅延素子13からのストロブ信号がバッファ7及びバッファ10を通して入力される。最小遅延素子21は、最小の遅延値である場合のストロブ信号入力からフリップフロップ23、24のクロック入力端子までの遅延値と、データ入力からフリップフロップ23、24のデータ入力端子までの遅延値と、を等しい遅延値とする遅延値でデータ0を遅延させて、フリップフロップ23、24のデータ入力端子に出力する。フリップフロップ23、24は、最小遅延素子21から入力されるデータ0をストロブ遅延部4の遅延素子13からのストロブ信号に基づいて出力する。

20

【 0 0 7 7 】

データ遅延部6の最小遅延素子（データ遅延素子）22には、データ1がバッファBf3を介して入力され、フリップフロップ25、26は、そのデータ入力端子に最小遅延素子22の出力が、そのクロック入力端子にストロブ遅延部4の遅延素子13からのストロブ信号がバッファ7及びバッファ9を通して入力される。最小遅延素子22は、最小の遅延値である場合のストロブ信号入力からフリップフロップ25、26のクロック入力端子までの遅延値と、データ入力からフリップフロップ25、26のデータ入力端子までの遅延値と、を等しい遅延値とする遅延値でデータ1を遅延させて、フリップフロップ25、26のデータ入力端子に出力する。フリップフロップ25、26は、最小遅延素子22から入力されるデータ1をストロブ遅延部4の遅延素子13からのストロブ信号に基づいて出力する。

30

【 0 0 7 8 】

そして、上記遅延素子12、13としては、例えば、図2に示すような遅延素子30を用いることができ、この遅延素子30は、複数の単位遅延素子31a～31nと選択回路32を備えている。遅延素子30は、設定される遅延値に応じて選択回路32が、データまたはストロブ信号を出力させる単位遅延素子31a～31nを選択して、当該選択した単位遅延素子31a～31nの遅延させたデータまたはストロブ信号を出力する。

40

【 0 0 7 9 】

なお、上記構成では、ストロブ遅延部4は、遅延設定値算出回路3の出力が遅延制御回路15に接続されて、遅延制御回路15で遅延素子12と同じ遅延値を、遅延素子13に初期遅延値として設定しているが、ストロブ遅延部4の構成としては、上記構成に限るものではなく、遅延素子13の遅延値は、予め初期遅延値を、遅延素子13または遅延制御回路15等に設定またはメモリ等に保存しておくことで、設定することができるため、遅延制御回路15は、遅延設定値算出回路3に接続されていなくてもよい。

【 0 0 8 0 】

50

また、遅延素子 1 3 から各フリップフロップ 2 3 ~ 2 6 及び位相比較器 1 4 の入力端子までの配線は、スキューを少なくするため、クロックツリーシンセシスを用いてバッファのツリー構造にしてもよい。

【 0 0 8 1 】

次に、本実施例の作用を説明する。本実施例の遅延制御装置 1 は、遅延素子 1 2 の入力端子から位相比較器 1 4 の入力端子までの遅延が理想的なストローク信号の遅延値となっており、遅延素子 1 3 の入力端子から遅延素子 1 3 の出力バッファ 7、8 を介して位相比較器 1 4 の入力端子に至るまでの遅延値を、理想的な遅延値に再設定する。

【 0 0 8 2 】

遅延制御装置 1 は、通常動作モードでは、補正モード信号が非アクティブであり、M U X 1 1 がストローク信号を選択して、遅延素子 1 3 が、遅延制御回路 1 5 により設定される遅延値でストローク信号を遅延させて、バッファ 7、1 0 を通してデータ遅延部 5 のフリップフロップ 2 3、2 4 に、また、バッファ 7、9 を通してデータ遅延部 6 のフリップフロップ 2 5、2 6 に、出力する。

【 0 0 8 3 】

フリップフロップ 2 3、2 4 及びフリップフロップ 2 5、2 6 は、それぞれ最小遅延素子 2 1 及び最小遅延素子 2 2 で遅延されたデータ 0 及びデータ 1 を、バッファ 7、1 0 またはバッファ 7、1 0 を通して遅延素子 1 3 から入力されるストローク信号に同期して出力する。

【 0 0 8 4 】

そして、遅延制御装置 1 は、所定の補正タイミングで、補正モード信号がアクティブになると、M U X 1 1 が、リファレンスクロックを選択して、遅延素子 1 2 と遅延素子 1 3 に出力し、遅延素子 1 2 は、マスター D L L 2 が生成したリファレンスクロックの 1 周期分に値する遅延値と遅延設定値に基づいて遅延設定値算出回路 3 の算出した遅延値だけリファレンスクロックを遅延させて位相比較器 1 4 に出力する。そして、この遅延素子 1 2 の遅延値は、上述のように、遅延素子 1 2 の入力端子から位相比較器 1 4 の入力端子までの遅延が理想的なストローク信号の遅延値となるように設定されている。

【 0 0 8 5 】

一方、遅延素子 1 3 は、遅延制御回路 1 5 により設定される遅延値でリファレンスクロックを遅延させて、バッファ 7 及びバッファ 8 を通して位相比較器 1 4 に入力する。この遅延素子 1 3 からバッファ 7 及びバッファ 8 を介した位相比較器 1 4 の入力端子までの遅延値は、ストローク信号の経路である遅延素子 1 3 からバッファ 7 及びバッファ 1 0 を通してフリップフロップ 2 3、2 4 の入力端子までの遅延値、遅延素子 1 3 からバッファ 7 及びバッファ 9 を通してフリップフロップ 2 5、2 5 の入力端子までの遅延値と同じに設定されている。

【 0 0 8 6 】

そして、位相比較器 1 4 は、遅延素子 1 2 で理想的なストローク信号の遅延値で遅延されて遅延素子 1 2 から入力されるリファレンスクロックとバッファ 7 及びバッファ 8 を通して遅延素子 1 3 から入力されるリファレンスクロックの位相を比較し、上記「+」判定、または、「-」判定して、遅延制御回路 1 5 の現在の遅延値の設定単位を一単位増やす遅延補正值、あるいは、一単位減らす遅延補正值を遅延制御回路 1 5 に出力する。

【 0 0 8 7 】

遅延制御回路 1 5 は、位相比較器 1 4 からの「+」判定または「-」判定に応じた遅延補正值に基づいて、遅延素子 1 3 への現在の遅延値を設定単位の一単位増やして設定、あるいは、一単位減らして設定する。

【 0 0 8 8 】

遅延素子 1 3 は、設定された遅延値だけ、M U X 1 1 から入力されるリファレンスクロックを回路 1 5 から遅延させて、バッファ 7 及びバッファ 8 を介して位相比較器 1 4 に出力する。

【 0 0 8 9 】

10

20

30

40

50

したがって、位相比較器 1 4 の判定が「+」から「-」に遷移した時が、遅延素子 1 3 及びバッファ 7、9 及び配線遅延を含めた遅延値が遅延素子 1 2 の遅延値と一致したことを示しており、このとき、ストロブ信号が遅延素子 1 3 からフリップフロップ 2 3、2 4 及びフリップフロップ 2 5、2 6 まで到達する遅延値が理想的な遅延値と一致することになる。

【0090】

上記補正処理を定期的に行うことにより、理想的なストロブ遅延を保つことができる。

【0091】

このように、補正処理を行うことで、遅延素子 1 2 の入力端子から位相比較器 1 4 までの遅延値と、遅延素子 1 3 の入力端子からバッファ 7、8 あるいはバッファのツリー構造を通過して位相比較器 1 4 に至るまでの遅延値とが一致するとともに、遅延素子 1 2 の入力端子から位相比較器 1 4 までの遅延値と、遅延素子 1 3 の入力端子からバッファ 7、1 0 またはバッファ 7、9 あるいはバッファのツリー構造を通過してフリップフロップ 2 3 ~ 2 6 のクロック入力端子に至るまでの遅延値とも一致することになる。

【0092】

したがって、ストロブ信号を意図した遅延値でフリップフロップ 2 3 ~ 2 6 のクロック入力端子まで遅延させることができる。すなわち、フリップフロップ 2 3 ~ 2 6 までのストロブ信号の遅延が、従来では、図 1 0 (b) のタイミング図で、ジッタが J 2 であったのが、図 1 0 (a) のタイミング図で、ジッタを J 1 にすることができる。

【0093】

また、遅延素子 1 2 及び遅延素子 1 3 は、最小の遅延値に設定しても 0 遅延にはならないが、本実施例の遅延制御装置 1 は、データ 0 及びデータ 1 を最小遅延素子 2 1、2 2 を通してフリップフロップ 2 3、2 4 及びフリップフロップ 2 5、2 6 に入力しているため、遅延素子 1 2 及び遅延素子 1 3 が最小の遅延値である場合のストロブ信号入力からフリップフロップ 2 3 ~ 2 6 のクロック入力端子までの遅延値と、データ入力からフリップフロップ 2 3 ~ 2 6 のデータ入力端子までの遅延値を等しくすることができる。

【0094】

なお、遅延素子 1 3 の出力端子からバッファ 7、9 及びバッファ 7、1 0 等を介して接続されるフリップフロップ 2 3 ~ 2 6 は、立ち上がりエッジあるいは立ち下がりエッジのものが混在していてもよく、また、遅延素子 1 3 の出力は、正論理、負論理の 2 系統の出力があってもよい。さらに、図 1 の最小遅延素子 2 1、2 2 の出力が接続されるフリップフロップ 2 3、2 4、2 5、2 6 は複数であってもよい。

【0095】

そして、本実施例の遅延制御装置 1 は、ストロブ遅延部 4 がリファレンスクロックに基づいて遅延素子 1 3 の遅延値の補正処理を行っているが、リファレンスクロックに基づくものに限るものではなく、例えば、図 3 に示すように、入力クロックで、「L」から「H」、または、「H」から「L」に変化する補正信号を出力する補正信号制御回路 4 0 を設けて、補正モード信号がアクティブのときに、この補正信号を MUX 1 1 を介して遅延素子 1 2 及び遅延素子 1 3 に出力することで、上記同様に補正処理を行ってもよい。

【0096】

このようにすると、遅延素子 1 3 の位相比較器 1 4 に至るまでの遅延値を遅延素子 1 2 に設定される遅延値に等しくして、遅延素子 1 3 のフリップフロップ 2 3 ~ 2 6 に至るまでの遅延値を、基準となる遅延素子 1 2 の遅延値と等しくすることができ、フリップフロップ 2 3 ~ 2 6 のクロック入力のジッタが遅延素子 1 2 および遅延素子 1 3 のみで決定されるようにして、データ転送を適切に行うことができる。

【0097】

また、本実施例の遅延制御装置 1 は、遅延素子 1 3 の出力を、バッファ 7 ~ 1 0 を通して、位相比較器 1 4 及びフリップフロップ 2 3 ~ 2 6 に入力している。

【0098】

10

20

30

40

50

したがって、遅延素子 13 から位相比較器 14 に至るまでの遅延値と遅延素子 13 からフリップフロップ 23 ~ 26 に至るまでの遅延値を等しくして、遅延素子 13 からフリップフロップ 23 ~ 26 までの遅延を小さく抑制することができ、スキューによるデータとストロブ信号とのタイミングのずれを適切に補正できるようにして、データとストロブ信号を適切に同期させて、データ転送を適切に行うことができる。

【実施例 2】

【0099】

図 4 は、本発明の遅延制御装置の第 2 実施例を適用した遅延制御装置 100 の回路構成図である。

【0100】

なお、本実施例は、上記第 1 実施例の遅延制御装置 1 と同様の遅延制御装置 100 に適用したものであり、本実施例の説明においては、上記第 1 実施例の遅延制御装置 1 と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0101】

図 4 において、遅延制御装置 100 は、上記第 1 実施例の遅延制御装置 1 と同様のマスター D L L 2、遅延設定値算出回路 3、ストロブ遅延部 4 を備えているとともに、データ遅延設定値算出回路（遅延値算出手段）101、102 及びデータ遅延部 103、104 を備えている。

【0102】

データ遅延部 103 は、遅延素子（データ遅延素子）105 と上記第 1 実施例の遅延制御装置 1 のデータ遅延部 5 と同様のフリップフロップ 23、24 を備えており、データ遅延部 104 は、遅延素子（データ遅延素子）106 と上記第 1 実施例の遅延制御素子 1 のデータ遅延部 6 と同様のフリップフロップ 25、26 を備えている。

【0103】

データ遅延部 103 の遅延素子 105 及びデータ遅延部 104 の遅延素子 106 は、上記第 1 実施例の遅延制御装置 1 の遅延素子 12、13 と同様の構成であり、複数のデータ遅延部 103、104 に入力されるデータ入力信号のスキューを調整するためのものである。したがって、これらの遅延素子 105、106 の設定できる遅延単位の最大値は、遅延素子 12、13 よりも少なくともよい。

【0104】

データ遅延設定値算出回路 101、102 には、マスター D L L 2 からリファレンスクロックの 1 周期分に値する遅延値とデータ遅延設定値が入力され、データ遅延設定値算出回路 101、102 は、マスター D L L 2 からの遅延値に基づいてデータ遅延設定値に対応する遅延値を算出して、遅延素子 105 及び遅延素子 106 に設定する。

【0105】

この遅延素子 105 及び遅延素子 106 に設定される遅延値は、上述のように、複数のデータ遅延部 103、104 に入力されるデータ入力信号のスキューを調整する遅延値であり、遅延素子 105 及び遅延素子 106 は、それぞれ入力されるデータ 0 及びデータ 1 を設定された遅延値で遅延させて、フリップフロップ 23、24 及びフリップフロップ 25、26 に出力する。

【0106】

このように、本実施例の遅延制御装置 100 は、フリップフロップ 23 ~ 26 のデータの入力端子に、遅延素子 105、106 を接続し、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延設定値算出回路 3、101、102 が設けられ、1 つの遅延設定値算出回路 3 が当該算出した遅延値を遅延素子 12 に設定し、他の遅延設定値算出回路 101、102 が、当該算出した遅延値を遅延素子 105、106 に設定している。

【0107】

したがって、複数のデータの遅延を、例えば、クロック周期の M % 分の遅延にさせるような制御を、それぞれのデータ信号毎に個別で設定することができ、データ信号のスキュー

10

20

30

40

50

ーを補正することができるとともに、クロックツリーを採用することなく、遅延素子 1 3 から各フリップフロップ 2 3 ~ 2 6 までの伝送路にスキューがあっても補正できるようにして、安価かつ適切にデータ転送を行うことができる。

【実施例 3】

【0108】

図 5 は、本発明の遅延制御装置の第 3 実施例を適用した遅延制御装置 2 0 0 の回路構成図である。

【0109】

なお、本実施例は、上記第 1 実施例の遅延制御装置 1 と同様の遅延制御装置 2 0 0 に適用したものであり、本実施例の説明においては、上記第 1 実施例の遅延制御装置 1 と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

10

【0110】

図 5 において、遅延制御装置 2 0 0 は、上記第 1 実施例の遅延制御装置 1 と同様のマスター D L L 2 及び 4 つのバッファ 7 ~ 1 0 を備えているとともに、入力用の遅延設定値算出回路（遅延値算出手段）2 0 1、出力用の遅延設定値算出回路（遅延値算出手段）2 0 2、ストロープ遅延部 2 0 3 及び 2 つのデータ遅延部 2 0 4、2 0 5 を備えている。

【0111】

ストロープ遅延部 2 0 3 は、上記第 1 実施例のストロープ遅延部 4 と同様の M U X 1 1、2 つの遅延素子 1 2、1 3、位相比較器 1 4 及び遅延制御回路 1 5 を備えているとともに、遅延素子（ストロープ遅延素子）2 1 1 とストロープ制御回路 2 1 2 を備えている。

20

【0112】

また、データ遅延部 2 0 4 は、上記第 1 実施例のデータ遅延部 5 と同様の最小遅延素子 2 1 及びフリップフロップ 2 3、2 4 を備えているとともに、フリップフロップ 2 2 1 と最小遅延素子（第 2 データ遅延素子）2 2 2 を備えており、データ遅延部 2 0 5 は、上記第 1 実施例のデータ遅延部 6 と同様の最小遅延素子 2 2 及びフリップフロップ 2 5、2 6 を備えているとともに、フリップフロップ 2 2 3 と最小遅延素子（第 2 データ遅延素子）2 2 4 を備えている。

【0113】

上記遅延設定値算出回路 2 0 1 には、マスター D L L 2 からリファレンスクロックの 1 周期分に値する遅延値と入力用遅延設定値が入力され、遅延設定値算出回路 2 0 1 は、マ

30

【0114】

上記遅延設定値算出回路 2 0 2 には、マスター D L L 2 からリファレンスクロックの 1 周期分に値する遅延値と出力用遅延設定値が入力され、遅延設定値算出回路 2 0 2 は、マスター D L L 2 からの遅延値と出力用遅延設定値に基づいて出力用の遅延値を算出して、ストロープ遅延部 2 0 3 の遅延素子 2 1 1 に出力する。

【0115】

上記ストロープ遅延部 2 0 3 のストロープ制御回路 2 1 2 には、出力回路用クロックが入力され、ストロープ制御回路 2 1 2 は、出力回路用クロックに基づいてストロープ出力タイミング信号を遅延素子 2 1 1 に出力する。

40

【0116】

遅延素子 2 1 1 は、ストロ - プ制御回路 2 1 2 からのストロープ出力タイミング信号を遅延設定値算出回路 2 0 2 からの遅延値だけ遅延させて、バッファ B f 1 b を介してストロープ信号の入力に戻す。

【0117】

また、データ遅延部 2 0 4 のフリップフロップ 2 2 1 及びデータ遅延部 2 0 5 のフリップフロップ 2 2 3 には、上記出力回路用クロックが入力され、フリップフロップ 2 2 1 及びフリップフロップ 2 2 3 は、出力用クロック毎に、データ出力タイミング信号を最小遅延素子 2 2 2 及び最小遅延素子 2 2 4 に出力する。

50

【0118】

最小遅延素子222及び最小遅延素子224は、最小遅延素子21及び最小遅延素子22と同様の機能を備えており、フリップフロップ221及びフリップフロップ223からのデータ出力タイミング信号を、最小遅延素子21及び最小遅延素子22と同じ遅延値だけ遅延させて、それぞれバッファBf2b及びバッファBf3bを介してデータ0及びデータ1の入力に戻す。

【0119】

したがって、ストロブ出力信号もデータ出力信号に対して一定の遅延を持たせることができ、さらに、データ出力信号とストロブ出力信号とのタイミング差(遅延差)を遅延素子211に遅延設定値算出回路202により設定される遅延分とすることができる。

このように、本実施例の遅延制御装置200は、ロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数の遅延設定値算出回路201、202のうち、1つの遅延設定値算出回路202が、当該算出した遅延値を、入力されるストロブ信号を所定の遅延値で遅延させる遅延素子211に設定している。

【0120】

したがって、ストロブ出力信号にデータ出力信号に対して一定の遅延を持たせることができ、スキューによるデータとストロブ信号とのタイミングのずれを適切に補正できるようにして、データとストロブ信号を適切に同期させて、データ転送を適切に行うことができる。

【実施例4】

【0121】

図6は、本発明の遅延制御装置の第4実施例を適用した遅延制御装置300の回路構成図である。

【0122】

なお、本実施例は、上記第3実施例の遅延制御装置200と同様の遅延制御装置300に適用したものであり、本実施例の説明においては、上記第3実施例の遅延制御装置200と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0123】

図6において、遅延制御装置300は、上記第3実施例の遅延制御装置200と同様のマスターDLL2、遅延設定値算出回路201、202及びストロブ遅延部203を備えているとともに、4つのデータ遅延設定値算出回路(遅延値算出手段)301~304及びデータ遅延部305、306を備えている。

【0124】

データ遅延部305は、上記第1実施例のデータ遅延部5と同様のフリップフロップ23、24を備えているとともに、遅延素子(データ遅延素子)311、遅延素子(第2データ遅延素子)312及びフリップフロップ313を備えており、データ遅延部306は、上記第1実施例のデータ遅延部5と同様のフリップフロップ25、26を備えているとともに、遅延素子(データ遅延素子)314、遅延素子(第2データ遅延素子)315及びフリップフロップ316を備えている。

【0125】

データ遅延設定値算出回路301~304には、それぞれマスターDLL2からリファレンスクロックの1周期分に値する遅延値とデータ遅延設定値が入力され、データ遅延設定値算出回路301~304は、マスターDLL2からの遅延値に基づいてデータ遅延設定値に対応する遅延値を算出して、データ遅延部305の遅延素子311と遅延素子312及びデータ遅延部305の遅延素子314と遅延素子315に設定する。

【0126】

遅延素子311は、データ遅延設定値算出回路301により設定される遅延値だけバッファBf2を介して入力されるデータ0を遅延させてフリップフロップ23、24に出力し、遅延素子314は、データ遅延設定値算出回路302により設定される遅延値だけバ

10

20

30

40

50

ッファ B f 3 を介して入力されるデータ 1 を遅延させてフリップフロップ 2 5、2 6 に出力する。

【0127】

遅延設定値算出回路 2 0 1 は、上述のように、マスター D L L 2 からの遅延値と入力用遅延設定値に基づいて入力用の遅延値を算出して、ストローク遅延部 2 0 3 の遅延素子 1 2 と遅延制御回路 1 5 に出力する。

【0128】

また、遅延設定値算出回路 2 0 2 は、マスター D L L 2 からの遅延値と出力用遅延設定値に基づいて出力用の遅延値を算出して、ストローク遅延部 2 0 3 の遅延素子 2 1 1 に出力する。

10

【0129】

ストローク遅延部 2 0 3 のストローク制御回路 2 1 2 には、出力回路用クロックが入力され、ストローク制御回路 2 1 2 は、出力回路用クロックに基づいてストローク出力タイミング信号を遅延素子 2 1 1 に出力する。

【0130】

遅延素子 2 1 1 は、ストローク制御回路 2 1 2 からのストローク出力タイミング信号を遅延設定値算出回路 2 0 2 からの遅延値だけ遅延させて、バッファ B f 1 b を介してストローク信号の入力に戻す。

【0131】

また、データ遅延部 3 0 5 のフリップフロップ 3 1 3 及びデータ遅延部 3 0 6 のフリップフロップ 3 1 6 には、上記出力回路用クロックが入力され、フリップフロップ 3 1 3 及びフリップフロップ 3 1 6 は、出力用クロック毎に、データ出力タイミング信号を遅延素子 3 1 2 及び遅延素子 3 1 5 に出力する。

20

【0132】

遅延素子 3 1 2 及び遅延素子 3 1 5 は、遅延素子 3 1 1 及び遅延素子 3 1 4 と同様の機能を備えており、フリップフロップ 3 1 3 及びフリップフロップ 3 1 6 からのデータ出力タイミング信号を、遅延素子 3 1 1 及び遅延素子 3 1 4 と同じ遅延値だけ遅延させて、それぞれバッファ B f 2 b 及びバッファ B f 3 b を介してデータ 0 及びデータ 1 の入力に戻す。

【0133】

そして、上記遅延素子 3 1 1 と遅延素子 3 1 2 及び遅延素子 3 1 4 と遅延素子 3 1 5 に設定される遅延値は、上述のように、複数のデータ遅延部 3 0 5、3 0 6 に入力されるデータ入力信号のスキューを調整する遅延値である。

30

【0134】

したがって、遅延制御装置 3 0 0 を A S I C と記憶装置等の間に配設すると、A S I C と記憶装置等の間のデータスキューを調整することができる。

【0135】

また、本実施例の遅延制御素子 3 0 0 は、クロックの整数倍の周期に相当する遅延値と当該遅延値を増減させる量を示す遅延設定値に基づいて遅延値を算出する複数のデータ遅延設定値算出回路 3 0 1 ~ 3 0 4 のうち、遅延値算出回路 3 0 2、3 0 4 が、当該算出した遅延値を第 2 データ遅延素子である遅延素子 3 1 2、3 1 5 に設定している。

40

【0136】

したがって、データ出力信号毎に遅延値を設定できるようにすることができ、データ出力以降の伝送路のスキューを補正して、より一層適切にデータ転送を行うことができる。

【実施例 5】

【0137】

図 7 は、本発明の遅延制御装置の第 5 実施例を適用した遅延制御装置 4 0 0 の適用される電子機器 5 0 0 の要部ブロック構成図である。

【0138】

電子機器 5 0 0 は、C P U (Central Processing Unit) 5 0 1、R O M (Read Only

50

Memory) 502 及びレジスタ503 ~ 507 等がバス508 に接続されており、CPU (外部の制御手段) 501 が、バス508 に接続されているレジスタ503 ~ 507 及び遅延制御装置400 を介して記憶装置 (記憶手段) 509 へのデータの書き込みや記憶装置509 からのデータの読み出しを行う。この記憶装置509 は、例えば、DDR SDRAM である。

【0139】

遅延制御装置400 は、上記第1実施例の遅延制御装置1 から第4実施例の遅延制御装置300 を用いることができ、いま、ストロブ遅延部401 と複数 (図7では、4つ) のデータ遅延部402 ~ 405 を備えている。

【0140】

ストロブ遅延部401 へのストロブ遅延設定値及びデータ遅延部402 ~ 405 のデータ遅延設定値は、CPU 501 によりレジスタ503 及びレジスタ504 ~ 507 を介して設定される。

【0141】

そして、このストロブ遅延設定値及びデータ遅延設定値は、ROM (外部の不揮発性メモリ) 502 に予め格納されており、電子機器500 のパワーオン時やリセット時にCPU 501 がROM 502 のストロブ遅延設定値及びデータ遅延設定値を読み出して、レジスタ503 ~ 507 に設定する。このストロブ遅延設定値及びデータ遅延設定値は、電子機器500 のボード設計時に、CPU 501 から記憶装置509 までのデータの配線スキューやストロブ信号との遅延を考慮して決定され、ROM 502 に書き込まれる。

【0142】

このように、本実施例では、ストロブ遅延部401 へのストロブ遅延設定値及びデータ遅延部402 ~ 405 のデータ遅延設定値を、外部の制御手段であるCPU 501 から設定可能としている。

【0143】

したがって、遅延設定値をソフトウェア等で設定できるようにすることができ、ASIC 設計やボード設計の差異により異なる値を機器毎に自由に設定することができる。

【0144】

また、ストロブ遅延部401 へのストロブ遅延設定値及びデータ遅延部402 ~ 405 のデータ遅延設定値を、外部の不揮発性メモリであるROM 502 に格納されている当該遅延設定値を外部の制御手段であるCPU 501 が読み出して設定可能としている。

【0145】

したがって、機器毎に異なるボード上のデータスキューに対応した遅延設定値を、メインのソフトウェアを変更することなく、適切な遅延設定値を設定できるようにすることができ、ASIC 設計やボード設計の差異により異なる値を機器毎に自由にかつ安価に設定することができる。

【0146】

以上、本発明者によってなされた発明を好適な実施の形態に基づき具体的に説明したが、本発明は上記のものに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0147】

電子機器等のLSI間の高速インターフェース、信号間のタイミング規定が厳しいデータ転送のタイミング補正を適切に行う遅延制御装置に適用することができる。

【図面の簡単な説明】

【0148】

【図1】本発明の遅延制御装置の第1実施例を適用した遅延制御装置の回路構成図。

【図2】図1の遅延素子の一例を示す回路構成図。

【図3】図1のストロブ遅延部の他の例の回路構成図。

10

20

30

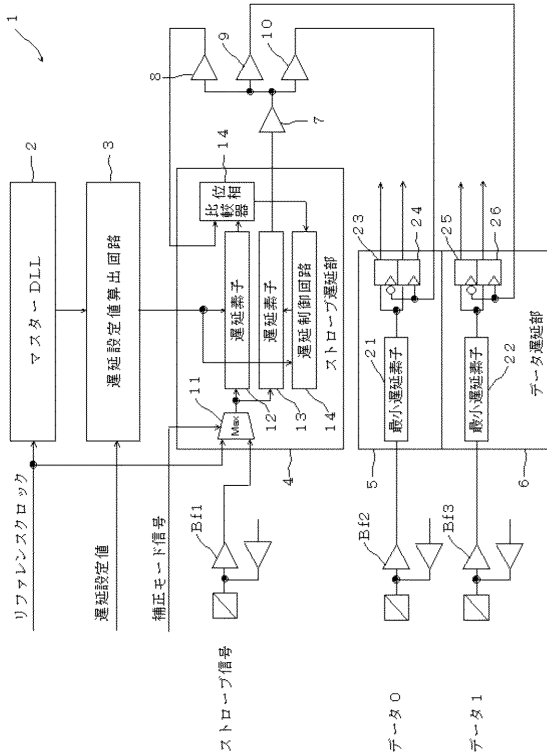
40

50

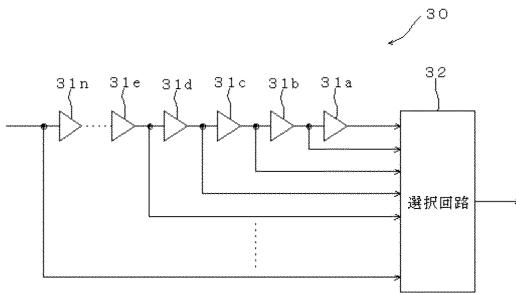
- 【図 4】本発明の遅延制御装置の第 2 実施例を適用した遅延制御装置の回路構成図。
- 【図 5】本発明の遅延制御装置の第 3 実施例を適用した遅延制御装置の回路構成図。
- 【図 6】本発明の遅延制御装置の第 4 実施例を適用した遅延制御装置の回路構成図。
- 【図 7】本発明の遅延制御装置の第 5 実施例を適用した遅延制御装置の適用される電子機器の要部ブロック構成図。
- 【図 8】従来の DLL を用いた信号遅延装置の要部回路ブロック構成図。
- 【図 9】図 8 のデータの入力タイミングを示す図。
- 【図 10】ストローク信号の遅延が理想の場合のタイミング (a) と理想的なタイミングに対してマージンが生じている実際のタイミング (b) を示す図。
- 【図 11】配線距離のデータ転送タイミングに対するデータスキューの影響の説明図。 10
- 【符号の説明】
- 【 0 1 4 9 】
- 1 遅延制御装置
 - 2 マスター DLL
 - 3 遅延設定値算出回路
 - 4 ストローク遅延部
 - 5、6 データ遅延部
 - 7 ~ 10 バッファ
 - 11 MUX
 - 12、13 遅延素子 20
 - 14 位相比較器
 - 15 遅延制御回路
 - 21、22 最小遅延素子
 - 23、24、25、26 フリップフロップ
 - Bf1 ~ Bf3 バッファ
 - 30 遅延素子
 - 31a ~ 31n 単位遅延素子
 - 32 選択回路
 - 100 遅延制御装置
 - 101、102 データ遅延設定値算出回路 30
 - 103、104 データ遅延部
 - 105 遅延素子
 - 106 遅延素子
 - 200 遅延制御装置
 - 201、202 遅延設定値算出回路
 - 203 ストローク遅延部
 - 204、205 データ遅延部
 - 211 遅延素子
 - 212 ストローク制御回路
 - 221 フリップフロップ 40
 - 222 最小遅延素子
 - 223 フリップフロップ
 - 224 最小遅延素子
 - Bf1b ~ Bf3b バッファ
 - 300 遅延制御装置
 - 301 ~ 304 データ遅延設定値算出回路
 - 305、306 データ遅延部
 - 311、312 遅延素子
 - 313 フリップフロップ
 - 314、315 遅延素子 50

- 3 1 6 フリップフロップ
- 4 0 0 遅延制御装置
- 5 0 0 電子機器
- 5 0 1 CPU
- 5 0 2 ROM
- 5 0 3 ~ 5 0 7 レジスタ
- 5 0 8 バス
- 5 0 9 記憶装置
- 4 0 1 ストローブ遅延部
- 4 0 2 ~ 4 0 5 データ遅延部

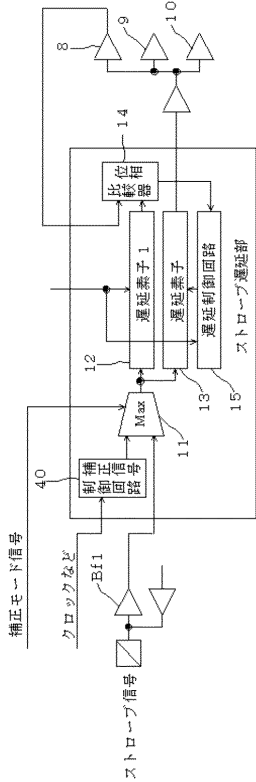
【図1】



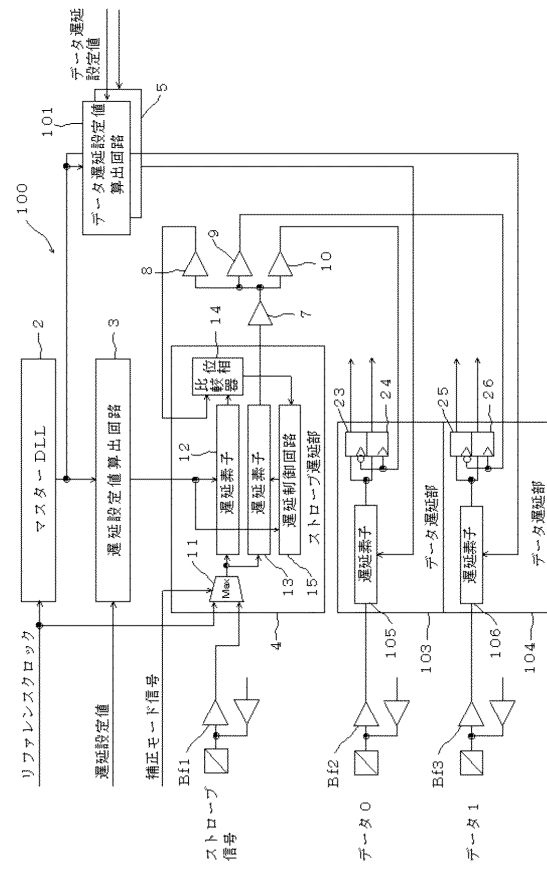
【図2】



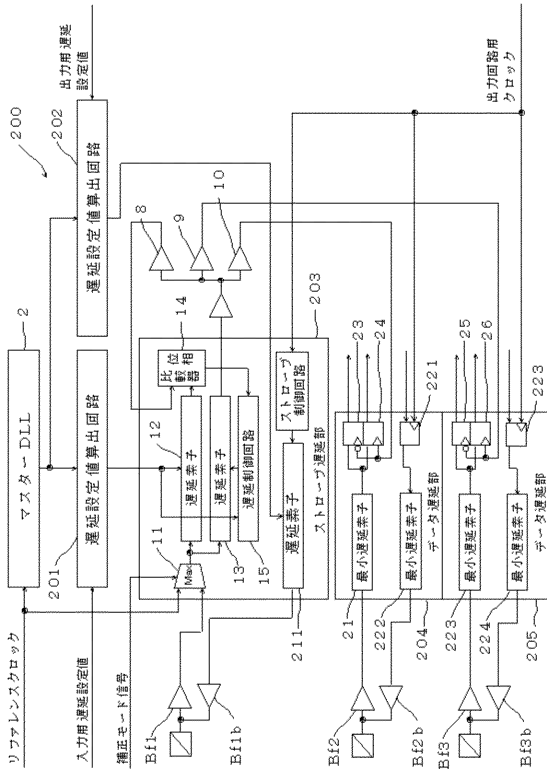
【図 3】



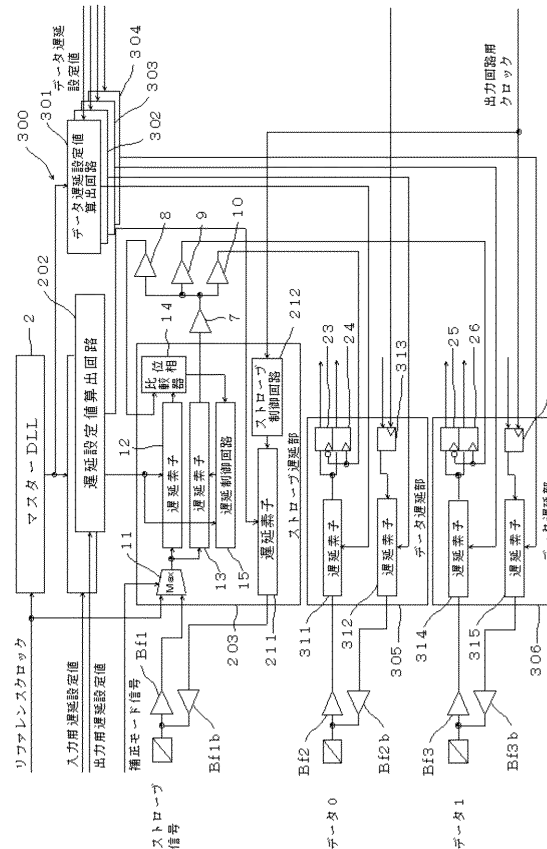
【図 4】



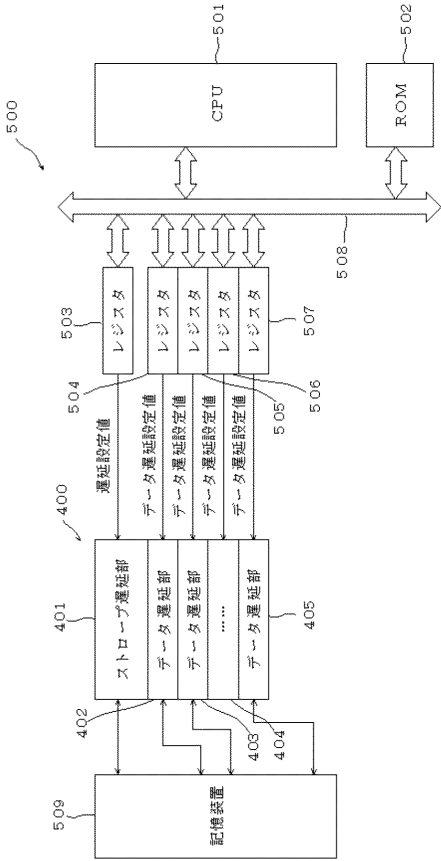
【図 5】



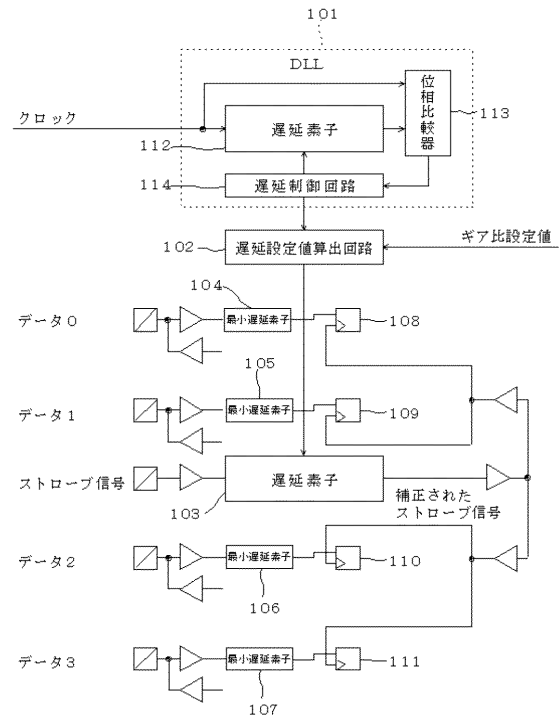
【図 6】



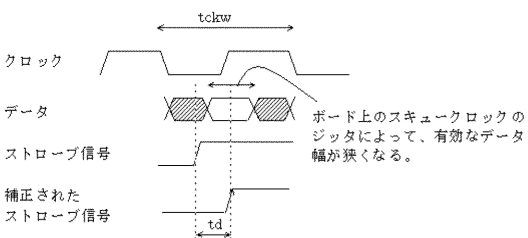
【図 7】



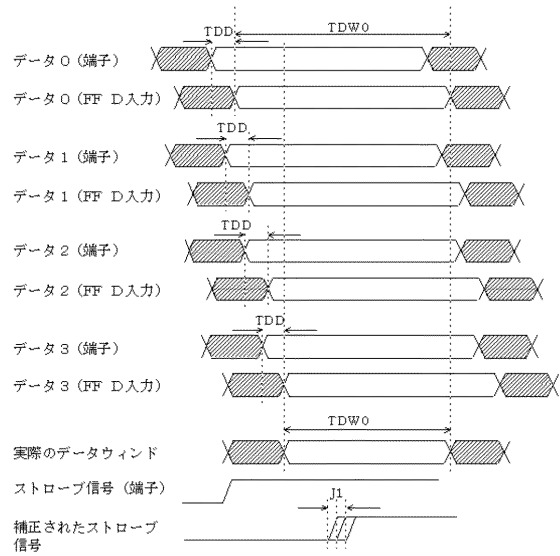
【図 8】



【図 9】



【図 11】



【図 10】

