



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0071896
(43) 공개일자 2020년06월22일

(51) 국제특허분류(Int. Cl.)

G11C 15/04 (2006.01)

(52) CPC특허분류

G11C 15/04 (2013.01)

G06F 16/90339 (2019.01)

(21) 출원번호 10-2018-0158929

(22) 출원일자 2018년12월11일

심사청구일자 2018년12월11일

(71) 출원인

조선대학교산학협력단

광주광역시 동구 필문대로 309 (서석동)

(72) 발명자

이정아

광주광역시 북구 첨단과기로 123, 교수아파트 C동 1202호(오룡동)

인야엣 올라

파키스탄, KPK, 페샤와르 칸톤먼트, 해미드 켄 시 니어 어디터 FI랩, 어카운턴트 제너럴 오피스, 포트로드

자히드 올라

파키스탄, 페샤와르 IT 이머저링 사이언시스 CECOS 유니버시티, 일렉트릭얼 엔지니어링 디파트먼트

(74) 대리인

특허법인아이엠

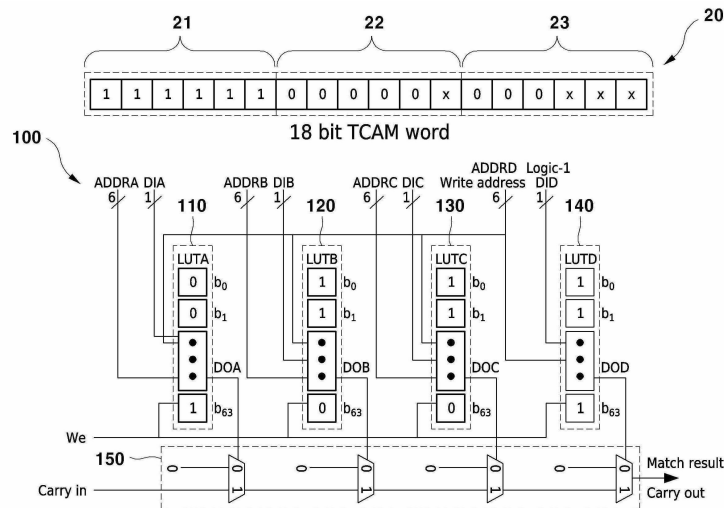
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 내용기반 검색 및 동시 업데이트 가능한 FPGA 기반 TCAM 구조

(57) 요약

본 발명은 FPGA 기반 TCAM 구조에 관한 것으로, 보다 구체적으로는 검색하고자 하는 서치 키의 값을 룩업테이블을 구성하는 비트의 주소로 이용하고, 룩업테이블의 출력은 검색의 일치 또는 불일치 여부를 반영할 수 있도록 하며, 서치 키의 내용에 기반하여 검색이 가능한 동시에 룩업테이블을 업데이트할 수 있는 FPGA 기반 TCAM 구조에 관한 것이다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호 1711071746

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구(총연구비1.5억초과~3억이하)

연구과제명 애플리케이션 오류 허용 특성에 따른 로직 변환 및 연산기 간소화 기법: 에너지 효율적인,
충분히 정확한 컴퓨팅 연산기 설계와 응용

기 여 율 1/2

주관기관 조선대학교

연구기간 2018.04.01 ~ 2019.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1345274074

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 BK21플러스사업(0.5)

연구과제명 웰리빙 IT 전문인력 양성팀

기 여 율 1/2

주관기관 조선대학교

연구기간 2018.03.01 ~ 2019.02.28

명세서

청구범위

청구항 1

FPGA 기반 TCAM 구조로서,

복수 개의 룩업테이블을 포함하고, 상기 룩업테이블들의 출력은 캐리 체인을 통해 AND 연산되어 최종 매치 결과가 출력되며,

상기 각 룩업테이블은 입력되는 서치 키가 표현할 수 있는 값의 개수만큼 비트를 가지고, 저장하고자 하는 서치 키의 값에 대응하는 주소의 비트에는 '1'이 쓰여지고 그렇지 않은 비트에는 '0'이 쓰여지며,

검색하고자 하는 서치 키가 상기 각 룩업테이블에 입력되면, 입력된 서치 키의 값에 해당하는 주소의 비트 값을 출력하여,

모든 룩업테이블에서 '1'이 출력될 경우, 상기 최종 매치 결과는 '1'이 출력되는 것을 특징으로 하는 FPGA 기반 TCAM 구조.

청구항 2

제 1 항에 있어서,

서치 키의 검색은 검색하고자 하는 서치 키의 값에 해당하는 주소의 비트로 직접 접근하여 이루어지며,

서치 키의 검색과 동시에 검색하고자 하는 서치 키의 주소에 해당하지 않는 룩업테이블의 나머지 비트들은 저장된 값을 업데이트할 수 있는 것을 특징으로 하는 FPGA 기반 TCAM 구조.

청구항 3

제 2 항에 있어서,

상기 룩업테이블들은 네 개의 64비트 룩업테이블램(LUTRAM)이 쿼드 포트 램 구조로 이루어지고 세 개의 룩업테이블램은 읽기 포트로서 18개의 TCAM 비트를 구현하고, 한 개의 룩업테이블램은 쓰기 포트로서 기능하는 것을 특징으로 하는 FPGA 기반 TCAM 구조.

청구항 4

제 3 항에 있어서,

상기 룩업테이블램의 업데이트 주소를 출력하는 $\log_2 D$ -비트 디코더;

6비트의 시퀀스를 생성하여 출력하는 MOD-64 카운터; 및

업데이트하고자 하는 값인 업데이트 워드와 상기 MOD-64 카운터의 6비트 시퀀스를 서로 비교하는 비교기;를 더 포함하고,

해당 업데이트 주소에서 상기 업데이트 워드와 상기 6비트 시퀀스가 서로 일치할 경우 해당 업데이트 주소의 비트를 '1'로 기록하는 것을 특징으로 하는 FPGA 기반 TCAM 구조.

발명의 설명

기술 분야

본 발명은 FPGA 기반 TCAM 구조에 관한 것으로, 보다 구체적으로는 검색하고자 하는 서치 키의 내용을 룩업테이

블을 구성하는 비트의 주소로 이용하고, 룩업테이블의 출력은 검색의 일치 또는 불일치 여부를 반영할 수 있도록 하며, 서치 키의 내용에 기반하여 검색이 가능한 동시에 룩업테이블을 업데이트할 수 있는 FPGA 기반 TCAM 구조에 관한 것이다.

배경 기술

- [0003] CAM(Content Addressable Memory)은 네트워킹, 마이크로 프로세서 변환 버퍼(microprocessor translation look-aside buffers), 캐시, 패턴 매칭 및 대용량 데이터 처리 가속화와 같은 속도가 중요한 응용 프로그램에서 룩업 테이블 검색 작업을 구현하는 데 광범위하게 사용된다.
- [0004] CAM은 입력 검색 키가 저장된 모든 데이터와 병렬로 비교되고 일치하는 데이터의 주소가 출력되는 특수 유형의 메모리이다.
- [0005] CAM은 두 가지 범주로 분류되는데, binary CAM(BCAM)은 각 비트가 "0"및 "1"의 이진 상태를 나타내고, ternary CAM(TCAM)에는 추가 상태 "do not care state x"가 있어 와일드 카드 항목을 나타낼 수 있다
- [0006] 도 1은 일반적인 4×4 TCAM을 보여주는 도면이다.
- [0007] 도 1을 참조하면, 일반적인 TCAM(10)은 서치 키(13)가 입력되면, TCAM 셀(11a)로 구성되는 ASIC (Application-Specific Integrated Circuit)에서 룩업 테이블의 병렬 검색 작업을 수행하고, 폭 방향(width)의 셀들의 모든 데이터가 서치 키(13)와 동일할 경우 매치 라인(ML)에서 '1'의 값이 출력되고 우선순위 엔코더(12)는 매치 주소(Match address)를 출력한다.
- [0008] 도 1의 예에서는 서치 키(13)가 '1100'이므로 동일한 데이터 'X100'이 존재하는 제1 매치 라인(ML1)에서 신호가 출력되며, 우선순위 엔코더(12)는 매치 주소 '10'을 출력한다.
- [0009] 이 TCAM은 결정적 시간(deterministic time)에서 고속 룩업 성능(high-speed look-up performance)을 제공하는 장점이 있으나 낮은 저장 밀도(low storage density), 높은 전력 소비(higher power consumption), 높은 비트당 비용(higher cost per bit)의 결점이 존재한다.

발명의 내용

해결하려는 과제

- [0011] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로 본 발명의 목적은 서치 키의 내용을 룩업테이블을 구성하는 비트의 주소로 이용하고, 룩업테이블들의 출력은 검색의 일치 또는 불일치 여부를 반영할 수 있도록 하며, 서치 키의 내용에 기반하여 검색이 가능한 동시에 룩업테이블을 업데이트할 수 있는 FPGA 기반 TCAM 구조를 제공하는 것이다.

과제의 해결 수단

- [0013] 상기의 목적을 달성하기 위하여 본 발명은 FPGA 기반 TCAM 구조로서, 복수 개의 룩업테이블을 포함하고, 상기 룩업테이블들의 출력은 캐리 체인을 통해 AND 연산되어 최종 매치 결과가 출력되며, 상기 각 룩업테이블은 입력되는 서치 키가 표현할 수 있는 값의 개수만큼 비트를 가지고, 저장하고자 하는 서치 키의 값에 대응하는 주소의 비트에는 '1'이 쓰여지고 그렇지 않은 비트에는 '0'이 쓰여지며, 검색하고자 하는 서치 키가 상기 각 룩업테이블에 입력되면, 입력된 서치 키의 값에 해당하는 주소의 비트 값을 출력하여, 모든 룩업테이블에서 '1'이 출력될 경우, 상기 최종 매치 결과는 '1'이 출력되는 것을 특징으로 하는 FPGA 기반 TCAM 구조를 제공한다.
- [0014] 바람직한 실시예에 있어서, 서치 키의 검색은 검색하고자 하는 서치 키의 값에 해당하는 주소의 비트로 직접 접근하여 이루어지며, 서치 키의 검색과 동시에 검색하고자 하는 서치 키의 주소에 해당하지 않는 룩업테이블의 나머지 비트들은 저장된 값을 업데이트할 수 있다.
- [0015] 바람직한 실시예에 있어서, 상기 룩업테이블들은 네 개의 64비트 룩업테이블램(LUTRAM)이 쿼드 포트 램 구조로 이루어지고 세 개의 룩업테이블램은 읽기 포트로서 18개의 TCAM 비트를 구현하고, 한 개의 룩업테이블램은 쓰기

포트로 기능한다.

[0016] 바람직한 실시예에 있어서, 상기 룩업테이블램의 업데이트 주소를 출력하는 $\log_2 D$ -비트 디코더; 6비트의 시퀀스를 생성하여 출력하는 MOD-64 카운터; 및 업데이트하고자 하는 값인 업데이트 워드와 상기 MOD-64 카운터의 6비트 시퀀스를 서로 비교하는 비교기;를 더 포함하고, 해당 업데이트 주소에서 상기 업데이트 워드와 상기 6비트 시퀀스가 서로 일치할 경우 해당 업데이트 주소의 비트를 '1'로 기록한다.

발명의 효과

[0018] 본 발명은 다음과 같은 우수한 효과를 가진다.

[0019] 본 발명의 FPGA 기반 TCAM 구조에 의하면, 검색하고자 하는 서치 키의 내용을 룩업테이블을 구성하는 비트의 주소로 이용하고, 서치 키의 내용에 해당하는 비트로 직접 접근하여 검색하는 동시에 현재 검색되고 있지 않는 다른 주소의 비트들은 업데이트할 수 있어 높은 검색 및 업데이트 성능을 제공하고 단일 사이클의 검색 대기시간을 줄일 수 있는 장점이 있다.

도면의 간단한 설명

[0021] 도 1은 일반적인 4×4 TCAM을 보여주는 도면,

도 2는 본 발명의 일 실시예에 따른 FPGA 기반의 TCAM 구조를 보여주는 도면,

도 3은 본 발명의 일 실시예에 따른 FPGA 기반의 TCAM 구조에서 업데이트 로직을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.

[0023] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0024] 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0026] 도 2는 본 발명의 일 실시예에 따른 FPGA 기반의 TCAM 구조를 보여주는 도면이다. 도 2를 참조하면, 본 발명의 일 실시예에 따른 FPGA 기반의 TCAM 구조(이하, 'TCAM 구조'라 함)는 FPGA(Field-Programmable Gate Array) 기반으로 설계된 TCAM 구조이다.

[0027] 일반적으로 SRAM(static random access memory) 기반의 TCAM은 업데이트 대기 시간이 길며, 업데이트 작업 중, 검색 작업이 일시 중지되어야 하므로 고속 업데이트가 필요한 어플리케이션에서 실행할 수 없는 문제점이 있다.

[0028] 그러나 본 발명은 FPGA에서 동적으로 재구성 가능한 TCAM 디자인이며, 슬라이스 M 타입 로직 슬라이스에서 사용할 수 있는 룩업 테이블 램(LUTRAM)을 쿼드 포트 RAM으로 구성하여 FPGA의 분산 RAM 리소스를 활용한다.

[0029] 최신 FPGA 디바이스는 구성 가능한 로직 블록(CLBs:configurable logic blocks), 프로그래밍 가능한 상호 연결 요소(programmable interconnect elements), 클럭 분배 네트워크(clock distribution networks), 블록 램(block RAMs), 디지털 신호처리 슬라이스(digital signal processing slices), 외부 입출력 블록(external input/output blocks)으로 구성되며, FPGA에서 사용 가능한 CLB는 "L"유형 슬라이스와 "M"유형 슬라이스의 두 가지 유형의 슬라이스로 구성된다.

[0030] 또한, FPGA의 슬라이스는 네 개의 6 입력 룩업테이블(6 input LUTs)로 구성된다.

[0031] 또한, 슬라이스 M이라 불리는 "M" 유형 슬라이스는 로직 구현을 위한 함수 발생기뿐만 아니라 룩업테이블램(LUTRAM)으로 구성될 수 있으며, 슬라이스L이라 불리는 "L" 유형 슬라이스의 룩업테이블은 룩업테이블램이 아닌

논리를 구현하는 함수 발생기로 구성될 수 있다.

- [0032] 또한, 슬라이스 M의 룩업테이블램을 사용하여 구성된 램은 분산형 램으로 알려져 있다.
- [0033] 본 발명의 일 실시예에 따른 TCAM 구조는 슬라이스 M의 네 개의 64비트 룩업테이블램(110, 120, 130, 140)으로 구성되며, 세 개의 룩업테이블램(110, 120, 130)(룩업테이블램A, 룩업테이블램B, 룩업테이블램C)은 읽기 포트로서 18개의 TCAM 비트를 구현하고 나머지 한 개의 룩업테이블램(140)(룩업테이블램D)은 쓰기 포트로서 이용된다.
- [0034] 또한, 상기 네 개의 룩업테이블램(110, 120, 130, 140)은 공통 쓰기 주소 포트를 공유하며, 포트 DIA, DIB, DIC, DID의 데이터를 이용하여 네 개의 개별 비트가 룩업테이블램에 쓰여지고 ADDRD 포트를 이용하여 쓰기 주소가 상기 룩업테이블램D에 적용된다.
- [0035] 또한, 동시에 상기 룩업테이블램A(110), 상기 룩업테이블램B(120) 및 상기 룩업테이블램C(130)의 주소 포트를 읽을 수 있으며 이 구조는 세 개의 읽기 포트와 하나의 쓰기 포트가 있는 쿼드 포트 램을 구성한다.
- [0036] 또한, 상기 룩업테이블램A(110), 상기 룩업테이블램B(120) 및 상기 룩업테이블램C(130)는 각각 입력되는 서치 키(TCAM word)가 표현할 수 있는 값의 개수만큼 비트를 가진다.
- [0037] 또한, 상기 룩업테이블램A(110), 상기 룩업테이블램B(120) 및 상기 룩업테이블램C(130)는 18비트의 TCAM 워드(20)를 구현하며, 상기 룩업테이블램A(110)로 입력되는 TCAM워드(21), 상기 룩업테이블램B(120)로 입력되는 TCAM워드(22), 상기 룩업테이블램C(130)로 입력되는 TCAM워드(23)는 각각 6비트의 TCAM 워드로 구현된다.
- [0038] 또한, 6비트의 TCAM 워드는 64개의 값을 표현할 수 있으므로 상기 룩업테이블램A(110), 상기 룩업테이블램B(120) 및 상기 룩업테이블램C(130)은 각각 64비트의 메모리 요소로 구성된다.
- [0039] 예를 들어, 도 2에 도시한 바와 같이 상기 룩업테이블램A(110)는 '111111'의 TCAM 워드의 구현을 위해 최상위 비트(b_{63})에만 '1'이 쓰여지고, 나머지 비트들에는 '0'이 쓰여진다. 또한, 상기 룩업테이블램B(120)에는 '000000x'의 TCAM 워드 구현을 위해 최하위 비트(b_0)에는 TCAM 워드 '000000'을 구현하기 위해 '1'이 쓰여지고 두번째 비트(b)에는 TCAM 워드 '000001'의 구현을 위해 '1'이 쓰여지며 나머지 비트들에는 '0'이 쓰여진다.
- [0040] 또한, 상기 룩업테이블램C(130)에는 '000xxx'의 구현을 위해 최하위 비트(b_0)부터 8개의 비트('000000'부터 '000111'까지를 구현)에 '1'이 쓰여지고, 나머지 비트들에는 '0'이 쓰여진다.
- [0041] 즉, 상기 룩업테이블램A(110), 상기 룩업테이블램B(120) 및 상기 룩업테이블램C(130)에는 서치 키의 값에 대응하는 주소의 비트에는 '1'이 쓰여지고 그렇지 않은 비트들에는 '0'이 쓰여진다.
- [0042] 그러면 검색하고자 하는 서치 키가 상기 룩업테이블들(110, 120, 130)에 병렬로 입력될 때, 서치 키의 값에 해당하는 주소의 비트로 바로 접근하여 매치 결과를 출력할 수 있다.
- [0043] 또한, 각 룩업테이블들(110, 120, 130)의 출력은 캐리 체인(150)을 통해 AND 연산되어 최종 매치 결과가 출력된다.
- [0044] 또한, 상기 룩업테이블램D(140)는 매치 결과를 다음 슬라이스(폭 방향으로 연결되는 슬라이스)로 전달하기 위해 영구적으로 모든 비트를 논리 '1'로 초기화한다.
- [0045] 또한, 본 발명의 TCAM 구조는 폭 방향(width) 및 깊이 방향(depth)로 연결되어 확장될 수 있다.
- [0046] 한편, 본 발명의 TCAM 구조는 서치 키의 값에 대응하는 룩업테이블램의 주소로 직접 접근하여 매치 여부를 출력하므로 검색과 동시에 서치 키의 값에 해당하지 않는 나머지 비트들은 저장된 값을 업데이트할 수 있다.
- [0047] 이를 위해 도 3에 도시한 바와 같이 업데이트 로직(200)이 더 포함되며, 상기 업데이트 로직(200)은 $\log_2 D$ -비트 디코더(210), MOD-64 카운터(220) 및 비교기(230, 231, 232)를 포함한다.
- [0048] 상기 $\log_2 D$ -비트 디코더(210)는 업데이트 주소가 디코딩되어 출력되며, 쓰기를 위한 TCAM 워드를 구현하는 룩업테이블 램의 행을 선택한다.
- [0049] 상기 MOD-64 카운터(220)는 모든 사이클에서 6비트의 새로운 시퀀스('000000' 부터 '111111'까지)를 생성하여 출력한다.
- [0050] 상기 비교기(230, 231, 232)는 업데이트를 위한 TCAM 워드와 상기 MOD-64 카운터(220)에서 생성되는 6비트 시퀀스

를 비교하고, 일치할 경우 논리 '1'을 해당 업데이트 주소에 기록한다.

[0051] 즉, 업데이트 프로세스 동안 나머지 블록들에서는 검색 작업을 할 수 있으므로 동적 업데이트가 가능하다.

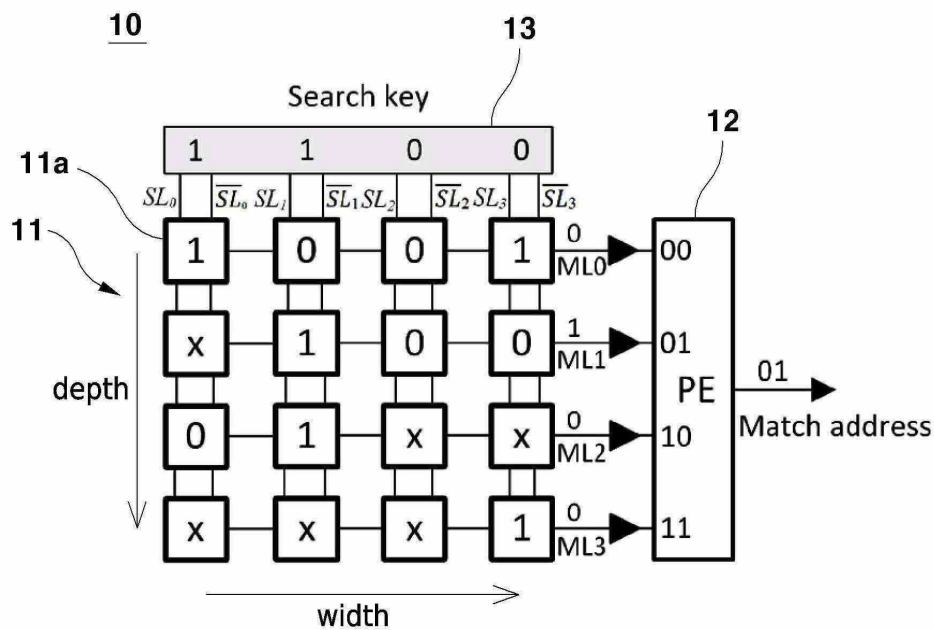
[0053] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

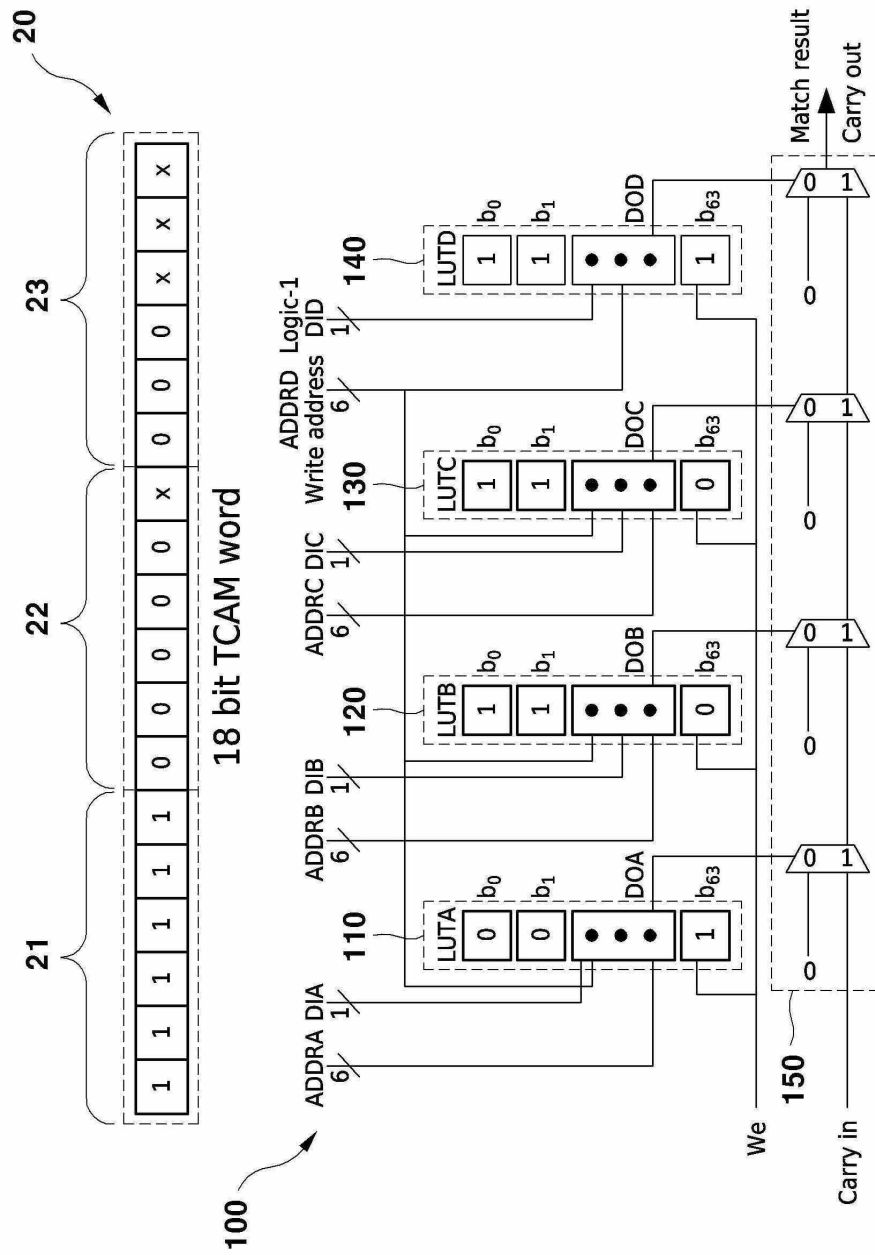
[0055] 100:FPGA 기반 TCAM 구조 110:룩업테이블램A
120:룩업테이블램B 130:룩업테이블램C
140:룩업테이블램D 200:업데이트 로직
210: $\log_2 D$ -비트 디코더 220:MOD-64 카운터
230:비교기

도면

도면1



도면2



도면3

