



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0070008
(43) 공개일자 2021년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 29/66 (2006.01) H01L 21/768 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/66742 (2013.01)
H01L 21/76816 (2013.01)
(21) 출원번호 10-2019-0159962
(22) 출원일자 2019년12월04일
심사청구일자 2019년12월04일

(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
최리노
서울특별시 마포구 월드컵북로 502-37, 1102동 305호
김남훈
경기도 파주시 가람로 22, 113동 903호
(74) 대리인
김남식, 이인행

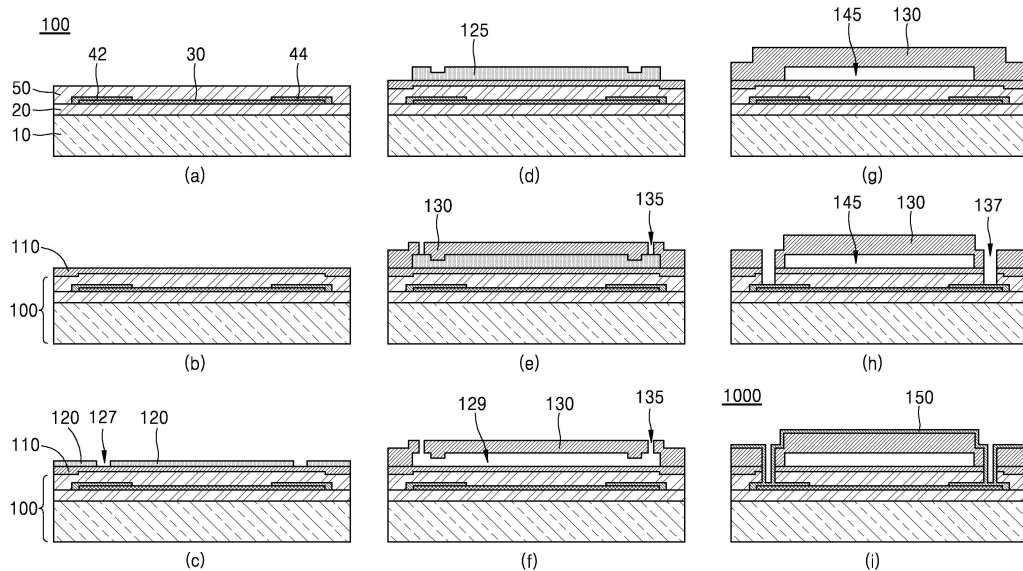
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 멤브레인 게이트 박막 트랜지스터 및 그 제조방법

(57) 요약

본 발명의 일 관점에 의한 멤브레인 게이트 박막 트랜지스터의 제조방법은 반도체 기판을 형성하는 단계; 상기 반도체 기판 상에 식각 방지층을 형성하는 단계; 상기 식각 방지층 상에 희생층을 형성하는 단계; 상기 희생층 상에 멤브레인층을 형성하는 단계; 상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계; 상기 식각홀을 통해서 상기 희생층을 제거하는 단계; 상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 갭을 형성하는 단계; 상기 멤브레인층의 적어도 어느 일부에 패터닝을 수행하여 비아(via)를 형성하는 단계; 및 상기 비아를 통해 노출된 상기 반도체 기판의 전극, 상기 비아의 내벽 및 상기 멤브레인층 상에 전극층을 형성하는 단계;를 포함할 수 있다.

대표도



(52) CPC특허분류

H01L 21/7682 (2013.01)

H01L 21/76829 (2013.01)

H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711094400
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발
연구과제명	시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발
기 여 율	1/2
과제수행기관명	인하대학교산학협력단
연구기간	2019.02.01 ~ 2019.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711093540
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발
연구과제명	초절전 IoT 소자 결합 3차원 플랫폼 집적 공정과 최적 아키텍처 개발, 검증
기 여 율	1/2
과제수행기관명	인하대학교
연구기간	2019.03.01 ~ 2019.12.31

명세서

청구범위

청구항 1

반도체 기판을 형성하는 단계;

상기 반도체 기판 상에 식각 방지층을 형성하는 단계;

상기 식각 방지층 상에 희생층을 형성하는 단계;

상기 희생층 상에 멤브레인층을 형성하는 단계;

상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계;

상기 식각홀을 통해서 상기 희생층을 제거하는 단계;

상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 챔을 형성하는 단계;

상기 멤브레인층의 적어도 어느 일부에 패터닝을 수행하여 비아(via)를 형성하는 단계; 및

상기 비아를 통해 노출된 상기 반도체 기판의 전극, 상기 비아의 내벽 및 상기 멤브레인층 상에 전극층을 형성하는 단계;를 포함하는,

멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 2

제 1 항에 있어서,

상기 희생층을 형성하는 단계는,

상기 식각 방지층 상에 식각 채널을 구비하는 채널층을 형성하는 단계; 및

상기 채널층 상에 상기 희생층을 형성하는 단계;를 포함하는,

멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 3

제 2 항에 있어서,

상기 식각 채널에 의해서 상기 희생층의 적어도 어느 일부분에 오목부가 형성되어, 상기 멤브레인층의 일부가 상기 오목부 내로 하방 돌출되도록 형성되는,

멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 4

제 2 항에 있어서,

상기 실링층은 상기 식각홀을 통해서 상기 식각 채널 내로 하방 돌출된 상기 멤브레인층 부분까지 형성된,

멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 5

제 2 항에 있어서,

상기 전극층은 상기 식각 채널 방향으로 일부 하방 돌출되도록 상기 멤브레인층 상에 형성된,

멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 6

제 1 항에 있어서,
상기 진공 챔은 상기 실링층, 상기 멤브레인층, 및 상기 식각 방지층에 의해서 둘러싸인,
멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 7

제 1 항에 있어서,
상기 식각 방지층, 상기 실링층 및 상기 멤브레인층은 동일 물질로 형성하는,
멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 8

제 1 항에 있어서,
상기 식각 방지층, 상기 실링층 및 상기 멤브레인층은 실리콘 질화물을 포함하는,
멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 9

제 1 항에 있어서,
상기 반도체 기판을 형성하는 단계는,
실리콘 기판 상에 실리콘 산화물층을 형성하는 단계;
상기 실리콘 산화물층 상에 반도체 채널을 형성하는 단계; 및
상기 반도체 채널 상에 소스 전극 및 드레인 전극을 형성하는 단계;를 포함하는,
멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 10

제 9 항에 있어서,
상기 반도체 채널은 IGZO(Indium gallium zinc oxide)를 포함하는,
멤브레인 게이트 박막 트랜지스터의 제조방법.

청구항 11

반도체 기판;
상기 반도체 기판 상에 형성된 식각 방지층;
상기 식각 방지층 상에 형성된 멤브레인층; 및
상기 멤브레인층 상에 형성된 전극층;을 포함하고,
상기 멤브레인층은 캐비티를 포함하는 진공 챔에 의해서 상기 반도체 기판 상으로 이격되며,
상기 진공 챔은 상기 식각 방지층, 상기 멤브레인층 및 상기 멤브레인층 상에 형성된 상기 실링층에 의해 밀폐
된,
멤브레인 게이트 박막 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터에 관한 것으로서, 특히, 희생층 식각 공정을 이용한 멤브레인 구조의 전계효과 트랜지스터 타입 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 전계효과 트랜지스터(또는 FET)는 트랜지스터의 하나로 소스, 드레인, 게이트의 세 극을 가지는 반도체로서, 반도체 결정의 도전성과 전기저항을 전장(또는 전계)으로 제어하는 장치를 말한다. 종래에는 전계효과 트랜지스터 타입 소자의 경우, 전극들의 전면과 후면 모든 부분에 수용체와 표적 생체 물질이 결합되는 구조를 갖는다. 이때, 결합되는 면적에 따라 검출 물질의 검출 정확도가 불안정해지는 문제가 있다.

[0003] 또한, 소스 전극과 드레인 전극을 가지는 반도체 기판과 게이트이 물리적으로 분리되어 있지 않기 때문에, 게이트에 접촉되는 가스와 습도 등과 같은 검출 물질이 소스 전극과 드레인 전극에 영향을 미쳐 신뢰성에 한계가 있다.

[0004] 한편, 정전용량형 멤브레인 모듈 구조는 정전용량의 변화를 직접 측정하고 멤브레인 모듈을 변경하여 민감도를 향상시켜야 하는 한계가 있다. 또, 웨이퍼 본딩을 이용한 멤브레인 게이트 구조의 전계효과 트랜지스터 타입 소자(MG-FET)는 서로 다른 기판의 강한 접합을 위해 고온에서 제작되고 있다. 하지만, 감도를 향상시키기 위해 3차원 단일 집적 구조가 적용될 경우, 이러한 제조 방법은 하부 소자의 성능 열화를 발생시킬 수 있다. 반면, 웨이퍼 본딩 공정을 저온에서 진행할 경우, 소스, 드레인의 컨택 등 접합 특성이 열화되는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 검출 정확도 및 신뢰도가 우수한 멤브레인 게이트 박막 트랜지스터 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 의한 멤브레인 게이트 박막 트랜지스터의 제조방법을 제공한다.

[0007] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법은 반도체 기판을 형성하는 단계; 상기 반도체 기판 상에 식각 방지층을 형성하는 단계; 상기 식각 방지층 상에 희생층을 형성하는 단계; 상기 희생층 상에 멤브레인층을 형성하는 단계; 상기 멤브레인층에 상기 희생층을 노출하는 식각홀을 형성하는 단계; 상기 식각홀을 통해서 상기 희생층을 제거하는 단계; 상기 식각홀을 실링하는 실링층을 형성하여, 상기 멤브레인층과 상기 반도체 기판 사이에 진공 갭을 형성하는 단계; 상기 멤브레인층의 적어도 어느 일부에 패터닝을 수행하여 비아(via)를 형성하는 단계; 및 상기 비아를 통해 노출된 상기 반도체 기판의 전극, 상기 비아의 내벽 및 상기 멤브레인층 상에 전극층을 형성하는 단계;를 포함할 수 있다.

[0008] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 희생층을 형성하는 단계는, 상기 식각 방지층 상에 식각 채널을 구비하는 채널층을 형성하는 단계; 및 상기 채널층 상에 상기 희생층을 형성하는 단계;를 포함할 수 있다.

[0009] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 식각 채널에 의해서 상기 희생층의 적어도 어느 일부분에 오목부가 형성되어, 상기 멤브레인층의 일부가 상기 오목부 내로 하방 돌출되도록 형성될 수 있다.

[0010] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 실링층은 상기 식각홀을 통해서 상기 식각 채널 내로 하방 돌출된 상기 멤브레인층 부분까지 형성될 수 있다.

[0011] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 제 2 항에 있어서, 상기 전극층은 상기 식각 채널 방향으로 일부 하방 돌출되도록 상기 멤브레인층 상에 형성될 수 있다.

[0012] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 진공 갭은 상기 실링층, 상기 멤브레인층, 및 상기 식각 방지층에 의해서 둘러싸일 수 있다.

[0013] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 식각 방지층, 상기 실링층 및 상기 멤브레인

층은 동일 물질로 형성할 수 있다.

- [0014] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 식각 방지층, 상기 실링층 및 상기 멤브레인 층은 실리콘 질화물을 포함할 수 있다.
- [0015] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 반도체 기판을 형성하는 단계는, 실리콘 기판 상에 실리콘 산화물층을 형성하는 단계; 상기 실리콘 산화물층 상에 반도체 채널을 형성하는 단계; 및 상기 반도체 채널 상에 소스 전극 및 드레인 전극을 형성하는 단계;를 포함할 수 있다.
- [0016] 상기 멤브레인 게이트 박막 트랜지스터의 제조방법에 있어서, 상기 반도체 채널은 IGZO(Indium gallium zinc oxide)를 포함할 수 있다.
- [0017] 본 발명의 다른 관점에 의한 멤브레인 게이트 박막 트랜지스터를 제공한다.
- [0018] 상기 멤브레인 게이트 박막 트랜지스터는 반도체 기판; 상기 반도체 기판 상에 형성된 식각 방지층; 상기 식각 방지층 상에 형성된 멤브레인층; 및 상기 멤브레인층 상에 형성된 전극층;을 포함하고, 상기 멤브레인층은 캐비티를 포함하는 진공 챔에 의해서 상기 반도체 기판 상으로 이격되며, 상기 진공 챔은 상기 식각 방지층, 상기 멤브레인층 및 상기 멤브레인층 상에 형성된 상기 실링층에 의해 밀폐될 수 있다.

발명의 효과

- [0019] 상기한 바와 같이 이루어진 본 발명의 실시예들에 따른 멤브레인 게이트 박막 트랜지스터는 감도가 더욱 향상되어 낮은 농도의 물질도 검출이 용이하고, 저비용으로 검출 정확도 및 신뢰도가 높다. 나아가, 본 발명의 실시예들에 따른 멤브레인 게이트 박막 트랜지스터의 제조방법에 따르면 반도체 기판을 이용하여 진공 챔을 경제적으로 제조함으로써, 고수율의 제작이 가능하며, 메모리 분야에도 적용이 가능할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 멤브레인 게이트 박막 트랜지스터 및 그 제조방법 보여주는 개략적인 단면도들이다.
- 도 2는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 회생층 식각 공정 조건에 의한 회생층 식각 과정을 보여주는 광학현미경(OM) 이미지이다.
- 도 3은 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 단면 미세조직을 전자현미경(SEM)으로 분석한 이미지이다.
- 도 4는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 멤브레인층의 직경에 의한 미세구조를 집속이온빔 전자현미경(FIB SEM)으로 분석한 이미지이다.
- 도 5는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 작동 원리를 설명하기 위한 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 여러 실시예들을 상세히 설명하기로 한다.
- [0022] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려 이들 실시예들은 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이다.
- [0023] 본 발명은 멤브레인의 휘어짐으로 인한 정전용량의 변화량을 소스와 드레인을 가지는 전계효과 트랜지스터를 제공한다. 이하에서, 도면을 참조하여 이에 대해 상세하게 설명한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 멤브레인 게이트 박막 트랜지스터 및 그 제조방법 보여주는 개략적인 단면도들이다.
- [0025] 도 1의 (a) 및 (b)를 참조하면, 반도체 기판(100) 상에 식각 방지층(110)을 형성할 수 있다. 예를 들어, 반도체

기관(100)은 실리콘 기관(10) 상에 실리콘 산화물층(20)을 형성한다. 예컨대, 실리콘 산화물은 SiO_2 를 포함할 수 있다. 이후에 실리콘 산화물층(20) 상에 반도체 채널(30)을 형성한다. 여기서, 반도체 채널(30)은 IGZO(Indium gallium zinc oxide)를 포함할 수 있다. 반도체 채널(30)을 증착한 이후에 반도체 채널(30)의 가장자리 일부분을 제거하여 실리콘 산화물층(20)을 노출시킨다. 노출된 실리콘 산화물층(20)의 일부 및 반도체 채널(30)의 양 가장자리 영역 상에 소스 전극(42) 및 드레인 전극(44)을 각각 형성한다. 소스전극(42) 및 드레인 전극(44)을 포함하는 전 영역과 반도체 채널(30)의 전면 상에 보호층(50)을 형성한다. 보호층(50)은 실리콘 산화물층(20)과 동일한 재료를 사용할 수 있으나, 경우에 따라 실리콘 산화물 이외의 산화물 또는 질화물을 사용할 수 있다.

[0026] 이후에 보호층(50)이 형성된 반도체 기관(100) 상에 식각 방지층(110)을 전체적으로 형성할 수 있다. 식각 방지층(110)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있으며, 화학기상증착(chemical vapor deposition, CVD)법으로 균일하게 형성될 수 있다. 보다 구체적으로 CVD법으로는 저진공 CVD(LP CVD) 또는 플라즈마 강화 CVD(PE CVD)법을 이용할 수 있다.

[0027] 도 1의 (c) 및 (d)를 참조하면, 식각 방지층(110) 상에 식각 채널(127)을 구비하는 채널층(120)을 형성하고, 채널층(120)을 소정 크기로 패터닝하여 식각 채널(127)을 형성할 수 있다. 식각 채널(127)은 식각 방지층(110)의 가장자리부분에서 소정 거리만큼 안쪽에 위치하여, 이후 형성되는 층이 하방으로 돌출되어 형성되도록 해줄 수 있다. 예를 들어, 채널층(120)은 비정질 실리콘을 포함할 수 있다.

[0028] 이러한 식각 채널(127)은 포토리소그래피 및 식각 공정을 이용하여 형성할 수 있다. 예를 들어, 식각은 이방성 식각 특성을 갖는 플라즈마 건식 식각, 예컨대 반응성 이온 에칭(RIE)법을 이용할 수 있다.

[0029] 이후에, 채널층(120) 상에 희생층(125)을 형성할 수 있다. 희생층(125)은 식각 채널(127)을 덮도록 형성되며, 예를 들어, 희생층(125)은 비정질 실리콘을 포함할 수 있다. 희생층(125)은 식각 채널(127)을 덮도록 형성되되, 식각 채널(127)의 모양을 따라서 식각 채널(127) 내로 하방 돌출되도록 형성될 수 있다.

[0030] 구체적으로 보면, 화학기상증착(CVD)법으로 비정질 실리콘층을 채널층(120) 및 식각 채널(127)을 덮도록 두껍게 증착한 후, 식각 방지층(110)의 가장자리부분에서 소정 거리만큼 안쪽까지 패터닝할 수 있다. 비정질 실리콘층의 두께는 채널층(120)의 두께 및 희생층(125)의 두께를 합한 것을 의미한다.

[0031] 도 1의 (e)를 참조하면, 희생층(125) 상에 멤브레인층(130)을 형성할 수 있다. 예를 들어, 화학기상증착(CVD)법으로 희생층(125) 및 식각 방지층(110) 상에 전면적으로 멤브레인층(130)을 증착할 수 있다. 멤브레인층(130)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있다.

[0032] 멤브레인층(130)은 희생층(125) 상에 컨포멀(conformal)하게 형성되며, 따라서 희생층(125)의 식각 채널(127)의 모양을 따라서 이 부분이 식각 채널(127) 내로 하방 돌출되도록 형성될 수 있다.

[0033] 이후에 멤브레인층(130)에 희생층(125)을 노출하는 식각홀(135)을 형성할 수 있다. 예를 들어, 식각홀(135)은 포토리소그래피 및 식각 기술을 이용하여 형성될 수 있다. 식각홀(135)은 이후 실링 단계를 고려하여 희생층(125)의 가장자리 부분을 노출하도록 형성될 수 있다.

[0034] 도 1의 (f)를 참조하면, 식각홀(135)을 통해서 희생층(125)을 제거하여 빈 공간(129)을 형성할 수 있다. 예를 들어, 희생층(125)의 제거는 등방성 식각을 이용할 수 있고, 예컨대 습식 식각법을 이용하여 식각액이 식각홀(135)로부터 희생층(125)의 측면부터 서서히 제거하도록 수행할 수 있다. 예를 들어, 희생층(125)이 비정질 실리콘인 경우 식각액은 KOH 용액을 포함할 수 있다.

[0035] 도 1의 (g)를 참조하면, 식각홀(135)을 밀봉하는 실링층(140)을 형성하여, 멤브레인층(130)과 반도체 기관(100) 사이에 진공 갭(145)을 형성할 수 있다. 실링층(140)을 형성하는 단계는 실질적으로 진공 공정을 이용하므로, 진공 갭(145) 내부는 소정 압력의 진공 상태가 될 수 있다.

[0036] 예를 들어, 실링층(140)은 실리콘 질화물(silicon nitride), 예컨대 Si_3N_4 을 포함할 수 있으며, 모서리 도포성(step coverage)이 우수한 화학기상증착(chemical vapor deposition, CVD)법으로 균일하게 형성될 수 있다. 실링층(140)은 식각홀(135)의 바닥으로부터 성장하여 실링층(140)을 막을 때까지 형성될 수 있다.

[0037] 이 경우, 멤브레인층(130)의 하방 돌출 부분이 실링층(140)이 진공 갭(145) 내에서 성장을 정지하는 가이드 역할을 할 수 있다. 예를 들어, 실링층(140)은 식각홀(135)을 통해서 식각 채널(127) 내로 하방 돌출된 멤브레인

층(130) 부분까지 형성될 수 있다.

- [0038] 나아가, 진공 챔(145)은 실링층(140), 멤브레인층(130) 및 식각 방지층(110)에 의해서 둘러싸여져 밀폐될 수 있다. 이러한 진공 챔(145), 보다 구체적으로는 멤브레인층(130)의 일부분이 캐비티를 포함하는 진공 챔(145)에 의해서 반도체 기관(100) 상으로 이격 배치될 수 있다.
- [0039] 다른 예로서, 식각홀(135)을 밀봉하는 방법으로 PECVD(Plasma Enhanced CVD) 기법을 이용할 경우, 식각 채널(127)을 형성하지 않고, 식각 방지층(110) 상에 희생층(125)을 직접 형성함으로써, 진공 챔(145)을 구현할 수 있다. 상기 PECVD 기법을 이용하여 식각홀(135)을 밀봉할 경우, 측면 방향으로의 컨포멀(conformal)한 증착이 용이하기 때문에, 식각 방지층(110) 상에 식각 채널(127)을 형성하는 단계를 생략할 수 있다. 이에 따라, 공정 스텝(step) 수의 감소에 따른 공정 최적화에 용이할 수 있다.
- [0040] 도 1의 (h) 및 (i)를 참조하면, 식각홀(135)을 밀봉한 이후에 멤브레인층(130)의 적어도 어느 일부에 패터닝을 수행하여 비아(via, 137)를 형성한다. 비아(137)를 통해 노출된 반도체 기관(100)의 소스 전극(42)과 드레인 전극(44), 비아(137)의 내벽 및 멤브레인층(130) 상에 전극층(150)을 형성한다.
- [0041] 전극층(150)은 도전성 금속 물질로 형성할 수 있다. 전극층(150)은 멤브레인층(130)의 구조를 따라서 형성되므로, 식각 채널(127) 방향으로 일부 하방 돌출되도록 형성될 수 있다. 일부 실시예에서, 식각 방지층(110), 실링층(140) 및 멤브레인층(130)의 일부 또는 전부는 동일 물질, 예컨대 실리콘 질화물로 형성될 수 있다.
- [0042] 진술한 실시예에 따르면, 반도체 기관(100) 상에 희생층(125)을 형성하여 멤브레인 구조를 용이하게 제조할 수 있고, 나아가 고가의 실리콘-온-절연체(silicon on insulator, SOI) 기관을 이용하지 않고서도 저비용으로 진공 챔(145)을 갖는 멤브레인 게이트 박막 트랜지스터(1000)를 제조할 수 있다.
- [0043] 본 발명에 의한 멤브레인 게이트 박막 트랜지스터(1000)는 전류량 변화를 검출하는 종래의 전계효과 트랜지스터 타입 소자와 달리, 게이트에 접촉되는 검출 물질이 소스 전극(42)과 드레인 전극(44)을 가지는 반도체 기관(100)과 물리적으로 분리되는 구조를 형성하여 검출 정확도 및 신뢰도를 높일 수 있다.
- [0044] 또한, 본 발명은 SOI(Silicon On Insulator) 기관을 사용하지 않아도 멤브레인 구조의 전계효과 트랜지스터 타입 소자(MG-FET)를 제작함으로써 저비용으로 제작이 가능하다. 또, 희생층 식각 공정 등 기존의 CMOS 반도체 공정을 이용한 제작으로 고수율의 제작을 가능하다.
- [0045] 또한, 저온에서 분당하여 멤브레인 구조의 전계효과 트랜지스터 타입 소자 (MG-FET)를 제작할 경우 발생하는 소스 드레인의 컨택 문제를 해결할 수 있으며, 표적 검출 물질을 감지할 수 있는 층을 게이트 전면 상에 부착하여 질량 변화나 멤브레인의 스트레스 변화를 감지하여 가스 센서나 바이오 센서 등으로 응용이 가능한 장점이 있다.
- [0046] 한편, 진공 챔의 압력을 공정상에서 변화를 주어 절대적인 압력을 측정하는 압력센서 및 정전용량형 미세 초음파 트랜스듀서(Capacitive Micromachined Ultrasonic Transducer, CMUT)과 유사한 구조로 전계효과 트랜지스터를 통한 증폭을 통해 감도를 향상시킨 초음파 센서로도 적용이 가능하다. 멤브레인 게이트를 플래시 메모리의 플로팅 게이트로 사용하여 동적인 쓰기/읽기 기능을 향상시킬 수 있는 메모리 분야에도 적용이 가능하다.
- [0047] 특히, 희생층 식각 공정 등 저온에서의 제작이 가능한 본 발명은 저온에서의 제작이 요구되는 3차원 단일 집적 구조의 적용이 가능하기 때문에 민감도를 획기적으로 향상시킬 수 있을 것으로 기대된다.
- [0048] 이하에서는, 본 발명의 이해를 돕기 위한 실시예들을 설명한다. 다만, 하기의 실험예들은 본 발명의 이해를 돕기 위한 것일 뿐, 본 발명이 아래의 실시예들만으로 한정되는 것은 아니다.
- [0049] 본 발명의 실험예로서, p type Si 웨이퍼 상에 100nm 두께의 SiO₂를 열(thermal) 증착 방법을 이용하여 형성하였다. 이후에, 30nm 두께의 IGZO 층을 스퍼터링 방법을 이용하여 SiO₂ 상에 형성하였고, 이를 퍼니스(furnace)에서 400℃의 온도에서 1시간동안 열처리를 수행하였다. 이후에 MA6 장비(상용장비)를 이용하여 IGZO 층을 패터닝하였다. 이 때, 습식식각으로 IGZO 층을 식각하였는데, 습식 조건은 물과 염산의 비율을 H₂O:HCl=200:10로 제어한 후 90초 동안 진행하였다.
- [0050] 패터닝 된 IGZO 층 상에 30nm 두께의 Mo를 스퍼터링 방법으로 증착하고, MA6 장비를 이용하여 이를 패터닝함으로써, 소스 전극 및 드레인 전극을 형성하였다. 이후에 100nm 두께의 SiO₂를 플라즈마화학기상증착(PECVD) 방법

을 이용하여 버퍼층을 형성하였다.

- [0051] 이후에, SiO_2 버퍼층 상에 식각방지막으로서 100nm 두께의 Si_3N_4 를 플라즈마화학기상증착(PECVD) 방법을 이용하여 250℃에서 증착하였다. 식각방지막 상에 125nm 두께의 a-Si를 스퍼터링 방법으로 증착하고, 이를 MA6 장비로 패터닝하여 식각 채널을 형성하였다. 이후에 125nm 두께의 a-Si를 동일한 방법으로 희생층을 증착하였다. 두 번의 a-Si 증착 과정을 통해 희생층의 두께가 결정될 수 있다.
- [0052] 희생층 상에 멤브레인층으로서 300nm 두께의 Si_3N_4 를 플라즈마화학기상증착(PECVD) 방법을 이용하여 증착하고, 식각홀을 형성하였다. 식각홀을 이용하여 희생층을 제거하였다.
- [0053] 상기 희생층을 제거하는 방법은 증류수(DI water)로 린스(rinse)처리하고, 증류수와 불산(HF)을 50:1로 제조한 후 30초간 디핑하고, 다시 증류수로 린스처리하였다. 이후에 45%의 KOH 식각액을 이용하여 희생층을 제거하고, 증류수 및 이소프로필 알코올(IPA; Isopropyl Alcohol)을 이용하여 린스처리하였다.
- [0054] 이후에 400nm 두께의 Si_3N_4 를 선택적으로 증착하여 식각홀을 밀봉하여 진공 깎을 구현하고, 멤브레인층의 양단 부근에 비아(via)를 형성하였다. 이후에 멤브레인층의 상부면 전체, 비아 내벽 및 비아에 의해 외부로 노출된 소스 전극 및 드레인 전극 상에 100 nm 두께의 Mo를 증착하여 멤브레인 게이트 박막 트랜지스터 샘플을 제조하였다.
- [0055] 도 2는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 희생층 식각 공정 조건에 의한 희생층 식각 과정을 보여주는 광학현미경(OM) 이미지이다.
- [0056] 도 2를 참조하면, 희생층 식각 공정시 30시간에서 36시간으로 에칭속도가 증가할 경우, 측면 방향으로 식각된 영역(노란색 부채꼴 형상의 면적 증가)이 증가한 것으로 확인된다. 즉, 식각 공정 시간 제어를 통해서, 측면 방향으로의 식각을 수행할 수 있다는 것을 확인할 수 있었다. 또한, 식각액의 온도 조절을 통해 식각 속도를 조절하여 식각 공정 시간을 제어할 수 있었다.
- [0057] 도 3은 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 단면 미세조직을 전자현미경(SEM)으로 분석한 이미지이고, 도 4는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 멤브레인층의 직경에 의한 미세구조를 집속이온빔 전자현미경(FIB SEM)으로 분석한 이미지이다.
- [0058] 도 3 및 도 4를 참조하면, 희생층 식각 공정을 통해, 250nm 두께의 a-Si 층이 선택적으로 제거되고, 진공 깎이 안정적으로 형성된 것을 확인할 수 있었다. 멤브레인의 직경(상면에서 바라봤을 때 멤브레인의 지름(도 3의 (a) 참조))이 20 μm 이상부터 80 μm 미만까지는 멤브레인층의 붕괴(collapse) 현상이 발생하지 않고, 균일하게 형성된 것을 확인할 수 있었다(도 3의 (c) 및 4의 (a) 참조).
- [0059] 특히, 도 4의 (b)에 의하면, 멤브레인의 직경이 20 μm 일 경우, 멤브레인층의 중심부에서 대기압(외부 자극)에 의해 50nm 정도 휘어지는 현상(deflection)이 발생되었다.
- [0060] 반면, 도 4의 (c)에 의하면, 멤브레인의 직경이 80 μm 이상일 경우, 멤브레인층의 중심부가 희생층의 두께(250nm) 이상으로 휘어져 식각방지막에 붙어버리는 현상(collapse)이 발생되었다(도 4의 (c) 참조). 즉, 희생층을 이용하여 멤브레인층을 반도체 기판 상으로 이격시킬 때, 진공 깎을 안정적으로 형성하는 데 멤브레인의 크기(직경 및 두께)가 영향을 주는 것으로 판단된다.
- [0061] 도 5는 본 발명의 실험예에 따른 멤브레인 게이트 박막 트랜지스터의 작동 원리를 설명하기 위한 모식도이다.
- [0062] 도 5를 참조하면, 게이트 역할을 하는 멤브레인의 전면 상에 바이오 리셉터(bio receptor)를 형성하여 표적 생체 물질이 특이 결합할 때, 멤브레인의 휘는 정도에 따른 정전용량의 차이로 채널의 전류량 변화(전기적 신호로 변환 및 증폭하여 전류량 변화를 검출)를 검출할 수 있다.
- [0063] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

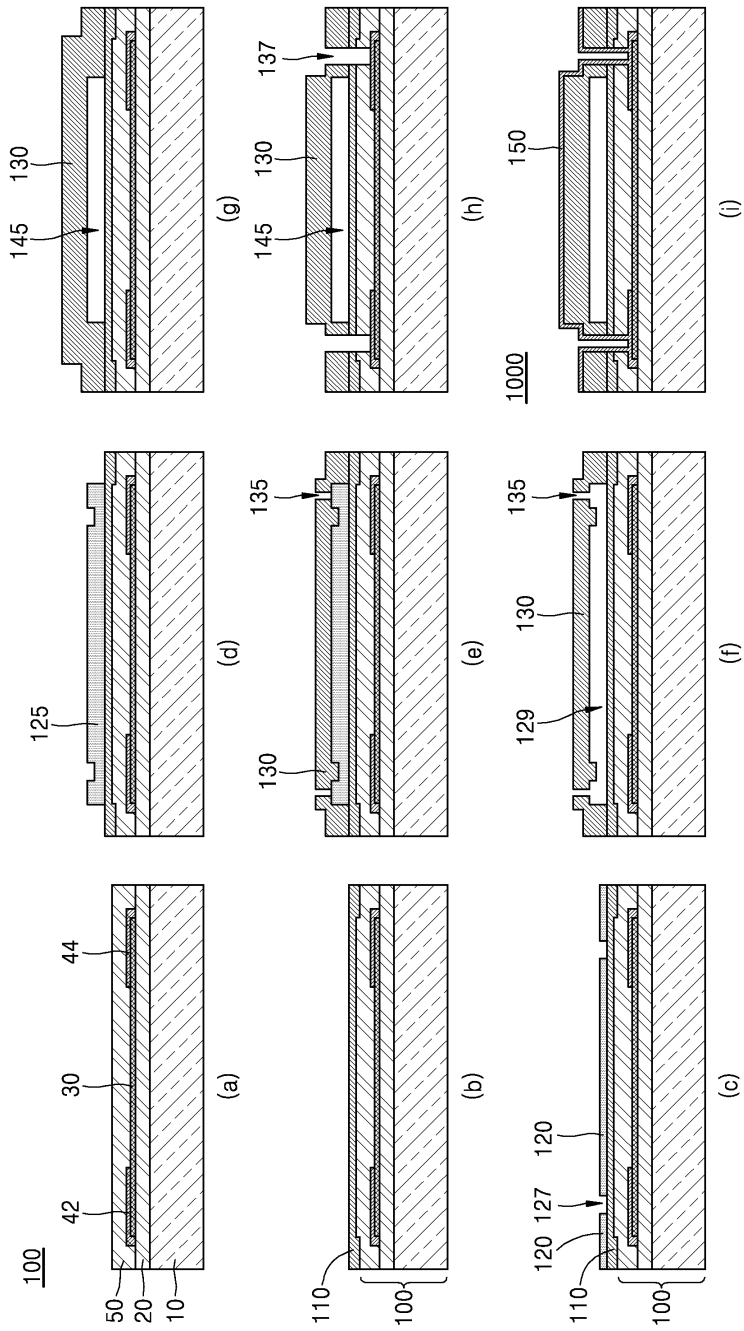
부호의 설명

- [0064] 10: 실리콘 기판

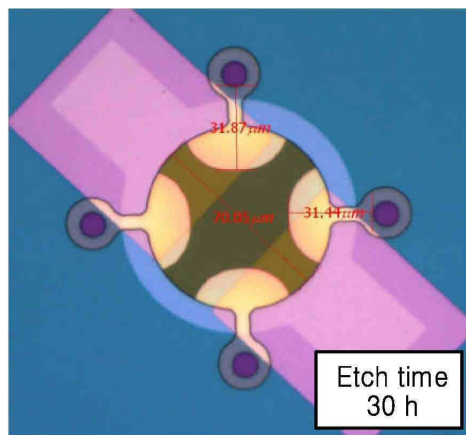
20: 실리콘 산화물층
30: 반도체 채널
42: 소스 전극
44: 드레인 전극
50: 보호층
100: 반도체 기판
110: 식각 방지층
120: 채널층
125: 희생층
127: 식각 채널
129: 빈 공간
130: 멤브레인층
135: 식각홀
137: 비아
140: 실링층
145: 진공 캡
150: 전극층
1000: 멤브레인 게이트 박막 트랜지스터

도면

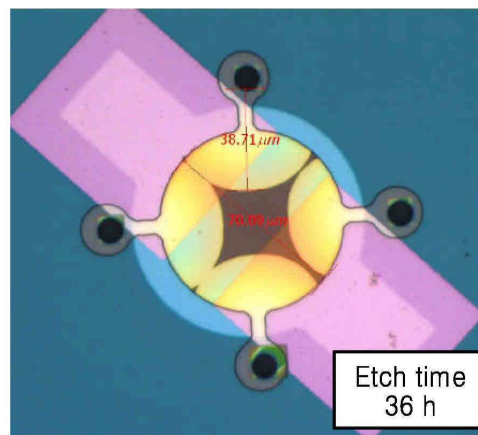
도면1



도면2

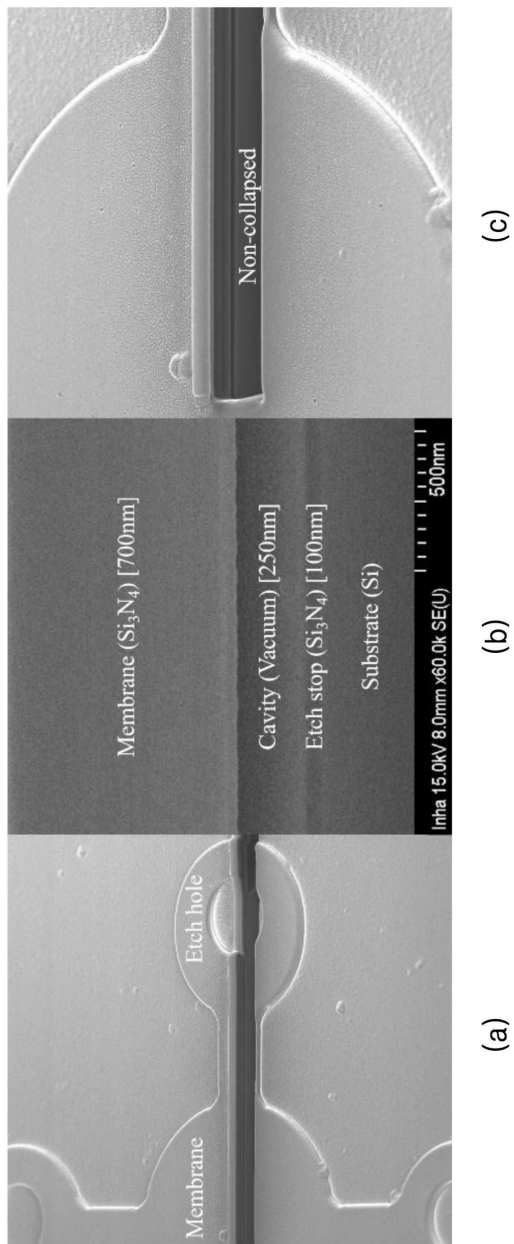


(a)

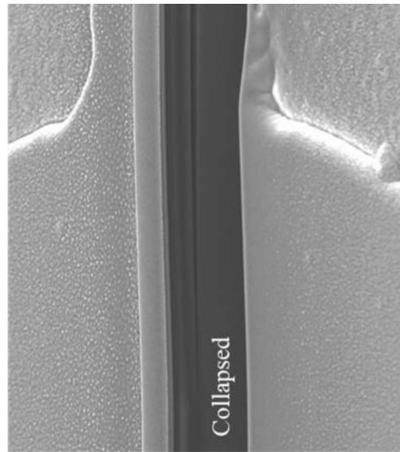


(b)

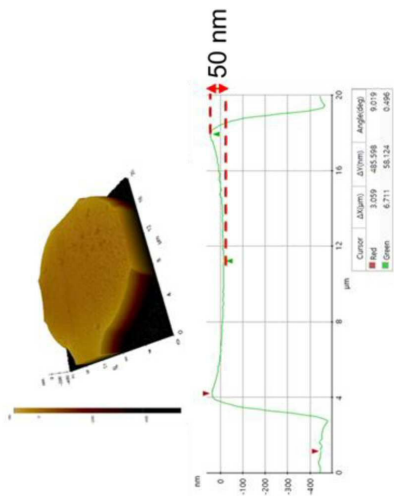
도면3



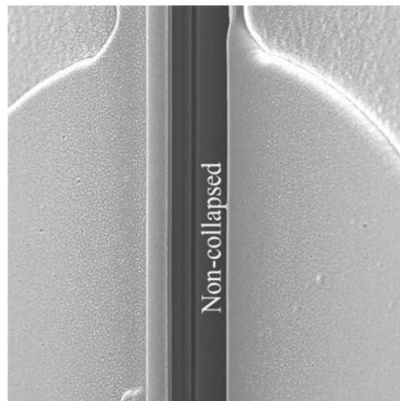
도면4



(c)



(b)



(a)

도면5

