

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 2 月 1 日 (2007.2.1)

【公開番号】特開 2002-26149 (P2002-26149A)

【公開日】平成 14 年 1 月 25 日 (2002.1.25)

【出願番号】特願 2000-180763 (P2000-180763)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

G 1 1 C 16/02 (2006.01)

H 0 1 L 27/115 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

G 1 1 C 17/00 6 1 1 G

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成 18 年 12 月 8 日 (2006.12.8)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、

当該基板に設けられ第 1 導電型半導体からなるチャネル形成領域と、

当該チャネル形成領域を挟んで上記基板に形成された第 2 導電型半導体からなり、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に設けられたゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットホールが上記第 1 不純物領域および / または第 2 不純物領域から注入される電荷蓄積手段と

を有する不揮発性半導体記憶装置。

【請求項 2】

上記ホットホールは、バンド間トンネル電流に起因したホットホールである

請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

上記ゲート絶縁膜は、上記第 1 不純物領域からホットホールが注入される第 1 領域と、

上記第 2 不純物領域からホットホールが注入される第 2 領域と、

上記第 1 , 第 2 領域間に挟まれ、ホットホールが注入されない第 3 領域と

を有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】

上記電荷蓄積手段が上記第 1 , 第 2 領域に形成され、

電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている

請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

上記第 1 , 第 2 および第 3 領域上のゲート電極に対しそれぞれ空間的に分離した、上記第 1 領域外側の第 1 制御ゲートおよび上記第 2 領域外側の第 2 制御ゲートをさらに有する請求項 3 記載の不揮発性半導体記憶装置。

【請求項 6】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記第 1 , 第 2 不純物領域双方からホットホールを注入したとき、上記第 1 不純物領域から注入されたホットホールの保持領域と上記第 2 不純物領域から注入されたホットホールの保持領域との少なくとも一部が上記ゲート絶縁膜内で合体するゲート長以下である

請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタがワード方向とビット方向とに複数配置され、上記ゲート電極をワード方向に接続する複数のワード線と、

当該複数のワード線に接続され、動作対象のメモリトランジスタが接続された選択ワード線に負電圧を印加し、動作対象のメモリトランジスタが接続されていない非選択ワード線に正電圧を印加するワード線駆動回路と

をさらに有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】

上記複数のメモリトランジスタは、

書き込み状態のしきい値電圧が消去状態のしきい値電圧より低い

請求項 7 記載の不揮発性半導体記憶装置。

【請求項 9】

上記第 1 導電型が p 型であり、上記第 2 導電型が n 型である

請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタが、ワード方向とビット方向とに複数配置され、複数のワード線と、

当該複数のワード線と電氣的に絶縁された状態でそれぞれ交差する複数の共通線とを更に有し、

上記複数のワード線それぞれに、上記ゲート電極が複数接続され、

上記複数の共通線それぞれに、上記第 1 および / または第 2 不純物領域が複数結合されている

請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】

上記ゲート電極をワード方向で共通に接続するワード線と、

上記第 1 不純物領域をビット方向で共通に接続する第 1 共通線と、

上記第 2 不純物領域を共通に接続する第 2 共通線と

を有する請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】

上記第 1 共通線が、上記第 1 不純物領域をビット方向で共通に接続する第 1 副線と、当該第 1 副線をビット方向で共通に接続する第 1 主線とから構成され、

上記第 2 共通線が、上記第 2 不純物領域を共通に接続する第 2 副線と、当該第 2 副線を共通に接続する第 2 主線とから構成され、

上記第 1 副線と上記第 2 副線との間に、上記複数のメモリトランジスタが並列接続されている

請求項 11 記載の不揮発性半導体記憶装置。

【請求項 13】

上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネ

ル形成領域に対向する面全体としての導電性を持たない

請求項 1 記載の不揮発性半導体記憶装置。

【請求項 1 4】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、
当該ボトム絶縁膜上の窒化膜または酸化窒化膜と
を含む請求項 1 3 記載の不揮発性半導体記憶装置。

【請求項 1 5】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、
上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体と
を含む請求項 1 3 記載の不揮発性半導体記憶装置。

【請求項 1 6】

基板と、

当該基板に設けられ第 1 導電型半導体からなるチャネル形成領域と、

当該チャネル形成領域を挟んで上記基板に形成された第 2 導電型半導体からなり、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に設けられ、上記チャネル形成領域に対向した面内および膜厚方向に離散化された電荷蓄積手段を内部に含むゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極とを有する不揮発性半導体記憶装置の動作方法であって、

書き込み時に、ホットホールを上記第 1 不純物領域および / または上記第 2 不純物領域から上記電荷蓄積手段に注入する

不揮発性半導体記憶装置の動作方法。

【請求項 1 7】

書き込み時に、バンド間トンネル電流に起因したホットホールを上記第 1 不純物領域および / または上記第 2 不純物領域から上記電荷蓄積手段に注入する

請求項 1 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 1 8】

書き込み時に、上記第 1 不純物領域から上記ゲート絶縁膜の第 1 領域に上記ホットホールを注入し、

当該第 1 領域へのホットホール注入と独立に、上記第 2 不純物領域から上記ゲート絶縁膜内で上記第 1 領域と離れた第 2 領域に上記ホットホールを注入する

請求項 1 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 1 9】

上記ゲート絶縁膜は、上記第 1 , 第 2 領域間にホットホールが注入されない第 3 領域を有し、

上記電荷蓄積手段が上記第 1 , 第 2 領域に形成され、

電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている

請求項 1 8 記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 0】

上記第 1 不純物領域から注入されたホットホールの保持領域と、上記第 2 不純物領域から注入されたホットホールの保持領域との少なくとも一部が、上記電荷蓄積手段内で合体する

請求項 1 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 1】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記ゲート電極を有するメモリトランジスタのゲート長が、上記 2 つのホットホール保持領域の少なくとも一部で合体が起こるゲート長以下である

請求項 1 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 2】

上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記ゲート絶縁膜および上記

ゲート電極を有したメモリトランジスタがワード方向とビット方向とに複数配置され、ワード方向の複数のメモリトランジスタごとに上記ゲート電極がワード線により共通に接続されているメモリセルアレイに対する書き込みにおいて、

同一ワード線に接続した全てのメモリトランジスタに対し、ホットホールを注入する上記第 1 , 第 2 領域に対応した全ての第 1 , 第 2 不純物領域に所定の電圧を印加し、

ホットホール注入を行わない他の第 1 , 第 2 領域に対応した第 1 , 第 2 不純物領域を電氣的フォローティング状態とし、

上記同一ワード線に、上記第 1 , 第 2 不純物領域に印加する電圧との差が所定の書き込み電圧となる電圧を印加し、

当該同一ワード線に接続した全てのメモリトランジスタを 1 回の動作で並列に書き込む請求項 1 8 記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 3】

書き込み時に、上記第 1 および / または第 2 不純物領域と上記ゲート電極との間に所定の書き込み電圧を印加する

請求項 1 6 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 4】

消去時に、上記第 1 および / または第 2 不純物領域からホットホールが注入されている上記電荷蓄積手段に対して、直接トンネル効果または F N トンネル効果を用いてチャネル全面より電子を注入する

請求項 1 6 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 5】

上記第 1 導電型が p 型であり、上記第 2 導電型が n 型である

請求項 1 6 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 6】

上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない

請求項 1 6 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 7】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜と

を含む請求項 2 6 に記載の不揮発性半導体記憶装置の動作方法。

【請求項 2 8】

上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体と

を含む請求項 2 6 に記載の不揮発性半導体記憶装置の動作方法。