

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-516821

(P2006-516821A)

(43) 公表日 平成18年7月6日(2006.7.6)

(51) Int.Cl.

H01L 29/786 (2006.01)

F I

H01L 29/78

618C

テーマコード (参考)

5F110

H01L 29/78

618E

H01L 29/78

618B

審査請求 未請求 予備審査請求 有 (全 15 頁)

(21) 出願番号 特願2006-502829 (P2006-502829)
 (86) (22) 出願日 平成16年1月15日 (2004.1.15)
 (85) 翻訳文提出日 平成17年9月22日 (2005.9.22)
 (86) 国際出願番号 PCT/US2004/000967
 (87) 国際公開番号 W02004/068585
 (87) 国際公開日 平成16年8月12日 (2004.8.12)
 (31) 優先権主張番号 10/349,042
 (32) 優先日 平成15年1月23日 (2003.1.23)
 (33) 優先権主張国 米国 (US)

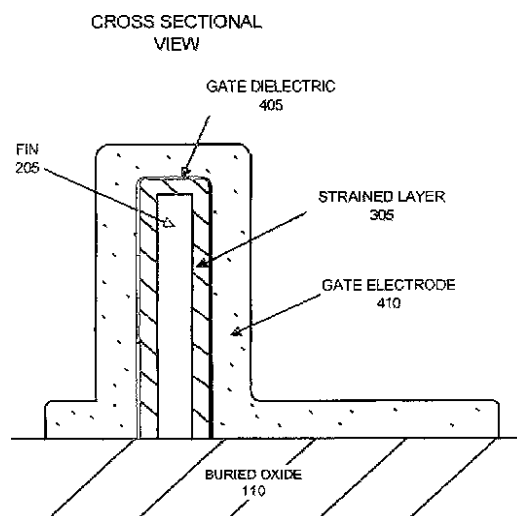
(71) 出願人 591016172
 アドバンスド・マイクロ・デバイス・
 インコーポレイテッド
 ADVANCED MICRO DEVI
 CES INCORPORATED
 アメリカ合衆国、94088-3453
 カリフォルニア州、サニペイル、ピー・
 オウ・ボックス・3453、ワン・エイ・
 エム・ディ・プレイス、メイル・ストップ
 ・68 (番地なし)
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100111615
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 歪みチャネルフィンFETの形成方法

(57) 【要約】

半導体構造は、フィン(205)を含み、このフィン(205)上に形成された層(305)を含む。このフィン(205)は矩形の断面形状を有し、幾つかの表面を有する第1結晶質材料を含む。層(305)は表面に形成され、第2結晶質材料を含む。第1結晶質材料は、層(305)内に引っ張り歪みを導入するように第2結晶質材料とは相異なる格子定数を有する。



【特許請求の範囲】

【請求項 1】

第 1 結晶質材料及び複数の表面を含むフィン (2 0 5) と、
前記複数の表面の少なくとも一部分に形成された第 1 層 (3 0 5) とを有し、前記第 1 層 (3 0 5) は第 2 結晶質材料を含み、前記第 1 結晶質材料は前記第 1 層内に引っ張り歪みを導入するように前記第 2 結晶質材料とは相異なる格子定数を有する、
半導体デバイス。

【請求項 2】

前記フィン (2 0 5) は、矩形の断面形状を有し、かつ、
前記第 1 結晶質材料は、前記第 2 結晶質材料の格子定数より大きな格子定数を有する結晶質材料を含む、
請求項 1 記載の半導体デバイス。 10

【請求項 3】

前記第 2 結晶質材料は、シリコンを含み、かつ、
前記第 1 結晶質材料は、シリコンより大きな格子定数を有する結晶質材料を含む、
請求項 1 記載の半導体デバイス。

【請求項 4】

前記第 1 結晶質材料は、 $\text{Si}_x\text{Ge}_{(1-x)}$ を含み、 x は、略 0.7 に等しい、
請求項 3 記載の半導体デバイス。

【請求項 5】

前記第 1 層 (3 0 5) の少なくとも一部分に形成された第 2 層 (4 0 5) を含み、前記第 2 層 (4 0 5) は誘電体を含み、かつ、
前記第 2 層 (4 0 5) の少なくとも一部分に形成されたゲート電極 (4 1 0) を含み、
前記ゲート電極 (4 1 0) は、ポリシリコンを含む、
請求項 1 記載の半導体デバイス。 20

【請求項 6】

第 1 格子定数を有する第 1 結晶質材料を含むフィン (2 0 5) を有し、前記フィンは第 1 及び第 2 末端部を更に含み、前記第 1 結晶質材料は、 $\text{Si}_x\text{Ge}_{(1-x)}$ を含み、 x は、略 0.7 に等しいものであり、
前記フィン (2 0 5) の前記第 1 及び第 2 末端部に隣接して形成されたソース (2 1 0) 及びドレイン (2 0 5) 領域、を有し、
前記フィン (2 0 5) の少なくとも一部分に形成された第 2 結晶質材料の第 1 層 (3 0 5) を有し、前記第 2 結晶質材料は第 2 格子定数を有し、前記第 1 格子定数は前記第 2 格子定数より大きな数であり、前記第 2 結晶質材料はシリコンを含むものであり、
前記第 1 層 (3 0 5) の少なくとも一部分に形成された誘電層 (4 0 5) を有し、
前記誘電層 (4 0 5) の少なくとも一部分に形成されたゲート電極 (4 1 0) を有し、
前記ゲート電極 (4 1 0) は、第 3 結晶質材料を含み、前記第 3 結晶質材料はポリシリコンを含み、
前記第 1 格子定数は前記第 1 層に引っ張り歪みを導入するように第 2 格子定数より大きく、かつ、前記引っ張り歪みが前記第 1 層においてキャリア移動度を増大する、
トランジスタ。 30 40

【請求項 7】

第 1 結晶質材料及び複数の表面を含むフィン (2 0 5) を形成し、
前記複数の表面の少なくとも一部分に第 1 層 (3 0 5) を形成し、前記第 1 層 (3 0 5) は第 2 結晶質材料を含み、前記第 1 結晶質材料は、前記第 1 層内に引っ張り歪みを導入するために前記第 2 結晶質材料とは格子定数が異なるものとなっている、
半導体デバイスを形成する方法。

【請求項 8】

前記第 1 結晶質材料は、第 2 結晶質材料の格子定数より大きな格子定数を有するように選択される、

請求項 7 記載の方法。

【請求項 9】

前記第 1 層 (3 0 5) を形成するように前記第 2 結晶質材料としてシリコンを選択し、かつ、

前記第 1 結晶質材料がシリコンよりも大きな格子定数を有するように前記第 1 結晶質材料を選択する、

請求項 7 記載の方法。

【請求項 10】

前記フィン (2 0 5) を形成するために前記第 1 結晶質材料として $Si_x Ge_{(1-x)}$ を選択し、

x が略 0 . 7 に等しくなるように x を選択し、

前記第 1 層 (3 0 5) 上に第 2 層 (4 0 5) を形成し、前記第 2 層 (4 0 5) は誘電体を含み、かつ、

前記第 2 層 (4 0 5) 上にゲート電極 (4 1 0) を形成し、前記ゲート電極 (4 1 0) は、ポリシリコンを含む、

請求項 7 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して、トランジスタを製造する方法に関し、より具体的には、フィン電界効果トランジスタ ($FinFET$: Fin Field-Effect Transistors) に関する。

【背景技術】

【0002】

デバイスサイズをスケールリングすることが、集積回路のパフォーマンスに関する改善と集積回路のコスト削減を駆動する主なファクタとなっている。現在の SiO_2 の膜厚及びソース / ドレイン (S/D : source/drain) の接合深さに関連付けられた制限に起因して、0 . 1 μm プロセス世代以下の既存のバルク $MOSFET$ デバイスをスケールリングすることは、不可能ではないとしても、困難である。それ故、新しいデバイス構造及び新しい材料が FET パフォーマンスを改善させるために必要とされている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

二重ゲート $MOSFET$ は、既存の平坦な $MOSFET$ に続く候補である新しいデバイスを表す。二重ゲート $MOSFET$ において、チャネルをコントロールするための 2 つのゲートを使用することで、短チャネル効果を著しく抑制する。フィン FET は、縦型フィンに形成されたチャネルを含む最近の二重ゲート構造である。フィン FET は、配置及び製造において、既存の平坦な $MOSFET$ と同様である。フィン FET は、また、チャネル長さの範囲、 $CMOS$ の適合性、及び他の二重ゲート構造に比較して大きなパッキング密度を与える。

【課題を解決するための手段】

【0004】

本発明によれば、フィンチャネルに対して自己整合性を有する縦型に形成された歪みチャネルを利用するフィン FET トランジスタが提供される。この歪みチャネル層は、フィン FET のフィンの結晶構造と格子定数の異なる結晶質材料を含み得る。この格子定数の相違によって、キャリア移動度を増やす歪みチャネル層に引っ張り歪みを導入する。キャリア移動度を増やすことは、次にフィン FET トランジスタの駆動電流を増加し、従って、フィン FET パフォーマンスを改善する。

【0005】

本発明の更なる利点と他の特徴は、以下の明細書に記載されるが、当業者にとって、以下の本文を検討すれば明瞭となり、あるいは本発明を実施することによって理解されるで

10

20

30

40

50

あろう。本発明の利点及び特徴は、添付の請求項に特定的に指摘されたように実現し得る。

【 0 0 0 6 】

本発明によれば、上述、及び他の利点は、フィンを含む半導体構造によってある部分満たされる。フィンは第 1 結晶質材料と複数の表面を含む。この構造は、複数の表面の少なくとも一部に形成された層を更に含み、この層は第 2 結晶質材料を含む。第 1 結晶質材料は層内に引っ張り歪みを導入するために第 2 結晶質材料とは相異なる格子定数を有する。

【 0 0 0 7 】

本発明のもう 1 つの態様によれば、トランジスタが形成される。このトランジスタは、第 1 結晶質材料と第 1 及び第 2 末端部分を包含するフィンを更に含む。この第 1 結晶質材料は第 1 格子定数を有する。トランジスタは、フィンの第 1 及び第 2 末端部分に隣接して形成されたソース及びドレイン領域を更に含む。トランジスタは、フィンの少なくとも一部に形成された第 2 結晶質材料の第 1 層も含む。第 2 結晶質材料は、第 2 格子定数を有し、第 1 格子定数は第 2 格子定数より大きい。トランジスタは、第 1 層の少なくとも一部に形成された誘電層と誘電層の少なくとも一部に形成されたゲート電極を更に含む。

【 0 0 0 8 】

本発明の更なる態様によれば、半導体デバイスを形成する方法が提供される。この方法は、第 1 結晶質材料と多数の表面を含むフィンを形成する。この方法は、多数の表面の少なくとも一部分に第 1 層を形成する。この第 1 層は第 2 結晶質材料を含み、第 1 結晶質材料は、第 1 層内に引っ張り歪みを導入するために第 2 結晶質材料と格子定数が異なったものとなっている。

【 0 0 0 9 】

本発明の他の利点及び特徴は、当業者にとって、以下の詳細な明細書を読むことにより容易に明瞭となるだろう。図示され、記載された実施形態は、本発明を実施するために最適な形態の説明を与えるものである。本発明は、様々な明白な態様において、それら全部が本発明の範囲を逸脱することなく改変可能である。従って、図面は、それ自体説明を目的としているため、限定されるものではない。添付図面を参照しながら本発明が記載され、同符号は、同要素を示す。

【 発明を実施するための最良の形態 】

【 0 0 1 0 】

本発明の以下の詳細なる明細書は添付の図面を参照しながら記載される。同符号は、異なる図面で同じあるいは同様のエレメントを示し得る。また、以下の詳細な明細書は、本発明を制限しない。本発明の趣旨の範囲は添付の請求項によって定義されるものである。

【 0 0 1 1 】

本発明によれば、移動度が増加したチャネルフィン F E T が形成される。本発明に従って縦型に形成された歪みチャネル層が、フィン F E T のフィンチャネルに自己整合性を有する。歪みチャネル層は、引っ張り歪みが歪みチャネル層内に導入されるようにフィン F E T のフィンの結晶質材料と格子定数が異なる（格子ミスマッチである）結晶質材料を含んでよい。この導入された引っ張り歪みが歪みチャネル層のキャリア移動度を増やすので、フィン F E T の駆動電流を増大する。

【 0 0 1 2 】

図 1 は、本発明の例示的な一実施形態に従って形成された基板 1 0 0 の断面図を表す。本発明に従って基板 1 0 0 は、例えば、埋め込み酸化層 1 1 0 上に形成されたフィンチャネル層 1 0 5 を含む絶縁（S O I）構造上のシリコンであってよい。この埋め込み酸化層 1 1 0 は、シリコン層（図示せず）に形成されてよい。フィンチャネル層 1 0 5 の膜厚は、例えば、約 5 0 0 （オングストローム）～約 2 0 0 0 の範囲であってよいし、埋め込み酸化層 1 1 0 の膜厚は、例えば、約 1 0 0 0 ～約 3 0 0 0 の範囲であってよい。

【 0 0 1 3 】

フィンチャネル層 1 0 5 は、歪みチャネル層用に選択された結晶質材料よりの格子定数

10

20

30

40

50

より大きな格子定数を有する結晶質材料を含み得る（図 3 A 及び図 3 B を参照しながら以下に記載される）。例えば、シリコンが歪みチャンネル層用に選択されれば、フィンチャンネル層 105 がシリコンの格子定数より大きな格子定数を有する結晶質材料を含み得る。フィンチャンネル層 105 は、例えば、 x が大体 0.7 に等しい $\text{Si}_x\text{Ge}_{(1-x)}$ を含み得る。 x の他の値は適切に選択されてよい。当業者であれば、この材料の格子定数が歪みチャンネル層用に選択された結晶質材料の格子定数より大きくなるように $\text{Si}_x\text{Ge}_{(1-x)}$ 以外の他の結晶質材料が利用され得ることが認識されよう。幾つかの実施形態において、基板 100 がエピタキシャル $\text{Si}_x\text{Ge}_{(1-x)}$ を酸化物 / Si 基板ウェーハにボンディングするウェーハによって形成され得る。しかし、当業者であれば、基板 100 を形成するために既存の技術が利用され得ることが認識されよう。

10

【0014】

図 2 A 及び 2 B に示されるように、基板 100 を形成した後、縦型のフィン 205 がフィンチャンネル層 105 から形成され得る。フィン 205 は、例えば、10 ~ 15 nm の幅 (w) に形成され得る。フィン 205 は、既存のフォトリソグラフィック及びエッチングプロセスを含む既存のプロセスを使用して、フィンチャンネル層 105 から形成され得るが、これに制限されるわけではない。

【0015】

フィン 205 の形成に続いて、ソース 210 及びドレイン 215 領域が図 2 C 及び 2 D に示されるようにフィン 205 の対応する末端に隣接して形成され得る。ソース 210 及びドレイン 215 領域が、例えば、フィン 205 上に結晶質材料層をデポジションすることによって形成され得る。ソース 210 及びドレイン 215 領域は、例えば、既存のリソフォトリグラフィック及びエッチングプロセスを使用して結晶質材料層から形成され得る。しかし、当業者であれば、ソース 210 及びドレイン 215 領域を形成するため、他の既存の技術が利用可能であることが認識されよう。ソース 210 及びドレイン 215 領域は、例えば、 x を略 0.7 として、 $\text{Si}_x\text{Ge}_{(1-x)}$ のような結晶質材料を含んでよい。

20

【0016】

ソース 210 及びドレイン 215 領域を形成した後、歪み層 305 が図 3 A 及び 3 B に示されるようにフィン 205、ソース 210 及びドレイン 215 上に形成され得る。歪み層 305 が既存の適切なプロセスのいずれをも使用してフィン 205、ソース 210 及びドレイン 215 上に形成され得る。幾つかの例示的な実施形態において、例えば、歪み層 305 が、選択的なエピタキシャルデポジションプロセスを用いてフィン 205、ソース 210 及びドレイン 215 上に形成され得る。歪み層 305 は、フィン 205 用に使用された結晶質材料の格子定数より小さな数の格子定数を有する結晶質材料を含み得る。フィン 205 及び歪み層 305 間の格子定数が異なることによって引っ張り歪みが歪み層 305 に生成される。歪み層 305 が、例えば、フィン 205 幅 w の約 2 分の 1 ~ 約 3 分の 1 である膜厚に形成され得る。例えば、歪み層 305 の膜厚 t は、5 nm であってよい。歪み層 305 は、制限されないが、シリコンを含んでよい。当業者であれば、フィン 205 を形成するために使用された結晶質材料より小さな格子定数を有する他の結晶質材料が他の例において利用され得ることが認識されよう。

30

【0017】

歪み層 305 の形成後、図 4 A 及び図 4 B に示されるようにソース 210 及びドレイン 215 によって覆われないフィン 205 部分にゲート誘電体 405 及びゲート電極 410 が形成され得る。ゲート誘電体 405 が SiO 、 SiO_2 、 SiN 、 SiON 、 HFO_2 、 ZrO_2 、 Al_2O_3 、 $\text{HFSiO}(x)\text{ZnS}$ 、 MgF_2 、あるいは他の誘電材料のような誘電材料の薄膜層を含み得る。ゲート電極 410 がゲート電極 405 上に形成され得、例えば、ポリシリコン層を含み得る。ゲート誘電体 405 及びゲート電極 410 が、例えば、既存のデポジション及びパターニングプロセスのような既存のプロセスを利用してフィン 205 上に形成され得る。それ故、フィン 205 上におけるゲート誘電体 405 及びゲート電極 410 の形成によって、フィン 205 の縦型表面の双方において薄膜歪み層 305 を含む FET サイドウォールの縦型チャンネルが生成される。歪み層 305 は、歪

40

50

み層 3 0 5 及びフィン 2 0 5 間の格子定数が異なることにより生じた歪み層 3 0 5 における引っ張り歪みの導入を通じてキャリア移動度の改善を提供する。キャリア移動度の向上は、図 4 A 及び図 B に示される半導体構造を利用して生成されたフィン F E T トランジスタの駆動電流の増大を可能にする。

【 0 0 1 8 】

[例示的な歪み絶縁体]

図 5 は、本発明の他の実施形態に従って、図 2 A 及び 2 B に示されるフィン 2 0 5 のようなフィン F E T のフィン下部に形成され得る例示的な歪み絶縁体 5 0 5 を表す。フィン 2 0 5 の結晶質材料と歪み絶縁 5 0 5 が格子定数が異なるようにフィン 2 0 5 が、歪み絶縁体 5 0 5 の絶縁材料上に形成され得る。フィン 2 0 5 の結晶質材料と歪み絶縁 5 0 5 間の格子定数が異なることによってフィン 2 0 5 に引っ張り歪みを生じさせ、順次にフィン F E T のキャリア移動度を改善する。当業者であれば、フィン 2 0 5 の結晶質材料と異なる格子定数を有する適切な絶縁材料の全てが、歪み絶縁体 5 0 5 として利用され得ることを認識されよう。

10

【 0 0 1 9 】

[例示的なソース/ドレイン再生プロセス]

図 6 は、本発明のもう 1 つの実施形態に従った例示的なダマシンソース/ドレイン再成長を表す。基板上に活性領域 6 0 0 及びフィン 6 0 5 が形成された後、テトラエチルオルトシリケート (T E O S ; TetraEthylOrthSilicate) がフィン 6 0 5 及び活性領域 6 0 0 上にデポジットされ得、その後研磨され得る。その後マスク 6 1 0 (マスク 1) がゲート領域 6 1 5 を開けるために利用され得る。フィン 6 0 5 が細ゲート領域 6 1 5 にポリシリコンをデポジットし、研磨することによってゲート 6 2 0 が形成され得る。第 2 マスク (マスク 2) 6 2 5 はソース/ドレイン領域 6 3 0 を開けるために利用され得る。開けられたソース及びドレイン領域 6 3 0 内における活性領域 6 0 0 の窒化層がソース/ドレイン領域 6 3 0 を晒すためにエッチングされ得る。ソース 6 3 5 及びドレイン 6 4 0 を生成するため、晒された領域からシリコンが選択的に再生され得る。

20

【 0 0 2 0 】

前述の明細書において、特定の材料、構造、化学、プロセス等のような多くの特定の詳細が記載されたが、本発明の完全な理解を与えるためである。しかし、本発明は本文に具体的に記載された詳細に頼ることなく実施可能である。他の例において、周知のプロセッシング構造は、本発明の趣旨を無駄にあいまいにしないために詳細が記載されていない。本発明を実施する際に従来のもトリソグラフィ及びエッチング技術が利用され得、従って、そのような技術の詳細は明細書に詳細に記載されていない。

30

【 0 0 2 1 】

本発明の好適な実施形態及び本発明の多様な例の幾つかのみが示され、本開示に記載されている。本発明は多様な他の組み合わせ及び環境において使用可能であり、本文に表された進歩性の趣旨の範囲内で変更が可能である。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】 本発明に従ったフィン F E T のフィンを形成するために利用され得る基板の例示的な層を表す説明図。

40

【 図 2 A 】 本発明に従った例示的なフィンを表す説明図。

【 図 2 B 】 本発明に従った図 2 A の例示的なフィンの断面図。

【 図 2 C 】 本発明に従った図 2 A 及び図 2 B に示すフィンに隣接して形成された例示的なソース及びドレイン領域を表す説明図。

【 図 2 D 】 本発明に従った図 2 A 及び図 2 B に示すフィンに隣接して形成された例示的なソース及びドレイン領域を表す説明図。

【 図 3 A 】 本発明に従ってフィン上に形成された歪み層の断面図。

【 図 3 B 】 本発明に従ってフィン及びソース及びドレイン領域上に形成された図 3 A 示す歪み層の断面図。

50

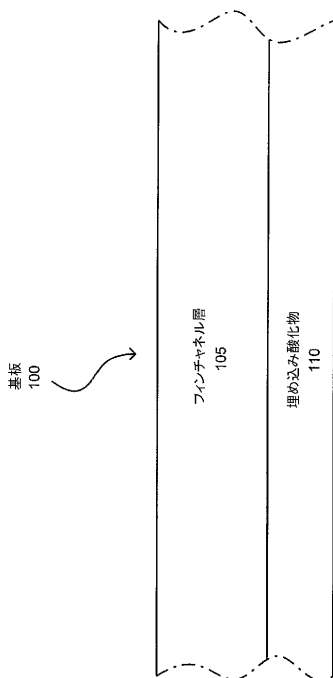
【図 4 A】本発明に従ったフィン上に形成されたゲート誘電体及びゲート電極の断面図。

【図 4 B】本発明に従ったフィン上に形成された図 4 A のゲート誘電体及びゲート電極の平面図。

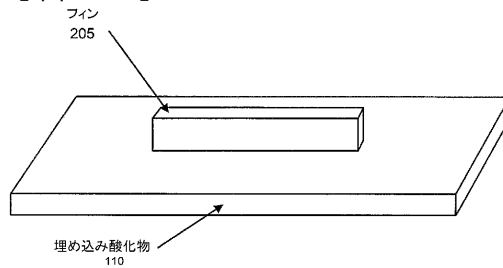
【図 5】本発明の他の実施形態に従った図 2 A 及び図 2 B に示すフィン下部の歪み絶縁体を表す説明図。

【図 6】本発明の他の実施形態に従ったダマシソース/ドレインの再生を表す説明図。

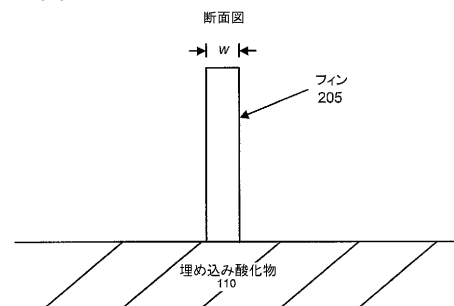
【図 1】



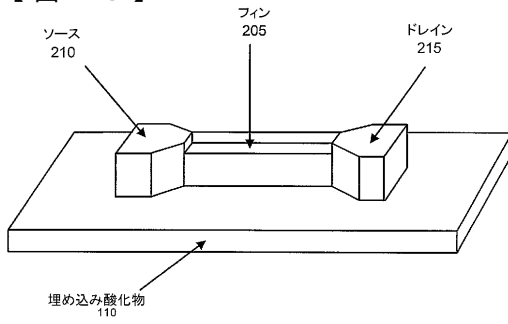
【図 2 A】



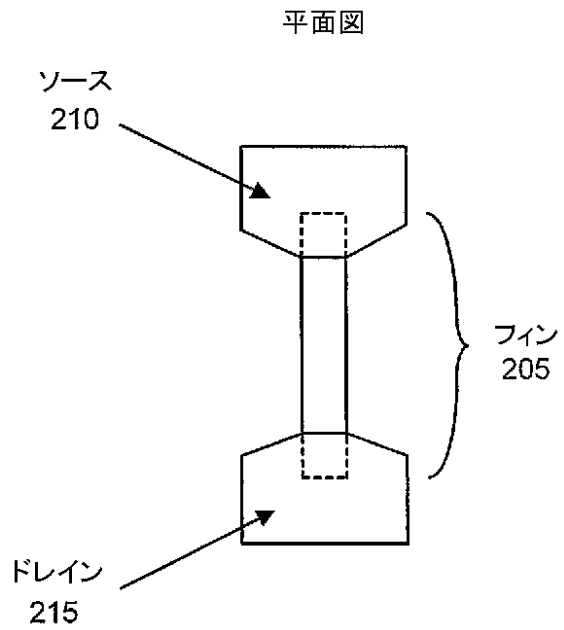
【図 2 B】



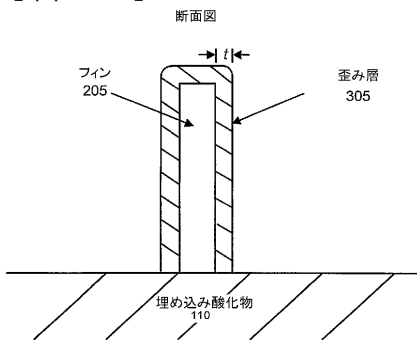
【図 2 C】



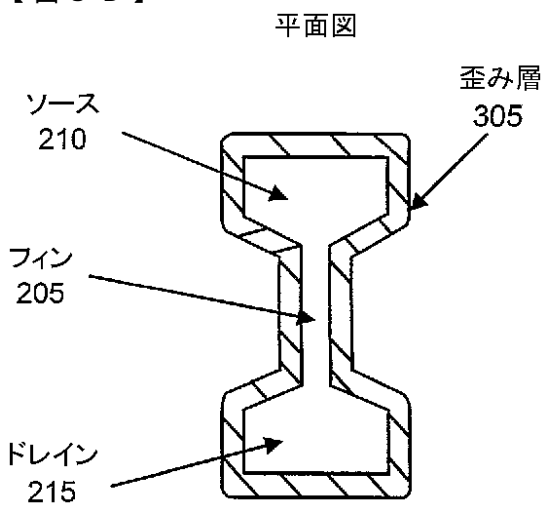
【図 2 D】



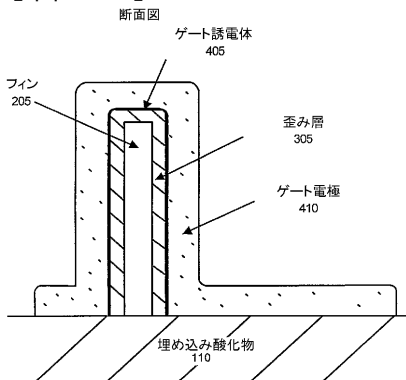
【図 3 A】



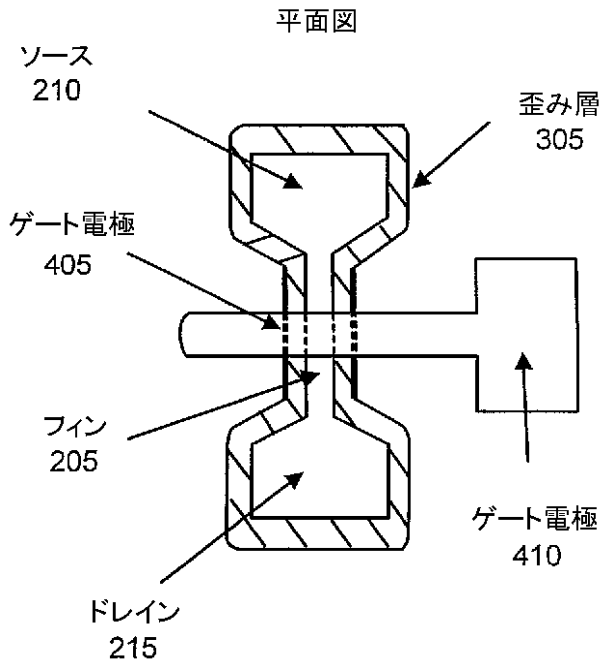
【図 3 B】



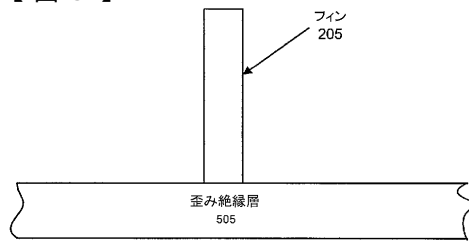
【図 4 A】



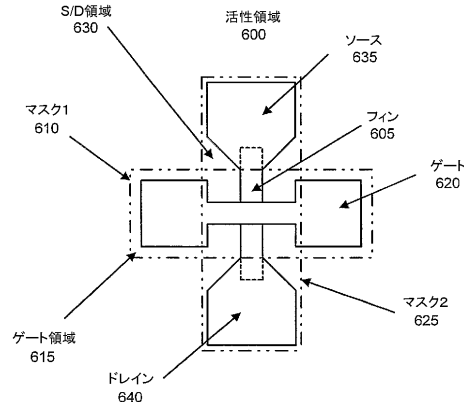
【図 4 B】



【図 5】



【図 6】



【手続補正書】

【提出日】平成16年11月19日(2004.11.19)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1結晶質材料及び複数の表面を含むフィン(205)を有し、このフィン(205)は、約10nm～約15nmの範囲の幅を有するとともに、このフィン(205)の第1末端からこのフィン(205)の第2末端にキャリアが移動するためのチャネルを含み、

前記複数の表面の少なくとも一部分に形成された第1層(305)とを有し、前記第1層(305)は第2結晶質材料を含み、前記第1結晶質材料は前記第1層内に引っ張り歪みを導入するように前記第2結晶質材料とは相異なる格子定数を有する、半導体デバイス。

【請求項2】

前記フィン(205)は、矩形の断面形状を有し、かつ、

前記第1結晶質材料は、前記第2結晶質材料の格子定数より大きな格子定数を有する結晶質材料を含む、

請求項1記載の半導体デバイス。

【請求項3】

前記第2結晶質材料は、シリコンを含み、かつ、

前記第1結晶質材料は、シリコンより大きな格子定数を有する結晶質材料を含む、

請求項1記載の半導体デバイス。

【請求項 4】

前記第 1 結晶質材料は、 $\text{Si}_x\text{Ge}_{(1-x)}$ を含み、 x は、略 0.7 に等しい、
請求項 3 記載の半導体デバイス。

【請求項 5】

前記第 1 層 (305) の少なくとも一部分に形成された第 2 層 (405) を含み、前記第 2 層 (405) は誘電体を含み、かつ、

前記第 2 層 (405) の少なくとも一部分に形成されたゲート電極 (410) を含み、
前記ゲート電極 (410) は、ポリシリコンを含む、

請求項 1 記載の半導体デバイス。

【請求項 6】

第 1 格子定数を有する第 1 結晶質材料を含むフィン (205) を有し、前記フィンは第 1 及び第 2 末端部を更に含み、前記第 1 結晶質材料は、 $\text{Si}_x\text{Ge}_{(1-x)}$ を含み、 x は、略 0.7 に等しいものであり、

前記フィン (205) の前記第 1 及び第 2 末端部に隣接して形成されたソース (210) 及びドレイン (205) 領域を有し、このフィン (205) は、キャリアが前記ソース (210) と前記ドレイン (215) との間で移動するためのチャンネルを有し、

前記フィン (205) の少なくとも一部分に形成された第 2 結晶質材料の第 1 層 (305) を有し、前記第 2 結晶質材料は第 2 格子定数を有し、前記第 1 格子定数は前記第 2 格子定数より大きな数であり、前記第 1 層の膜厚はフィン幅の 2 分の 1 から 3 分の 1 で、前記第 2 結晶質材料はシリコンを含むものであり、

前記第 1 層 (305) の少なくとも一部分に形成された誘電層 (405) を有し、

前記誘電層 (405) の少なくとも一部分に形成されたゲート電極 (410) を有し、
前記ゲート電極 (410) は、第 3 結晶質材料を含み、前記第 3 結晶質材料はポリシリコンを含み、

前記第 1 格子定数は前記第 1 層に引っ張り歪みを導入するように第 2 格子定数より大きく、かつ、前記引っ張り歪みが前記第 1 層においてキャリア移動度を増大する、

トランジスタ。

【請求項 7】

第 1 結晶質材料、複数の表面及び幅を含むフィン (205) を形成し、前記フィン (205) は、このフィン (205) の第 1 末端からこのフィン (205) の第 2 末端にキャリアが移動するためのチャンネルを含み、

前記複数の表面の少なくとも一部分に第 1 層 (305) を形成し、前記第 1 層 (305) は第 2 結晶質材料を含み、前記第 1 結晶質材料は、前記第 1 層内に引っ張り歪みを導入するために前記第 2 結晶質材料とは格子定数が異なるものとなっており、前記第 1 層の幅は、フィン幅の大体 2 分の 1 から 3 分の 1 である、

半導体デバイスを形成する方法。

【請求項 8】

前記第 1 結晶質材料は、第 2 結晶質材料の格子定数より大きな格子定数を有するように選択される、

請求項 7 記載の方法。

【請求項 9】

前記第 1 層 (305) を形成するように前記第 2 結晶質材料としてシリコンを選択し、
かつ、

前記第 1 結晶質材料がシリコンよりも大きな格子定数を有するように前記第 1 結晶質材料を選択する、

請求項 7 記載の方法。

【請求項 10】

前記フィン (205) を形成するために前記第 1 結晶質材料として $\text{Si}_x\text{Ge}_{(1-x)}$ を選択し、

x が略 0.7 に等しくなるように x を選択し、

前記第 1 層 (3 0 5) 上に第 2 層 (4 0 5) を形成し、前記第 2 層 (4 0 5) は誘電体を含み、かつ、

前記第 2 層 (4 0 5) 上にゲート電極 (4 1 0) を形成し、前記ゲート電極 (4 1 0) は、ポリシリコンを含む、

請求項 7 記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/000967

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/10 H01L29/786 H01L21/336		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, L	WO 2004/032246 A (ADVANCED MICRO DEVICES INC) 15 April 2004 (2004-04-15) the whole document	1-10
P, X	US 2003/201458 A1 (FRIED DAVID M ET AL) 30 October 2003 (2003-10-30) the whole document	1-10
X	EP 1 202 335 A (IBM) 2 May 2002 (2002-05-02) column 6, line 24 - line 29; claims 1,6,7,10-18; figure 2	1-10
A	US 6 475 869 B1 (YU BIN) 5 November 2002 (2002-11-05) the whole document	1-10
-/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 29 June 2004		Date of mailing of the international search report 07/07/2004
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Hoffmann, N

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/000967

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
L	ONODA H ET AL: "SI-GATE CMOS DEVICES ON A SI/CAF ₂ /SI STRUCTURE" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 34, no. 11, November 1987 (1987-11), pages 2280-2285, XP000836951 ISSN: 0018-9383 the whole document -----	

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US2004/000967

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 2004032246	A	15-04-2004	US 2004061178 A1 WO 2004032246 A1	01-04-2004 15-04-2004
US 2003201458	A1	30-10-2003	US 2003178677 A1 WO 03081640 A2 US 2003178681 A1	25-09-2003 02-10-2003 25-09-2003
EP 1202335	A	02-05-2002	CN 1349249 A EP 1202335 A2 JP 2002198538 A SG 97204 A1 TW 526564 B	15-05-2002 02-05-2002 12-07-2002 18-07-2003 01-04-2003
US 6475869	B1	05-11-2002	NONE	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 スリカンテスワラ ダクシナ - マーシー

アメリカ合衆国、テキサス州 78759、オースティン、ナンバー1423、ジョリービル
ロード 10926

(72)発明者 ジュディー ザイリン アン

アメリカ合衆国、カリフォルニア州 95129、サン ノゼ、レインツリー コート 905

(72)発明者 ゾラン クリボカピク

アメリカ合衆国、カリフォルニア州 95050、サンタ クララ、デ ペローナ プレイス 2
321

(72)発明者 ハイホン ワン

アメリカ合衆国、カリフォルニア州 94555、フレモント、ドナフエ テラス 34170

(72)発明者 ビン ユ

アメリカ合衆国、カリフォルニア州 95014、キューパーティノ、ポピー ウェイ 1373

Fターム(参考) 5F110 AA01 AA07 DD05 DD13 EE09 FF01 FF02 FF03 FF04 GG01

GG02 GG19 GG22 GG25 GG44 HK09 HK34 NN02 NN22