



# (12) 发明专利

(10) 授权公告号 CN 115050737 B

(45) 授权公告日 2022. 12. 06

(21) 申请号 202210964612.7

H01L 49/02 (2006.01)

(22) 申请日 2022.08.12

(56) 对比文件

(65) 同一申请的已公布的文献号  
申请公布号 CN 115050737 A

CN 103985707 A, 2014.08.13

CN 111739895 A, 2020.10.02

JP 特開昭60-74470 A, 1985.04.26

(43) 申请公布日 2022.09.13

审查员 仇晶晶

(73) 专利权人 常州承芯半导体有限公司  
地址 213166 江苏省常州市武进区国家高  
新技术产业开发区淹城南路518号

(72) 发明人 邹道华 高谷信一郎 刘昱玮  
黄仁耀

(74) 专利代理机构 北京集佳知识产权代理有限  
公司 11227  
专利代理师 张凤伟

(51) Int. Cl.

H01L 27/06 (2006.01)

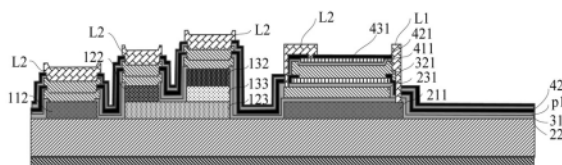
权利要求书3页 说明书12页 附图4页

(54) 发明名称

半导体结构及其形成方法

(57) 摘要

一种半导体结构及其形成方法。所述半导体结构包括：衬底，所述衬底包括第一区域；两个以上的电容结构，所述两个以上的电容结构之间并联连接，且在所述第一区域上沿垂直于所述衬底的方向依次层叠设置，其中，至少一个电容结构的顶部边缘区域设置有保护层，所述保护层用于覆盖所述电容结构的顶部边缘区域，减少上方金属层的电流流至所述电容结构的边缘区域。采用上述方案，可以在不增加器件面积的情况下，增大半导体结构中电容结构的容量，并且可以提高电容结构的可靠性。



1. 一种半导体结构,其特征在于,包括:

衬底,所述衬底包括第一区域;

两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述第一区域上沿垂直于所述衬底的方向依次层叠设置;

其中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所述电容结构的顶部边缘区域,减少上方金属层的电流流至所述电容结构的边缘区域。

2. 如权利要求1所述的半导体结构,其特征在于,所述两个以上的电容结构包括:位于所述第一区域上的第一电容结构,位于所述第一电容结构上方的第二电容结构,以及用于连接所述第一电容结构及所述第二电容结构的第一连接层;其中:

所述第一电容结构,包括:依次层叠设置的第一底层金属层、第一介质层及第一顶层金属层;

所述第二电容结构,包括:依次层叠设置的第一顶层金属层、第二介质层及第二顶层金属层;

所述第一连接层连接所述第一底层金属层及所述第二顶层金属层。

3. 如权利要求1所述的半导体结构,其特征在于,所述两个以上的电容结构包括:位于所述第一区域上的第一电容结构,位于所述第一电容结构上方的第二电容结构,以及用于连接所述第一电容结构及所述第二电容结构的第一连接层;其中:

所述第一电容结构,包括:依次层叠设置的第一底层金属层、第一介质层及第一顶层金属层;

所述第二电容结构,包括:依次层叠设置的第二底层金属层、第二介质层及第二顶层金属层;

所述第一连接层连接所述第一底层金属层及所述第二顶层金属层。

4. 如权利要求2或3所述的半导体结构,其特征在于,所述第一介质层具有暴露出所述第一底层金属层表面的第一通孔,所述第一连接层通过所述第一通孔,将所述第一底层金属层与第二顶层金属层连接。

5. 如权利要求4所述的半导体结构,其特征在于,所述两个以上的电容结构还包括:位于所述第二电容结构上方的第三电容结构,及第二连接层;其中:

所述第三电容结构包括:依次层叠设置的第三底层金属层、第三介质层及第三顶层金属层;

所述第二连接层连接所述第一顶层金属层及所述第三顶层金属层。

6. 如权利要求5所述的半导体结构,其特征在于,所述第二介质层具有暴露出所述第一顶层金属层表面的第二通孔,所述第二连接层通过所述第二通孔,将所述第三顶层金属层与所述第一顶层金属层连接。

7. 如权利要求6所述的半导体结构,其特征在于,所述保护层包括:第一保护层;所述第一保护层覆盖所述第二顶层金属层的边缘区域。

8. 如权利要求6所述的半导体结构,其特征在于,所述保护层包括:第二保护层;

所述第二保护层覆盖所述第三顶层金属层的边缘区域,并暴露所述第二通孔;所述第二保护层具有暴露所述第三顶层金属层表面的第三通孔,所述第二连接层通过所述第二通孔及所述第三通孔,连接所述第三顶层金属层及所述第一顶层金属层。

9. 如权利要求1所述的半导体结构,其特征在于,所述衬底还包括第二区域;所述第二区域上形成有晶体管结构。

10. 如权利要求9所述的半导体结构,其特征在于,所述晶体管结构为异质结双极晶体管结构;所述异质结双极晶体管包括:位于所述衬底第二区域上的发射极结构、基极结构及集电极结构。

11. 如权利要求10所述的半导体结构,其特征在于,所述发射极结构、基极结构及集电极结构,均包括所述两个以上的电容结构中至少两个金属层。

12. 一种半导体结构的形成方法,其特征在于,包括:

提供衬底,所述衬底包括第一区域;

在所述第一区域上形成两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置;

其中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所述电容结构的顶部边缘区域,减少上方金属层的电流流至所述电容结构的边缘区域。

13. 如权利要求12所述的半导体结构的形成方法,其特征在于,所述在所述第一区域上形成两个以上的电容结构,包括:

在所述第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、所述第一介质层及所述第一顶层金属层构成第一电容结构;

在所述第一顶层金属层上依次形成层叠设置的第二底层金属层、第二介质层及第二顶层金属层,所述第二底层金属层、所述第二介质层及所述第二顶层金属层构成第二电容结构;

形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

14. 如权利要求12所述的半导体结构的形成方法,其特征在于,所述在所述衬底的第一区域上形成两个以上的电容结构,包括:

在所述第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、所述第一介质层及所述第一顶层金属层构成第一电容结构;

在所述第一顶层金属层上依次形成层叠设置的第二介质层及第二顶层金属层;所述第一顶层金属层、所述第二介质层及所述第二顶层金属层,构成第二电容结构;

形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

15. 如权利要求13或14所述的半导体结构的形成方法,其特征在于,形成所述第一介质层的步骤包括:

形成第一初始介质层;

在所述第一初始介质层上形成第一通孔,所述第一通孔暴露出所述第一底层金属层的表面;

形成所述第一连接层的步骤包括:在所述第一通孔的位置形成所述第一连接层,使得所述第一底层金属层与所述第二顶层金属层连接。

16. 如权利要求15所述的半导体结构的形成方法,其特征在于,所述在所述衬底的第一区域上形成两个以上的电容结构,还包括:

在所述第二顶层金属层上依次形成层叠设置的第三底层金属层、第三介质层及第三顶层金属层,所述第三底层金属层、所述第三介质层及所述第三顶层金属层构成第三电容结

构；

形成第二连接层，所述第二连接层连接所述第一顶层金属层及所述第三顶层金属层。

17. 如权利要求16所述的半导体结构的形成方法，其特征在于，形成所述第二介质层的步骤包括：

形成第二初始介质层；

在所述第二初始介质层上形成第二通孔，所述第二通孔暴露出所述第一顶层金属层的表面；

形成所述第二连接层的步骤包括：在所述第二通孔的位置形成所述第二连接层，使得所述第一顶层金属层与所述第三顶层金属层连接。

18. 如权利要求17所述的半导体结构的形成方法，其特征在于，在形成所述第三底层金属层之前，形成第一保护层；所述第一保护层覆盖所述第二顶层金属层的边缘区域，并暴露所述第二通孔。

19. 如权利要求18所述的半导体结构的形成方法，其特征在于，在形成所述第三顶层金属层之后，形成第二连接层之前，形成第二保护层；所述第二保护层覆盖所述第三顶层金属层的边缘区域，并暴露所述第二通孔；所述第二保护层具有暴露所述第三顶层金属层表面的第三通孔；

形成所述第二连接层的步骤包括：在所述第二通孔及所述第三通孔的位置形成所述第二连接层，所述第二连接层连接所述第三顶层金属层及所述第一顶层金属层。

20. 如权利要求19所述的半导体结构的形成方法，其特征在于，所述衬底还包括第二区域；所述方法还包括：

在所述第二区域上形成晶体管结构。

21. 如权利要求20所述的半导体结构的形成方法，其特征在于，所述晶体管结构为异质结双极晶体管结构；所述在所述第二区域上形成晶体管结构，包括：

在所述第二区域上形成发射极结构、基极结构及集电极结构。

22. 如权利要求21所述的半导体结构的形成方法，其特征在于，同时在所述晶体管结构及所述电容结构上形成所述第一顶层金属层、所述第三顶层金属层、所述第一连接层及所述第二连接层中至少一个。

23. 如权利要求21所述的半导体结构的形成方法，其特征在于，同时在所述晶体管结构及所述电容结构上形成所述第一保护层及所述第二保护层中的至少一个。

## 半导体结构及其形成方法

### 技术领域

[0001] 本发明涉及半导体技术领域,具体涉及一种半导体结构及其形成方法。

### 背景技术

[0002] 在半导体衬底上集成电容结构时,电容结构通常包括:上极板、下极板,以及位于上极板和下极板之间的介质层。

[0003] 实际应用中,可以通过以下三种方式来增大电容结构的容量:1)改变介质层的介电常数;2)改变介质层的厚度;3)增大电容结构中上极板和下极板的面积。其中,介质层的介电常数一般是固定的,很难通过改变介质层的介电常数,来增大电容结构的容量。而介质层的厚度现在已经在50 nm-60 nm之间,再降低的话就会有漏电的风险。

[0004] 因此,目前大都通过增大电容结构中上极板和下极板的面积这种方式,来增大电容结构的容量。但是这种方式会导致整个器件面积增大,不利于器件的小型化。

### 发明内容

[0005] 本发明要解决的问题是:在不增加器件面积的情况下,增大半导体结构中电容结构的容量。

[0006] 为解决上述问题,本发明实施例提供了一种半导体结构,所述半导体结构包括:衬底,所述衬底包括第一区域;两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置;

[0007] 其中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所述电容结构的边缘区域,减少上方金属层的电流流至所述电容结构的边缘区域。

[0008] 可选地,所述两个以上的电容结构包括:位于衬底第一区域上的第一电容结构,位于所述第一电容结构上方的第二电容结构,以及用于连接所述第一电容结构及第二电容结构的第一连接层;其中:所述第一电容结构,包括:依次层叠设置的第一底层金属层、第一介质层及第一顶层金属层;所述第二电容结构,包括:依次层叠设置的第一顶层金属层、第二介质层及第二顶层金属层;所述第一连接层连接所述第一底层金属层及所述第二顶层金属层。

[0009] 可选地,所述两个以上的电容结构包括:位于衬底第一区域上的第一电容结构,位于所述第一电容结构上方的第二电容结构,以及用于连接所述第一电容结构及第二电容结构的第一连接层;其中:所述第一电容结构,包括:依次层叠设置的第一底层金属层、第一介质层及第一顶层金属层;所述第二电容结构,包括:依次层叠设置的第二底层金属层、第二介质层及第二顶层金属层;所述第一连接层连接所述第一底层金属层及所述第二顶层金属层。

[0010] 可选地,所述第一介质层具有暴露出所述第一底层金属层表面的第一通孔,所述第一连接层通过所述第一通孔,将所述第一底层金属层与第二顶层金属层连接,以实现所述第一电容结构与所述第二电容结构的并联连接。

[0011] 可选地,所述两个以上的电容结构还包括:位于所述第二电容结构上方的第三电容结构,及第二连接层;其中:所述第三电容结构包括:依次层叠设置的第三底层金属层、第三介质层及第三顶层金属层;所述第二连接层连接所述第一顶层金属层及第三顶层金属层。

[0012] 可选地,所述第二介质层具有暴露出所述第一顶层金属层表面的第二通孔,所述第二连接层通过所述第二通孔,将与所述第三顶层金属层与所述第一顶层金属层连接。

[0013] 可选地,所述保护层包括:第一保护层,覆盖所述第二顶层金属层的边缘区域;所述第一保护层覆盖所述第二顶层金属层的边缘区域,并暴露所述第二通孔。

[0014] 可选地,所述保护层包括:第二保护层;所述第二保护层覆盖所述第三顶层金属层的边缘区域,并暴露所述第二通孔;所述第二保护层具有暴露所述第三顶层金属层表面的第三通孔,所述第二连接层通过所述第二通孔及所述第三通孔,连接所述第三顶层金属层及所述第一顶层金属层。

[0015] 可选地,所述发射极结构、基极结构及集电极结构,均包括所述两个以上的电容结构中至少两个金属层。

[0016] 本发明实施例还提供了一种半导体结构的形成方法,所述方法包括:提供衬底,所述衬底包括第一区域;在所述衬底的第一区域上形成两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置;其中,至少一个电容结构的顶部边缘区域形成有保护层,所述保护层用于覆盖所述电容结构的边缘区域,减少上方金属层的电流流至所述电容结构的边缘区域。

[0017] 可选地,所述在所述衬底的第一区域上形成两个以上的电容结构,包括:在所述衬底的第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、第一介质层及第一顶层金属层构成第一电容结构;在所述第一顶层金属层上依次形成层叠设置的第二底层金属层、第二介质层及第二顶层金属层,所述第二底层金属层、第二介质层及第二顶层金属层构成第二电容结构;形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

[0018] 可选地,所述在所述衬底的第一区域上形成两个以上的电容结构,包括:在所述衬底的第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、第一介质层及第一顶层金属层构成第一电容结构;在所述第一顶层金属层上依次形成层叠设置的第二介质层及第二顶层金属层;所述第一顶层金属层、第二介质层及第二顶层金属层,构成所述第二电容结构;形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

[0019] 可选地,形成所述第一介质层的步骤包括:形成第一初始介质层;在所述第一初始介质层上形成第一通孔,所述第一通孔暴露出所述第一底层金属层的表面;形成所述第一连接层的步骤包括:在所述第一通孔的位置形成所述第一连接层,使得所述第一底层金属层与所述第二顶层金属层连接。

[0020] 可选地,所述在所述衬底的第一区域上形成两个以上的电容结构,还包括:在所述第二顶层金属层上依次形成层叠设置的第三底层金属层、第三介质层及第三顶层金属层,所述第三底层金属层、第三介质层及第三顶层金属层构成第三电容结构;形成第二连接层,所述第二连接层连接所述第一顶层金属层及第三顶层金属层。

[0021] 可选地,形成所述第二介质层的步骤包括:形成第二初始介质层;在所述第二初始介质层上形成第二通孔,所述第二通孔暴露出所述第一顶层金属层的表面;形成所述第二连接层的步骤包括:在所述第二通孔的位置形成所述第二连接层,使得所述第一顶层金属层与所述第三顶层金属层连接。

[0022] 可选地,在形成所述第三底层金属层之前,形成第一保护层;所述第一保护层覆盖所述第二顶层金属层的边缘区域,并暴露所述第二通孔。

[0023] 可选地,在形成所述第三顶层金属层之后,形成第二连接层之前,形成第二保护层;所述第二保护层覆盖所述第三顶层金属层的边缘区域,并暴露所述第二通孔;所述第二保护层具有暴露所述第三顶层金属层表面的第三通孔;形成所述第二连接层的步骤包括:在所述第二通孔及所述第三通孔的位置形成所述第二连接层,所述第二连接层连接所述第三顶层金属层及所述第一顶层金属层。

[0024] 可选地,所述衬底还包括第二区域;所述方法还包括:在所述衬底的第二区域上形成晶体管结构。

[0025] 可选地,所述晶体管结构为异质结双极晶体管结构;所述在所述衬底的第二区域上形成晶体管结构,包括:在所述衬底的第二区域上形成发射极结构、基极结构及集电极结构。

[0026] 可选地,同时在所述晶体管结构及所述电容结构上形成所述第一顶层金属层、第三顶层金属层、第一连接层及第二连接层中至少一个。

[0027] 可选地,同时在所述晶体管结构及所述电容结构上形成所述第一保护层及第二保护层中的至少一个。

[0028] 与现有技术相比,本发明实施例的技术方案具有以下优点:

[0029] 应用本发明的方案,半导体将结构上设置有两个以上的电容结构,两个以上的电容结构之间并联连接,由此可以增大半导体结构中电容的容量。另外,两个以上的电容结构在衬底的第一区域上沿垂直于衬底的方向依次层叠设置,由此可以在不增加电容结构所占面积的情况下,增大半导体结构中电容的容量。

[0030] 并且,本发明的方案中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所述电容结构的边缘区域,后续在保护层上形成金属层时,可以进一步减小保护层上方所形成金属层与保护层覆盖的金属层之间的接触面积,从而可以进一步减弱保护层上方金属层的电流流至保护层覆盖的金属层的边缘区域而引发放电现象,进一步提高电容结构的可靠性。

## 附图说明

[0031] 图1至图6是现有将HBT与电容结构集成在同一衬底上的工艺过程示意图;

[0032] 图7是本发明实施例中一种半导体结构的形成方法的流程图;

[0033] 图8至图15是本发明实施例中HBT与电容结构集成在同一衬底上的工艺过程示意图。

## 具体实施方式

[0034] 目前,通常将晶体管及电容集成在同一晶圆内。以所述晶体管为异质结双极性晶

体管(Heterojunction Bipolar Transistor, HBT)为例,在将HBT与电容集成在同一晶圆内时,工艺过程如下:

[0035] 参照图1,形成晶圆的外延结构,所述晶圆的外延结构从下往上依次为衬底10、集电极层111、基极初始层121及发射极初始层131。

[0036] 其中,集电极层111可以是掺杂浓度为 $10^{16}$ 个/ $\text{cm}^3$ 的N型砷化镓(GaAs),基极初始层121可以是掺杂浓度为 $10^{19}$ 个/ $\text{cm}^3$ 的P型GaAs,发射极初始层131可以是掺杂浓度为 $10^{17}$ 个/ $\text{cm}^3$ 的P型GaAs。

[0037] 参照图2,在发射极初始层131上形成发射极欧姆接触电极层132。

[0038] 具体可以先在发射极初始层131上涂敷一层光刻胶,再经过烘烤、曝光、显影后,通过蒸镀的方式在发射极初始层131上形成发射极欧姆接触电极层132。发射极欧姆接触电极层132可以具有依次层叠的钛(Ti)膜、铂(Pt)膜、Ti膜、Pt膜、Ti膜的多层金属层。

[0039] 参照图3,对发射极初始层131进行刻蚀,形成发射极层133。然后,在基极初始层121上形成基极欧姆接触电极层122。

[0040] 比如,可以采用光刻工艺,对发射极初始层131进行刻蚀。基极欧姆接触电极层122可以具有依次层叠Pt膜、Ti膜、Pt膜、铜(Au)膜的多层金属层。

[0041] 参照图4,对基极初始层121进行刻蚀,形成基极层123。然后,参照图5,在集电极初始层111上形成集电极欧姆接触电极层112及第一底层金属层211。其中,集电极欧姆接触电极层112及第一底层金属层211可以通过一次工艺形成,当然也可以通过不同的工艺先后形成。

[0042] 比如,可以采用光刻工艺,基极初始层121进行刻蚀,然后通过蒸镀的方式,形成集电极欧姆接触电极层112及第一底层金属层211。集电极欧姆接触电极层112及第一底层金属层211的材料可以为Au。

[0043] 集电极层111及集电极欧姆接触电极层112,构成HBT的集电极结构。基极层123及基极欧姆接触电极层122,构成HBT的基极结构。发射极层133及发射极欧姆接触电极层132构成HBT的发射极结构。第一底层金属层211作为电容的下极板。

[0044] 参照图5,形成第一介质层221,所述第一介质层221同时覆盖HBT的基极结构、发射极结构及集电极结构,作为HBT的钝化层,防止HBT的基极结构、发射极结构及集电极结构侧壁被氧化。

[0045] 其中,可以通过化学气相沉积法沉积第一介质层221。第一介质层221应当在需要导通的区域开孔。

[0046] 参照图6,形成第一顶层金属层231,所述第一顶层金属层231同时覆盖HBT的基极结构、发射极结构及集电极结构,作为HBT的钝化层,防止HBT的基极结构、发射极结构及集电极结构侧壁被氧化。在第一区域上,第一顶层金属层231还同时作为电容结构的上极板。

[0047] 其中,可以通过曝光、蒸镀、金属剥离、光刻胶剥离工艺流程,形成第一顶层金属层231。所述第一顶层金属层231位于第一底层金属层211上,且与第一底层金属层211之间由第一介质层221间隔。

[0048] 在上述半导体结构中,电容结构通常包括:第一顶层金属层231、第一底层金属层211,以及第一顶层金属层231和第一底层金属层211之间的第一介质层221。

[0049] 实际应用中,可以通过以下三种方式来增大电容结构的容量:1)改变第一介质层

221的介电常数;2)改变第一介质层221的厚度;3)增大电容结构中上极板和下极板的面积,也就是增大第一顶层金属层231和第一底层金属层211的面积。

[0050] 其中,第一介质层221的介电常数一般是固定的,一般为6.2左右,故很难通过改变介质层的介电常数,来增大电容结构的容量。而第一介质层221的厚度现在已经在50 nm-60 nm之间,再降低的话就会有漏电的风险。

[0051] 因此,目前大都通过增大电容结构中上极板和下极板的面积这种方式,也就是增大第一顶层金属层231和第一底层金属层211的面积,来增大电容结构的容量。但是这种方式会导致整个器件面积增大,不利于器件的小型化。

[0052] 针对上述问题,本发明实施例提供了一种半导体结构,所述半导体结构中,具有两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置。由于两个以上的电容结构沿垂直于衬底的方向依次层叠设置,故没有额外增加电容结构占用的衬底面积,并且,两个以上的电容结构之间并联连接,故使得半导体结构的电容量增加,从而实现在不增加器件面积的情况下,增大半导体结构中电容结构的容量。另外,在本发明的实施例中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所述电容结构的边缘区域,提高电容结构的可靠性。

[0053] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例作详细地说明。

[0054] 参照图7,本发明实施例提供了一种半导体结构的形成方法,所述方法可以包括如下步骤:

[0055] 步骤71,提供衬底,所述衬底包括第一区域。

[0056] 步骤72,在所述衬底的第一区域上形成两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置。

[0057] 其中,至少一个电容结构的顶部边缘区域形成有保护层,所述保护层用于覆盖所述电容结构的边缘区域,减少上方金属层的电流流至所述电容结构的边缘区域。

[0058] 由于多个电容之间并联连接,故可以增大半导体结构中电容的容量。另外,多个电容结构沿垂直于衬底的方向依次层叠设置,故相对于图6,多个电容结构占用同一衬底面积,故可以不增大半导体结构的面积,更利于器件的小型化。

[0059] 在具体实施中,所述衬底还可以包括第二区域,所述方法还可以包括:在所述衬底的第二区域上形成晶体管结构。其中,所述晶体管结构可以为HBT,也可以为互补金属氧化物半导体(Complementary Metal Oxide Semiconductor,CMOS)晶体管,并不作限制。

[0060] 在具体实施中,也可以在衬底的第二区域上形成其它器件结构,只要该器件结构能够与电容结构集成在同一衬底上即可。

[0061] 以在衬底的第二区域上形成晶体管结构,且晶体管结构为HBT为例,在所述衬底的第二区域上形成晶体管结构,可以包括:在所述衬底的第二区域上形成发射极结构、基极结构及集电极结构。

[0062] 具体在衬底上形成HBT的工艺过程,可以参照上述关于图1至图6的描述进行实施,此处不再赘述。

[0063] 在具体实施中,衬底的第一区域上可以仅形成两个并联连接的电容结构,也可以

形成三个或三个以上并联连接的电容结构,具体电容结构的数量不作限制。

[0064] 在一实施例中,可以仅在衬底的第一区域上形成两个并联连接的电容结构,分别为第一电容结构及第二电容结构。第一电容结构及第二电容结构之间可以共用同一金属层,也可以不共用同一金属层,即分别具有各自的金属层。

[0065] 在本发明的一实施例中,当第一顶层金属层的厚度大于150 nm时(通常为1000nm),表明第一顶层金属层厚度较厚,能够承受较大的电流,故此时,可以设置第一电容结构及第二电容结构共用所述第一顶层金属层。相应地,在所述衬底的第一区域上形成两个以上的电容结构的步骤,可以包括:

[0066] 在所述衬底的第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、第一介质层及第一顶层金属层构成第一电容结构;

[0067] 在所述第一顶层金属层上依次形成层叠设置的第二介质层及第二顶层金属层;所述第一顶层金属层、第二介质层及第二顶层金属层,构成所述电容结构;

[0068] 形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

[0069] 以在衬底第二区域上形成HBT为例,将图6中衬底第一区域上形成的电容结构,作为第一电容结构,参照图6,在形成第一电容结构时,在所述衬底的第一区域上,依次形成层叠设置的第一底层金属层211、第一介质层221及第一顶层金属层231。第一介质层221覆盖第一底层金属层211的上表面,第一顶层金属层231位于第一底层金属层211上方,且覆盖第一介质层221的部分表面。

[0070] 在形成第二电容结构时,参照图8,可以先在第一顶层金属层231上形成第二介质层311。参照图9,形成第二介质层311后,可以在第一顶层金属层231上方,形成覆盖第二介质层311部分表面的第二顶层金属层321。所述第一顶层金属层231、第二介质层311及第二顶层金属层321,构成所述第二电容结构。

[0071] 由于第一电容结构及第二电容结构之间可以共用同一金属层,由此可以在保证电容结构可靠性的同时,简化工艺。

[0072] 在图8及图9所示的实施例中,所述第一底层金属层211的厚度范围为150 nm至2000nm。

[0073] 在本发明的另一实施例中,当第一顶层金属层的厚度小于或等于150 nm时,表明第一顶层金属层厚度较薄,能够承受的电流有限,故此时,可以设置第一电容结构及第二电容结构不共用所述第一顶层金属层。在所述衬底的第一区域上形成两个以上的电容结构的步骤,可以包括:

[0074] 在所述衬底的第一区域上,依次形成层叠设置的第一底层金属层、第一介质层及第一顶层金属层,所述第一底层金属层、第一介质层及第一顶层金属层构成第一电容结构;

[0075] 在所述第一顶层金属层上依次形成层叠设置的第二底层金属层、第二介质层及第二顶层金属层,所述第二底层金属层、第二介质层及第二顶层金属层构成第二电容结构;

[0076] 形成第一连接层,使得所述第一电容结构及第二电容结构并联连接。

[0077] 第一电容结构及第二电容结构之间可以不共用同一金属层,即第一电容结构及第二电容结构分别有各自独立的金属层,由此可以保证电容结构的可靠性。

[0078] 在具体实施中,可以采用化学气相沉积方法,形成第二介质层。所述第二介质层的材料也可以为氮化硅。参照图8,在形成第二介质层311时,第二介质层311也可以覆盖HBT发

射极结构、集电极结构及基极结构的侧壁,由此可以作为HBT的钝化层,防止HBT中各结构被氧化。

[0079] 在具体实施中,可以先在第二介质层上形成光刻胶层通过蒸镀的方式蒸镀一层金属,再对所蒸镀的执行金属玻璃通过蒸镀、金属剥离、光刻胶剥离等工艺步骤,在第二介质层上形成第二顶层金属层。所述第二顶层金属层的材料可以与第一底层金属层及第一顶层金属层的材料相同。

[0080] 在具体实施中,参照图9,在形成第二顶层金属层321时,第二顶层金属层321也可以覆盖HBT发射极结构、集电极结构及基极结构,由此可以增加HBT的发射极结构、集电极结构及基极结构上金属层的厚度,提高晶体管的可靠性。

[0081] 在一些实施例中,第二介质层及第二顶层金属层也可以进行形成在衬底的第一区域上。

[0082] 在具体实施中,第一连接层可以采用多种方式,将使得所述第一电容结构及第二电容结构并联连接,此处不作限制。

[0083] 在本发明的一实施例中,参照图9,可以在第一介质层221上形成第一通孔212a,进而在第一通孔212a的位置形成所述第一连接层,使得所述第一底层金属层211与所述第二顶层金属层321连接。其中,第一介质层221上形成第一通孔212a的步骤可以包括:形成第一初始介质层;在所述第一初始介质层上形成第一通孔212a,所述第一通孔暴露出所述第一底层金属层211的表面。此时,第一连接层的一端可以与第二顶层金属层321的侧壁连接,另一端与第一底层金属层211的表面连接。此时,第二顶层金属层321的侧壁为第一连接层所覆盖。

[0084] 在具体实施中,电流由第二顶层金属层321向下依次流经第一顶层金属层231及第一底层金属层211。为了避免电流流过金属层的边缘,在一实施例中,沿垂直于衬底的方向上,可以设置第一电容结构及第二电容结构中各金属层的有效面积逐渐缩小。其中,所谓金属层的有效面积,指的是当前金属层中能够将电流传输至下一层金属层的面积,也就是当前金属层与下一层金属层重叠的面积。

[0085] 具体地,参照图8,第一底层金属层211的有效面积大于第一顶层金属层231的有效面积,第一顶层金属层231的有效面积大于第二顶层金属层321的有效面积,由此可以尽量减少电流流过金属层的边缘而导致的放电现象,进一步提高电容结构的可靠性。

[0086] 在本发明的又一实施例中,所述衬底的第一区域上可以形成三个并联连接的电容结构,即在已经形成第一电容结构及第二电容结构的基础上,在第二电容结构上再形成第三电容结构。具体地,所述方法还可以包括:

[0087] 在所述第二顶层金属层上依次形成层叠设置的第三底层金属层、第三介质层及第三顶层金属层,所述第三底层金属层、第三介质层及第三顶层金属层构成第三电容结构;

[0088] 形成第二连接层,所述第二连接层连接所述第一顶层金属层及第三顶层金属层。

[0089] 需要说明的是,无论第一电容结构和第二电容结构,是否共用同一金属层,在具体实施中,均可以采用上述步骤形成第三电容结构。与第一电容结构及第二电容结构类似,所述第三电容结构中各金属层的有效面积沿垂直于衬底的方向自下至上逐渐减小。

[0090] 在本发明的实施例中,至少一个电容结构的顶部边缘区域设置有保护层,所述保护层用于覆盖所在电容结构的边缘区域,减少上方金属层的电流流至所述电容结构的边缘

区域,防止所在电容结构的周边发生放电现象,从而提高电容结构的可靠性。

[0091] 在本发明的一实施例中,第二顶层金属层通常较薄,厚度范围为100 nm 至500 nm,故所能承受的电流较小。因此,为了进一步减少电流流过第二顶层金属层的边缘而导致的放电现象,提高电容结构的可靠性,在形成第三底层金属层之前,可以形成第一保护层。所述第一保护层覆盖所述第二顶层金属层的边缘区域,并暴露所述第二通孔。

[0092] 具体地,以在图9的基础上形成第三电容结构为例,参照图10,形成第二顶层金属层321后,可以先形成第一保护层p1,所述第一保护层p1可以覆盖第二顶层金属层321的边缘区域,覆盖第二电容结构的周边,由此后续在第一保护层p1上形成第三底层金属层411时,可以进一步减小第三底层金属层411与第二顶层金属层321的接触面积,从而可以进一步避免第三底层金属层411的电流流至第二顶层金属层321的边缘区域,进一步提高电容结构的可靠性。

[0093] 在一些实施例中,第一保护层也可以仅形成在衬底的第一区域上,而不形成在HBT上。

[0094] 在具体实施中,所述第一保护层p1的材料可以为聚合物,比如聚酰亚胺(Polyimide)。所述第一保护层p1具有绝缘、耐高温、防水以及防氧化的特性,故可以避免第三底层金属层411的电流流至第二顶层金属层321的边缘区域。其中,所述第一保护层p1的厚度可以根据器件实际应用、器件高低差以及可靠性要求等因素进行设置,具体厚度范围可以为500 nm至5000 nm。

[0095] 在具体实施中,所述第一保护层p1还可以同时覆盖第二介质层311,以及HBT中发射极结构、集电极结构、基极结构的边缘区域,由此可以对相应器件进行保护。

[0096] 在具体实施中,可以平坦化涂布的方式形成所述第一保护层p1,当然,也可以采用其它工艺形成所述第一保护层p1,此处不作限制。

[0097] 参照图11,形成第一保护层p1后,可以在第一保护层p1及第二顶层金属层321上形成第三底层金属层411。

[0098] 参照图12,形成第三底层金属层411后,再形成第三底层金属层411上形成第三介质层421。

[0099] 参照图13,形成第三介质层421,在第三介质层421上形成第三顶层金属层431。

[0100] 在具体实施中,可以通过蒸镀、金属剥离、光刻胶剥离的工艺步骤,在第一保护层p1上形成第三底层金属层411,以及在第三介质层421上形成第三顶层金属层431。所述第三底层金属层411的材料及第三顶层金属层431,可以与第二电容结构及第一电容结构中金属层的材料相同。

[0101] 在具体实施中,所述第三底层金属层411的厚度范围为1000 nm至8000 nm,所述第三顶层金属层431的厚度范围为100 nm至500 nm。

[0102] 在一实施例中,在第二顶层金属层321上形成第三底层金属层411时,可以同时覆盖HBT的发射极结构、集电极结构及基极结构形成第三底层金属层411,以进一步增加HBT的发射极结构、集电极结构及基极结构上金属层的厚度,提高晶体管的可靠性。

[0103] 在一些实施例中,第三底层金属层也可以进行形成在衬底的第一区域上。

[0104] 在具体实施中,参照图13,可以通过化学气相沉积法形成所述第三介质层421。所述第一介质层221、所述第二介质层321及第三介质层421的厚度范围可以根据器件要求、工

艺能力以及器件可靠性要求等因素进行设置。在本发明的实施例中,所述第一介质层221、所述第二介质层321及第三介质层421的厚度范围可以相同,比如60 nm或者160 nm,均可以在40 nm至500 nm范围内。

[0105] 在具体实施中,所述第一介质层221、所述第二介质层321及第三介质层421的材料可以相同,均可以为氮化硅,当然也可以为其它材料。

[0106] 在本发明的一实施例中,可以在形成第三顶层金属层后,形成第一连接层及第二连接层。其中,所述第一连接层用于连接第一电容结构及第二电容结构,第二连接层用于连接第一电容结构和第三电容结构。

[0107] 在具体实施中,第一连接层可以通过将第一底层金属层与第二顶层金属层直接连接的方式,连接第一电容结构及第二电容结构。在第二顶层金属层上设置有第一保护层时,由于第一保护层覆盖第二顶层金属层及第二介质层,此时,第一连接层也可以通过将第三底层金属层与第一底层金属层相连接的方式,或者通过将第一顶层金属层与第三底层金属层直接连接的方式,使得第一底层金属层与第二顶层金属层间接连接,同样也可以连接第一电容结构及第二电容结构。

[0108] 例如,参照图15,第一连接层L1的一端经第一介质层221上的第一通孔212a(如图9所示)与第一底层金属层211连接,另一端经第三底层金属层411与第二顶层金属层321连接。

[0109] 在具体实施中,当第一连接层连接第一底层金属层与第二顶层金属层时,或者第一连接层连接第三底层金属层与第一底层金属层时,所述第二连接层可以通过将第一顶层金属层与第三顶层金属层直接连接的方式,连接第一电容结构和第三电容结构。当第一连接层连接第一顶层金属层与第三底层金属层时,所述第二连接层可以通过连接第一底层金属层及第三顶层金属层的方式,连接第一电容结构和第三电容结构。

[0110] 例如,参照图14,形成所述第二介质层311的步骤可以包括:先形成第二初始介质层,再在所述第二初始介质层上形成第二通孔311a,所述第二通孔311a暴露出所述第一顶层金属层231的表面。参照图15,形成所述第二连接层的步骤包括:在所述第二通孔311a(如图14所示)的位置形成所述第二连接层L2,使得所述第一顶层金属层231与所述第三顶层金属层431连接。

[0111] 需要说明的是,在具体实施中,参照图15,当第一介质层221上形成有第一通孔时,除第一连接层L1外,第一介质层221上的各层,在形成时,均暴露该第一通孔。同样地,在第二介质层311上行有第二通孔时,第二介质层311上的各层,除第二连接层L2外,在形成时,均暴露该第二通孔。

[0112] 在具体实施中,参照图15,所述第一连接层L1及第二连接层L2可以同时形成。比如,可以通过蒸镀、金属剥离、光刻胶剥离等工艺流程,同时形成第一连接层L1及第二连接层L2。第一连接层L1及第二连接层L2的材料可以为Au。

[0113] 在具体实施中,参照图15,在形成第一连接层L1及第二连接层L2的同时,也可以在HBT的发射极结构、集电极结构及基极结构上形成第二连接层L2(或第一连接层L1),以进一步增加HBT的发射极结构、集电极结构及基极结构上金属层的厚度,提高晶体管的可靠性。

[0114] 在一些实施例中,第一连接层及第二连接层也可以仅形成在衬底的第一区域上,而不形成在HBT上。

[0115] 在本发明的一实施例中,参照图14及图15,在形成所述第三顶层金属层431之后,形成第二连接层L2之前,形成第二保护层p2;所述第二保护层p2可以覆盖所述第三顶层金属层431的边缘区域,并暴露所述第二通孔311a;所述第二保护层p2具有暴露所述第三顶层金属层431表面的第三通孔p21。

[0116] 此时,所述第二保护层p2可以覆盖第三顶层金属层431的边缘区域,进而覆盖第三电容结构的周边,避免后续流入第三顶层金属层431的电流流至第三顶层金属层431的边缘区域,导致第三顶层金属层431发生放电现象,进一步提高电容的可靠性。所述第二保护层p2也可以覆盖HBT的发射极结构、集电极结构及基极结构的边缘区域,防止HBT发生漏电,提高HBT的可靠性。另外,第二保护层p2还可以覆盖第三顶层金属层431的大部分区域,还可以覆盖HBT的发射极结构、集电极结构及基极结构的侧壁,作为钝化层,防止第三顶层金属层431被氧化。

[0117] 在一些实施例中,第二保护层也可以仅形成在衬底的第一区域上,而不形成在HBT上。

[0118] 在具体实施中,所述第二保护层p2的材料与第一保护层p1的材料可以相同,均可以为聚酰亚胺(Polyimide)。所述第二保护层p2的厚度范围为500 nm至5000 nm,具体根据实际应用、器件高低差以及可靠性要求等因素进行调整即可。

[0119] 参照图14及图15,形成第二保护层p2后,形成所述第二连接层L2的步骤可以包括:在所述第二通孔311a及所述第三通孔p21的位置形成所述第二连接层L2,所述第二连接层L2连接所述第三顶层金属层431及所述第一顶层金属层231。

[0120] 需要说明的是,衬底第二区域上形成的器件,并不限于HBT,还可以为其它器件,HBT仅是在衬底第二区域上所形成器件的一个示例而已。

[0121] 由上述内容可知,本发明实施例中半导体结构的形成方法,由于在衬底的同一位置上形成两个以上并联的电容结构,由此可以增大半导体结构中电容的容量,并且未额外增加占用的衬底面积,实现了在不增加器件面积的情况下,增大半导体结构中电容结构的容量的目的。

[0122] 另外,本发明的实施例中,由于第一保护层的设置,可以覆盖第二电容结构的周边,减小第三底层金属层与第二顶层金属层的接触面积,避免第三底层金属层的电流流至第二顶层金属层的边缘区域,提高电容的可靠性。

[0123] 再者,本发明的实施例中,由于第二保护层的设置,可以覆盖第三电容结构的周边,避免外部电流流至第三顶层金属层的边缘区域,进一步提高电容的可靠性。

[0124] 为了使本领域技术人员更好地理解 and 实现本发明,以下对上述方法对应的半导体结构进行详细描述。

[0125] 本发明实施例提供了一种半导体结构,所述半导体结构可以包括:

[0126] 衬底,所述衬底包括第一区域;

[0127] 两个以上的电容结构,所述两个以上的电容结构之间并联连接,且在所述衬底的第一区域上沿垂直于所述衬底的方向依次层叠设置。

[0128] 在本发明的一实施例中,衬底还可以包括第二区域,所述第二区域上可以形成晶体管结构。

[0129] 在本发明的一实施例中,参照图15,所述晶体管结构可以为HBT,所述HBT包括:位

于所述衬底第二区域上的发射极结构、基极结构及集电极结构。

[0130] 在具体实施中,衬底的第一区域上可以仅形成两个并联连接的电容结构,也可以形成三个或三个以上并联连接的电容结构,具体电容结构的数量不作限制。

[0131] 在本发明的一实施例中,参照图15,衬底的第一区域上可以形成三个并联连接的电容结构,分别为第一电容结构、第二电容结构及第三电容结构。其中:

[0132] 所述第一电容结构可以包括:依次层叠设置的第一底层金属层211、第一介质层221及第一顶层金属层231;

[0133] 所述第二电容结构可以包括:依次层叠设置的第一顶层金属层231、第二介质层311及第二顶层金属层321;

[0134] 所述第一连接层L1连接所述第一顶层金属层231及所述第二顶层金属层321。

[0135] 在本发明的另一实施例中,所述衬底的第一区域上也可以仅形成两个并联连接的电容结构,分别为第一电容结构及第二电容结构,所述第一电容结构位于衬底第一区域上,所述第二电容结构位于所述第一电容结构上方。第一电容结构及第二电容结构之间通过第一连接层实现并联连接。

[0136] 在一实施例中,第一电容结构及第二电容结构可以共用同一金属层。

[0137] 参照图15,具体地,依次层叠设置的第一底层金属层211、第一介质层221及第一顶层金属层231,构成所述第一电容结构;

[0138] 依次层叠设置的第一顶层金属层231、第二介质层311及第二顶层金属层321,构成第二电容结构;

[0139] 所述第一连接层L1连接所述第一顶层金属层231及所述第二顶层金属层321。

[0140] 此时,第一电容结构及第二电容结构共用第二顶层金属层321,即第二顶层金属层321既作为第一电容结构的上极板,也同时作为第二电容结构的下极板,由此可以在保证电容结构可靠性的同时,简化减工艺。

[0141] 在其它实施例中,第一电容结构及第二电容结构也可以不共用同一金属层。

[0142] 参照图15,具体地,依次层叠设置的第一底层金属层211、第一介质层221及第一顶层金属层231,构成所述第一电容结构;

[0143] 依次层叠设置的第二底层金属层(未示出)第二介质层311及第二顶层金属层321,构成所述第二电容结构;

[0144] 所述第一连接层L1连接所述第一顶层金属层231及所述第二顶层金属层321。

[0145] 在具体实施中,为了将第一顶层金属层及所述第二顶层金属层321进行连接,所述第一介质层221可以具有暴露出所述第一底层金属层211表面的第一通孔212a(参照图9),所述第一连接层L1通过所述第一通孔212a与所述第一底层金属层211连接。所述第一连接层L1的另一端可以与第二顶层金属层321直接连接,也可以通过第三底层金属层421间接与第二顶层金属层321连接。

[0146] 在具体实施中,为了将第一顶层金属层231与第三顶层金属层431进行连接,所述第二介质层311可以具有暴露出所述第一顶层金属层231表面的第二通孔311a(如图14所示),所述第二连接层L2通过所述第二通孔311a与所述第三顶层金属层431连接。所述第二连接层L2可以直接与第三顶层金属层431连接。

[0147] 在本发明的一实施例中,参照图15,所述两个以上的电容结构还可以包括:第一保

护层p1,覆盖所述第二顶层金属层321的边缘区域;所述第一保护层p1覆盖所述第二顶层金属层321的边缘区域,并暴露所述第二通孔311a(如图14所示)。

[0148] 通过设置第一保护层p1,可以将第二电容结构的周边覆盖,减少第三底层金属层411的电流流至第二顶层金属层321的边缘区域,导致第二电容结构发生漏电。

[0149] 在本发明的另一实施例中,所述两个以上的电容结构还可以包括:第二保护层p2;所述第二保护层p2覆盖所述第三顶层金属层411的边缘区域,并暴露所述第二通孔311a(如图14所示);所述第二保护层p2具有暴露所述第三顶层金属层411表面的第三通孔,所述第二连接层L2通过所述第二通孔311a及所述第三通孔,连接所述第三顶层金属层411及所述第一顶层金属层231。

[0150] 通过设置第二保护层p2,可以将第三电容结构的周边覆盖,减少外部电流流至第三顶层金属层431的边缘区域,导致第三电容结构发生漏电。

[0151] 在具体实施中,在衬底第一区域上形成第一顶层金属层、第二顶层金属层、第一连接层及第二连接层时,可以在HBT的发射极结构、集电极结构及基极结构上同时形成相应的金属层,也可以仅在HBT上形成其中部分金属层,使得HBT的发射极结构、基极结构及集电极结构,均包括所述两个以上的电容结构中至少两个金属层,以增大HBT中金属层的厚度,提高HBT的可靠性。

[0152] 在具体实施中,形成第一保护层p1及第二保护层p2时,也可以在HBT的发射极结构、集电极结构及基极结构上同时形成,使得第一保护层p1及第二保护层p2覆盖发射极结构、集电极结构及基极结构的侧壁及边缘区域,在保护HBT的同时,提高HBT的可靠性。

[0153] 由上述内容可知,本发明实施例中的半导体结构,在同一衬底上集成HBT及两个以上电容结构,由于电容结构之间并联连接,故可以增大半导体结构中电容的容量,而且没有额外占用衬底面积,实现在不增加器件面积的情况下,增大半导体结构中电容结构的容量的目的。

[0154] 虽然本发明披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

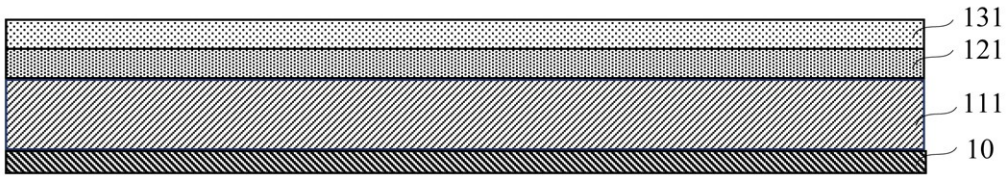


图1

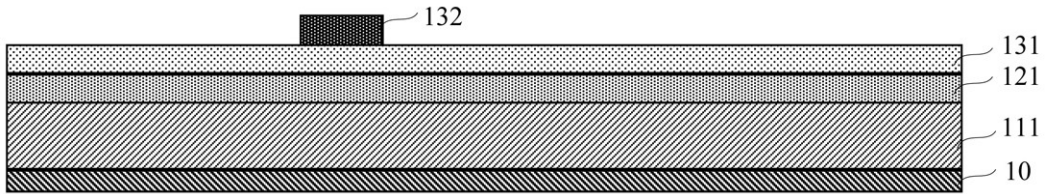


图2

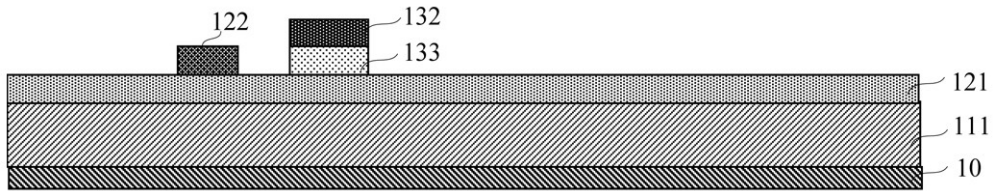


图3

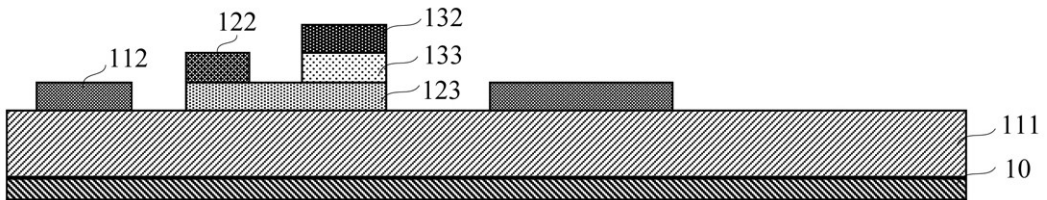


图4

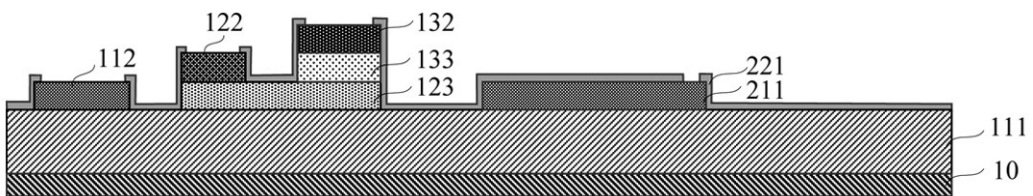


图5

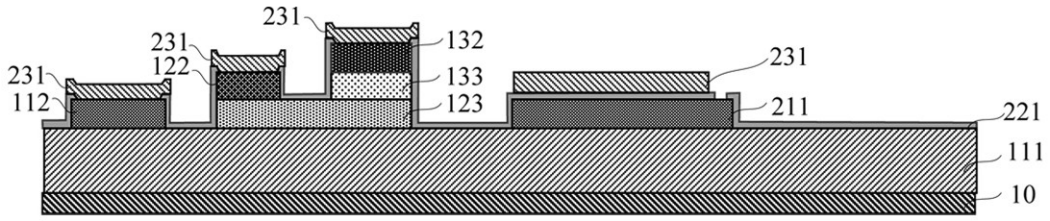


图6

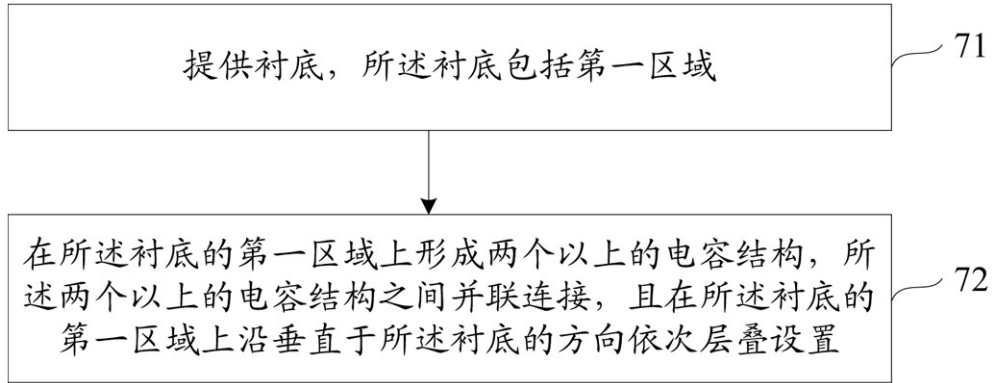


图7

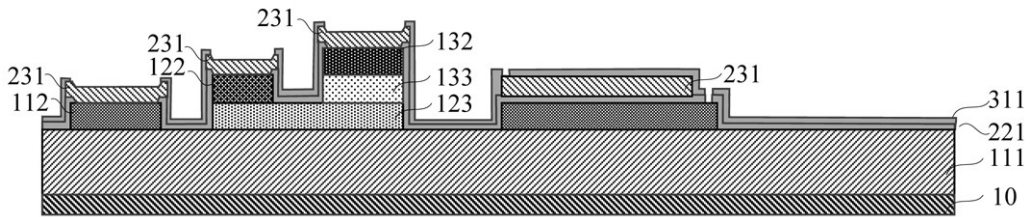


图8

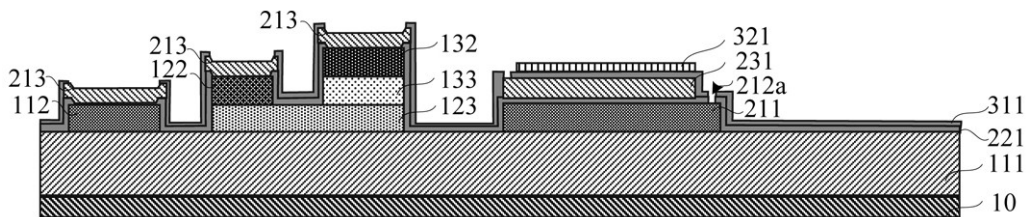


图9

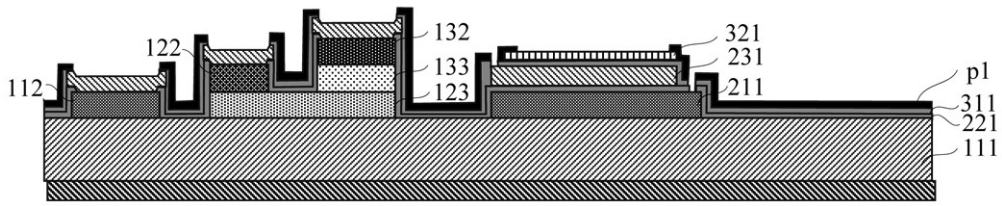


图10

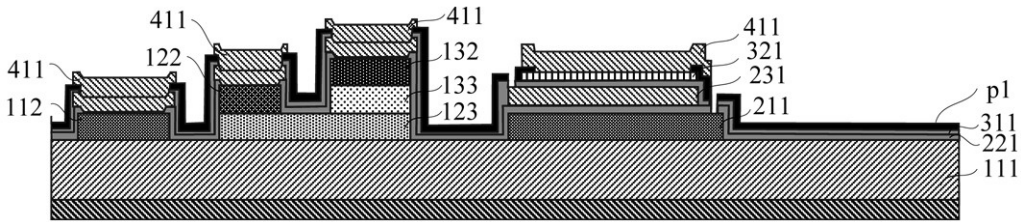


图11

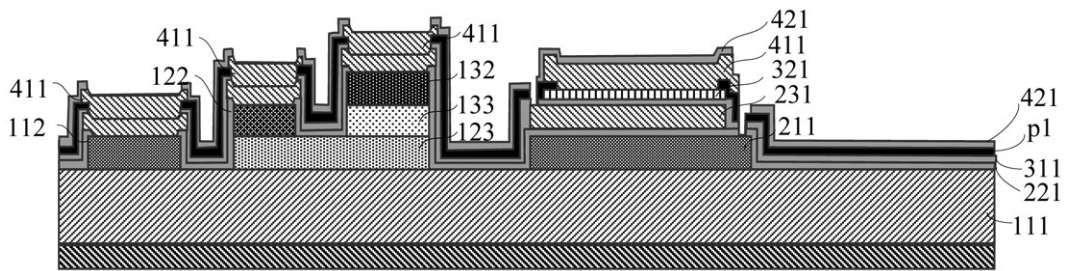


图12

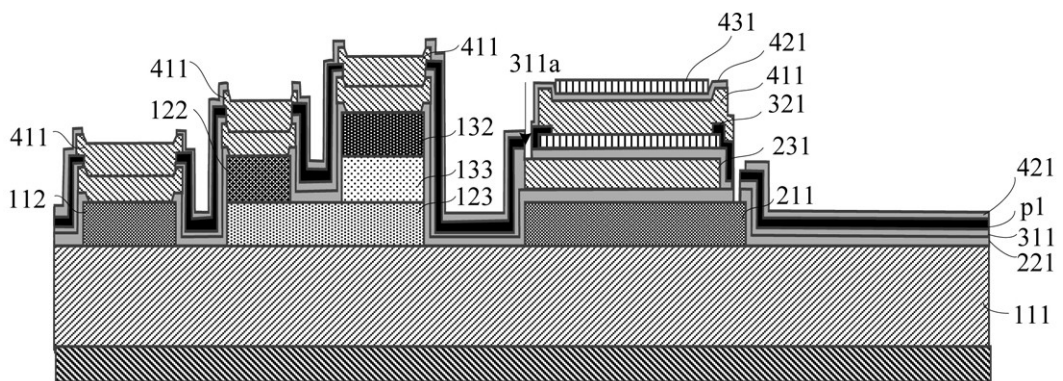


图13

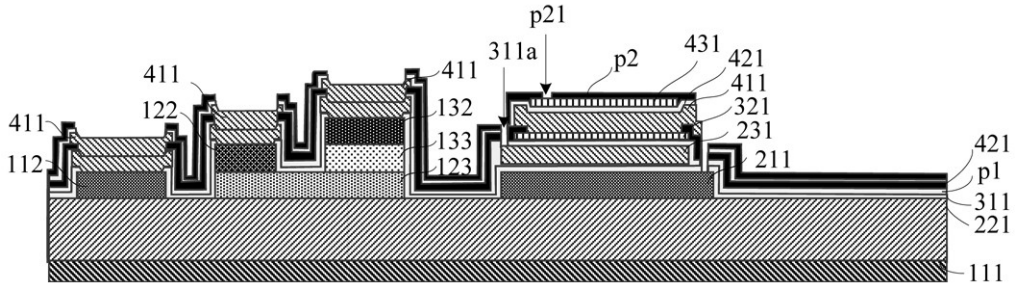


图14

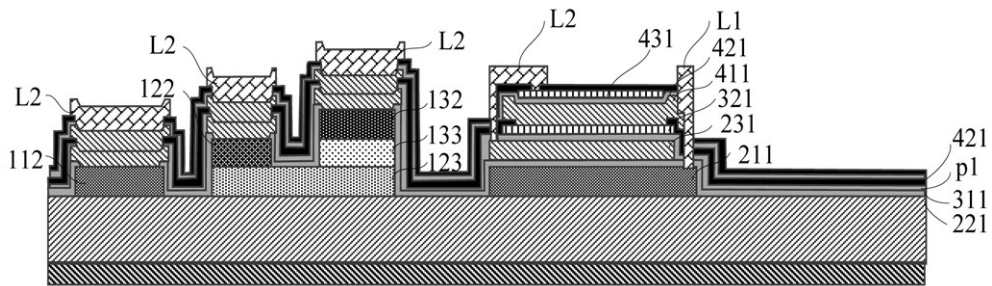


图15