(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/184517 A1

(51) 国際特許分類:
H01L 27/04 (2006.01)　*H01G 4/33* (2006.01)

(21) 国際出願番号：　PCT/JP2020/010054

(22) 国際出願日：　2020年3月9日(09.03.2020)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2019-046508　2019年3月13日(13.03.2019)　JP

(71) 出願人:パナソニックＩＰマネジメント株式会社(**PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.**) [JP/JP]; 〒5406207 大阪府大阪市中央区城見２丁目１番６１号 Osaka (JP).

(72) 発明者: 吉田　和司 (**YOSHIDA, Kazushi**). 萩原　洋右 (**HAGIHARA, Yosuke**). 田浦　巧 (**TAURA, Takumi**).

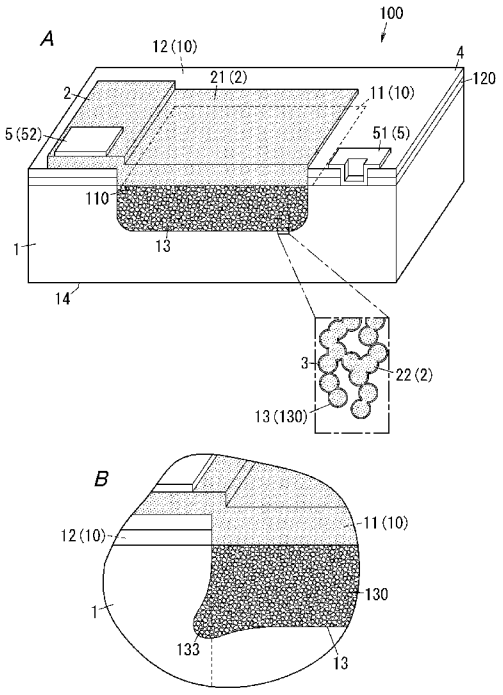
(74) 代理人: 特許業務法人北斗特許事務所(**HOKUTO PATENT ATTORNEYS OFFICE**); 〒5300001 大阪府大阪市北区梅田一丁目１２－１７梅田スクエアビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) **Title:** CAPACITOR AND METHOD FOR PRODUCING SAME

(54) 発明の名称： キャパシタ及びその製造方法



(57) **Abstract:** A capacitor 100 includes a silicon substrate 1, a conductor layer 2, and a dielectric layer 3. The silicon substrate 1 includes: a major surface 10 that has a capacity exhibiting region 11 and a non-capacity exhibiting region 12; and a porous portion 13 provided in the capacity exhibiting region 11 in the thickness direction. The conductor layer 2 includes a surface layer portion 21 that covers at least a portion of a surface 110 of the capacity exhibiting region 11, and a filling portion 22 that fills at least a portion of pores 130 of the porous portion 13. The dielectric layer 3 is interposed between inner surfaces of the pores 130 and the filling portion 22.

(57) 要約：キャパシタ１００は、シリコン基板１と導電体層２と誘電体層３とを備える。シリコン基板１は、容量発現領域１１及び非容量発現領域１２を含む主面１０を有し、容量発現領域１１において厚み方向に設けられた多孔質部１３を備える。導電体層２は、少なくとも容量発現領域１１の表層１１０の一部を覆う表層部２１と、多孔質部１３の細孔１３０の少なくとも一部に充填されている充填部２２とを含む。誘電体層３は、細孔１３０の内面と充填部２２との間に介在している。

［続葉有］

WO 2020/184517 A1

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ： キャパシタ及びその製造方法

技術分野

[0001] 本開示は、キャパシタ及びその製造方法に関する。本開示は、詳細には、シリコン基板と、誘電体層と、導電体層とを備えるキャパシタと、このキャパシタを製造する方法とに関する。

背景技術

[0002] 特許文献１には、基板にエッチング等の方法で形成したトレンチの内部に、導電層及び誘電体層を交互に設けることで形成したトレンチキャパシタを備える電子装置が開示されている。特許文献１の電子装置では、基板に多数のトレンチキャパシタを設けることにより、キャパシタンス値（静電容量）を大きくしようとしている。

[0003] しかしながら、特許文献１の電子装置では、静電容量を十分に大きくすることができないことがあった。

先行技術文献

特許文献

[0004] 特許文献1：特表２００９－５１５３５３号公報

発明の概要

[0005] 本開示は、静電容量を大きくしやすいキャパシタを提供することと、このキャパシタの製造方法と、を提供することを目的とする。

[0006] 本開示の一態様に係るキャパシタは、シリコン基板と、導電体層と、誘電体層と、を備える。前記シリコン基板は、容量発現領域及び非容量発現領域を含む主面を有し、前記容量発現領域において厚み方向に設けられた多孔質部を備える。前記導電体層は、少なくとも前記容量発現領域の表層の一部を覆う表層部と、前記多孔質部の細孔の少なくとも一部に充填されている充填部とを含む。前記誘電体層は、前記細孔の内面と前記充填部との間に介在している。

[0007] 本開示の一態様に係るキャパシタの製造方法は、容量発現領域及び非容量発現領域を含む主面を有するシリコン基板の前記非容量発現領域上にマスキング層を設ける工程を含む。また前記キャパシタの製造方法は、陽極酸化処理によって、前記マスキング層で覆われていない前記容量発現領域に細孔を形成することで、前記容量発現領域において前記シリコン基板の厚み方向に設けられた多孔質部を形成する工程を含む。また前記キャパシタの製造方法は、前記細孔の内面に誘電体層を形成する工程を含む。また前記キャパシタの製造方法は、前記細孔の少なくとも一部に充填した充填部と、少なくとも前記容量発現領域の表層の一部を覆う表層部と、を含む導電体層を形成する工程を含む。

図面の簡単な説明

[0008] [図1]図１Ａは、本開示の一実施形態に係るキャパシタの一例を示す概略の斜視図である。図１Ｂは、図１Ａに示すキャパシタの要部の拡大図である。

[図2]図２Ａ～図２Ｄは、本開示の一実施形態に係るキャパシタの製造方法の一例を説明するための概略の斜視図である。

[図3]図３Ａ～図３Ｃは、本開示の一実施形態に係るキャパシタの製造方法の一例を説明するための概略の斜視図である。

[図4]図４は、本開示の一実施形態に係るキャパシタの製造方法の一例を説明するための概略の斜視図である。

[図5]図５Ａ～図５Ｅは、本開示の一実施形態に係るキャパシタの製造方法の一例を説明するための概略の斜視図である。

[図6]図６Ａは、陽極酸化処理後のシリコン基板の要部の拡大図である。図６Ｂは、熱酸化処理後のシリコン基板の要部の拡大図である。図６Ｃは、酸化物除去後のシリコン基板の要部の拡大図である。図６Ｄは、誘電体層形成後のシリコン基板の要部の拡大図である。

[図7]図７Ａは、陽極酸化処理後のシリコン基板の要部を走査電子顕微鏡（ＳＥＭ）により撮影した写真（倍率３０００倍）である。図７Ｂは、第二多孔質部除去後のシリコン基板の要部をＳＥＭにより撮影した写真（倍率３００

０倍）である。

[図8]図８Ａは、図１Ａに示すキャパシタの変形例を示す概略の斜視図である。図８Ｂは、図８Ａに示すキャパシタが備える多孔質部の要部の拡大図である。

[図9]図９は、図１Ａに示すキャパシタの変形例が備える多孔質部の要部の拡大した断面図である。

[図10]図１０は、図１Ａに示すキャパシタの変形例を示す概略の斜視図である。

発明を実施するための形態

[0009] １．第１実施形態

（１）概要

本実施形態に係るキャパシタ１００は、図１Ａ及び図１Ｂに示すように、シリコン基板１と、導電体層２と、誘電体層３とを備える。シリコン基板１は、容量発現領域１１及び非容量発現領域１２を含む主面１０を有し、容量発現領域１１において厚み方向に設けられた多孔質部１３を備える。導電体層２は、少なくとも容量発現領域１１の表層の一部を覆う表層部２１と、多孔質部１３の細孔１３０の少なくとも一部に充填されている充填部２２とを含む。誘電体層３は、細孔１３０の内面と充填部２２との間に介在している。

[0010] 本実施形態のキャパシタ１００では、シリコン基板１が第一電極を構成し、導電体層２が第一電極とは異なる第二電極を構成することができ、そのためシリコン基板１、誘電体層３、及び導電体層２が積層される部分において、静電容量が発現される。一般的に、キャパシタ１００の静電容量は、電極（第一電極及び第二電極）の表面積を大きくすることによって大きくすることができる。本実施形態のキャパシタ１００では、シリコン基板１の主面１０における容量発現領域１１において厚み方向に設けられた多孔質部１３と、多孔質部１３内に充填された充填部２２とによって、第一電極及び第二電極の表面積を確保しやすく、それによりキャパシタ１００の静電容量を大き

くすることができる。

[0011] また本実施形態のキャパシタ１００では、シリコン基板１の主面１０全体を多孔質化することなく、容量発現領域１１において多孔質部１３を形成しているため、主面１０全体を多孔質化する場合と比べて、シリコン基板１の強度の低下を抑制することができる。

[0012] （２）詳細

以下、本実施形態のキャパシタ１００と、このキャパシタ１００の製造方法とについて、詳細に説明する。

[0013] （２．１）キャパシタ

本実施形態のキャパシタ１００は、上述の通り、シリコン基板１と、導電体層２と、誘電体層３とを備える。また本実施形態のキャパシタ１００は、無機絶縁層４及び接触端子５を更に備える。本実施形態のキャパシタ１００が備えるこれらの構成について、各構成毎に以下に説明する。

[0014] ＜シリコン基板＞

シリコン基板１は、上述の通り電極を構成する部材であり、本実施形態のシリコン基板１は第一電極を構成する。そのためシリコン基板１は導電性を有する。

[0015] シリコン基板１は、集積回路の製造等に使用される一般的なシリコン製の基板であれば、特に限定されない。シリコン基板１は、ｐ型半導体であってもよく、ｎ型半導体であってもよい。シリコン基板１がｐ型半導体である場合、ホウ素、アルミニウム等の元素が微量添加（ドーピング）され得る。またシリコン基板１がｎ型半導体である場合、リン、ヒ素などの元素が微量添加（ドーピング）され得る。

[0016] シリコン基板１の厚みは、特に限定されないが、例えば４００μｍ以上であることが好ましく、１０００μｍ以下であることが好ましい。

[0017] シリコン基板１は平面視（シリコン基板１の厚み方向に視て）矩形状であるが、シリコン基板１の平面視の形状は、これに限定されない。例えばシリコン基板１は、平面視で三角形状であってもよく、三角形以上の多角形状で

あってもよく、円形であってもよい。なお、平面視とは、シリコン基板１をその厚み方向で見ることを意味する。

[0018] シリコン基板１は、図１Ａ及び図１Ｂに示すように、主面１０（以下、主面１０を第一主面１０ともいう）と、主面１０とは反対側に位置する第二主面１４とを備える。

[0019] 本実施形態のシリコン基板１では、第一主面１０が容量発現領域１１及び非容量発現領域１２を含む。容量発現領域１１は、キャパシタ１００において、静電容量を発現させることを目的として形成された領域である。このため、非容量発現領域１２は、第一主面１０における容量発現領域１１以外の領域であって、また静電容量が発現されない領域ではなく、非容量発現領域１２において静電容量が発現してもよい。また本実施形態では、非容量発現領域１２の表面は酸化されている。すなわち、非容量発現領域１２の表面は、シリコン基板１の酸化物から形成されており、例えば酸化ケイ素（SiO_2）製である。このため本実施形態のキャパシタ１００では、非容量発現領域１２上に、酸化ケイ素製の酸化被膜１２０が形成されている。

[0020] 容量発現領域１１の大きさは、第一主面１０の大きさにもよるが、例えば$4\times10^2\mu m^2$以上であることが好ましく、$1mm^2$以下であることが好ましい。

[0021] 本実施形態では、第一主面１０の容量発現領域１１において、厚み方向に多孔質部１３が設けられている（図１Ａ及び図１Ｂ参照）。本実施形態の多孔質部１３は細孔１３０を備える。本実施形態では、細孔１３０は、縦長の孔である（図６Ａ～図６Ｄ参照）。具体的には、細孔１３０は、容量発現領域１１の複数箇所から主面１０と交差する一方向（本実施形態では、シリコン基板１の厚み方向）に沿って延びている。換言すると、細孔１３０は、多孔質部１３に複数設けられた微細な非貫通孔であり、第一主面１０の容量発現領域１１から第二主面１４に向かって形成されている。このため、細孔１３０に含まれる複数の非貫通孔は、第一主面１０の容量発現領域１１において開口している。上述のように、本実施形態では、細孔１３０は、シリコン

基板１の厚み方向に沿って延びている。複数の細孔１３０は、ほぼ平行に並んでいる。これにより、多孔質部１３が有する細孔１３０の内面の表面積を大きくすることができ、キャパシタ１００の静電容量を大きくすることができる。

[0022] また細孔１３０に含まれる複数の非貫通孔が全て繋がっていてもよく、細孔１３０に含まれる複数の非貫通孔に、繋がっていない（独立した）非貫通孔が含まれていてもよい。多孔質部１３は、容量発現領域１１の全体に設けられていてもよく、容量発現領域１１の一部に設けられていてもよい。また非容量発現領域１２には、細孔１３０に含まれる微細な非貫通孔の開口がほとんど設けられていないが、細孔１３０に含まれる微細な非貫通孔の一部が、非容量発現領域１２の下方（シリコン基板１の非容量発現領域１２と厚み方向で重なる部分）に設けられていてもよい。例えば図１Ｂに示すように、多孔質部１３の角部１３３は、シリコン基板１の容量発現領域１１と厚み方向で重なる部分から、シリコン基板１の非容量発現領域１２と厚み方向で重なる部分に食い込んでいる。すなわち、角部１３３が非容量発現領域１２の下方に設けられていてもよく、角部１３３が非容量発現領域１２と厚み方向で重なっていてもよい。また角部１３３は多孔質部１３の一部であることから、本実施形態では、多孔質部１３の一部が、シリコン基板１の非容量発現領域１２と厚み方向で重なる部分に食い込んでいてもよい。すなわち、多孔質部１３の一部は、シリコン基板１の非容量発現領域１２と厚み方向で重なっていてもよい。またシリコン基板１の非容量発現領域１２と厚み方向で重なる部分に、多孔質部１３の一部が存在していてもよい。

[0023] 多孔質部１３の厚み（容量発現領域１１の表層１１０から多孔質部１３の底までの距離）は、３０μｍ以上であることが好ましい。この場合、細孔１３０の内面の表面積を確保しやすく、キャパシタ１００の静電容量を向上させやすい。なお、多孔質部１３の厚みとは、第一主面１０から細孔１３０の底までのシリコン基板１の厚み方向に沿う方向の距離の平均値を意味する。また多孔質部１３の厚みは、例えば５０μｍ以下であることが好ましい。こ

の場合、多孔質部１３に導電体層２（充填部２２）を形成する際に、多孔質部１３が破損することを抑制することができる。例えば、後述の多孔質部形成工程において、陽極酸化処理を行う時間を調整することで、多孔質部１３の厚みを調整することができる。

[0024] また多孔質部１３においては、細孔１３０の一部が第二主面１４に達していてもよい。すなわち、多孔質部１３の一部がシリコン基板１の主面１０の反対側に位置する第二主面１４側に表出していてもよい。この場合、多孔質部１３の厚みの最大値が、シリコン基板１の厚みと同様となる。

[0025] 図１Ａ及び図１Ｂに示すキャパシタ１００では、容量発現領域１１全体に多孔質部１３が設けられている。また多孔質部１３は、上述の通り、複数の微細な非貫通孔が含まれている。細孔１３０に含まれる非貫通孔の直径の平均値は、１００ｎｍ以上であることが好ましい。この場合、多孔質部１３の強度を確保しやすく、多孔質部１３の細孔１３０内に後述の導電体層２（充填部２２）を充填する際に、多孔質部１３に破損が生じることを抑制することができる。また細孔１３０に含まれる非貫通孔の直径の平均値は、５μｍ以下であることが好ましい。この場合、細孔１３０の内面の表面積を大きくしやすく、キャパシタ１００の静電容量を大きくしやすい。また細孔１３０に含まれる非貫通孔の直径の平均値は、特に１μｍ以上４μｍ以下であることが好ましい。この場合、キャパシタ１００の静電容量の確保と、多孔質部１３の強度とを両立させることができる。

[0026] 本実施形態では、多孔質部１３の拡面率が２００以上であることが好ましい。この多孔質部１３の拡面率とは、多孔質部１３を見た面の面積（容量発現領域１１の面積）に対する多孔質部１３の実際の表面積（細孔１３０の内面の表面積）の比を意味する。すなわち、多孔質部１３の表面積は、容量発現領域１１の面積の２００倍以上であることが好ましい。この場合、キャパシタ１００の静電容量を向上させることができる。多孔質部１３の拡面率は５０００以下であることが好ましい。すなわち、多孔質部１３の表面積は、容量発現領域１１の面積の５０００倍以下であることが好ましい。この場合

、多孔質部１３の強度を確保しやすく、多孔質部１３の細孔１３０内に後述の導電体層２（充填部２２）を充填する際に、多孔質部１３に破損が生じることを抑制することができる。キャパシタ１００の静電容量と多孔質部１３の強度とを両立させるためには、多孔質部１３の拡面率が５００以上２０００以下であることが特に好ましい。すなわち、多孔質部１３の表面積は、容量発現領域１１の面積の５００倍以上２０００倍以下であることが特に好ましい。

[0027] ＜導電体層＞

導電体層２は、上述の通り電極を構成する部材であり、本実施形態の導電体層２は、第一電極とは異なる第二電極を構成する。そのため導電体層２は、導電性を有する。

[0028] 導電体層２は、導電性を有する材料製であることが好ましい。本実施形態のキャパシタ１００の製造に適した導電性を有する材料の例には、ポリシリコン、白金、ルテニウム等が含まれる。そのため本実施形態の導電体層２は、ポリシリコン、白金、及びルテニウムからなる群から選択される少なくとも一種を含むことが好ましい。これらの材料は、抵抗値が低い材料であるため、導電体層２の導電性を向上させることができる。特に導電体層２は、ポリシリコンを含むことが好ましい。この場合、キャパシタ１００の等価直列抵抗（ＥＳＲ）を低減することができる。また導電体層２がポリシリコンを含むことにより、シリコン基板１と導電体層２との線膨張係数差を少なくすることができ、キャパシタ１００の温度が上昇しても、線膨張係数差に伴う応力の発生を抑制することができる。また導電体層２がポリシリコンを含む場合、このポリシリコンが不純物（ドーパント）でドーピングされていることが好ましい。この場合、ポリシリコンのバンドギャップを低減することができ、導電体層２の導電性を向上させることができる。このドーパントとしては、例えばホウ素（Ｂ）、リン（Ｐ）、ヒ素（Ａｓ）等が挙げられる。

[0029] 本実施形態の導電体層２は、表層部２１と充填部２２とを含む（図１Ａ及び図１Ｂ参照）。

[0030] 表層部２１は、容量発現領域１１において、多孔質部１３の表面の少なくとも一部を覆っている。換言すると表層部２１は、多孔質部１３の細孔１３０に含まれる多数の非貫通孔の開口上に設けられており、これらの開口を塞いでいるともいえる。多孔質部１３の表面は、容量発現領域１１の表層１１０であることから、表層部２１は容量発現領域１１の表層１１０の少なくとも一部を覆っている。表層部２１は、容量発現領域１１の表層１１０の全体を覆っていてもよく、容量発現領域１１の表層１１０の全体を覆っておらず、表層部２１が容量発現領域１１の表層１１０の一部を覆っていなくてもよい。表層部２１の厚みは１μｍ以上であることが好ましい。この場合、表層部２１の強度を向上させることができ、それにより表層部２１と繋がっている充填部２２の強度も向上させることができ、導電体層２の強度を向上させることができる。また表層部２１の厚みは２００μｍ以下であることが好ましい。この場合、キャパシタ１００の等価直列抵抗（ＥＳＲ）の増大を抑制することができる。

[0031] 充填部２２は、多孔質部１３に含まれる細孔１３０の内部の少なくとも一部に充填されている。そのため、細孔１３０を構成する多数の非貫通孔の少なくとも一部の内部に、導電体層２の一部である充填部２２が充填されている。すなわち、細孔１３０の内部は、充填部２２で完全に充填されていてもよく、充填部２２で充填されていない部分があってもよい。本実施形態のキャパシタ１００では、充填部２２と表層部２１とが繋がっていることが好ましい。具体的には、細孔１３０に含まれる多数の微細な非貫通孔の開口部分において、充填部２２と表層部２１とが繋がっていることが好ましい。

[0032] 本実施形態のキャパシタ１００では、非容量発現領域１２の一部分の上にも導電体層２が設けられている。この非容量発現領域１２上の導電体層２と、シリコン基板１との間に、絶縁性の被膜が介在することにより、非容量発現領域１２においても静電容量を発現することができる。また本実施形態のキャパシタ１００では、この非容量発現領域１２上の導電体層２と表層部２１とが繋がっている。本実施形態では、表層部２１と充填部２２とが繋がっ

ていることから、非容量発現領域１２上の導電体層２、表層部２１、及び充填部２２が繋がっている。非容量発現領域１２上に設けられた導電体層２と、表層部２１とは面一であってもよいが、面一でなくてもよい。本実施形態のキャパシタ１００では、非容量発現領域１２上の導電体層２と表層部２１とが面一ではなく、二つの境界部分には段差があり、表層部２１が、非容量発現領域１２上の導電体層２よりも低くなっている。この表層部２１と非容量発現領域１２上の導電体層２との段差の大きさは、例えば０．２μｍ以上２．０μｍ以下であることが好ましい。

[0033] ＜誘電体層＞

誘電体層３は絶縁性の被膜である。また本実施形態のキャパシタ１００では、多孔質部１３に含まれる細孔１３０の内面と、導電体層２の一部であり、かつ、細孔１３０内に充填された充填部２２との間に介在している。

[0034] 誘電体層３の材質は、絶縁性を有していれば特に限定されないが、例えば酸化ケイ素（SiO_2）製であることが好ましい。この場合、シリコン基板１の一部である多孔質部１３に含まれる細孔１３０の内面を酸化させることによって、誘電体層３を形成することができる。さらに誘電体層３は、ＯＮＯ膜（Oxide/Nitride/Oxide膜）でもよい。ＯＮＯ膜は、図６Ｄに示すように、第一シリコン酸化膜３１（SiO_2）と、窒化膜３３（Si_3N_4）と、第二シリコン酸化膜３２（SiO_2）と、を有する。第一シリコン酸化膜３１、窒化膜３３、及び第二シリコン酸化膜３２がこの順に積層されてＯＮＯ膜が形成されている。他に誘電体層３の材質としては、例えば、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化バナジウム、酸化タングステン、酸化ニオブ、酸化タンタル、及び酸化アルミニウムが挙げられる。

[0035] 誘電体層３の膜厚は、例えば１０ｎｍ以上であることが好ましい。この場合、細孔１３０の内面と充填部２２とを絶縁しやすい。また誘電体層３の膜厚は、例えば５００ｎｍ以下であることが好ましい。この場合、細孔１３０内に充填部２２を充填しやすくすることができ、充填部２２の強度を向上させやすく、導電体層２の強度も向上させやすい。

[0036] ＜無機絶縁層＞

本実施形態のキャパシタ１００は、無機絶縁層４を備える。無機絶縁層４は、無機材料製の絶縁性の被膜である。無機絶縁層４は、第一電極を構成するシリコン基板１と、第二電極を構成する導電体層２との短絡（ショート）を抑制するために用いられる。

[0037] 本実施形態のキャパシタ１００では、無機絶縁層４が非容量発現領域１２上に設けられている。これにより、非容量発現領域１２において、シリコン基板１と導電体層２とを絶縁しやすい。無機絶縁層４は、非容量発現領域１２の全面に設けられていてもよく、非容量発現領域１２の全面に設けられていなくてもよい。本実施形態のキャパシタ１００では、非容量発現領域１２の全面上に、無機絶縁層４が設けられている。無機絶縁層４の膜厚は、例えば０．５μｍ以上であることが好ましい。この場合、後述の多孔質部１３を形成する工程において、無機絶縁層４の破損を抑制することができる。また無機絶縁層４の膜厚の上限値は、特に限定されないが、例えば２．０μｍ以下であることが好ましい。

[0038] 無機絶縁層４の材料としては、絶縁性を有する無機材料製であれば、特に限定されない。本実施形態では、無機絶縁層４が少なくとも窒化ケイ素（ＳｉＮ）を含むことが好ましい。この場合、無機絶縁層４の絶縁性を十分に確保できると共に、後述の多孔質部１３を形成する工程においても無機絶縁層４の破損を抑制することができ、更にシリコン基板１との線膨張係数の差を小さくできるため、キャパシタ１００の反りも抑制できる。もちろん無機絶縁層４は、窒化ケイ素以外の成分を含んでいてもよい。

[0039] 本実施形態のキャパシタ１００では、非容量発現領域１２上に設けられた導電体層２と、シリコン基板１との間に、無機絶縁層４が介在している。すなわち、シリコン基板１（非容量発現領域１２）、無機絶縁層４、導電体層２の順に積層されている。そのため、本実施形態のキャパシタ１００では、非容量発現領域１２における導電体層２が設けられた部分において、静電容量を発現させることができる。

[0040] ＜接触端子＞

本実施形態のキャパシタ１００は、接触端子５を備える。接触端子５は、例えばキャパシタ１００を基板に実装する際に、基板とキャパシタ１００との接続に用いられ得る。接触端子５の材質は、電子部品の接点等に用いられる導電性に優れた材料製であれば、特に限定されないが、金、銀、銅、白金、ルテニウム等が含まれる。本実施形態では、接触端子５が、金メッキが施されたチタニウム製であることが好ましい。この場合、接触端子５の強度と導電性とを両立させることができる。接触端子５の平面視の形状は、特に限定されない。

[0041] 本実施形態の接触端子５は、第一接触端子５１及び第二接触端子５２を含む。第一接触端子５１及び第二接触端子５２は、いずれもシリコン基板１の上方に設けられ、シリコン基板１の上方で外部に露出している。

[0042] 第一接触端子５１は、シリコン基板１とオーミック接触することにより、第一電極を構成するシリコン基板１と電気的に接続されている。具体的には、第一接触端子５１は、無機絶縁層４に設けられた貫通孔内に配置されると共に、その一部が無機絶縁層４上に設けられている。本実施形態のキャパシタ１００では、第一接触端子５１の無機絶縁層４の貫通孔内に設けられた部分は、第一接触端子５１の無機絶縁層４上に設けられた部分よりも窪んでいる。また本実施形態のキャパシタ１００では、シリコン基板１の表面に酸化ケイ素製の酸化被膜１２０が設けられているが、第一接触端子５１はこの酸化被膜１２０を貫通してシリコン基板１とオーミック接触している。そのため、第一接触端子５１とシリコン基板１とを電気的に接続することができる。第一接触端子５１における無機絶縁層４上に設けられた部分の厚みは、強度及び接続信頼性を確保するため、２００ｎｍ以上５００ｎｍ以下であることが好ましい。

[0043] 第二接触端子５２は、導電体層２とオーミック接触することにより、第二電極を構成する導電体層２と電気的に接続されている。具体的には、第二接触端子５２は、非容量発現領域１２の上方に設けられた導電体層２上に配置

されている。それにより、第二接触端子５２と、非容量発現領域１２上の導電体層２とがオーミック接触され、第二接触端子５２と、非容量発現領域１２上の導電体層２とが電気的に接続される。また本実施形態のキャパシタ１００では、非容量発現領域１２の導電体層２と表層部２１とが繋がり、また表層部２１と充填部２２とが繋がっている。そのため、本実施形態のキャパシタ１００では、第二接触端子５２は表層部２１と電気的に接続されると共に、第二接触端子５２は充填部２２と電気的に接続される。第二接触端子５２の厚みは、強度及び接続信頼性を確保するため、２００ｎｍ以上５００ｎｍ以下であることが好ましい。

[0044] 第一接触端子５１と第二接触端子５２との高さの差は、２．０μｍ以下であることが好ましい。この場合、第一接触端子５１及び第二接触端子５２を使用して、基板等に実装しやすい。

[0045] （２．２）キャパシタの製造方法

以下、本実施形態のキャパシタ１００の製造方法について説明する。本実施形態のキャパシタ１００の製造方法は、マスキング工程、多孔質部形成工程、誘電体層形成工程、及び導電体層形成工程を含む。これらの工程について、図２Ａ～図２Ｄ、図３Ａ～図３Ｄ、図４、及び図５Ａ～図５Ｅを参照しながら説明する。

[0046] ＜マスキング工程＞

マスキング工程では、容量発現領域１１及び非容量発現領域１２を含む主面１０を有するシリコン基板１の非容量発現領域１２上にマスキング層４０を設ける。具体的には、以下の方法によって、マスキング層４０を形成する。

[0047] まず、図２Ａに示すように、シリコン基板１を用意する。

[0048] 次に、図２Ｂに示すようにシリコン基板１に熱酸化処理を行う。これにより、シリコン基板１の第一主面１０上に酸化ケイ素製の酸化被膜１２０が形成されると共に、第二主面１４上に酸化ケイ素製の酸化被膜１４０が形成される、これにより、シリコン基板１の第一主面１０及び第二主面１４の絶縁

性を確保することができる。熱酸化処理の条件は、例えば、酸素雰囲気下で、加熱温度１０００℃以上１２００℃以下であることが好ましい。本実施形態では、第一主面１０の全面上に酸化被膜１２０が形成される。この酸化被膜１２０によって、シリコン基板１の第一主面１０の絶縁性を確保することができる。

[0049] 次に、図２Ｃに示すように、第一主面１０に設けられた酸化被膜１２０上に、マスキング層４０を形成する。本実施形態では、酸化被膜１２０の全面上にマスキング層４０が形成される。マスキング層４０は、後述の陽極酸化処理によって劣化及び変質しにくい被膜を使用することが好ましい。マスキング層４０は、例えば、クロム、金等の金属の被膜、プリント配線板等の製造に使用されるレジスト材料として用いられる有機樹脂製の被膜、又は窒化ケイ素製の被膜であることが好ましい。特に本実施形態では、マスキング層４０が窒化ケイ素製の被膜であることが好ましい。この場合、キャパシタ１００に窒化ケイ素を含むマスキング層が残っている場合に、シリコン基板１とマスキング層４０との線膨張係数差を低減することができ、キャパシタ１００に反りが生じることを抑制することができる。以下の説明では、マスキング層４０が窒化ケイ素製である場合について説明する。マスキング層４０が窒化ケイ素製である場合、マスキング層４０は例えば化学気相成長法（ＣＶＤ：ｃｈｅｍｉｃａｌ ｖａｐｏｒ ｄｅｐｏｓｉｔｉｏｎ）、プラズマＣＶＤ法等の方法によって作製することができる。

[0050] 次に、図２Ｄに示すように、マスキング層４０における容量発現領域１１と重なる部分を、公知の方法によって取り除く（パターニングする）。この際、酸化被膜１２０における容量発現領域１１と重なる部分も取り除く。これにより、非容量発現領域１２上にマスキング層４０を残存させることができる。また第一主面１０の容量発現領域１１を露出させることができる。また非容量発現領域１２においては、酸化被膜１２０及びマスキング層４０がこの順に積層される。マスキング層４０にパターニングを行う方法としては、特に限定されないが、例えばプラズマエッチングを使用することができる

。

[0051] またマスキング工程では、第二主面１４上に形成された酸化被膜１４０を取り除くことが好ましい（図２Ｄ参照）。

[0052] また上述の方法では、第一主面１０の全面に形成されたマスキング層４０から容量発現領域１１と重なる部分を取り除くことで、非容量発現領域１２上にマスキング層４０を残存させているが、これに限定されない。例えば非容量発現領域１２上のみにマスキング層４０を直接形成してもよい。この場合、酸化被膜１２０の容量発現領域１１と重なる部分を取り除く必要がある。

[0053] ＜多孔質部形成工程＞

多孔質部形成工程では、陽極酸化処理によって、マスキング層４０で覆われていない容量発現領域１１に細孔１３０を形成することで、容量発現領域１１においてシリコン基板１の厚み方向に設けられた多孔質部１３を形成する。具体的には、以下の方法によって多孔質部１３を形成する。

[0054] まず、図３Ａに示すように、第二主面１４上に裏面電極１４１を形成する。裏面電極１４１は、シリコン基板１に陽極酸化処理を行う際に使用する電極であり、導電性の被膜である。このため、シリコン基板１と裏面電極１４１とはオーミック接触していることが好ましく、それによりシリコン基板１と裏面電極１４１とが電気的に接続されていることが好ましい。本実施形態では、第二主面１４の全面上に裏面電極１４１を形成することが好ましい。

[0055] 次に、図３Ｂに示すように、シリコン基板１に陽極酸化処理を行う。具体的には、シリコン基板１を混合液中に配置し、第二主面１４上に設けられた裏面電極１４１と、酸を含む混合液との間で、電流を流す。それにより、露出している容量発現領域１１に細孔１３０が形成される。これに対して、マスキング層４０で覆われた非容量発現領域１２では細孔１３０が形成されない。そして容量発現領域１１に細孔１３０が形成されることにより、容量発現領域１１にシリコン基板１の厚み方向に設けられた多孔質部１３が形成される。本実施形態では、陽極酸化処理において使用する混合液として、フッ

酸（ＨＦ）とエタノールとの混合液を使用することが好ましい。この場合、シリコン基板１に多孔質部１３を形成しやすい。

[0056] 次に、図３Ｃに示すように、第二主面１４上に設けられた裏面電極１４１を取り除く。

[0057] 上述の通り、多孔質部１３の表面積（細孔１３０の内面の表面積）を大きくすることにより、キャパシタ１００の静電容量を大きくすることができるが、多孔質部１３の表面積は、細孔１３０に含まれる微細な非貫通孔の直径及び深さに影響される。この非貫通孔の直径及び深さは、例えば、以下の（ａ）～（ｃ）によって制御することができる。

[0058] （ａ）シリコン基板１の導電率、すなわち、シリコン基板１に含まれる不純物の量

（ｂ）混合液中のフッ酸の濃度

（ｃ）容量発現領域１１の面積に対する、裏面電極１４１と混合液との間に流れる電流の値で表される電流密度（Ａ／ｃｍ^2）

[0059] 例えば本実施形態では、混合器中のフッ酸の濃度は、１重量％以上８０重量％以下が好ましく、２０重量％以上４０重量％以下が好ましい。この場合、フッ酸によるマスキング層４０の劣化及び変質を抑制できると共に、細孔１３０に含まれる非貫通孔の直径の平均値を１００ｎｍ以上５μｍ以下の範囲内に調整することができる。

[0060] またシリコン基板１に陽極酸化処理を施す際、多孔質部１３の角部１３３に対応する部分に電界が集中する傾向がある。そのため、多孔質部１３の角部１３３は、図１Ｂに示すように、シリコン基板１の容量発現領域１１と厚み方向で重なる部分から、シリコン基板１の非容量発現領域１２と厚み方向で重なる部分に食い込んで形成される。

[0061] またシリコン基板１がｎ型半導体である場合には、シリコン基板１に対して光照射を行ってから、陽極酸化処理を行うことが好ましい。具体的には、シリコン基板１に熱酸化処理を行う前に、シリコン基板１に対して光照射を行うことが好ましい。

[0062] 好ましくは、シリコン基板１を多孔質化した後、誘電体層形成工程の前に、不純物拡散を行って多孔質部１３の細孔１３０の内面に、不純物の高濃度領域を形成する。不純物拡散の方式としては、例えば、熱拡散方式が挙げられる。不純物としては、例えば、リン（Ｐ）及びボロン（Ｂ）が挙げられる。上記のように、細孔１３０の内面に不純物の高濃度領域を形成することで、キャパシタ１００の等価直列抵抗（ＥＳＲ）を低減することができる。さらに空乏層（電気的に絶縁された領域）を形成しにくくして、キャパシタ１００の静電容量が小さくなるのを抑制することができる。

[0063] ＜誘電体層形成工程＞

誘電体層形成工程では、細孔１３０の内面に誘電体層３を形成する。具体的には、上述の多孔質部形成工程において多孔質部１３が形成されたシリコン基板１に、熱酸化処理を行う。それにより、多孔質部１３に含まれる細孔１３０の内面が酸化される。多孔質部１３はシリコン基板１の一部であることから、細孔１３０の内面が酸化されることにより、酸化ケイ素製の被膜が形成され、誘電体層３が得られる（図４参照）。また熱酸化処理は、誘電体層３によって、少なくとも細孔１３０の内面の絶縁性を確保できるように行う必要がある。熱酸化処理の条件は、例えば、酸素雰囲気下で、加熱温度８００℃以上１２００℃以下であることが好ましい。また、さらに化学気相成長法（ＣＶＤ：chemical vapor deposition）によって形成された窒化ケイ素を、誘電体として使用できる。

[0064] ＜導電体層形成工程＞

導電体層形成工程では、細孔１３０の少なくとも一部に充填した充填部２２と、少なくとも容量発現領域１１の表層１１０の一部を覆う表層部２１と、を含む導電体層２を形成する。具体的には、以下の方法によって導電体層２を形成する。

[0065] まず、図５Ａに示すように、シリコン基板１の第一主面１０の全面上に導電体層２を形成する。すなわち、容量発現領域１１及び非容量発現領域１２上を覆うように、導電体層２を形成する。上述の通り導電体層２は、ポリシ

リコン、白金、及びルテニウムからなる群から選択される少なくとも一種を含む。例えば導電体層２がポリシリコンを含む場合には、化学気相成長法（ＣＶＤ：chemical vapor deposition）によって、導電体層２を形成することができる。ＣＶＤによってポリシリコン製の導電体層２を形成する場合、細孔１３０内の少なくとも一部に、ポリシリコンが充填される。この細孔１３０内に充填されたポリシリコンの層が導電体層２の充填部２２となる。また容量発現領域１１の表層１１０上にもポリシリコンの層が形成される。この表層１１０上に形成されたポリシリコンの層が導電体層２の表層部２１となる。また第一主面１０の全面上に導電体層２を形成することにより、非容量発現領域１２上にもポリシリコンの層が形成される。ＣＶＤによってポリシリコン製の導電体層２を形成する際の温度は、特に限定されないが、例えば４００℃以上９００℃以下であることが好ましい。

[0066] 次に、図５Ｂに示すように、第一主面１０の全面上に形成された導電体層２のうち、非容量発現領域１２と重なる部分の一部を取り除く。これにより、非容量発現領域１２上に設けられたマスキング層４０を露出させる。また本実施形態では、非容量発現領域１２上に導電体層２の一部を残存させる。そのため、非容量発現領域１２上の導電体層２が残存した部分では、マスキング層４０が露出しておらず、酸化被膜１２０、マスキング層４０、及び導電体層２がこの順に積層される。導電体層２を取り除く方法は、特に限定されないが、例えば、半導体レーザを使用することができる。

[0067] 次に、図５Ｃに示すように、非容量発現領域１２上で露出したマスキング層４０及び酸化被膜１２０の一部を取り除く。これにより、非容量発現領域１２において、シリコン基板１を露出させることができる。また非容量発現領域１２におけるマスキング層４０及び酸化被膜１２０で覆われた部分では、絶縁性を確保することができる。また非容量発現領域１２上に設けられたマスキング層４０が、図１Ａ及び図１Ｂに示すキャパシタ１００が備える無機絶縁層４となる。そのため、本実施形態のように、マスキング層４０が窒化ケイ素製であれば、窒化ケイ素を含む無機絶縁層４が得られる。

[0068] 次に、図５Ｄに示すように、第一主面１０の全面を接触端子５の材料として用いる金属の層５０で覆ってから、図５Ｅに示すように層５０の一部を残して取り除き、第一接触端子５１及び第二接触端子５２を形成する。具体的には、金属の層５０における、非容量発現領域１２上でシリコン基板１が露出した部分上に位置する部分と、その周辺とを残存させることによって、第一接触端子５１を作製することができる。また金属の層５０における、非容量発現領域１２上に設けられた導電体層２上に位置する部分を残存させることにより、第二接触端子５２を作製することができる。

[0069] 以上の工程により、図１Ａ及び図１Ｂに示すキャパシタ１００を作製することができる。

[0070] ２．第２実施形態

（１）概要

次に、第２実施形態のキャパシタ１００の製造方法について、図面を参照して説明する。第２実施形態では、第１実施形態と同様の構成要素には第１実施形態と同一の符号を付して詳細な説明を省略する場合がある。

[0071] 上述した第１実施形態のキャパシタ１００の製造方法では、陽極酸化処理後に、図６Ａ及び図７Ａに示すように、多孔質部１３（いわばマクロポーラス）の細孔１３０内に、別の多孔質部１３ｂ（いわばナノポーラス）が詰まっている場合があり得る。第２実施形態では、上記の別の多孔質部１３ｂを細孔１３０内から除去するようにしている。すなわち、第２実施形態のキャパシタ１００の製造方法は、多孔質部１３ｂの除去工程を更に含む点で、第１実施形態のキャパシタ１００の製造方法とは相違する。

[0072] 第２実施形態によれば、細孔１３０内から多孔質部１３ｂを除去することで、細孔１３０内に誘電体層３を形成しやすくなる（図６Ｄ参照）。なお、図６Ａ～図６Ｄは、説明を理解しやすくするための模式的な図である。

[0073] （２）詳細

以下、第２実施形態のキャパシタ１００の製造方法について、図面を参照して更に詳細に説明する。

[0074] 第２実施形態では、第１実施形態の多孔質部１３及び細孔１３０を、それぞれ第一多孔質部１３ａ及び第一細孔１３０ａと称する。

[0075] 図６Ａに示すように、第一多孔質部１３ａは、いわばマクロポーラスである。第一多孔質部１３ａは、複数の第一細孔１３０ａを有する。複数の第一細孔１３０ａは、容量発現領域１１の複数箇所から主面１０と交差する一方向（本実施形態では、シリコン基板１の厚み方向）に沿って延びている。つまり、各第一細孔１３０ａは縦長の孔である。

[0076] 第一細孔１３０ａの長さ（シリコン基板１の厚み方向に沿った長さ）の平均値は、特に限定されないが、例えば、３０μｍ以上５０μｍ以下である。第一細孔１３０ａの孔径（シリコン基板１の厚み方向に直交する面内における孔径）の平均値は、特に限定されないが、例えば、１００ｎｍ以上５μｍ以下である。このように、第一多孔質部１３ａは、ミクロンオーダーの第一細孔１３０ａを複数有するので、マクロポーラスである。

[0077] 一方、第二多孔質部１３ｂは、いわばナノポーラスである。第二多孔質部１３ｂは、複数の第二細孔１３０ｂを有する。各第二細孔１３０ｂの向きはランダムである。第二細孔１３０ｂの孔径は、第一細孔１３０ａの孔径よりも一回り以上小さい。具体的には、第二細孔１３０ｂの孔径の平均値は、特に限定されないが、例えば、３０ｎｍ以上５００ｎｍ以下である。第二細孔１３０ｂの孔径は、公知の手段、例えばＳＥＭ画像観察等で測定可能である。このように、第二多孔質部１３ｂは、ナノオーダーの第二細孔１３０ｂを複数有するので、ナノポーラスである。

[0078] 上述の図６Ａ及び図７Ａに示すように、第１実施形態のキャパシタ１００の製造方法では、陽極酸化処理後に、第一多孔質部１３ａの第一細孔１３０ａ内に、第二多孔質部１３ｂが詰まっている場合があり得る。すなわち、複数の第一細孔１３０ａの各々の内部に、第二多孔質部１３ｂが存在し得る。そして、個々の第二多孔質部１３ｂは、第一細孔１３０ａよりも一回り以上小さい第二細孔１３０ｂを複数有している。各第二多孔質部１３ｂの全体形状は、その第二多孔質部１３ｂが詰まっている第一細孔１３０ａの形状と、

ほぼ同様である。

[0079] 第２実施形態のキャパシタ１００の製造方法は、第一細孔１３０ａ内に存在する第二多孔質部１３ｂの少なくとも一部を除去する工程を更に含む。図６Ｃでは、第一細孔１３０ａ内に存在していた第二多孔質部１３ｂの全部を除去している。例えば、第一細孔１３０ａ内の底部に第二多孔質部１３ｂの一部が残っていてもよい。

[0080] 上記のように、第一細孔１３０ａ内から第二多孔質部１３ｂを除去することで、図６Ｄに示すように、第一細孔１３０ａ内に誘電体層３を形成しやすくなる。図６Ｄでは、誘電体層３をＯＮＯ膜（第一シリコン酸化膜３１／窒化膜３３／第二シリコン酸化膜３２）として図示しているが、これには限定されない。

[0081] さらに図６Ｄに示すように、第一細孔１３０ａ内に誘電体層３を形成してもなお、空洞部１３４が残っているので、この空洞部１３４に充填部２２も充填しやすくなる。充填部２２は、導電性を有する。これにより、キャパシタ１００の静電容量を大きくすることが可能である。

[0082] ここで、第二多孔質部１３ｂを第一細孔１３０ａ内から除去する手段は、特に限定されない。以下に、具体例として、第一の除去手段と、第二の除去手段と、を挙げる。

[0083] 第一の除去手段は、エッチング溶液（エッチャント）に対する反応速度の差を利用する手段である。第一多孔質部１３ａと第二多孔質部１３ｂとは表面積が相違する。第二多孔質部１３ｂは、第一多孔質部１３ａに比べて表面積が大きい。そのため、第二多孔質部１３ｂの方が、第一多孔質部１３ａよりも、エッチング溶液により除去されやすい。エッチング溶液としては、特に限定されないが、例えば、水酸化テトラメチルアンモニウム水溶液（ＴＭＡＨ）、フッ硝酸、及び水酸化カリウム水溶液（ＫＯＨ）が挙げられる。

[0084] 図７Ａは、陽極酸化処理後のシリコン基板１の要部をＳＥＭにより撮影した写真である（図６Ａに相当）。この写真からも明らかなように、第一多孔質部１３ａの第一細孔１３０ａ内に第二多孔質部１３ｂが詰まっているのが

確認される。エッチング溶液としてＴＭＡＨを用いて、第二多孔質部１３ｂを第一細孔１３０ａ内から除去した後の写真が図７Ｂである（図６Ｃに相当）。

[0085] 一方、第二の除去手段は、図６Ｂ及び図６Ｃに示すように、第二多孔質部１３ｂを酸化物１５とした後に除去する手段である。すなわち、除去する工程が、第二多孔質部１３ｂを酸化して酸化物１５とする工程（酸化工程）と、酸化物１５をエッチングにより除去する工程（酸化物除去工程）と、を含む。

[0086] 酸化工程では、熱酸化処理を行う。熱酸化処理の条件は、例えば、酸素雰囲気下で、加熱温度１０００℃以上１２００℃以下である。加熱時間は６０分程度である。

[0087] 上述のように、第二多孔質部１３ｂは、第一多孔質部１３ａに比べて表面積が大きい。そのため、第二多孔質部１３ｂの方が、第一多孔質部１３ａよりも酸素に触れる面積が大きく、より酸化されやすい。すなわち、酸素は、第二多孔質部１３ｂの第二細孔１３０ｂ内に入り込み、第二多孔質部１３ｂを酸化物１５（具体的には酸化シリコン）に化学変化させる。一方、第一多孔質部１３ａは、ほとんど酸化されず、非酸化物（具体的にはシリコン）として残存する。

[0088] 酸化物除去工程では、酸化物１５と非酸化物との間で高度な選択性を示すエッチング溶液を使用し、このエッチング溶液により酸化物１５を選択的に除去する（図６Ｃ参照）。エッチング溶液としては、特に限定されないが、例えば、フッ化水素酸が挙げられる。フッ化水素酸は、フッ化水素の水溶液であり、俗にフッ酸とも呼ばれる。

[0089] 上述のように、第二の除去手段では、第二多孔質部１３ｂを酸化物１５とすることで、図６Ｃに示すように、第二多孔質部１３ｂを第一細孔１３０ａ内から除去しやすくなる。

[0090] そして、第一細孔１３０ａ内から第二多孔質部１３ｂを除去することで、図６Ｄに示すように、第一細孔１３０ａ内に誘電体層３を形成しやすくなる

。さらに図６Ｄに示すように、第一細孔１３０ａ内に誘電体層３を形成してもなお、空洞部１３４が残っているので、この空洞部１３４に充填部２２も充填しやすくなる。これにより、キャパシタ１００の静電容量を大きくすることが可能である。

[0091] ３．変形例

キャパシタ１００の構成及びキャパシタ１００の製造方法は、上記の内容に限定されない。

[0092] 例えば図１Ａ及び図１Ｂに示すキャパシタ１００では、多孔質部１３全体が細孔１３０で形成されているが、これに限定されない。

[0093] 例えば図８Ａに示すように、多孔質部１３に、細孔１３０を有さない非多孔質部分１３１が部分的に形成されていてもよい。非多孔質部分１３１は細孔１３０を有さないことから、非多孔質部分１３１には導電体層２（充填部２２）が充填されない。そのため、非多孔質部分１３１が設けられることにより、細孔１３０内に導電体層２（充填部２２）を形成する際の応力によって多孔質部１３が破損することを抑制することができる。すなわち、非多孔質部分１３１によって多孔質部１３の強度を向上させることができる。

[0094] 非多孔質部分１３１の形状は特に限定されないが、例えば図８Ａ及び図８Ｂに示すように、非多孔質部分１３１が、平面視で、容量発現領域１１を複数の部分に分割していてもよい。例えば非多孔質部分１３１が、多孔質部１３を複数の部分に分割可能な壁状である場合、平面視で、容量発現領域１１を複数の部分に分割することができる。このような非多孔質部分１３１によっても、多孔質部１３の強度を向上させることができる。また分割され多孔質部１３のそれぞれが、コンデンサとして機能すると共に、それぞれが並列に接続されることで、キャパシタ１００の等価直列抵抗（ＥＳＲ）を低減することができる。また図８Ａ及び図８Ｂに示す非多孔質部分１３１は壁状であるが、非多孔質部分１３１は例えば柱状であってもよい。

[0095] 例えば多孔質部１３に、第一主面１０側に開口する非貫通孔及び溝の少なくとも一方を有していてもよい。非貫通孔及び溝は細孔１３０を有さず、ま

た非貫通孔及び溝の内部には導電体層２（充填部２２）が充填される。また非貫通孔及び溝の内面は、誘電体層３が形成されるため、非貫通孔及び溝の内面と、導電体層２（充填部２２）との間には誘電体層３が介在する。多孔質部１３が非貫通孔及び溝の少なくとも一方を有することにより、細孔１３０内に気体が入りやすくなるため、ＣＶＤ法で細孔１３０内に導電体層２（充填部２２）を充填しやすくなる。非貫通孔及び溝は、例えば、シリコン基板１の容量発現領域１１にドライエッチング等を施すことによって形成することができる。非貫通孔及び溝は、シリコン基板１に多孔質部１３を形成する前に形成してもよく、シリコン基板１に多孔質部１３を形成した後に形成してもよい。例えば図９に示す多孔質部１３には、第一主面１０側に開口する非貫通孔又は溝として、トレンチ１３２が形成されている。このトレンチ１３２内には、導電体層２（充填部２２）が充填される。多孔質部１３は、トレンチ１３２を一つ備えていてもよいが、複数のトレンチ１３２を備えることが好ましい。なお、図９に示すトレンチ１３２は、模式的な図であり、トレンチ１３２の大きさに対する細孔１３０の大きさの割合は、図９に示す割合に限定されない。

[0096] もちろん、上述の非多孔質部分１３１と、第一主面１０側に開口する非貫通孔及び溝の少なくとも一方と、の両方が、多孔質部１３に形成されていてもよい。

[0097] 例えば図１Ａ及び図１Ｂに示すキャパシタ１００では、非容量発現領域１２上の無機絶縁層４に貫通孔が形成され、この貫通孔内で露出したシリコン基板１と第一接触端子５１とが電気的に接続されているが、これに限定されない。例えば、図１０に示すように、シリコン基板１の第一主面１０の反対側に位置する第二主面１４の、容量発現領域１１とシリコン基板１の厚み方向で重なる領域に、第一主面１０側に窪んだキャビティ１４２が形成されていてもよい。第一接触端子５１の代わりに、キャビティ１４２の表面に金属製の接触端子５（第三接触端子５３）を形成することにより、図１Ａ及び図１Ｂに示すキャパシタ１００よりも、第一電極（第三接触端子５３）と第二

電極（第二接触端子５２）間の距離を短くすることができる。

[0098] 例えば図１Ａ及び図１Ｂに示すキャパシタ１００では、非容量発現領域１２上に、窒化ケイ素を含む無機絶縁層４が設けられ、非容量発現領域１２上の導電体層２とシリコン基板１との間に無機絶縁層４が介在しているが、これに限定されない。例えばキャパシタ１００が無機絶縁層４を備えていなくてもよい。例えば、キャパシタ１００を製造する際に、マスキング層４０としてクロム、金等の金属、又は有機樹脂を使用すると共に、陽極酸化処理後（多孔質部１３の形成後）、かつ、導電体層２の形成前の段階で、このマスキング層４０を取り除くことが好ましい。クロム、金等の金属、及び有機樹脂は、窒化ケイ素と比べて、シリコン基板１との線膨張係数差が大きい。そのため、クロム、金等の金属、又は有機樹脂製のマスキング層４０が、キャパシタ１００に含まれていないことにより、マスキング層４０とシリコン基板１との線膨張係数差による反りの発生を抑制することができる。

[0099] ４．態様

上記実施形態から明らかなように、本開示は、下記の態様を含む。なお、以下では、実施形態との対応関係を明示するためだけに、符号を括弧付きで付している。

[0100] 第一の態様に係るキャパシタ（１００）は、シリコン基板（１）と、導電体層（２）と、誘電体層（３）とを備える。シリコン基板（１）は、容量発現領域（１１）及び非容量発現領域（１２）を含む主面（１０）を有し、容量発現領域（１１）において厚み方向に設けられた多孔質部（１３）を備える。導電体層（２）は、少なくとも容量発現領域（１１）の表層（１１０）の一部を覆う表層部（２１）と、多孔質部（１３）の細孔（１３０）の少なくとも一部に充填されている充填部（２２）とを含む。誘電体層（３）は細孔（１３０）の内面と充填部（２２）との間に介在する。

[0101] この場合、シリコン基板（１）の主面（１０）における容量発現領域（１１）において厚み方向に設けられた多孔質部（１３）と、多孔質部（１３）内に充填された充填部（２２）とによって電極の表面積を確保しやすく、そ

れによりキャパシタ（１００）の静電容量を大きくすることができる。また容量発現領域（１１）において多孔質部（１３）を形成しているため、主面（１０）全体を多孔質化する場合と比べて、シリコン基板（１）の強度の低下を抑制することができる。

[0102] 第二の態様に係るキャパシタ（１００）は、第一の態様において、非容量発現領域（１２）上に設けられた無機絶縁層（４）を更に備える。

[0103] この場合、無機絶縁層（４）が設けられた部分において、シリコン基板（１）の絶縁性を確保することができる。

[0104] 第三の態様に係るキャパシタ（１００）は、第二の態様において、無機絶縁層（４）は、少なくとも窒化ケイ素を含んでいる。

[0105] この場合、無機絶縁層（４）とシリコン基板（１）との線膨張係数差を低減することができる。

[0106] 第四の態様に係るキャパシタ（１００）は、第一から第三のいずれか一の態様において、多孔質部（１３）に、細孔（１３０）を有さない非多孔質部分（１３１）が部分的に形成されている。

[0107] この場合、多孔質部（１３）の強度を向上させることができ、細孔（１３０）内に導電体層（２）を充填する際の応力で多孔質部（１３）に破損が生じることを抑制できる。

[0108] 第五の態様に係るキャパシタ（１００）は、第四の態様において、非多孔質部分（１３１）は、平面視で、容量発現領域（１１）を複数の部分に分割する。

[0109] この場合、多孔質部（１３）の強度を向上させることができ、細孔（１３０）内に導電体層（２）を充填する際の応力で多孔質部（１３）に破損が生じることを抑制できる。

[0110] 第六の態様に係るキャパシタ（１００）は、第一から第五のいずれか一の態様において、多孔質部（１３）の表面積は、容量発現領域（１１）の面積の２００倍以上である。

[0111] この場合、キャパシタ（１００）の静電容量を大きくすることができる。

[0112] 第七の態様に係るキャパシタ（１００）は、第一から第六のいずれか一の態様において、シリコン基板（１）の主面（１０）の反対側に位置する第二主面（１４）の、容量発現領域（１１）とシリコン基板（１）の厚み方向で重なる領域に、主面（１０）側に窪んだキャビティ（１４２）が形成されている。

[0113] この場合、第一電極を構成するシリコン基板（１）と、第二電極を構成する導電体層（２）との電極間距離を短くすることができる。

[0114] 第八の態様に係るキャパシタ（１００）は、第一から第七のいずれか一の態様において、導電体層（２）は、ポリシリコン、白金、及びルテニウムからなる群から選択される少なくとも一種を含む。

[0115] この場合、導電体層（２）の導電性を向上させることができる。

[0116] 第九の態様に係るキャパシタ（１００）は、第一から第八のいずれか一の態様において、多孔質部（１３）は、主面（１０）側に開口する非貫通孔及び溝の少なくとも一方を有する。

[0117] この場合、多孔質部（１３）の細孔（１３０）内に、導電体層（２）（充填部（２２））を充填しやすくなる。

[0118] 第十の態様に係るキャパシタ（１００）は、第一から第九のいずれか一の態様において、多孔質部（１３）の一部が、シリコン基板（１）の主面（１０）の反対側に位置する第二主面（１４）側に表出している。

[0119] この場合、多孔質部（１３）の厚みの最大値が、シリコン基板（１）の厚みと同様となる。

[0120] 第十一の態様に係るキャパシタ（１００）は、第一から第十のいずれか一の態様において、多孔質部（１３）の一部が、シリコン基板（１）の非容量発現領域（１２）と厚み方向で重なる部分に食い込んでいる。

[0121] この場合、多孔質部（１３）の体積が大きくなるため、細孔（１３０）の内面の表面積を大きくすることができ、キャパシタ（１００）の静電容量を大きくすることができる。

[0122] 第十二の態様に係るキャパシタ（１００）は、第一から第十一のいずれか

一の態様において、細孔（１３０）は、容量発現領域（１１）の複数箇所から主面（１０）と交差する一方向に沿って延びている。

[0123] この場合、多孔質部（１３）が有する細孔（１３０）の内面の表面積を大きくすることができ、キャパシタ（１００）の静電容量を大きくすることができる。

[0124] 第十三の態様に係るキャパシタ（１００）の製造方法は、マスキング工程と、多孔質部形成工程と、誘電体層形成工程と、導電体層形成工程とを含む。マスキング工程では、容量発現領域（１１）及び非容量発現領域（１２）を含む主面（１０）を有するシリコン基板（１）の非容量発現領域（１２）上にマスキング層（４０）を設ける。多孔質部形成工程では、陽極酸化処理によって、マスキング層（４０）で覆われていない容量発現領域（１１）に細孔（１３０）を形成することで、容量発現領域（１１）においてシリコン基板（１）の厚み方向に設けられた多孔質部（１３）を形成する。多孔質部形成工程では、細孔（１３０）の内面に誘電体層（３）を形成する。導電体層形成工程では、細孔（１３０）の少なくとも一部に充填した充填部（２２）と、少なくとも容量発現領域（１１）の表層（１１０）の一部を覆う表層部と、を含む導電体層を形成する。

[0125] この場合、多孔質部形成工程において、陽極酸化処理を行う際に、マスキング層（４０）で非容量発現領域（１２）を保護することができ、混合液によって非容量発現領域（１２）に破損及び変質が生じることを抑制することができる。

[0126] 第十四の態様に係るキャパシタ（１００）の製造方法は、第十三の態様において、多孔質部（１３）が第一多孔質部（１３ａ）であり、細孔（１３０）が第一細孔（１３０ａ）であり、第一細孔（１３０ａ）内に存在する第二多孔質部（１３ｂ）の少なくとも一部を除去する工程を更に含む。

[0127] この場合、第一細孔（１３０ａ）内から第二多孔質部（１３ｂ）を除去することで、第一細孔（１３０ａ）内に誘電体層（３）及び充填部（２２）を形成しやすくなる。

[0128] 第十五の態様に係るキャパシタ（１００）の製造方法は、第十四の態様において、除去する工程が、第二多孔質部（１３ｂ）を酸化して酸化物（１５）とする工程と、酸化物（１５）をエッチングにより除去する工程と、を含む。

[0129] この場合、第二多孔質部（１３ｂ）を酸化物とすることで、第二多孔質部（１３ｂ）を第一細孔（１３０ａ）内から除去しやすくなる。

符号の説明

[0130] １　シリコン基板
１０　第一主面
１１　容量発現領域
１１０　表層
１２　非容量発現領域
１３　多孔質部
１３０　細孔
１３１　非多孔質部分
１４　第二主面
１４２　キャビティ
２　導電体層
２１　表層部
２２　充填部
３　誘電体層
４　無機絶縁層
４０　マスキング層

請求の範囲

[請求項1] 容量発現領域及び非容量発現領域を含む主面を有し、前記容量発現領域において厚み方向に設けられた多孔質部を備えたシリコン基板と、

少なくとも前記容量発現領域の表層の一部を覆う表層部と、前記多孔質部の細孔の少なくとも一部に充填されている充填部とを含む導電体層と、

前記細孔の内面と前記充填部との間に介在する誘電体層と、を備える、

キャパシタ。

[請求項2] 前記非容量発現領域上に設けられた無機絶縁層を更に備える、

請求項１に記載のキャパシタ。

[請求項3] 前記無機絶縁層は、少なくとも窒化ケイ素を含んでいる、

請求項２に記載のキャパシタ。

[請求項4] 前記多孔質部に、前記細孔を有さない非多孔質部分が部分的に形成されている、

請求項１～３のいずれか一項に記載のキャパシタ。

[請求項5] 前記非多孔質部分は、平面視で、前記容量発現領域を複数の部分に分割する、

請求項４に記載のキャパシタ。

[請求項6] 前記多孔質部の表面積は、前記容量発現領域の面積の２００倍以上である、

請求項１～５のいずれか一項に記載のキャパシタ。

[請求項7] 前記シリコン基板の前記主面の反対側に位置する第二主面の、前記容量発現領域と前記シリコン基板の厚み方向で重なる領域に、前記主面側に窪んだキャビティが形成されている、

請求項１～６のいずれか一項に記載のキャパシタ。

[請求項8] 前記導電体層は、ポリシリコン、白金、及びルテニウムからなる群

から選択される少なくとも一種を含む、

請求項１～７のいずれか一項に記載のキャパシタ。

[請求項9] 前記多孔質部は、前記主面側に開口する非貫通孔及び溝の少なくとも一方を有する、

請求項１～８のいずれか一項に記載のキャパシタ。

[請求項10] 前記多孔質部の一部が、前記シリコン基板の前記主面の反対側に位置する第二主面側に表出している、

請求項１～９のいずれか一項に記載のキャパシタ。

[請求項11] 前記多孔質部の一部が、前記シリコン基板の前記非容量発現領域と厚み方向で重なる部分に食い込んでいる、

請求項１～１０のいずれか一項に記載のキャパシタ。

[請求項12] 前記細孔は、前記容量発現領域の複数箇所から前記主面と交差する一方向に沿って延びている、

請求項１～１１のいずれか一項に記載のキャパシタ。

[請求項13] 容量発現領域及び非容量発現領域を含む主面を有するシリコン基板の前記非容量発現領域上にマスキング層を設ける工程と、

陽極酸化処理によって、前記マスキング層で覆われていない前記容量発現領域に細孔を形成することで、前記容量発現領域において前記シリコン基板の厚み方向に設けられた多孔質部を形成する工程と、

前記細孔の内面に誘電体層を形成する工程と、

前記細孔の少なくとも一部に充填した充填部と、少なくとも前記容量発現領域の表層の一部を覆う表層部と、を含む導電体層を形成する工程と、を含む、

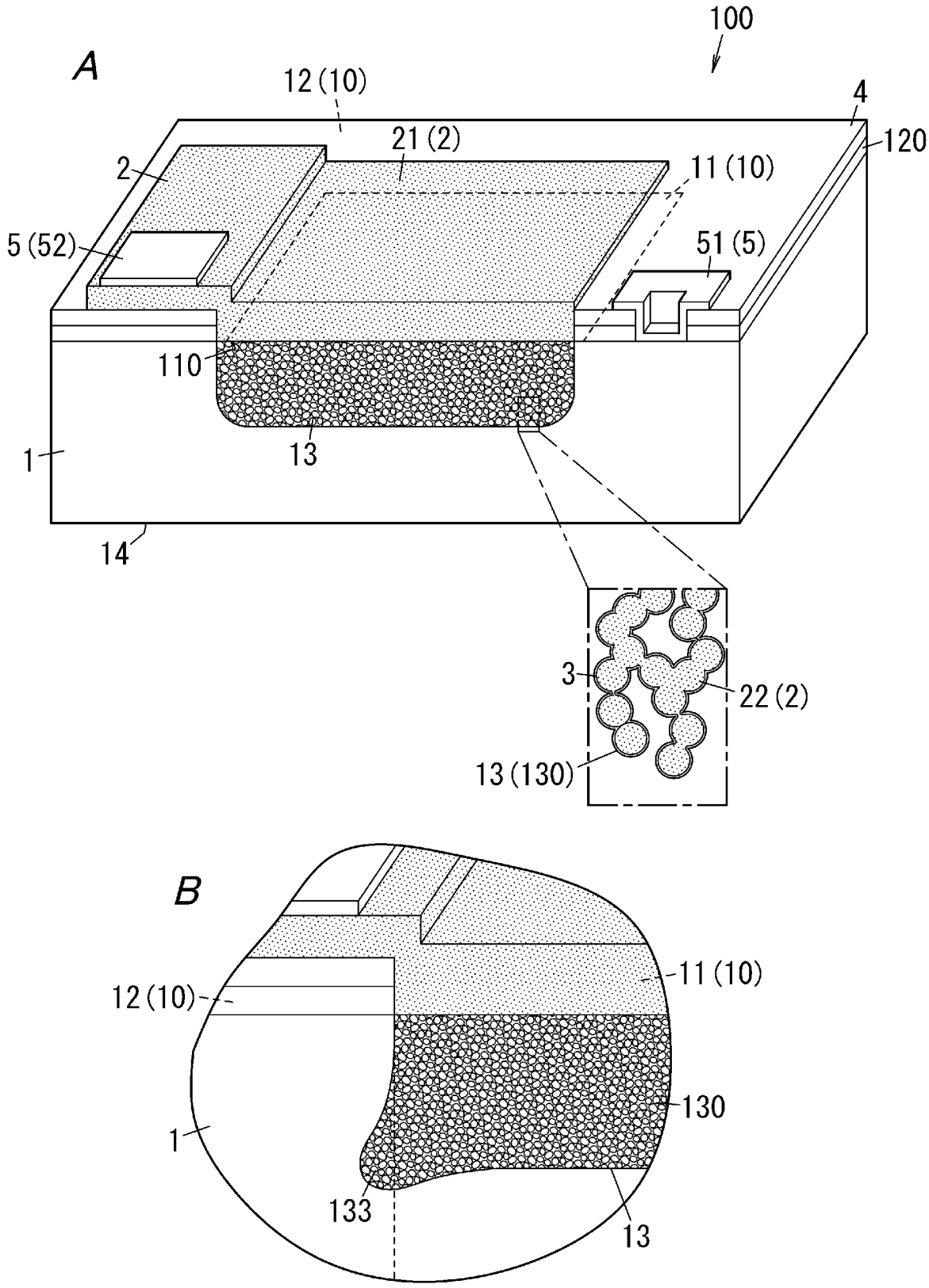
キャパシタの製造方法。

[請求項14] 前記多孔質部が第一多孔質部であり、前記細孔が第一細孔であり、前記第一細孔内に存在する第二多孔質部の少なくとも一部を除去する工程を更に含む、

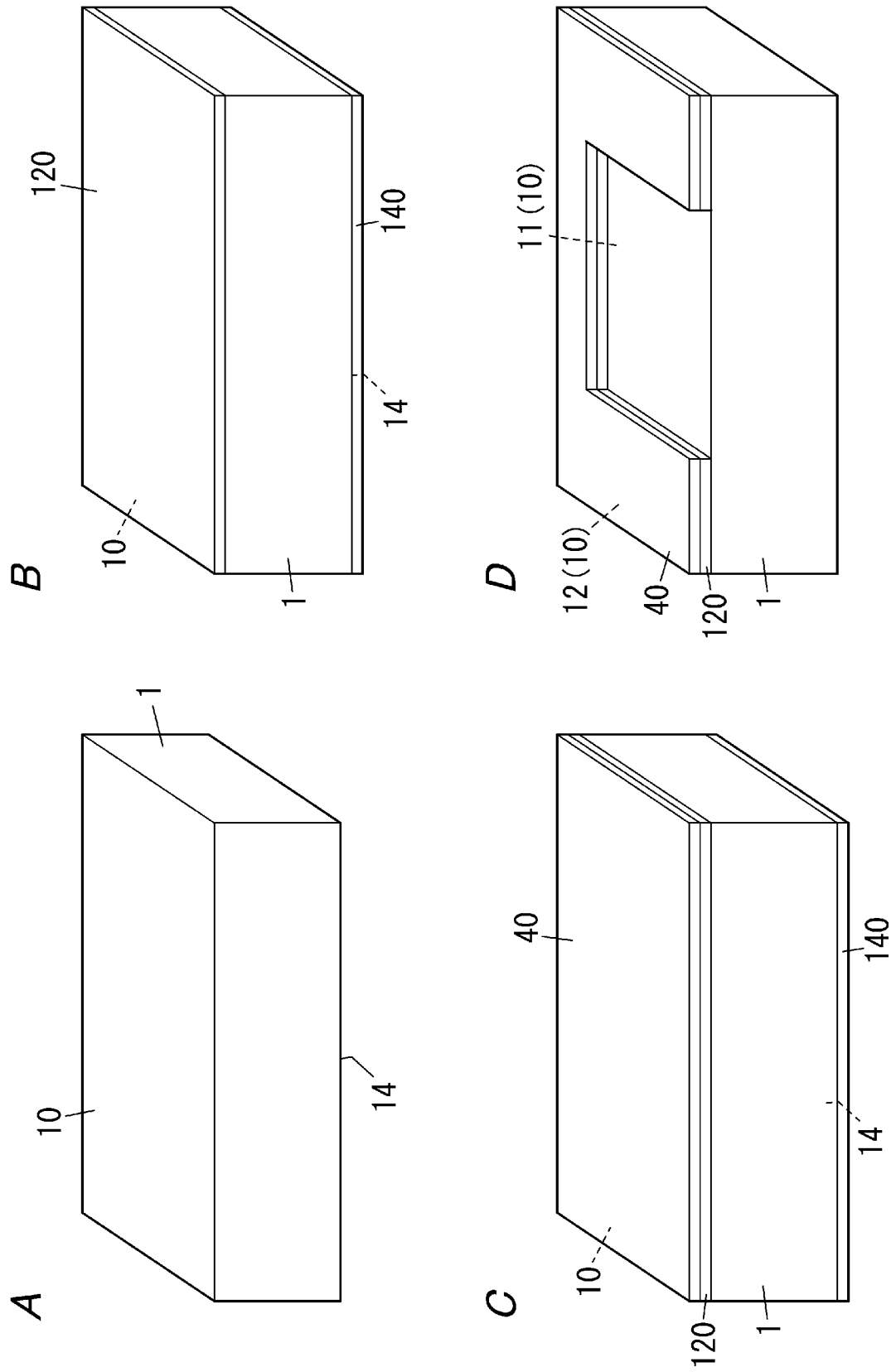
請求項１３に記載のキャパシタの製造方法。

［請求項15］ 前記除去する工程が、前記第二多孔質部を酸化して酸化物とする工程と、前記酸化物をエッチングにより除去する工程と、を含む、
請求項１４に記載のキャパシタの製造方法。

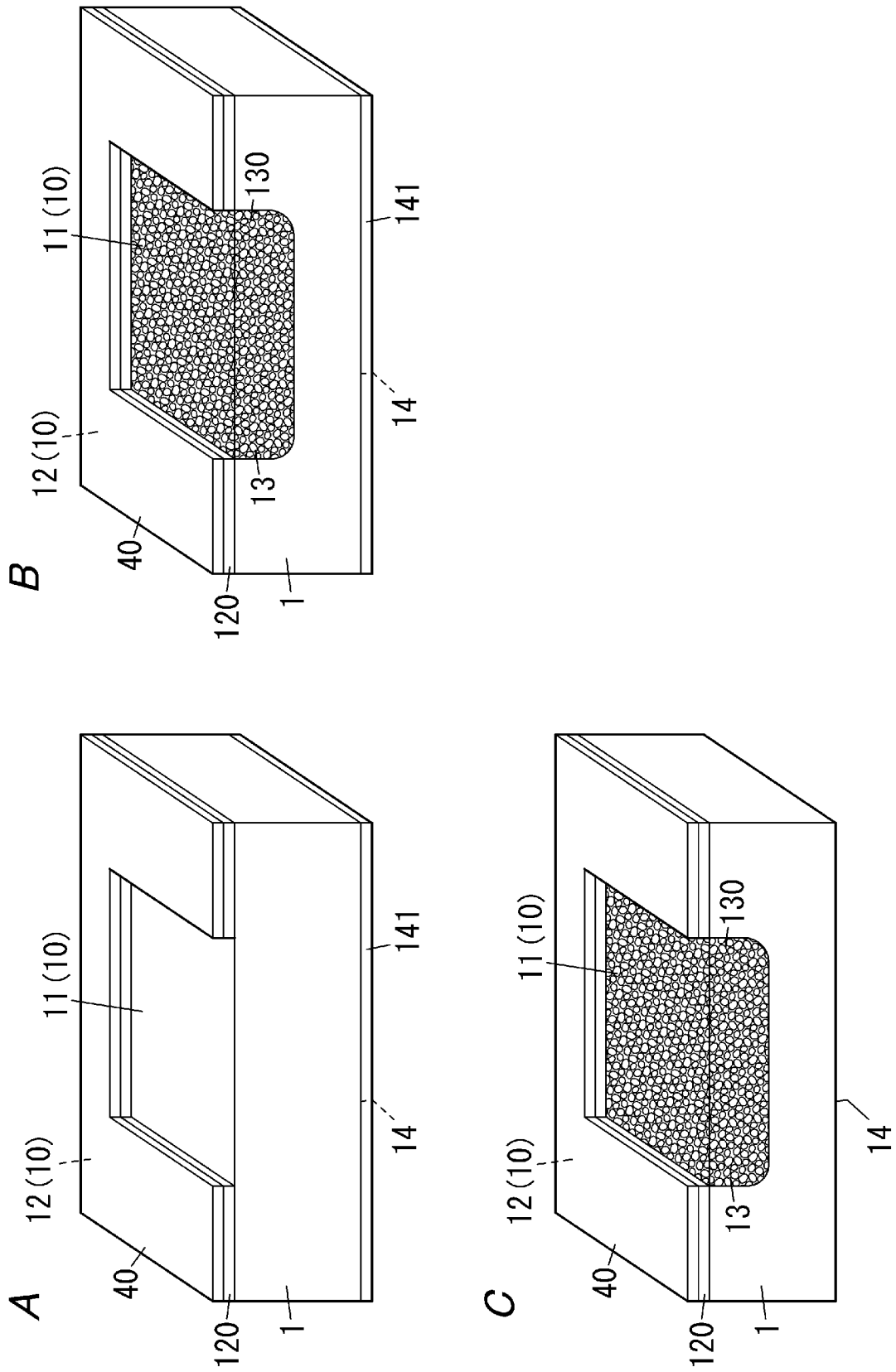
[図1]


A
100
12 (10)
4
21 (2)
120
2
11 (10)
5 (52)
51 (5)
110
13
1
14
3
22 (2)
13 (130)
B
12 (10)
11 (10)
130
1
133
13

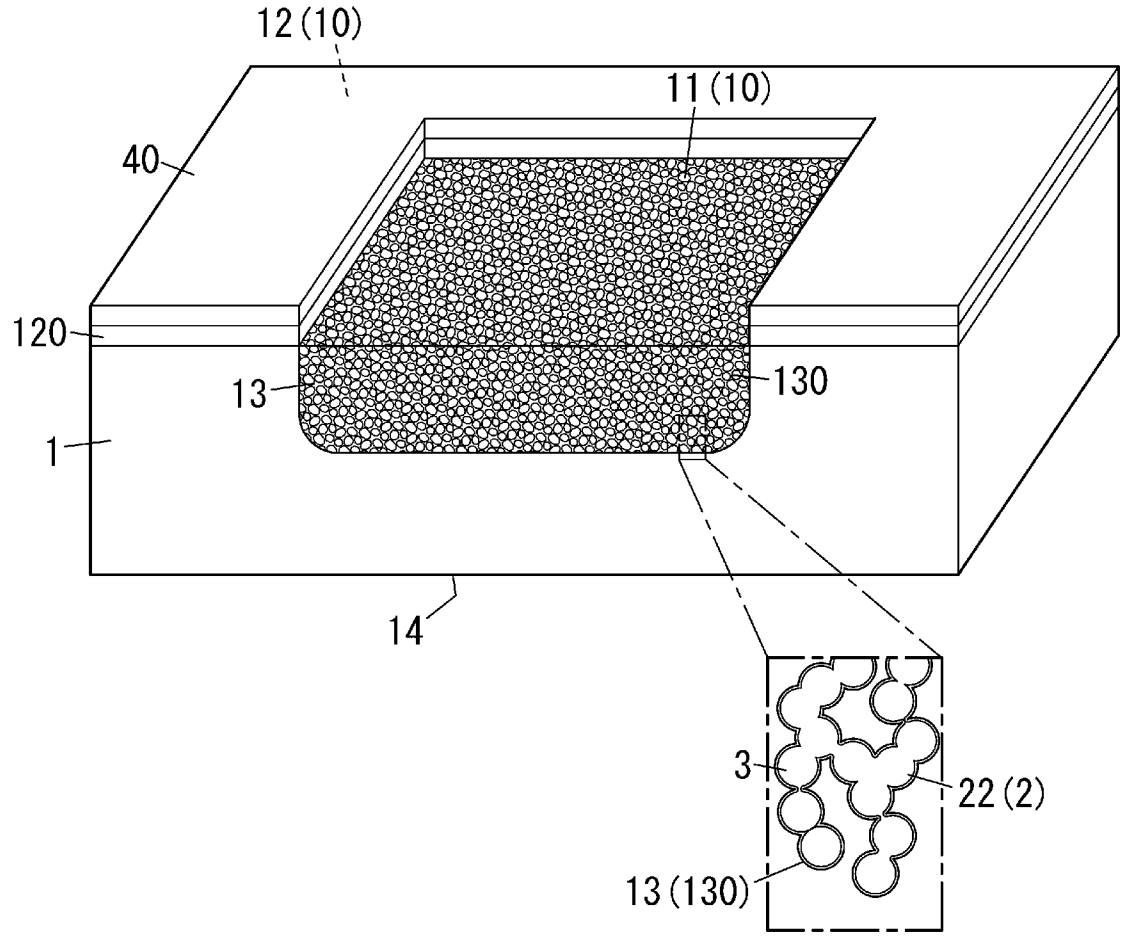
[図2]



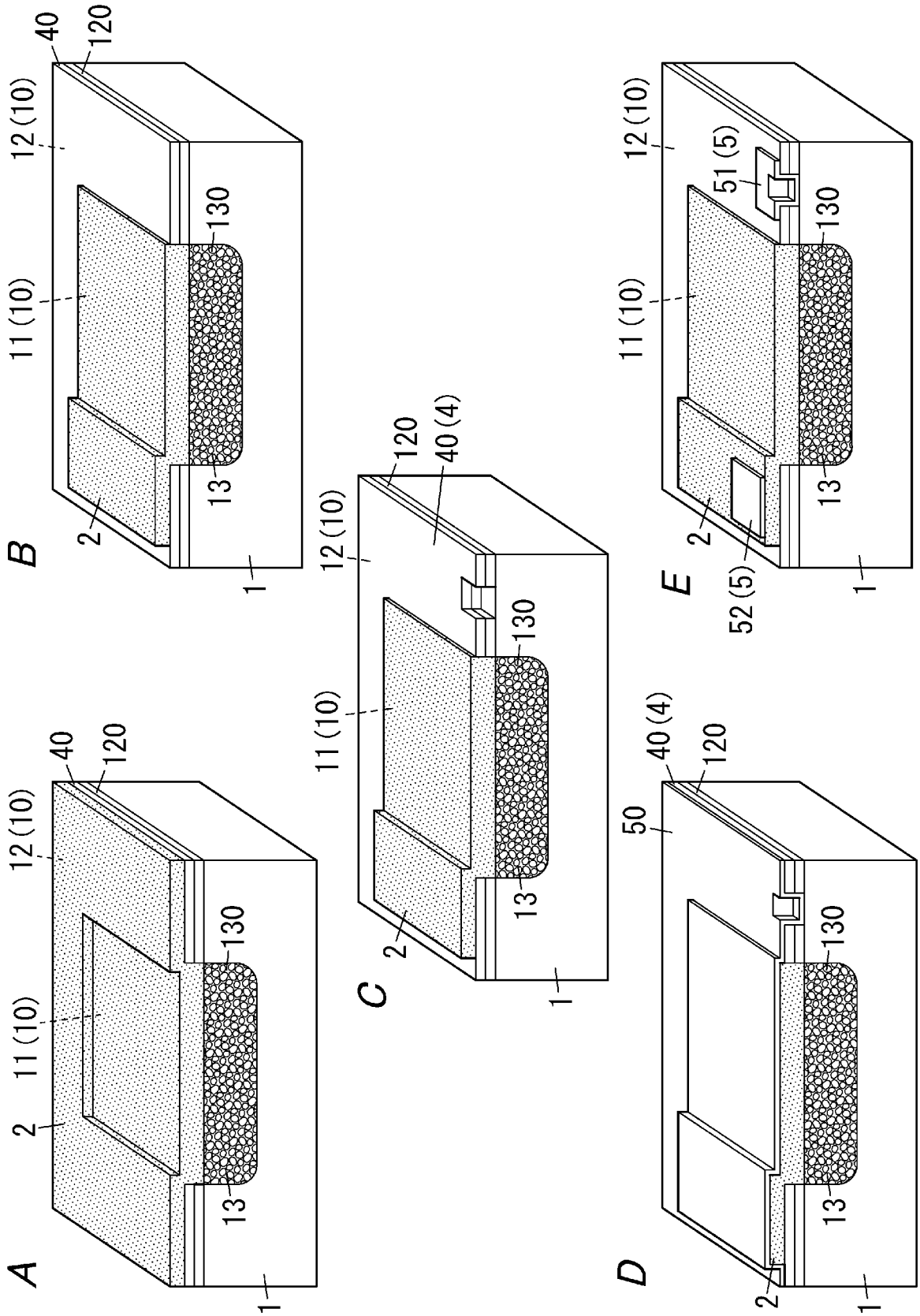
[図3]



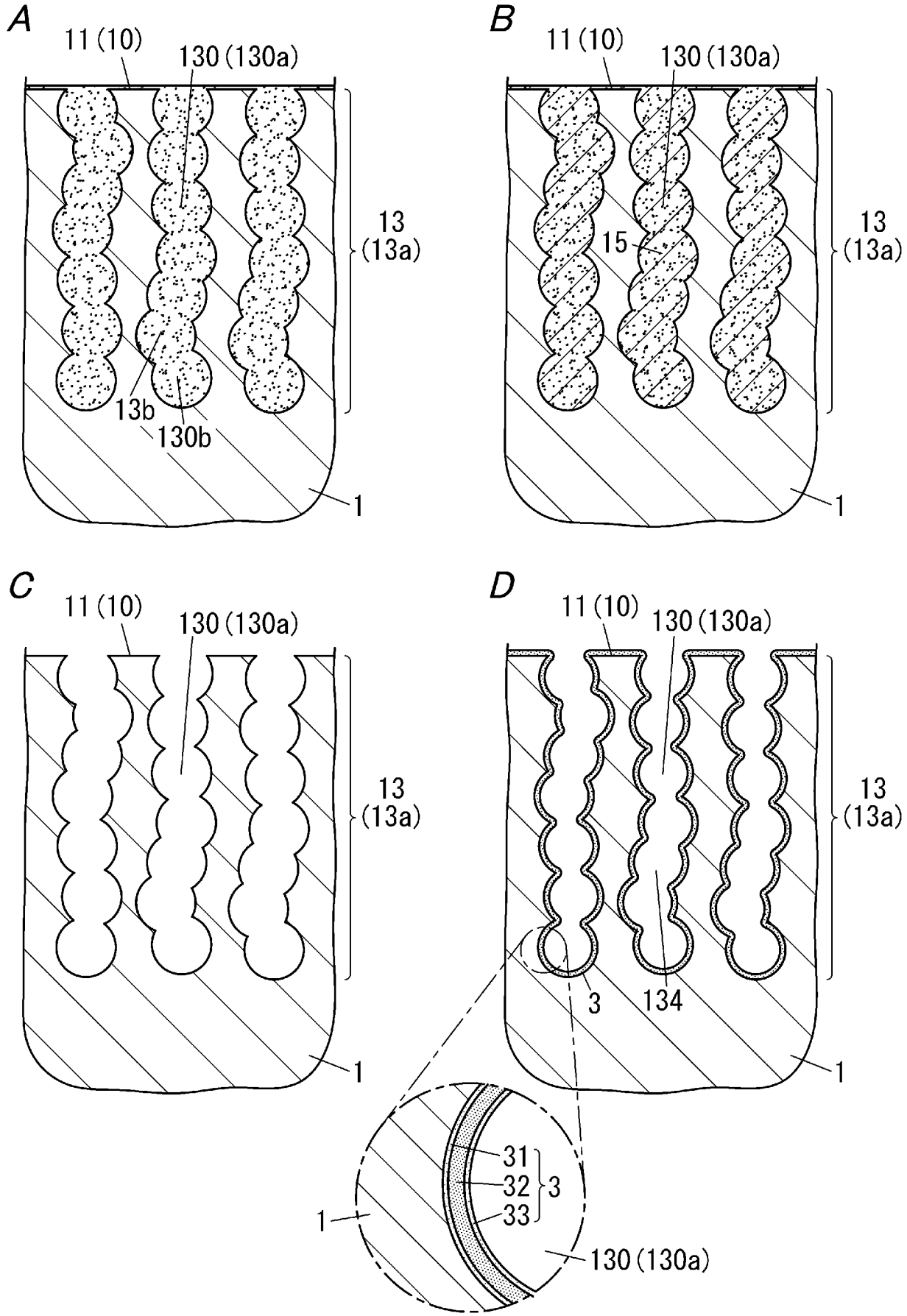
[図4]



[図5]

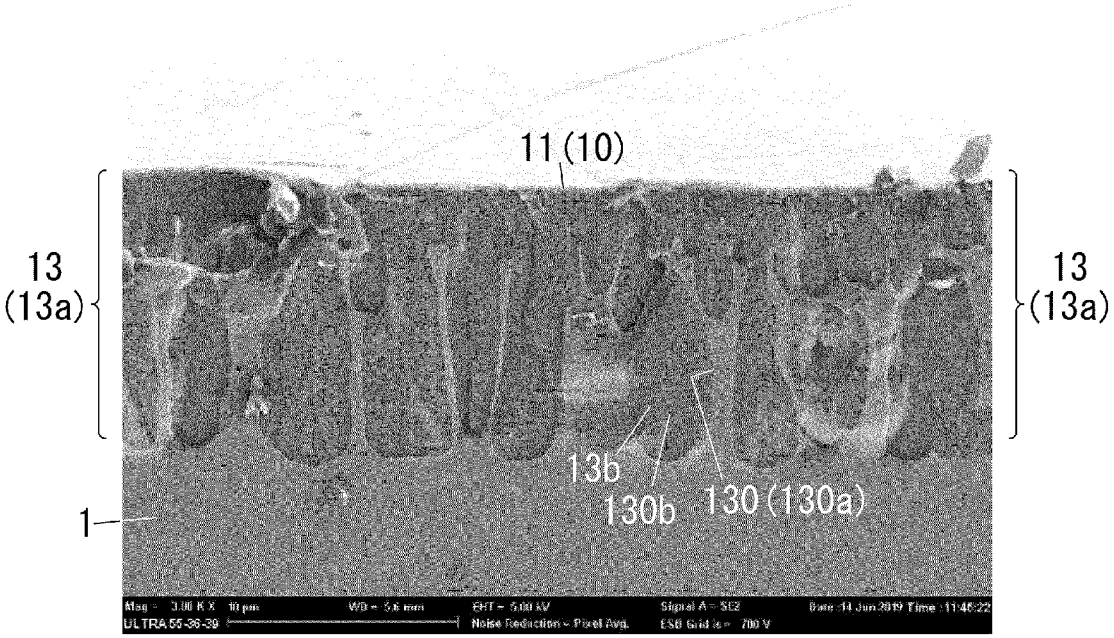


[図6]

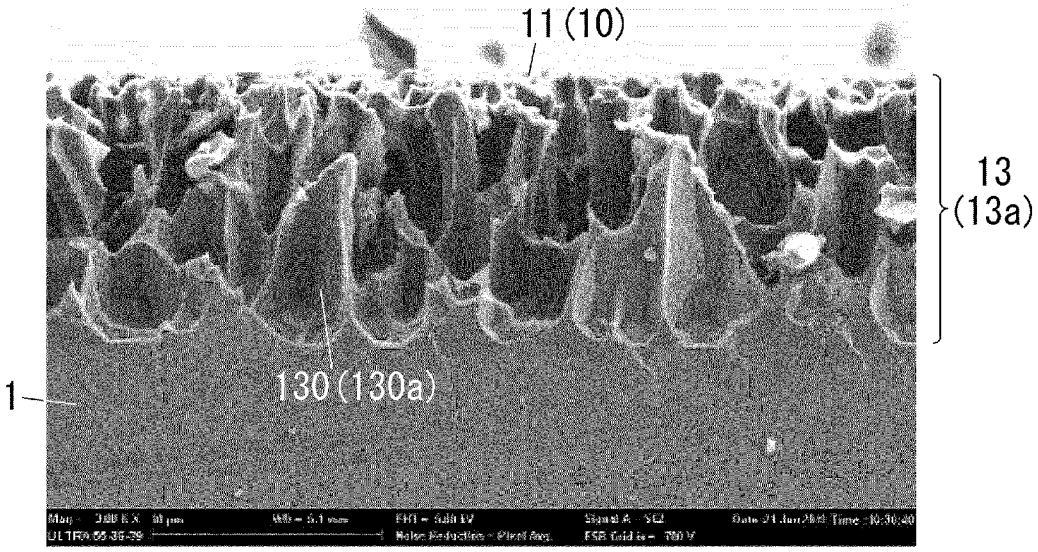

A
11 (10)
130 (130a)
13
(13a)
13b
130b
1
B
11 (10)
130 (130a)
15
13
(13a)
1
C
11 (10)
130 (130a)
13
(13a)
1
D
11 (10)
130 (130a)
13
(13a)
3
134
1
31
32
33
3
1
130 (130a)

[図7]

A

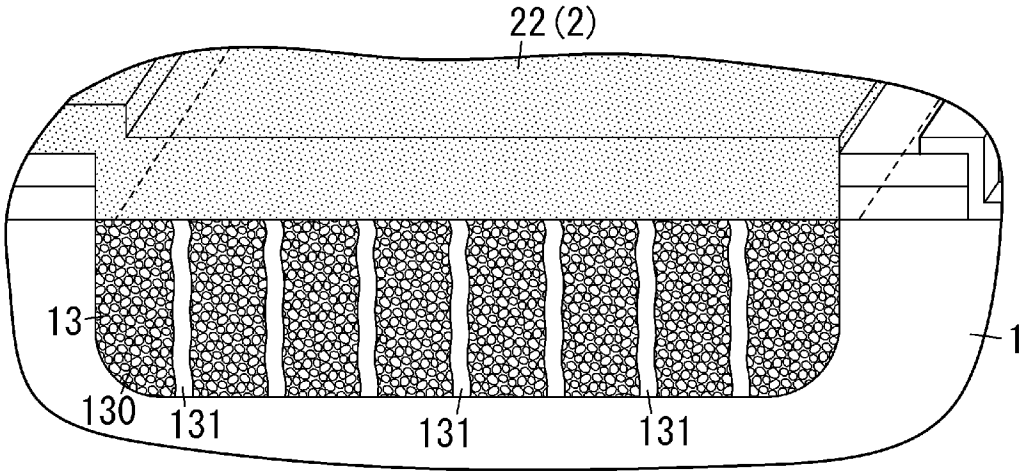


B

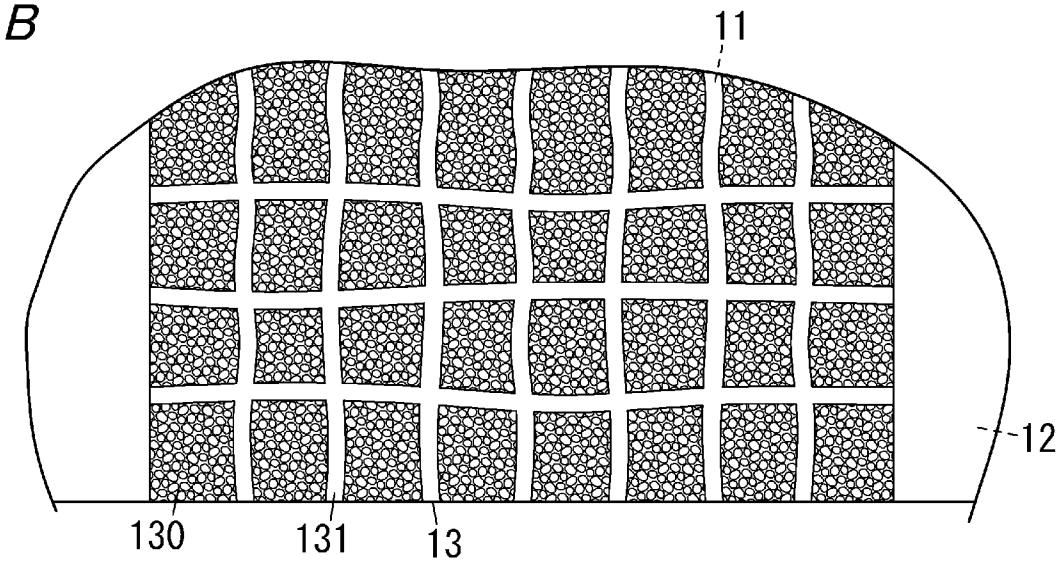


[図8]

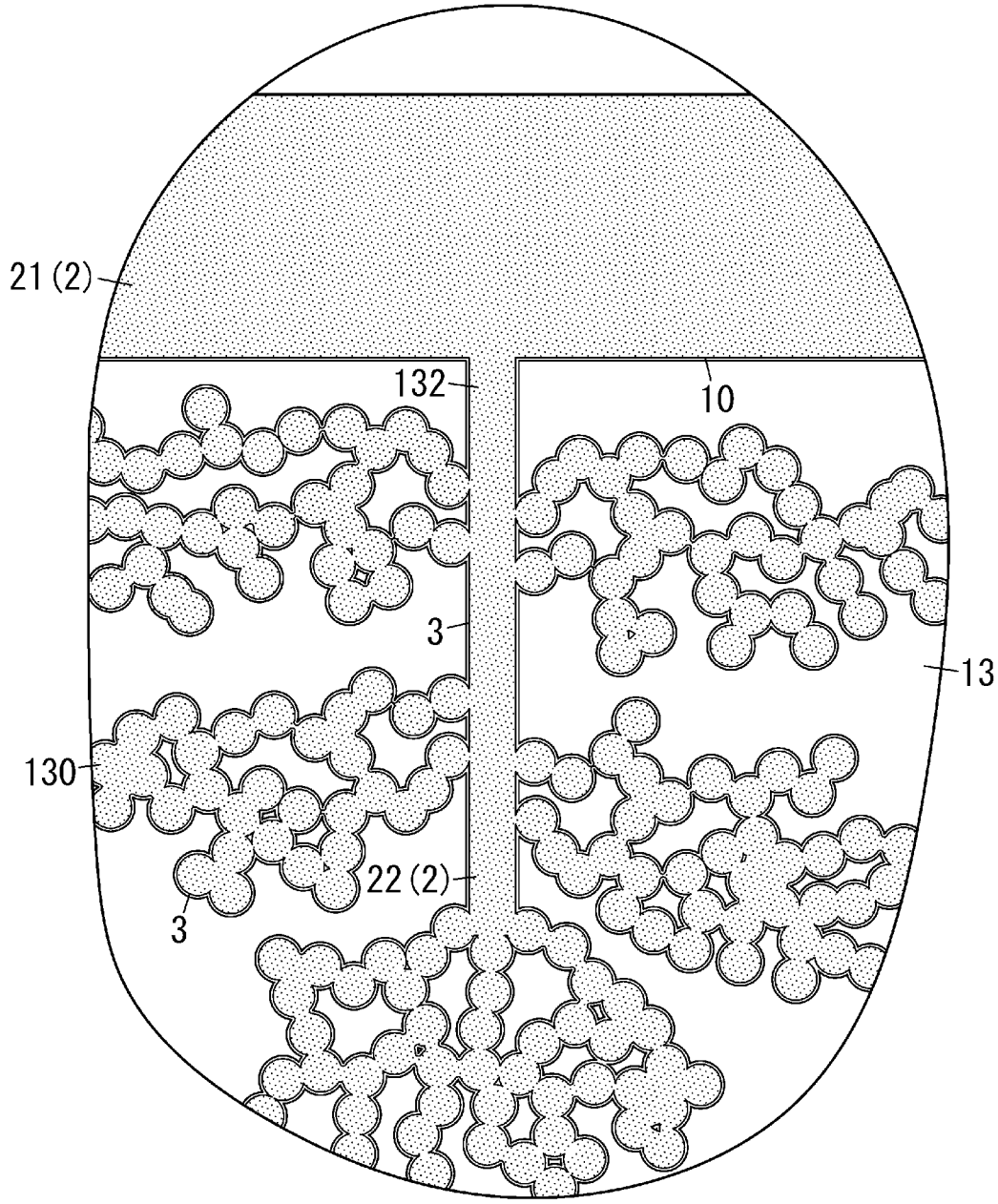
A



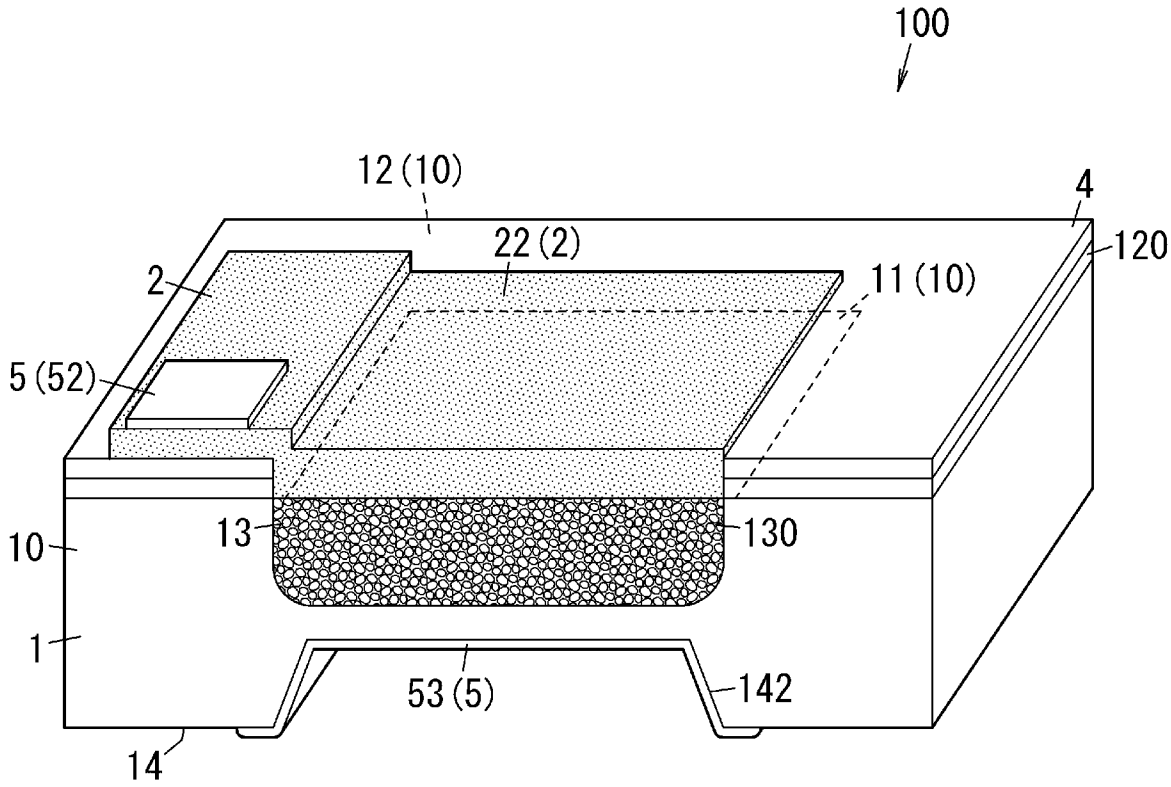
B



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/010054

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/04(2006.01)i, H01G4/33(2006.01)i
FI: H01L27/04C, H01G4/33102

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/04, H01G4/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-523050 A (EPCOS AG) 20.11.2001 (2001-11-20), paragraphs [0018]-[0030], fig. 1-7	1, 6, 8-12 2-5, 7, 13-15
Y	JP 2017-98499 A (MITSUBISHI ELECTRIC CORPORATION) 01.06.2017 (2017-06-01), paragraphs [0025]-[0035], fig. 14-16	2-5, 7
Y	JP 2009-59990 A (ROHM CO., LTD.) 19.03.2009 (2009-03-19), paragraph [0031], fig. 6, 7	4, 5
Y	JP 6-13547 A (NEC CORPORATION) 21.01.1994 (1994-01-21), paragraph [0036], fig. 3	13-15
Y	JP 5-160342 A (CANON INC.) 25.06.1993 (1993-06-25), paragraphs [0015]-[0022], fig. 1	13-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21.05.2020	02.06.2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/010054

JP 2001-523050 A	20.11.2001	WO 1999/025026 A1 page 5, line 15 to page 9, line 14, EP 1048082 A1 KR 10-2001-0031974 A
JP 2017-98499 A	01.06.2017	(Family: none)
JP 2009-59990 A	19.03.2009	(Family: none)
JP 6-13547 A	21.01.1994	US 5372962 A column 8, lines 10-25, fig. 6A EP 553791 A1
JP 5-160342 A	25.06.1993	US 5739565 A column 3, line 15 to column 4, line 9, fig. 1A-1C

国際調査報告

国際出願番号
PCT/JP2020/010054

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/04(2006.01)i; H01G 4/33(2006.01)i
FI: H01L27/04 C; H01G4/33 102

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/04; H01G4/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2001-523050 A (エプコス アクチエンゲゼルシャフト) 20.11.2001 (2001-11-20) 段落[0018]-[0030], 図1-7	1,6,8-12
Y	段落[0018]-[0030], 図1-7	2-5,7,13-15
Y	JP 2017-98499 A (三菱電機株式会社) 01.06.2017 (2017-06-01) 段落[0025]-[0035],図14-16	2-5,7
Y	JP 2009-59990 A (ローム株式会社) 19.03.2009 (2009-03-19) 段落[0031],図6,7	4,5
Y	JP 6-13547 A (日本電気株式会社) 21.01.1994 (1994-01-21) 段落[0036],図3	13-15
Y	JP 5-160342 A (キヤノン株式会社) 25.06.1993 (1993-06-25) 段落[0015]-[0022],図1	13-15

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
21.05.2020	02.06.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
市川　武宜 5F 4056
電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/010054

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-523050 A	20.11.2001	WO 1999/025026 A1 第5頁第15行目-第9頁第14行目 EP 1048082 A1 KR 10-2001-0031974 A	
JP 2017-98499 A	01.06.2017	（ファミリーなし）	
JP 2009-59990 A	19.03.2009	（ファミリーなし）	
JP 6-13547 A	21.01.1994	US 5372962 A 第8欄第10行目-第25行目,図6A EP 553791 A1	
JP 5-160342 A	25.06.1993	US 5739565 A 第3欄第15行目-第4欄第9行目,図1A-1C	