

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年4月15日(2010.4.15)

【公表番号】特表2009-539260(P2009-539260A)

【公表日】平成21年11月12日(2009.11.12)

【年通号数】公開・登録公報2009-045

【出願番号】特願2009-513252(P2009-513252)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/08 (2006.01)

【F I】

H 0 1 L 21/76 M

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/08 3 3 1 B

H 0 1 L 27/08 3 3 1 A

H 0 1 L 21/76 L

H 0 1 L 21/76 S

【手続補正書】

【提出日】平成22年2月22日(2010.2.22)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】変更

【補正の内容】

【0 0 2 7】

接合分離の別の不利な点は、分離構造によって無駄になる、およびそうでなければ活性トランジスタまたは回路の製造に利用可能でない面積である。図 5 C では、ある特定の最小限の設計ルールを満たすために必要な面積が、埋込み層 2 1 2、P 型拡散接合分離 2 1 3、および (N B L 2 1 2 B の上に重なる) 拡散した高不純物濃度 N 型シンカー 2 1 4 について示されている。さらなる厄介な問題として、接合分離では、設計ルール（および無駄になる面積）は分離されたデバイスの最大電圧に依存する。厚み x_{epi} に成長したエピタキシャル層では、実際の厚み支持電圧 x_{net} はより小さい。なぜなら、P+接合部 2 1 6 の深さおよび N B L 2 1 2 A の上への拡散は、分離されたデバイスの電圧能力を決定するために総厚みから減じられなければならないためである。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 9

【補正方法】変更

【補正の内容】

【0 0 5 9】

本明細書に開示されるすべての低温プロセスでは、注入された D N 領域 3 5 2 A および 3 5 2 B は、対照的に、注入物エネルギー（または多数の注入物の場合にはエネルギー）によってしか影響を受けない。結果として生じるプロファイルは、「注入されたまま」の状態であり、熱処理に関連するばらつきを受けない。相対的な意味で、D N 領域の形成は概して、プロセスにおいて、1 MeV（100 万電子ボルト）～3 MeV を超えるまでの範囲の最高エネルギー注入を備えるべきである。事実上、1.5 MeV～2.3 MeV のエネル

ギによって、単一のおよび2つのイオン化されたドーパントを用いて適当なときに深い注入を達成することが可能である。高電荷状態を有する3つのイオン化されたドーパント種は、より深い深さに注入することができるが、対応してビーム電流が低くなる。その結果、注入がゆっくりになる。DN領域のためのリン注入投与量は、 $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{14} \text{ cm}^{-2}$ の範囲であってもよいが、典型的には $1 \sim 5 \times 10^{13} \text{ cm}^{-2}$ の範囲の投与量を含んでいてもよい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

一連のリン注入物のシーケンシャルな形成は、示されるように連続的なN型側壁分離領域をもたらす。たとえば、NI領域408Aおよび408Bは、環状のまたは他の閉じた幾何学的形状を有していてもよく、DN領域402Aの上に重なって、基板401から電氣的に分離されたP型領域406Aを作り出す。同様に、NI領域408Cおよび408Dは、環状のまたは他の閉じた幾何学的形状を有していてもよく、DN領域402Bの上に重なって、基板401からおよび領域406Aから電氣的に分離されたP型領域406Bを作り出す。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

タイプIII分離では、側壁分離を形成するために用いられる注入物はトレンチ形成のプロセスとは関連がなく、その結果、トレンチは、トレンチ405A、405C、405D、または405FなどのようにNI側壁分離領域内に形成される場合もあれば、405Bおよび405Eなどのように分離されたポケット内に形成される場合もある。タイプIII分離におけるトレンチがDN層の上に重なるのに十分に深いものである必要がないので、フローティングポケット406Aおよび406B内でのトレンチの使用により、ポケットが互いに分離された領域にさらに分割されることはない。すなわち、ポケットP₁におけるデバイスがすべてP型領域406Aの共通の電位を共有する。これらの浅いトレンチは、好ましくは所与のCMOS技術ノードにおいて用いられる既存のSTIと同じであるかまたは類似しており、所与の分離されたP型ポケットにおけるデバイス間の表面分離、すなわちフィールドしきい値制御を提供するために用いられるが、完全な分離を提供することはない。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0081

【補正方法】変更

【補正の内容】

【0081】

図22A～図22Cは、タイプI分離構造の形成を示す。図22Aは、上の図12に記載されたものと同じプロセスを用いた、DNフロア分離領域662の形成、マスク層663および664の形成、ならびに浅いトレンチ665のエッチング後の分離構造を示す。図22Bは、任意の第2のマスク層666の堆積およびパターンニング後の構造を示す。好ましい実施例では、マスク層664は平坦化中のエッチング停止に好適な窒化物または他の層であり、マスク層663は堆積された酸化物などの硬質マスク材料であり、マスク層666はフォトリソストまたは類似の材料である。より深いトレンチ667がマスク層6

6 6 の開口を通してエッチングされる。マスク層 6 6 3、6 6 4 および 6 6 6 の除去後、深いトレンチ 6 6 7 および任意の浅いトレンチ 6 6 5 が誘電堆積によって同時に再充填される。この構造は次いで C M P または他の手法によって平坦化され、誘電体が充填された深いトレンチ 6 6 9 および D N フロア分離 6 6 2 領域を含む図 2 2 C に示される平坦化された構造をもたらし、これらはともに P 型基板 6 6 1 からフローティング P 型領域 6 7 0 を分離する。任意の誘電体が充填された浅いトレンチ 6 6 8 は、P 型領域 6 7 0 に形成されたデバイス間の表面分離を提供する。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 4

【補正方法】変更

【補正の内容】

【0 0 8 4】

図 1 3 B に示されるその後の処理において、表面酸化物層 4 5 3 および 4 5 4 ならびにマスク層 4 5 5 が除去され、D N 領域 4 5 2 の拡散を回避するために低温手法を用いて新たなマスク層 4 5 7 が規定される。側壁分離領域 4 5 6 の上または側壁分離領域 4 5 6 に隣接するマスク層 4 5 7 にウィンドウ 4 5 8 A および 4 5 8 C が規定される。分離領域 4 5 6 と重ならない任意のウィンドウ 4 5 8 B も形成されてもよい。

【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 1 9

【補正方法】変更

【補正の内容】

【図 1 9】

600

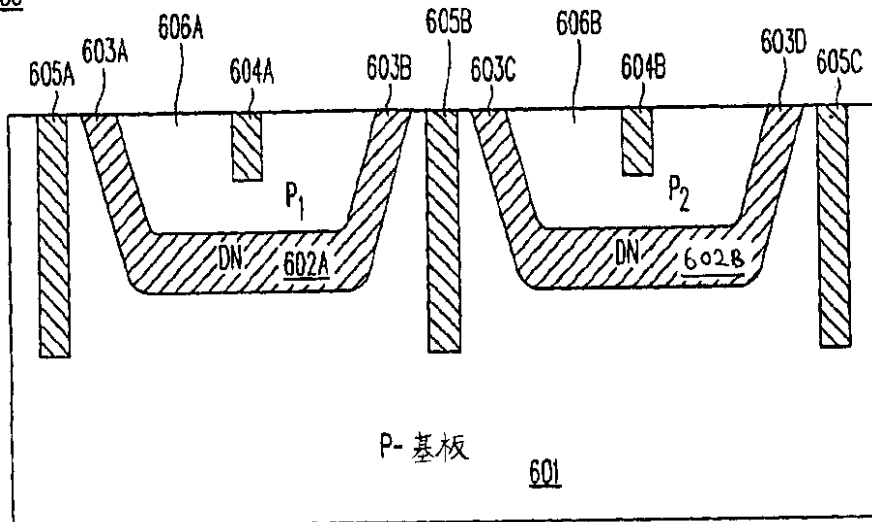


FIG. 19