

公 告 本

申請日期	90.10.30
案 號	90126865
類 別	H01L 27/10 G11C 5/02

A4
C4

530410

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型

一、發明名稱	中 文	具有中央連接區域之記憶體配置
	英 文	"MEMORY ARRANGEMENT WITH A CENTRAL CONNECTION AREA"
二、發明人	姓 名	1.馬汀 布洛克斯 MARTIN BROX 2.卡爾-彼得 普費菲爾 KARL-PETER PFEFFERL 3.賀莫特 史尼德 HELMUT SCHNEIDER 4.羅伯 凱瑟 ROBERT KAISER 5.多明尼哥 沙維格納 DOMINIQUE SAVIGNAC
	國 籍	均德國
三、申請人	住、居所	1.德國慕尼黑市克拉雷街15號 2.德國何漢克成席格市馬華威格路35號 3.德國慕尼黑市席莫德史查克街20號 4.德國考菲林市柯爾平街41號 5.德國艾斯曼林市巴恩何夫街2號
	姓 名 (名 稱)	德商億恒科技公司 INFINEON TECHNOLOGIES AG
三、申請人	國 籍	德國
	住、居所 (事務所)	德國慕尼黑市馬汀街53號
三、申請人	代 表 人 名	1.安娜 哈舒伯 ANNA HASHUBER 2.卡索里那 克林格 KATHARINA KLINGER
	代 姓	

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

德國 2000年11月7日 10055001.0 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明(2)

域，由細胞陣列環繞。以此方式，可於配置中達到大量細胞陣列的超緊密配置。

本發明之進一步的有利具體實施例於從屬之申請專利範圍中說明。

此外，將連接區域和細胞陣列建構成矩形將會很有利，其中各細胞陣列以具有適當大小的邊緣與連接區域的每一邊緣相鄰。各連接區域的角落區域分別進一步配置一細胞陣列。此種記憶體配置的具體實施例具有一矩形外側輪廓。因此，此種記憶體配置特別適用於邊長比2:1的一標準外罩。

本發明的一有利具體實施例係由以下方式組成：於一細胞陣列與另一細胞陣列或連接區域相鄰的邊緣區域中，建構一線路解碼器或者一列解碼器。以此方式，將線路或列解碼器配置成相對較接近中央連接區域，使用以讀出資料或者將資料寫入細胞陣列的信號路徑相對較短。

較佳者，一細胞陣列的大小大約與連接區域相同。

於本發明的一進一步具體實施例中，每一細胞陣列再次分割成兩個細胞子陣列。

於一較佳具體實施例中，將連接區域中的焊墊配置成四列形式，而且將該四列配置成平行於連接區域的四個外側邊緣。以此方式，有可能將連接墊作對稱分散。

再者，於中央連接區域中配置周邊電路將會很有利。因此，周邊電路大致上相當於離開所有細胞陣列很遠，使來自各細胞陣列之信號的傳播時間差異相對較小。

五、發明說明(3)

以下將使用圖式更詳細解釋本發明，其中：

圖1顯示一第一記憶體配置，

圖2顯示一記憶體配置的一第二具體實施例，以及

圖3顯示一記憶體配置的一第三具體實施例。

圖1顯示將外部輪廓建構成矩形的一記憶體配置。記憶體配置的一縱向邊緣24大致為記憶體配置的一橫向邊緣25的兩倍。因此，記憶體配置適合併入具有邊長比大約為2:1的一標準外罩中。此種邊長比例如可用於具有128百萬位元，512百萬位元，20億位元等的一中型記憶體大小情況中。因為記憶體配置的外部輪廓，有可能於較先前技藝之架構更早的技術時代將512百萬位元DRAM併入一標準外罩。

一連接區域1配置記憶體配置的中央，其為矩形構造。連接區域1於縱向邊與橫向邊間的邊長比其比例大約為2:1。焊墊14排列於連接區域1中，配置成列的形式。焊墊14用以連接焊線，焊線從焊墊導引至一外罩的連接接腳。焊墊連接至電路和細胞陣列。列15，16，17，18，19，20分別配置成平行於連接區域1的橫向邊緣和縱向邊緣，而且與其相距一預定距離。於所說明之示範具體實施例中，第一和第二列15，16配置成與連接區域1的上橫向邊緣相距一預定距離，然後第一和第二列15，16彼此相距一預定距離，而且分別與兩縱向邊緣對稱相距同樣的距離。

再者，第三和第四列17，18排列於連接區域1中，而且

五、發明說明(4)

相對於第一和第二列15, 16而鏡射對稱配置。焊墊14的第五和第六列20, 19分別配置成平行於縱向邊緣, 而且與其相距一預定距離。第五和第六列19, 20配置於中間區域, 將第一和第二以及第三和第四列15, 16, 17, 18隔開。以此方式, 可使焊墊14對稱分散。因此, 提供相對較大的空間供熔接焊墊14和焊線用, 此外, 細胞陣列以大致相同的距離配置於焊墊周圍。然而, 亦可能為其他焊墊配置, 如配置成一行。

連接區域1係由第一, 第二, 第三, 第四, 第五, 第六, 第七, 第八細胞陣列2, 3, 4, 5, 6, 7, 8, 9圍繞成環狀形式, 於形式和大小上, 該等細胞陣列對應於連接區域1加以建構。細胞陣列以記憶體細胞構成一類似矩陣的記憶體陣列。此外, 將細胞陣列配置於連接區域1的各縱向和橫向邊緣, 使兩細胞陣列9, 5分別有一橫向邊緣與連接區域1的上, 下橫向邊緣相鄰, 而且第四和第八細胞陣列5, 9分別與連接區域1的縱向邊緣呈一直線。第二和第六細胞陣列3, 7分別有一邊緣與連接區域1的一邊緣相鄰, 該第二和第六細胞陣列3, 7配置成使第二和第六細胞陣列分別與連接區域1的橫向邊緣呈一直線。

第一, 第三, 第五, 第七細胞陣列2, 4, 6, 8配置於角落區域, 使細胞陣列的外側邊緣形成一矩形輪廓。細胞陣列2至9具有相同構造。邊緣細胞陣列具有一列解碼器11, 其含有列線路12, 以及一行解碼器11, 其含有行線路13。經由列和行解碼器10, 11, 可與記憶體陣列中的

五、發明說明 (5)

個別記憶體細胞進行接觸，其中該等記憶體細胞位於列選擇線路與行選擇線路12，13的各交叉點上。每一列解碼器10和行解碼器11電子連接至焊墊14。列解碼器10係沿著各別細胞陣列的縱向邊緣而配置。行解碼器11則配置成與各別細胞陣列的橫向邊緣相鄰。列解碼器10和行解碼器11通常配置於與一細胞或者一連接區域1相鄰的邊緣上。因此，列解碼器10和行解碼器11的位置相對較接近連接區域1，使列解碼器10，行解碼器11與連接墊14以及/或者周邊電路23間的信號路徑相對較短。

連接區域1具有複數個周邊電路23，其電子連接至焊墊14以及/或者細胞陣列。所提供的周邊電路例如為放大器電路，控制邏輯，以及操作記憶體配置所需的更多電路。

圖2顯示一記憶體配置的一進一步具體實施例，其中相較於圖1的記憶體配置，前面之細胞陣列2至9分別細分成第一和第二細胞子陣列21，22。每一細胞子陣列21，22具有其本身的行解碼器11。因此，每一細胞陣列2至9具有一列解碼器10和兩個行解碼器11。由於位元線較短，因此對一列選擇線路所屬資料的資料存取較快。

對應於圖1的具體實施例，其中將細胞陣列2至9配置成環繞連接區域1。其與圖1之具體實施例中的進一步差異在於焊墊14的配置。該焊墊14之第一、二、三及四列15，16，17，18係根據圖1配置。雖然第五和第六列19，20同樣配置成平行於縱向邊緣，但其與邊緣的距離縮小許多，而且其配置於第一，第二，第三和第四列14，15

五、發明說明 (6)

， 16 ， 17 ， 18 與縱向邊緣之間。此外，將周邊電路 23 排列於連接區域 1 中。

圖 3 為一記憶體配置的一進一步具體實施例，其中對應於圖 2 的具體實施例，每一細胞陣列 2 至 9 又細分成第一和第二細胞子陣列 21 ， 22 。然而，於本具體實施例中，每一細胞陣列 2 至 9 各沿著一縱向邊緣有一行解碼器 11 。此外，分別將一細胞子陣列 21 ， 22 的一列解碼器 10 配置於各細胞陣列中。否則細胞陣列的構造對應於圖 2 的構造。

與圖 2 的進一步差異在於連接區域 1 中焊墊 14 的配置。雖然第一，第二，第三和第四列 14 ， 15 ， 16 ， 17 ， 18 係對應於圖 2 而配置，但第五和第六列 19 ， 20 排列成平行於縱向邊緣。第五列 19 配置於第二與第四列 16 ， 18 之間，而且第六列 20 配置於第一與第三列 15 ， 17 之間。周邊電路 23 同樣整合於連接區域 1 中。

較佳者，將操作記憶體配置所需的所有周邊電路配置於圖 1 ， 2 ， 3 之記憶體配置的第一連接區域中。

指定代號一覽表

- 1 連接區域
- 2 第一細胞陣列
- 3 第二細胞陣列
- 4 第三細胞陣列
- 5 第四細胞陣列
- 6 第五細胞陣列
- 7 第六細胞陣列

五、發明說明(7)

- 8 第七細胞陣列
- 9 第八細胞陣列
- 10 字解碼器
- 11 位元解碼器
- 12 字線
- 13 位元線
- 14 焊墊
- 15 第一列
- 16 第二列
- 17 第三列
- 18 第四列
- 19 第五列
- 20 第六列
- 21 第一細胞子陣列
- 22 第二細胞子陣列
- 23 周邊電路
- 24 縱向邊緣
- 25 橫向邊緣

四、中文發明摘要(發明之名稱：具有中央連接區域之記憶體配置)

說明一種具有一中央連接區域的記憶體配置。該中央連接區域圍繞著具有記憶體細胞的細胞陣列。以此方式，提供一種具有緊密之外部大小的記憶體配置，其特別適用於邊長比為2:1。較佳者，將所有周邊電路配置於中央連接區域中。其結果為：周邊電路與各細胞陣列間的傳播時間差異可相對較小。

英文發明摘要(發明之名稱："MEMORY ARRANGEMENT WITH A CENTRAL CONNECTION AREA")

A memory arrangement is described which has a central connection area. The central connection area is surrounded annularly by cell arrays having memory cells. In this way, a memory arrangement with compact external dimensions is provided, which is suitable in particular for a side ratio of 2:1. All the peripheral circuits are preferably arranged in the central connection area. As a result, the propagation time differences between the peripheral circuits and the various cell arrays are relatively small.

Skizze 4

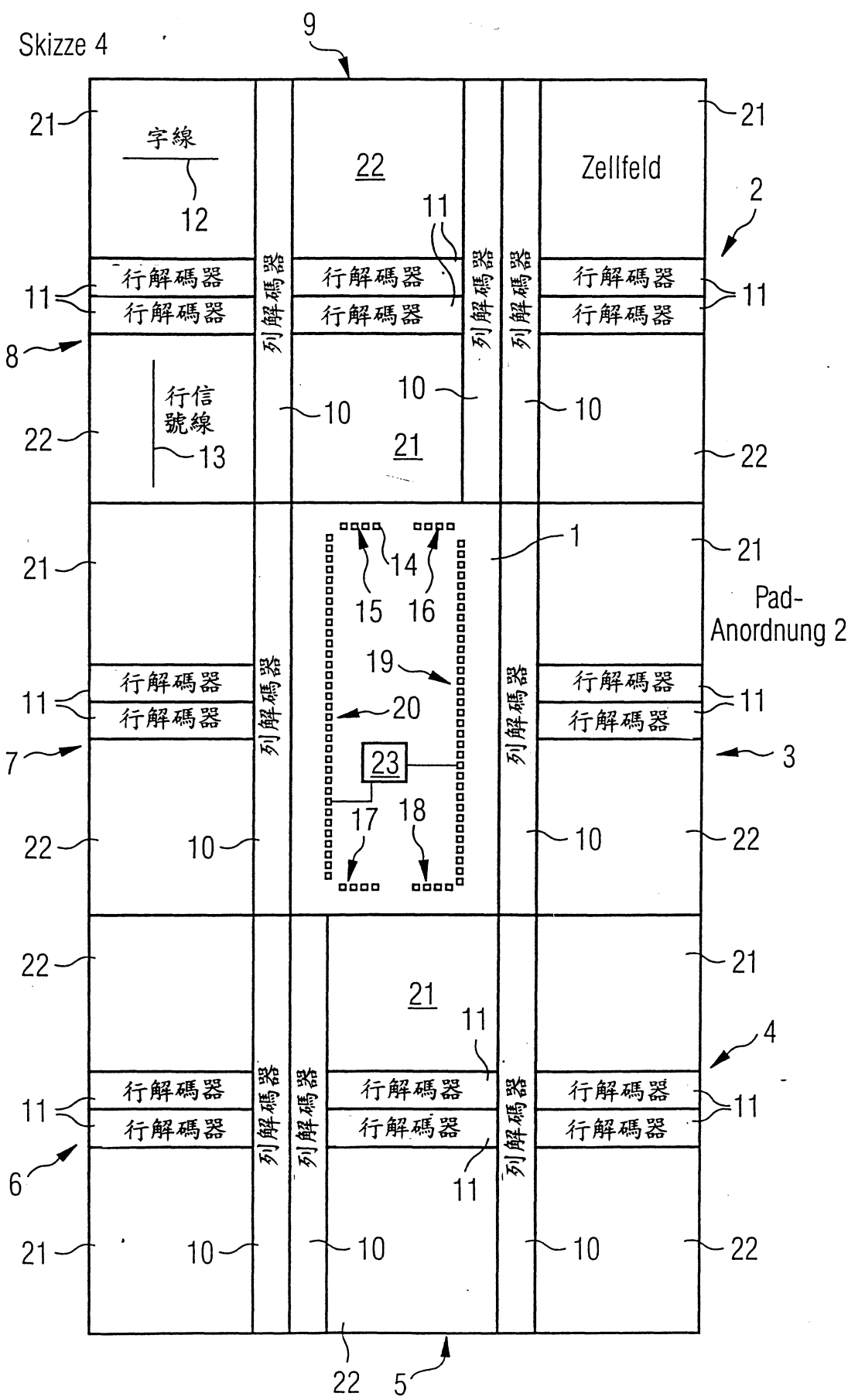


圖 2

Skizze 5

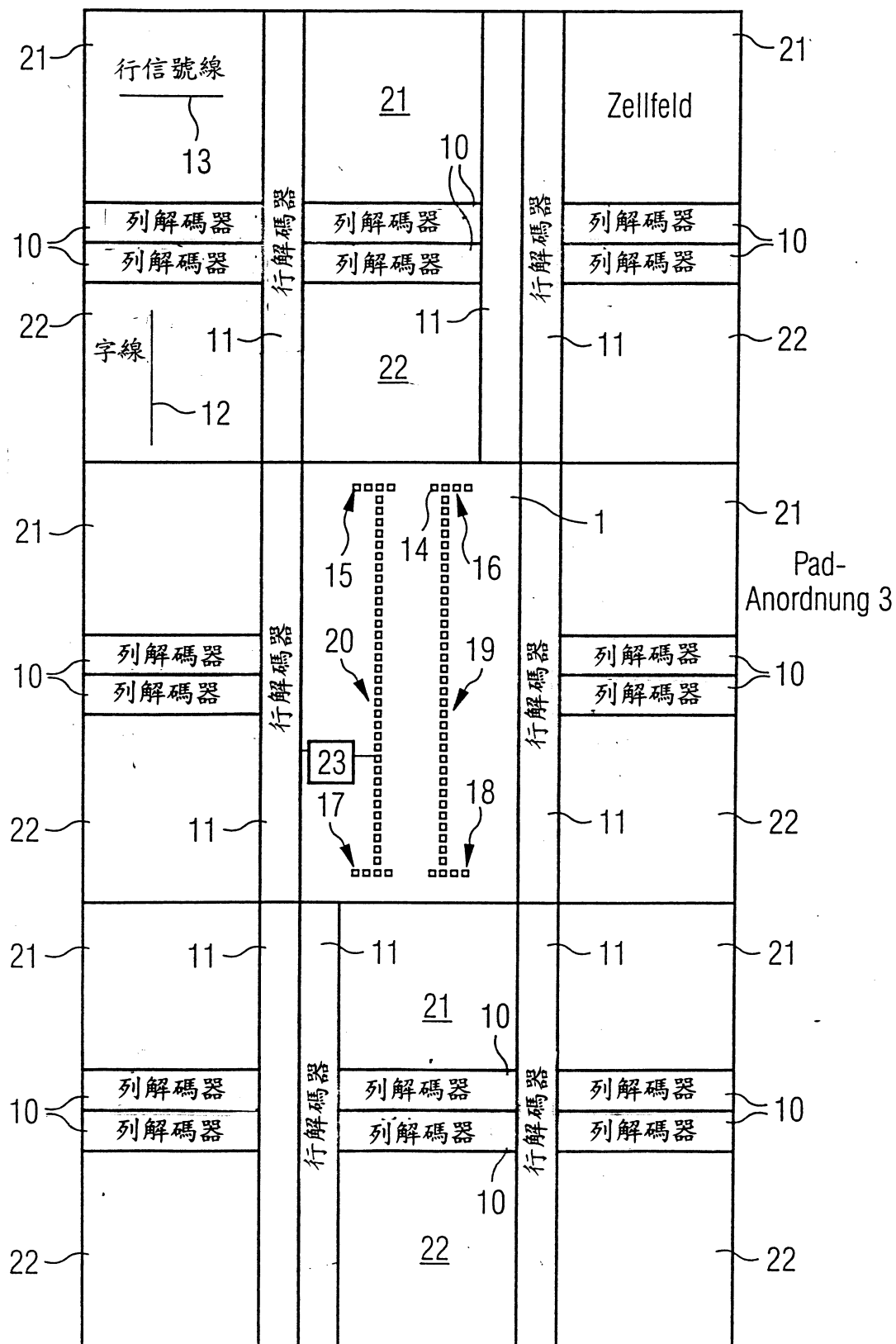


圖 3

五、發明說明 (1)

本發明係關於根據申請專利範圍第1項之前文的一記憶體配置。

半導體記憶體通常係由小的矩形細胞單元建構而成(例如於256 Mb DRAM之情況中，細胞單元係由4 Mb組成)。此等細胞單元組合成較大的配置(細胞陣列)，於一256 Mb DRAM之情況中，其大小通常為64 Mb。因此，於256 Mb DRAM之情況中，必需將四個此種細胞陣列配置於模組上，該情況通常將兩兩細胞陣列配置於彼此的旁邊，同時兩相鄰配置的細胞陣列間形成一連接區域。該連接區域具有焊墊，連接至細胞陣列的切換元件，用以連接更多電路。由於通常個別細胞陣列的邊長比為2:1，而且該連接區域相對較小，所以例如於具有四個細胞陣列之256 Mb DRAM情況中，其結果為：所有邊長比均為2:1。於一512 Mb DRAM之情況中，其中須放置八個細胞陣列($512\text{M} = 8 \times 64\text{M}$)，則於先前技藝中將有兩種替代配置：

- a) 各為四個細胞陣列相互於彼此的旁邊。
- b) 於連接區域的兩邊各有四個細胞陣列，分別為2*2配置。

兩種配置均具有不方便的邊長比，分別為4:1(情況(a))或者1:1(情況(b))。某些情況下，此種邊長比導致晶片大小無法合乎標準化的外罩。

本發明之目的為：提供具有更彈性之構造的記憶體陣列。

本發明之目的可藉由申請專利範圍第1項的特性予以達成。本發明的重要優點為：提供一種配置於中央的連接區

六、申請專利範圍

1. 一種具有一連接區域(1)和細胞陣列(2至9)之記憶體配置，該等細胞陣列與該連接區域(1)相鄰，各細胞陣列(2至9)具有包含列和行解碼器(10，11)的一類似矩陣之記憶體，其分別連接至位址線(12，13)，
連接區域(1)具有電子連接細胞陣列(2至9)的連接墊，
其特徵為：將連接區域(1)配置於中央，
其中各細胞陣列(2至9)分別位於連接區域(1)其四個邊緣的每一邊緣上，
其中將細胞陣列(2至9)配置於圍繞該連接區域的一接近之環中，
其中一細胞陣列(2)的兩邊緣分別與兩個其他的細胞陣列(3，9)相鄰，
其中於縱向方向將一細胞陣列(2至9)分割成第一和第二細胞子陣列(21，22)，
其中第一和第二細胞子陣列(21，22)於沿著與連接區域(1)或另一細胞陣列(2至9)相鄰的縱向邊上有一列或行解碼器(10，11)，
其中將列或行解碼器(10，11)配置成與縱向邊呈直角，
其中細胞陣列(2至9)於縱向邊的中央具有兩彼此相鄰的行或列解碼器(10，11)，
其中第一行或列解碼器(10，11)連接至第一位址線(12，13)，其於第一細胞子陣列(21)中配置成與縱向方向平行，而且其中第二行或列解碼器(10，11)連接至第二位址線(12，13)，其於第二細胞子陣列(22)中配置成

六、申請專利範圍

與縱向方向平行。

2. 如申請專利範圍第1項之記憶體配置，其特徵為：連接區域(1)為矩形，

其中細胞陣列(2至9)為矩形，

其中四個細胞陣列(3, 5, 7, 9)與連接區域(1)的邊緣相鄰，而且其邊緣長度分別等於連接區域(1)的邊緣長度，

其中分別將一細胞陣列(2, 4, 6, 8)配置於四個角落區域，及

而且其中記憶體配置的整個區域為矩形。

3. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：將連接墊(14)的第五和第六列配置成以一預定距離與連接區域(1)的縱向邊平行，

其中將連接墊的第一，第二，第三和第四列(15, 16, 17, 18)配置成以一預定距離與連接區域(1)的橫向邊平行，

其中將第一和第二和第三和第四列配置於一直線上，而且彼此相距一預定距離，

其中相對於第一和第三以及第二和第四列(15, 17, 16, 18)，分別將第五和第六列(19, 20)配置於中央。

4. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：將連接墊的第五和第六列配置成以一預定距離與連接區域的縱向邊平行，

其中將連接墊的第一，第二，第三和第四列配置成以一

六、申請專利範圍

預定距離與連接區域(1)的橫向邊平行，

其中將第一和第二和第三和第四列(15, 16, 17, 18)配置於一直線上，而且彼此相距一預定距離，以及

其中將第五和第六列(19, 20)分別配置於第一和第二與第三和第四列(15, 16, 17, 18)之間。

5. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：
將連接墊(14)的第五和第六列(19, 20)配置成以一預定距離與連接區域(1)的縱向邊平行，

其中將連接墊(14)的第一，第二，第三和第四列(15, 16, 17, 18)配置成以一預定距離與連接區域(1)的橫向邊平行，

其中將第一和第二和第三和第四列(15, 16, 17, 18)配置於一直線上，而且彼此相距一預定距離，以及

其中將第五和第六列(19, 20)分別配置於第一和第三和第二和第四列(15, 17, 16, 18)與連接區域(1)的縱向邊緣之間。

6. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：
將用以操作細胞陣列(2至9)的周邊電路(23)配置於連接區域(1)中。

7. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：
細胞陣列(2至9)的大小大約相同，而且形成連接區域(1)。

8. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：
將一細胞陣列(2至9)細分成細胞子陣列(20, 21)。

六、申請專利範圍

9. 如申請專利範圍第1項或第2項之記憶體配置，其特徵為：
：將細胞陣列(2至9)以及/或者連接區域(1)設計成寬度的兩倍。