



- (21)申請案號：098145707 (22)申請日：中華民國 95 (2006) 年 06 月 01 日
- (51)Int. Cl. : **H04L27/26 (2006.01)** **H04B1/7075 (2011.01)**
- (30)優先權：2005/06/01 美國 60/686,645  
 2005/06/16 美國 60/691,706  
 2005/09/12 美國 11/224,916
- (71)申請人：高通公司(美國) QUALCOMM INCORPORATED (US)  
 美國
- (72)發明人：傑 羅德尼 華頓 WALTON, JAY RODNEY (US)；華倫斯 馬克 S WALLACE,  
 MARK S. (US)
- (74)代理人：陳長文
- (56)參考文獻：
- |                   |              |
|-------------------|--------------|
| US 6456644B1      | US 6618452B1 |
| US 6628730B1      | US 6882682B1 |
| US 2004/0085946A1 |              |
- 審查人員：謝志偉
- 申請專利範圍項數：32 項 圖式數：11 共 0 頁

## (54)名稱

用於執行訊號偵測之方法、裝置、及電腦程式產品

METHOD, APPARATUS, AND COMPUTER PROGRAM PRODUCT FOR PERFORMING SIGNAL DETECTION

## (57)摘要

本發明描述用以偵測及解調變一訊號/傳輸之技術。訊號偵測使用不同類型之訊號處理，例如使用用於一第一級之時域相關、用於一第二級之頻域處理及用於一第三級之時域處理，而在多級中執行。對於該第一級，產生符號之積用於至少兩個不同延遲，執行用於每一延遲之積與已知值之間的相關，且用於所有延遲之相關結果經組合且用於宣佈一訊號之存在。對於解調變，調整輸入樣本之時序以獲取時序調整樣本。一頻率偏移經估計且自該等時序調整樣本移除以獲取頻率校正樣本，該等頻率校正樣本用一通道估計處理以獲取偵測符號。該等偵測符號之相位經校正以獲取相位校正符號，該等相位校正符號經解調變、去交錯及解碼。

Techniques for detecting and demodulating a signal/transmission are described. Signal detection is performed in multiple stages using different types of signal processing, e.g., using time-domain correlation for a first stage, frequency-domain processing for a second stage, and time-domain processing for a third stage. For the first stage, products of symbols are generated for at least two different delays, correlation between the products for each delay and known values is performed, and correlation results for all delays are combined and used to declare the presence of a signal. For demodulation, the timing of input samples is adjusted to obtain timing-adjusted samples. A frequency offset is estimated and removed from the timing-adjusted samples to obtain frequency-corrected samples, which are processed with a channel estimate to

obtain detected symbols. The phases of the detected symbols are corrected to obtain phase-corrected symbols, which are demodulated, deinterleaved, and decoded.

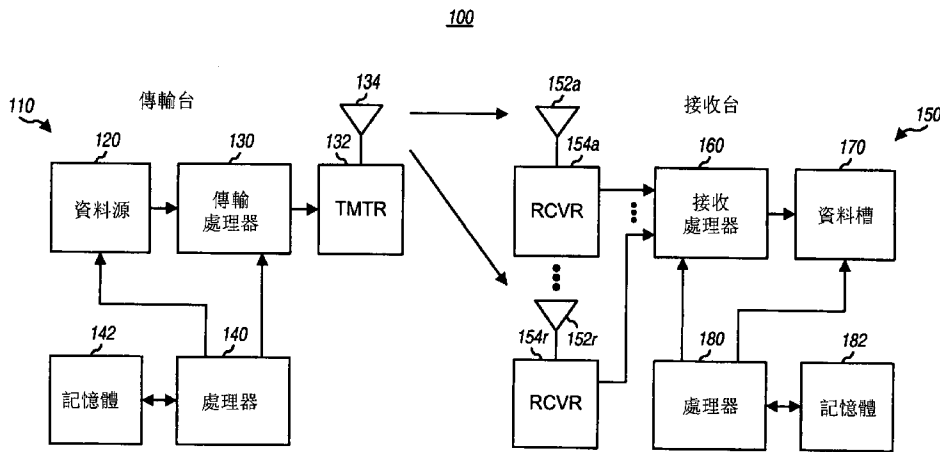


圖1

- 100 . . . 無線網路
- 110 . . . 傳輸台
- 120 . . . 資料源
- 130 . . . 傳輸處理器
- 132 . . . 傳輸器單元
- 134 . . . 天線
- 140 . . . 處理器
- 142 . . . 記憶體單元
- 150 . . . 接收台
- 152a、152r . . . 天線
- 154a、154r . . . 接收器單元
- 160 . . . 接收處理器
- 170 . . . 資料槽
- 180 . . . 處理器
- 182 . . . 記憶體單元

# 發明專利說明書

中文說明書替換頁(102年12月20日)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：098145707

※ 申請日：95.6.1

※IPC 分類：H04L 27/26 (2006.01)

原申請案號：095119417

H04B 1/7075 (2011.01)

## 一、發明名稱：(中文/英文)

用於執行訊號偵測之方法、裝置、及電腦程式產品

METHOD, APPARATUS, AND COMPUTER PROGRAM PRODUCT  
FOR PERFORMING SIGNAL DETECTION

## 二、中文發明摘要：

本發明描述用以偵測及解調變一訊號/傳輸之技術。訊號偵測使用不同類型之訊號處理，例如使用用於一第一級之時域相關、用於一第二級之頻域處理及用於一第三級之時域處理，而在多級中執行。對於該第一級，產生符號之積用於至少兩個不同延遲，執行用於每一延遲之積與已知值之間的相關，且用於所有延遲之相關結果經組合且用於宣佈一訊號之存在。對於解調變，調整輸入樣本之時序以獲取時序調整樣本。一頻率偏移經估計且自該等時序調整樣本移除以獲取頻率校正樣本，該等頻率校正樣本用一通道估計處理以獲取偵測符號。該等偵測符號之相位經校正以獲取相位校正符號，該等相位校正符號經解調變、去交錯及解碼。

### 三、英文發明摘要：

Techniques for detecting and demodulating a signal/transmission are described. Signal detection is performed in multiple stages using different types of signal processing, e.g., using time-domain correlation for a first stage, frequency-domain processing for a second stage, and time-domain processing for a third stage. For the first stage, products of symbols are generated for at least two different delays, correlation between the products for each delay and known values is performed, and correlation results for all delays are combined and used to declare the presence of a signal. For demodulation, the timing of input samples is adjusted to obtain timing-adjusted samples. A frequency offset is estimated and removed from the timing-adjusted samples to obtain frequency-corrected samples, which are processed with a channel estimate to obtain detected symbols. The phases of the detected symbols are corrected to obtain phase-corrected symbols, which are demodulated, deinterleaved, and decoded.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	無線網路
110	傳輸台
120	資料源
130	傳輸處理器
132	傳輸器單元
134	天線
140	處理器
142	記憶體單元
150	接收台
152a、152r	天線
154a、154r	接收器單元
160	接收處理器
170	資料槽
180	處理器
182	記憶體單元

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本揭示案通常係關於通信，且更具體言之係關於用於無線通信之接收器。

### 【先前技術】

廣泛佈署無線通信網路以提供各種通信服務，諸如資料、音訊、視訊等等。此等網路包括：無線廣域網路(WWAN)，其提供較大地理區域(例如，城市)之通信覆蓋；無線區域網路(WLAN)，其提供中等大小之地理區域(例如，建築物及校園)之通信覆蓋；及無線個人區域網路(WPAN)，其提供較小地理區域(例如，家庭)之通信覆蓋。無線網路通常包括支持用於一或多個使用者終端機(或無線設備)之通信的一或多個接取點(或基地台)。

IEEE 802.11為電氣和電子工程師協會(IEEE)開發的用於WLAN之一系列標準。此等標準規定接取點與使用者終端機之間或兩個使用者終端機之間的無線電介面。名稱為"部分11: Wireless LAN Medium Access Control(MAC)and Physical Layer(PHY)Specifications"之IEEE Std 802.11，1999版本(或僅"802.11")使用跳頻展頻(FHSS)或直接序列展頻(DSSS)來支持2.4十億赫茲(GHz)頻帶中1及2百萬位元/秒(Mbps)的資料傳輸率。IEEE Std 802.11a-1999(或僅"802.11a")係802.11之補充，使用正交分頻多工(OFDM)而非使用FHSS或DSSS，且支持5 GHz頻帶中高至54 Mbps的資料傳輸率。IEEE Std 802.11b-1999(或僅"802.11b")係

802.11之另一補充，且使用DSSS來支持高至11 Mbps之資料傳輸率。IEEE Std 802.11g-2003(或僅"802.11g")係802.11之又一補充，使用DSSS及OFDM，且支持2.4 GHz頻帶中高至54 Mbps的資料傳輸率。此等各種標準在此項技術中為熟知的且可公開使用。

802.11、802.11a、802.11b及802.11g所支持之最低資料傳輸率為1 Mbps。對於802.11b及802.11g(或僅"802.11b/g")，特定DSSS機制及特定調變機制用來以1 Mbps之最低資料傳輸率發送傳輸。對於1 Mbps，DSSS及調變機制需要用於傳輸之可靠接收的某最小訊雜干擾比(SNR)。傳輸範圍接著由在其內接收台可達成所需SNR或更佳SNR之地理區域來判定。在某些情況下，需要以大於用於由802.11b/g支持之最低資料傳輸率之範圍的範圍發送傳輸。

因此在此項技術中需要能夠以延伸覆蓋範圍操作之無線通信網路及台。

### 【發明內容】

本文描述在不良通道條件下(例如，低SNR)用以偵測及解調變訊號/傳輸之技術。在一態樣中，在多級中使用不同類型之訊號處理來執行訊號偵測以達成良好偵測效能。在一實施例中，使用用於第一級之時域相關、用於第二級之頻域處理及用於第三級之時域處理來執行訊號偵測。用於每一級之訊號偵測可進一步基於適應性臨限值執行，該臨限值係基於用於符號窗之接收能量而得出，使得偵測效

能對接收之訊號位準較不敏感。基於所有三級之輸出可宣佈訊號之存在。

在第一級之一態樣中，接收台處之輸入樣本可用程式碼序列解展頻以產生(解展頻符號)。接著產生(解展頻符號)之積而用於至少(兩個延遲)，例如1-符號及2-符號延遲。執行用於每一延遲之積與用於該延遲之已知值之間的相關。用於所有延遲之相關結果接著(例如)非相干或相干地組合而用於多個假設相位。訊號之存在及訊號之時序可基於組合之相關結果而判定。

在另一態樣中，解調變以一方式執行以在不良通道條件下達成良好效能。在一實施例中，調整(例如，用多相位濾波器)輸入樣本之時序以獲取時序調整樣本。估計頻率偏移且將其自時序調整樣本移除以獲取頻率校正樣本，其用通道估計(例如，使用耙式接收器)處理以獲取偵測符號。校正偵測符號之相位以獲取相位校正符號。接著對相位校正符號執行解調變以獲取解調變符號，其經去交錯及解碼以獲取解碼資料。

用於每一偵測級及用於解調變之訊號處理在下文中詳細描述。本發明之各種態樣及實施例亦在下文中描述。

### 【實施方式】

本文使用詞"例示性"來意謂"用作一實例、例子或說明。"本文描述為"例示性"之任一實施例或設計不必解釋為優於或勝於其他實施例或設計。

圖1展示無線網路100中之傳輸台110及接收台150之方塊



圖。傳輸台 110 裝備有單一天線且可為接取點或使用者終端機。接收台 150 裝備有多個(例如,  $R=2$ )天線且亦可為接取點或使用者終端機。一般而言, 每一台可裝備有可用於資料傳輸及接收之任意數目的天線。接取點通常為與使用者終端機通信之固定台, 且亦可稱作基地台、基地收發器子系統(BTS)或某其他術語。使用者終端機可為固定的或行動的, 且亦可稱作行動台、無線設備、使用者裝備(UE)或某其他術語。

在傳輸台 110 處, 傳輸處理器 130 自資料源 120 接收訊務資料, 根據選擇用於傳輸之資料傳輸率而處理訊務資料, 且提供輸出晶片。藉由傳輸處理器 130 之處理在下文中描述。傳輸器單元(TMTR)132 處理(例如, 轉換成類比、放大、過濾及增頻變換)輸出晶片且產生經由天線 134 傳輸之調變訊號。

在接收台 150 處,  $R$  個天線 152a 至 152r 接收傳輸訊號, 且每一根天線 152 將接收訊號提供至個別接收器單元(RCVR)154。天線亦可稱作"分集", 且  $R$  個接收天線提供之分集階數為  $R$ 。每一接收器單元 154 處理其接收訊號且將輸入樣本流提供至接收處理器 160。接收處理器 160 以對傳輸處理器 130 執行之處理之補充的方式自所有  $R$  個接收器單元 154a 至 154r 處理輸入樣本, 且將解碼資料提供至資料槽 170。解碼資料係對由傳輸台 110 發送之訊務資料的估計。

處理器 140 及 180 分別在傳輸台 110 及接收台 150 處引導處理單元之操作。記憶體單元 142 及 182 分別儲存由處理器

140及180使用之資料及/或程式碼。

台110及150可支持802.11b及/或802.11g。802.11g與802.11b反向相容且支持由802.11b定義之所有操作模式。台110及150可進一步支持範圍延伸模式，該模式支持低於802.11b/g中之最低資料傳輸率的至少一資料傳輸率。較低資料傳輸率可用來延伸覆蓋範圍，其有利於某些應用，諸如對講機。

表格1列出由802.11b及802.11g支持之兩種最低資料傳輸率及用於每一資料傳輸率之處理。根據一實施例，表格1亦列出由範圍延伸模式支持之三種資料傳輸率及用於每一資料傳輸率之處理。在表格1中，DBPSK指示差異二元移相鍵控，且DQPSK指示差異四相移相鍵控。

表格1

模式	資料傳輸率	編碼速率	調變	展頻	效率
802.11b/g	2 Mbps	無	DQPSK	DSSS	2 位元/sym
	1 Mbps	無	DBPSK	DSSS	1 位元/sym
範圍延伸 模式	1 Mbps	1/2	DQPSK	DSSS	1 位元/sym
	500 Kbps	1/2	DBPSK	DSSS	0.5 位元/sym
	250 Kbps	1/4	DBPSK	DSSS	0.25 位元/sym

為清晰起見，在下文描述中，術語"位元"係指傳輸台調變(或符號映射)之前的量，術語"符號"係指符號映射之後的量，且術語"晶片"係指展頻之後的量。術語"樣本"係指在接收台處解展頻之前的量。

圖2展示傳輸台110處之傳輸處理器130的一實施例。傳輸處理器130包括導引產生器210、用於802.11b/g之DSSS傳輸處理器240、用於範圍延伸模式之DSSS傳輸處理器

250及多工器(Mux)270。

導引產生器210產生用於802.11b/g及範圍延伸模式之導引(其亦稱作序文或參考內容)。在導引產生器210內，符號映射器214接收導引位元，基於BPSK將此等位元映射至調變符號，且將導引符號提供至展頻器216。如本文所用，導引符號為用於導引之調變符號，資料符號為用於訊務資料之調變符號，對於調變機制(例如，M-PSK或M-QAM)，調變符號為訊號群中之一點的複合值，且符號為任一複合值。展頻器216展頻導引符號且提供輸出晶片。在展頻器216內，偽隨機數(PN)程式碼產生器222產生PN程式碼序列。在一些實施例中，此亦可稱作Barker序列。Barker序列有11個晶片長，傳輸率為11百萬晶片/秒(Mcps)，且由下列11晶片序列 $\{+1, -1, +1, +1, -1, +1, +1, +1, -1, -1, -1\}$ 組成。乘法器224以1百萬符號/秒(Msps)傳輸率自符號映射器214接收導引符號，且自PN程式碼產生器222接收Barker序列。乘法器224用Barker序列之所有11個晶片乘以每一導引符號，產生用於每一導引符號之11個輸出晶片，且提供用於導引之輸出晶片序列。輸出晶片傳輸率為11倍導引符號傳輸率，或11 Mcps。每一輸出晶片為於一晶片週期 $T_c$ 中發送之複合值，其對於802.11b/g約為90.9奈秒(ns)。

DSSS傳輸處理器240執行用於802.11b/g之微分調變及展頻。在處理器240內，差分編碼器242接收用於訊務資料之資料位元，執行對用於DBPSK或DQPSK之資料位元的差分編碼，且提供差分編碼位元。對於DBPSK，資料位元'0'導

致 $0^\circ$ 之相位變化，且資料位元'1'導致 $180^\circ$ 之相位變化。對於DQPSK，資料位元對'00'導致 $0^\circ$ 之相位變化，資料位元對'01'導致 $+90^\circ$ 之相位變化，資料位元對'11'導致 $+180^\circ$ 之相位變化，且資料位元對'10'導致 $+270^\circ$ 之相位變化。在一些實施例中，符號映射器244基於1 Mbps資料傳輸率之BPSK及基於2 Mbps資料傳輸率之QPSK將差分編碼位元映射至調變符號。然而，可利用傳輸率之其他調變機制。符號映射器244以對於1 Mbps資料傳輸率之1 Msps傳輸率提供BPSK調變符號，且以對於2 Mbps資料傳輸率的1 Msps傳輸率提供QPSK調變符號。展頻器246將來自符號映射器244之資料符號展頻且提供用於訊務資料之輸出晶片。

DSSS傳輸處理器250執行用於範圍延伸模式之前向誤差校正(FEC)編碼、符號映射及展頻。在處理器250內，FEC編碼器252接收用於訊務資料之資料位元，根據FEC編碼機制將資料位元編碼，且提供程式碼位元。FEC編碼器252可實施卷積程式碼、Turbo程式碼、低密度同位檢查(LDPC)程式碼、區塊程式碼、某其他程式碼或其組合。重複/擊穿單元254可將一些或所有程式碼位元重複或擊穿以獲取所要編碼速率。交錯器256基於交錯機制而將程式碼位元交錯或重新排序。差分編碼器262對交錯位元(例如，對於DBPSK或DQPSK)執行差分編碼，且提供差分編碼位元。符號映射器264基於調變機制(例如，BPSK或QPSK)將差分編碼位元映射至調變符號。展頻器266將來自符號映射器264之資料符號展頻，且提供用於訊務資料之輸出晶

片。展頻器 246 及 266 可以與展頻器 216 相同之方式實施，且可用 11 晶片 Barker 序列將每一資料符號展頻以產生用於該資料符號之 11 個輸出晶片。

多工器 270 自導引產生器 210 及 DSSS 傳輸處理器 240 與 250 接收輸出晶片，在適當時間提供用於導引之輸出晶片，若選擇 802.11b/g 模式則自處理器 240 提供輸出晶片，且若選擇範圍延伸模式則自處理器 250 提供輸出晶片。

對於 IEEE 802.11，資料由媒體存取控制 (MAC) 層處理為 MAC 協定資料單元 (MPDU)。每一 MPDU 由實體層聚合協定 (PLCP) 處理，且在 PLCP 協定資料單元 (PPDU) 中囊封。每一 PPDU 由實體層 (如圖 2 中所示) 處理且經由無線通道傳輸。

圖 3 展示 802.11b/g 使用之 PPDU 結構 300。對於 PPDU 結構 300，PPDU 310 包括 PLCP 序文 320、PLCP 標頭 330 及 MPDU 340。MPDU 340 載運用於 PPDU 310 之訊務資料且具有可變長度。PLCP 序文 320 包括 PLCP 同步 (SYNC) 場 322 及起始訊框定界符 (SFD) 場 324。SYNC 場 322 載運固定 128 位元序列，該序列可由接收台用於訊號偵測、擷取及其他目的。128 位元序列中之位元指示為  $d_0$ 、 $d_1$ 、...、 $d_{127}$ 。SFD 場 324 載運表示 PLCP 標頭起始之固定 16 位元序列。PLCP 標頭 330 包括表示用於 MPDU 之資料傳輸率的訊號場 332、設定為 '0' 來表示符合 IEEE 802.11 之服務場 334、表示發送 MPDU 340 所需的時間量 (單位為微妙) 之長度場 336 及載運基於訊號、服務及長度場產生之 CRC 值的 CRC 場 338。

PLCP序文 320 及 PLCP標頭 330 使用 DBPSK 而以 1 Mbps 發送。PLCP序文 320 共含有 144 個位元，該等位元經處理以產生 144 個 BPSK 符號。每一 BPSK 符號由 11 個輸出晶片組成，該等輸出晶片藉由用 11 個 Barker 序列晶片將該 BPSK 符號展頻而獲取。144 個 BPSK 符號在 144 個符號週期中傳輸，每一符號週期具有 1 微妙 ( $\mu\text{s}$ ) 之持續時間。

PPDU 結構 300 或另一 PPDU 結構可用於範圍延伸模式。用於範圍延伸模式之 PPDU 結構可包括 SYNC 場、載運用於通道估計之固定 (例如，32 位元) 序列的 CHANEST 場、一或多個訊號場及 MPDU。

接收台 150 執行擷取以偵測由傳輸台 110 發送之 PPDU。歸因於下列差異，用於範圍延伸模式之擷取比用於 802.11b/g 之典型擷取更具挑戰性：

1. 低 SNR/分集。所需之每位元能量與總雜訊比 ( $E_b/N_0$ ) 較低，例如對於 802.11b/g，其約為 8 分貝 (dB)，而用於範圍延伸模式之所需  $E_b/N_0$  約為 3 dB。每分集階數之所需的每符號能量與總雜訊比 ( $E_s/N_0/\text{div}$ ) 在 250 kbps 之最低資料傳輸率下約為 -6 dB。在分集通道條件下，需要以此  $E_s/N_0/\text{div}$  臨限值達成優於 90% 之偵測。
2. 頻率擷取。802.11b/g 接收器通常執行微分解調變。用於範圍延伸模式之接收器可執行相干解調變以改良效能。為獲取用於相干解調變之良好通道估計，接收器需要判定傳輸時的振盪器與接收台之間的頻

率誤差。接收台處之每百萬(ppm) $\pm 20$ 份之頻率誤差在5.8 GHz下轉變成 $\pm 232$  KHz之頻率誤差，其可使得效能降級。

3. 通道估計。通道估計之雜訊功率應比總雜訊功率低很多，以達成用於相干解調變之良好效能。

圖4展示圖1中之接收台150處之接收處理器160的一實施例。在接收處理器160內，樣本緩衝器402自接收器單元154a至154r中之每一者接收輸入樣本流。擷取處理器404執行用於PPDU之擷取。在處理器404內，第一偵測級及時序擷取單元410自緩衝器402接收輸入樣本，偵測PPDU，及判定每一偵測PPDU之時序。第二偵測級及頻率擷取單元420亦偵測PPDU，且進一步估計輸入樣本中之頻率誤差。第三偵測級及通道估計單元430亦偵測PPDU，且進一步估計傳輸台110與接收台150之間之無線通道的響應。如下文所述，單元410、420及430可基於PPDU序文之SYNC場中的128位元序列執行處理。

圖5展示第一偵測級及時序擷取單元410之一實施例，其使用時域相關而執行訊號偵測。單元410以等於或高於晶片傳輸率之樣本率對複合值輸入樣本進行操作。為簡化起見，下文描述假設以晶片傳輸率提供輸入樣本。在下文描述中，" $m$ "為接收天線之指數，" $n$ "為晶片週期之指數，" $k$ "為頻率槽之指數，且" $i$ "為在SYNC場中發送之固定序列中之128位元的指數。符號傳輸率等於在SYNC場中發送之導引的位元傳輸率。相干總和係指複合值之總和，且非相干

總和係指真值(例如，量值)的總和。

在單元410內，延遲相關器510a至510r分別自接收器單元154a至154r接收輸入樣本。在用於天線1(或 $m = 1$ )之延遲相關器510a內，Barker解展頻器512a用11晶片Barker序列將輸入樣本解展頻，且以晶片傳輸率提供解展頻符號。對於每一晶片週期 $n$ ，Barker解展頻器512a用11個Barker序列晶片乘以用於晶片週期 $n$ 至 $n-10$ 之11個輸入樣本，累加倍增結果，且提供用於該晶片週期之解展頻符號 $x_m(n)$ 。Barker解展頻器512a執行Barker序列與輸入樣本之滑動相關以獲取用於每一晶片週期(而非每一符號週期)的解展頻符號，且將解展頻符號提供至符號緩衝器514a及延遲乘法器520a。

延遲乘法器520a產生解展頻符號之1-符號及2-符號延遲積。在延遲乘法器520a內，解展頻符號提供至兩個串聯耦接之延遲單元522a及522b，每一延遲單元提供一符號週期 $T_s$ 之延遲， $T_s$ 等於11個晶片週期，或 $T_s = 11 \cdot T_c$ 。單元524a及524b分別自延遲單元522a及522b提供解展頻符號之複共軛。乘法器526a用單元524a之輸出乘以用於每一晶片週期 $n$ 之解展頻符號，且提供用於該晶片週期之1-符號延遲積 $y_{1,m}(n)$ 。類似地，乘法器526b用單元524b之輸出乘以用於每一晶片週期 $n$ 之解展頻符號，且提供用於該晶片週期之2-符號延遲積 $y_{2,m}(n)$ 。

用於每一剩餘天線之延遲相關器以上文描述用於天線1之方式處理用於該天線之輸入樣本。每一延遲相關器提供



用於相關聯天線  $m$  之 1-符號延遲積  $y_{1,m}(n)$  及 2-符號延遲積  $y_{2,m}(n)$ 。對於每一晶片週期  $n$ ，求和器 528a 自所有  $R$  個延遲相關器 510a 至 510r 對積  $y_{1,m}(n)$  相干地求和， $m = 1, \dots, R$ ，且提供用於該晶片週期之積  $y_1(n)$ 。對於每一晶片週期  $n$ ，求和器 528b 自所有延遲相關器 510a 至 510r 對積  $y_{2,m}(n)$  求和， $m = 1, \dots, R$ ，且提供用於該晶片週期之積  $y_2(n)$ 。積  $y_1(n)$  及  $y_2(n)$  可表示為：

$$y_1(n) = \sum_{m=1}^R x_m(n) \cdot x_m^*(n - T_s), \quad \text{及} \quad \text{等式 (1a)}$$

$$y_2(n) = \sum_{m=1}^R x_m(n) \cdot x_m^*(n - 2T_s) \quad \text{等式 (1b)}$$

1-符號延遲積  $y_{1,m}(n)$  可表示兩個解展頻符號  $x_m(n)$  與  $x_m(n - T_s)$  之間的相位差，該兩個符號由一用於天線  $m$  之符號週期分離。2-符號延遲積  $y_{2,m}(n)$  可表示兩個解展頻符號  $x_m(n)$  與  $x_m(n - 2T_s)$  之間的相位差，該兩個符號由用於天線  $m$  之兩個符號週期分離。圖 5 展示用於訊號偵測之 1-符號及 2-符號延遲積之使用。一般而言，用於任意數目之不同延遲 (例如，1、2、3 符號週期等等) 之積可用於訊號偵測。使用用於更多延遲之積可改良 SNR 及偵測效能。然而，由於頻率偏移引起輸入樣本之相位旋轉，故最大延遲可由頻率偏移限制。延遲量亦影響差分相關器 530a 及 530b 之複雜性。舉例而言，對於一符號週期之延遲，有 127 個乘法及累加運算，對於兩個符號週期之延遲有 126 個乘法及累加運算，等等。

差分相關器 530a 及 530b 分別接收積  $y_1(n)$  及  $y_2(n)$ 。在差分

相關器 530a 內，積  $y_1(n)$  提供至交替延遲元件 532a 及 534a 之序列。每一延遲元件 532a 提供一晶片週期之延遲，每一延遲元件 534a 提供 10 個晶片週期之延遲，每一對相鄰延遲元件 532a 及 534a 提供 11 個晶片週期 (等於一符號週期) 之延遲，且延遲元件 532a 及 534a 之整個序列提供約 126 個符號週期之延遲。一組 127 個加法器 536a 耦接至 127 個延遲元件 532a。每一加法器 536a 對相關聯延遲元件 532a 之輸入及輸出求和，且提供輸出  $y_1(n-11 \cdot i) \cdot y_1(n-11 \cdot i-1)$ ，其中  $i \in \{0, \dots, 126\}$ 。一組 127 個乘法器 538a 耦接至該組 127 個加法器 536a，且亦接收含有 127 個已知值之 1-符號差分序列。此序列由第一序列  $d_0$  至  $d_{126}$  與第二序列  $d_1$  至  $d_{127}$  之逐位積形成，其中  $d_0$  至  $d_{127}$  為用於 SYNC 場之固定序列的 128 個位元 (或導引位元)。由於導引位元為真值，故  $d_i d_{i+1}^* = d_i d_{i+1}$ ， $i \in \{0, \dots, 126\}$ 。每一乘法器 538a 用  $d_i d_{i+1}$  乘以相關聯求和器 536a 的輸出。對於每一晶片週期  $n$ ，加法器 540a 添加來自所有 127 個乘法器 538a 之輸出，且提供用於該晶片週期之相關結果  $c_1(n)$ 。

差分相關器 530b 類似於差分相關器 530a。積  $y_2(n)$  提供至交替延遲元件 532b 及 534b 之序列，其提供約 125 個符號週期之延遲。一組 126 個加法器 536b 耦接至 126 個延遲元件 532b。每一加法器 536b 對相關聯延遲元件 532b 之輸入及輸出求和，且提供輸出  $y_2(n-11 \cdot i) \cdot y_2(n-11 \cdot i-1)$ ，其中  $i \in \{0, \dots, 125\}$ 。一組 126 個乘法器 538b 耦接至該組 126 個加法器 536b，且亦接收含有 126 個已知值的 2-符號差分序列。此

序列由  $d_0$  至  $d_{125}$  序列與  $d_2$  至  $d_{127}$  序列之逐位積形成。每一乘法器 538b 用  $d_i d_{i+2}$  乘以相關聯求和器 536b 之輸出。對於每一晶片週期  $n$ ，加法器 540b 添加來自所有 126 個乘法器 538b 之輸出，且提供用於此晶片週期之相關結果  $c_2(k)$ 。

差分相關器 530a 執行 1-符號延遲積  $y_1(n)$  與 1-符號差分序列之間的相關。差分相關器 530b 執行 2-符號延遲積  $y_2(n)$  與 2-符號差分序列之間的相關。圖 5 中所示之實施例假設無線通道具有幾個晶片之延遲展頻(意即，分散或拖尾)。求和器 536a 及 536b 用來收集此延遲展頻中的能量。能量亦可在用於較大延遲展頻之更多晶片上收集，或若無線通道具有零延遲展頻或極少延遲展頻(例如，對於強烈視線路徑)，則能量可忽略。

每一差分相關器 530 提供用於每一晶片週期之相關結果。來自差分相關器 530b 之相關結果  $c_2(n)$  之相位可不與來自差分相關器 530a 之相應相關結果  $c_1(n)$  的相位對準。對於  $L$  個不同假設相位，乘法器 542 用複相量  $e^{-j\theta_p}$  乘以來自差分相關器 530b 之每一相關結果  $c_2(n)$ ，且提供一組  $L$  個相位旋轉相關結果。舉例而言， $L = 4$  時，假設相位可為  $\{0, 90^\circ, 180^\circ, -90^\circ\}$ ， $L = 3$  時為  $\{0, 60^\circ, -60^\circ\}$ ，等等。可選擇  $L$  個假設相位來覆蓋相對相位之可能範圍。舉例而言，對於  $\pm 20$  ppm 之頻率誤差及 5.8 GHz 載波頻率，最大頻率偏移可為 232 KHz。1-符號與 2-符號延遲相關之間的最大相位差為  $\pm 232$  KHz 乘以  $1 \mu\text{s}$ ，其約為 90 度。因此，若使用  $0, 60^\circ$  及  $-60^\circ$  之假設相位，則至少一假設相位在  $30^\circ$  內。若相位差

較大(例如，歸因於較大延遲或較大頻率偏移之使用)，則假設相位應覆蓋較大範圍，達至全部 $\pm 180^\circ$ 。

乘法器 542 將  $c_2(n)$  旋轉不同相位。對於每一晶片週期  $n$ ，加法器 544 用來自乘法器 542 之  $L$  個相應相位校正相關結果中的每一者相干地加上來自加法器 540a 的相關結果  $c_1(n)$ ，且提供  $L$  個組合相關結果  $z_p(n)$ ， $p = 1, \dots, L$ 。若  $K$  個差分相關器用於  $K$  個不同延遲，其中  $K > 1$ ，則一差分相關器可用作參考(無相移)。接著獲取一組合相關結果用於對應於  $K-1$  個剩餘差分相關器中之每一者之特定相位的每一假設。舉例而言，若  $K = 3$ ，則獲取一組合相關結果用於對應於兩個差分相關器之不同對假設相位的每一假設。獲取高至  $L^{K-1}$  個組合相關結果用於  $L^{K-1}$  個可能假設。對於每一晶片週期  $n$ ，單元 546 計算  $L$  個組合相關結果中之每一者的平方量值 ( $K = 2$ )，識別  $L$  個平方量值中之最大平方量值，且提供此最大平方量值  $Z(n)$ 。對於每一晶片週期  $n$ ，訊號偵測器 548 比較最大平方量值  $Z(n)$  與預定臨限值  $Z_{th}$ ，且若  $Z(n)$  超過臨限值或  $Z(n) > Z_{th}$ ，則宣佈 PPDU 之存在。訊號偵測器 548 繼續監控平方量值以搜索峰值，且提供用於此峰值之晶片週期作為用於偵測 PPDU 之初始時序  $\tau$ 。

或者，用於每一晶片週期之相關結果  $c_1(n)$  及  $c_2(n)$  可非相干組合。藉由計算  $c_1(n)$  之平方量值，計算  $c_2(n)$  之平方量值，且對兩個平方量值求和以獲取  $Z(n)$  來達成此。臨限值  $Z_{th}$  可視  $Z(n)$  如何得出而設定成不同值。

用於第一偵測級之臨限值  $Z_{th}$  可為適應性臨限值，其(例

如)隨著用於128位元SYNC場的接收能量 $E_{rx}$ 而變化。舉例而言，臨限值 $Z_{th}$ 可設定成等於接收能量 $E_{rx}$ 乘以比例因子 $S_1$ ，或 $Z_{th} = E_{rx} \cdot S_1$ 。訊號偵測之標準化接收能量之使用導致對於寬範圍接收訊號位準之類似偵測效能。電腦模擬指示，對於2等路徑非相關Rayleigh通道在總SNR為-3 dB時，使用 $S_1 = 22$ 可達成約90%之偵測機率及小於1%之誤警率。偵測機率係指當發送PPDU時正確宣佈PPDU存在之可能性。誤警率係指當無內容發送時錯誤地宣佈PPDU存在之可能性。藉由選擇比例因子 $S_1$ 之適當值可進行偵測機率對誤警率之間的折衷。

圖6展示第二偵測級及頻率擷取單元420之一實施例，其使用頻域處理而執行訊號偵測。對於此實施例，單元420包括用於R個接收天線之R個頻率偏移估計器610a至610r。每一頻率偏移估計器偵測不同頻率槽中的能量以判定輸入樣本中自相關聯天線的頻率偏移。

對於接收天線1( $m = 1$ )，符號緩衝器516a提供由11個晶片週期(或一符號週期)隔開之N個解展頻符號，晶片週期在由時序擷取單元410提供之初始時序 $\tau$ 處起始。第一解展頻符號因此在時間上與來自時序擷取級的最佳時序假設對準。一般而言，N可為係2的乘方且不超過128的任一整數，例如N可為32、64或128。在頻率偏移估計器610a內，一組N個乘法器612接收來自符號緩衝器514a之N個解展頻符號及128位元序列中的N個相應導引位元。每一乘法器612用其導引位元乘以其解展頻符號以移除該解展頻符號

上之調變。N點快速傅立葉變換(FFT)單元620自N個乘法器612接收N個輸出，對此等N個輸出執行N點FFT，且提供用於N個頻率槽之N個頻域值。一組N個單元622自FFT單元620接收N個頻域值。每一單元622計算其頻域值之平方量值，且提供用於個別頻率槽 $k$ 之偵測能量。

在用乘法器612移除調變之後，來自此等乘法器之N個輸出可具有週期分量。此週期分量在接收台150處由振盪器中之頻率偏移引起，其導致接收訊號未精確減頻變換成DC。FFT單元620提供來自乘法器612之N個輸出的頻譜響應。具最大偵測能量之頻率槽 $k$ 可表示用於自天線 $m$ 的輸入樣本之頻率偏移。

用於每一剩餘接收天線之頻率偏移估計器以描述用於天線1之方式處理用於該天線之解展頻符號。一組N個加法器632自用於R個接收天線之R個頻率偏移估計器610a至610r接收R組N個偵測能量。每一加法器632自用於相關聯頻率槽 $k$ 的所有R個頻率偏移估計器610a至610r添加偵測能量，且提供用於該頻率槽之總偵測能量 $E(k)$ 。選擇器634選擇用於N個頻率槽之N個總偵測能量中的最大總偵測能量 $E_{\max}(k)$ 。訊號選擇器636比較最大總偵測能量 $E_{\max}(k)$ 與預定臨限值 $E_{th}$ ，若 $E_{\max}(k)$ 大於臨限值 $E_{th}$ 則宣佈訊號偵測，且提供具最大總偵測能量作為估計頻率誤差 $k_{os}$ 之頻率槽。臨限值 $E_{th}$ 可設定成等於(例如)128位元SYNC場之接收能量 $E_{rx}$ 乘以比例因子 $S_2$ ，或 $E_{th} = E_{rx} \cdot S_2$ 。

圖6中所示之實施例利用N點FFT，其中 $N \leq 128$ 。若 $N =$

64，其為通常用於OFDM之802.11b及802.11g之FFT大小，則相鄰頻率槽之間間距對於1 Msps符號傳輸率為15.625 KHz，且頻率偏移估計之不確定性為槽間距之一半或7.812 KHz。此不確定性可藉由執行內插法及/或使用較大128點FFT而減小。

$N = 64$ 時，藉由FFT之相干累積之處理增益約為18 dB。最差情況下的相干積分損耗接近4 dB，其當實際頻率偏移恰好在兩個頻率槽之間時出現。 $N = 64$ 時，可達成幾乎14 dB之最小總積分SNR。在選擇最大總偵測能量之前，藉由對各對相鄰頻率槽之偵測能量求和(例如，類似於圖5中之加法器536a及536b執行的求和)可恢復大部分相干積分損耗。對相鄰頻率槽對之偵測能量求和改良了偵測機率，代價為誤警率有較小的增加。使用 $S_2 = 8$ 之臨限值可在SNR為-7 dB時達成優於90%之偵測機率，且在SNR為-4 dB時達成優於99.9%的偵測機率。對於第二偵測級，誤警機率小於0.5%，對於第一及第二偵測級，產生 $5 \times 10^{-5}$ 之總誤警機率。

由於所有能量並非在第二偵測級中使用(歸因於在符號間距而非晶片間距處之FFT操作)，故多路徑可使得偵測機率降級。在一實施例中，藉由執行128點FFT且因此對用於SYNC場之整個128位元序列求積分可對於第二偵測級達成改良之偵測效能。在另一實施例中，可對於如上所述之128位元序列之前半部分執行一64點FFT，可對於128位元序列之後半部分執行另一64點FFT，且兩個FFT之偵測能

量可由加法器632非相干求和。

在頻率偏移估計之另一實施例中，輸入樣本與用於不同假設頻率偏移之已知128位元序列相關。對於每一假設頻率偏移，輸入樣本由該頻率偏移旋轉，旋轉樣本與128位元序列相關，相對臨限值比較相關結果，且若相關結果超過臨限值，則宣佈訊號偵測。相關可在具有限脈衝響應(FIR)濾波器結構之時域或具FFT-乘以-IFFT操作之頻域中執行。頻率偏移估計由假設頻率誤差判定，該誤差產生超過臨限值之最大相關結果。

在頻率偏移估計之又一實施例中，如圖5中所示，最初將輸入樣本解展頻而以晶片傳輸率獲取解展頻符號。解展頻符號因此乘以相應導引位元以移除導引調變。所得符號用來(例如)使用圖5中之延遲乘法器520a來產生1-符號及2-符號延遲積。處理每一延遲之延遲積以產生該延遲之複合值。對於每一延遲 $d$ ，其中 $d = \{1, 2\}$ ， $d$ -符號延遲積提供至一組10個串聯耦接晶片隔開延遲元件(例如，類似於圖7中之延遲元件722)以獲取11個不同晶片偏移處之 $d$ -符號延遲積。每一晶片偏移之 $d$ -符號延遲積在SYNC場中相干地累加(例如，使用圖7中之開關724及累加器730)。可將11個晶片偏移之11個累加結果組合(例如，使用最大比率組合)以產生延遲 $d$ 之複合值 $V_d$ 。1-符號及2-符號延遲之複合值 $V_1$ 與 $V_2$ 之間的相位差可計算出且用來得到頻率偏移。R個接收天線可以各種方式組合，例如，延遲積可如圖5中所示越過天線組合，不同天線之複合值可組合用於每一延遲



d, 等等。兩個以上延遲及/或較大延遲亦可用於頻率估計。較大延遲導致較大相位差, 其提供用於頻率偏移之更佳解決方案。然而, 較大延遲可導致混淆, 例如, 大於 $180^\circ$ 之相移可解釋為小於 $180^\circ$ 之負移動。對於給定數目之延遲及給定最大頻率偏移, 一組延遲可經選擇以最佳化解決方案而無混淆。

不願用於頻率估計之技術, 自頻率擷取單元420之估計頻率偏移 $k_{os}$ 通常含有剩餘頻率誤差。為估計此剩餘頻率誤差, 第一11脈衝線通道估計可基於SYNC場之前64位元得出(例如, 如下文所述), 第二11脈衝線通道估計可基於SYNC場之後64位元得出, 兩個通道估計在頻率偏移 $k_{os}$ 移除的情況下得出。第二通道估計與第一通道估計之複共軛之積可基於每一脈衝線計算。11個所得積可相干求和以獲取兩個通道估計之間的相位差。求臨限值可(1)在計算積之前對每一通道脈衝線執行, 及/或(2)在對積求和之前對每一積執行。求臨限值移除具有低於預定臨限值之低能量的通道脈衝線。剩餘頻率誤差可基於兩個通道估計之間的相位差估計, 且可提供至濾波器452及/或頻率校正單元454, 且用來校正輸入樣本之時序及/或頻率(未展示於圖4中)。具剩餘頻率誤差估計之頻率偏移 $k_{os}$ 的此更新可改良解調變效能。

圖7展示第三偵測級及通道估計單元430之一實施例, 其使用時域處理來執行訊號偵測。對於此實施例, 單元430包括用於R個接收天線之R個通道估計器710a至710r。每一

通道估計器可得出含有以樣本率隔開之通道脈衝線的通道脈衝響應估計。舉例而言，若解展頻符號以晶片傳輸率獲取，則可獲取由一晶片隔開之高至11個通道脈衝線，若解展頻符號以兩倍晶片傳輸率(或晶片x2)獲取，則可獲取由半晶片隔開之高至22個通道脈衝線(channel tap)，等等。對於圖7中所示之實施例，每一通道估計器以晶片間距得出用於相關聯天線之11-脈衝線通道脈衝響應估計。

在用於天線1( $m = 1$ )之通道估計器710a內，乘法器712用複相量  $e^{-j\omega_s T_c n}$  乘以天線  $m$  之解展頻符號以移除由頻率擷取單元420判定之頻率誤差  $k_{os}$ 。乘法器712以晶片傳輸率將頻率校正符號提供至一組10個串聯耦接延遲元件722。每一延遲元件722提供一晶片週期之延遲。一組11個開關724耦接至乘法器712之輸出及10個延遲元件722之輸出。開關724在每一符號週期中能用於一晶片週期，且提供用於該符號週期之11個頻率校正符號。用於開關724之控制訊號由自時序擷取單元410之初始時序  $\tau$  判定且經產生以使得來自第五延遲元件722之頻率校正符號(其用於11-脈衝線通道脈衝響應估計之中心脈衝線)對應於由時序擷取級提供之最佳時序假設。

通道估計在預定時間窗  $W$  上執行，其經選擇以達成用於通道估計之足夠SNR或品質。時間窗  $W$  可為  $M$  個符號週期長，其中  $M$  可為(例如)  $M > 31$ 。一組11個乘法器726接收用於每一符號週期之導引位元  $d_i$ ，在每一符號週期中執行通道估計。每一乘法器726用導引位元  $d_i$  乘以個別開關724之

輸出，藉由導引位元而移除調變，且將其輸出提供至個別累加器 730。在通道估計起始時重設該組 11 個累加器 730。每一累加器 730 在時間窗  $W$  上相干地累加個別乘法器 726 之輸出。一組 11 個開關 732 耦接至該組 11 個累加器 730。開關 732 在時間窗  $W$  之結束時致能，且對於用於天線  $m$  之通道脈衝響應估計提供 11 個通道脈衝線  $h_{m,0}$  至  $h_{m,10}$ 。如下文所述，此通道估計可用於資料解調變。一組 11 個單元 734 接收 11 個通道脈衝線，且每一單元 734 計算其通道脈衝線之平方量值。求和器 736 對來自所有 11 個單元 734 之輸出求和，且對於用於天線  $m$  之所有通道脈衝線提供總能量。或者，每一單元 734 之輸出可與一臨限值比較，且求和器 736 可僅對超過臨限值之輸出求和。臨限值可設定成用於所有 11 個通道脈衝線之總能量的預定百分比。

用於每一剩餘接收天線之通道估計器以上述用於天線 1 之方式處理用於該天線之解展頻符號。求和器 738 對來自所有  $R$  個通道估計器 710a 至 710r 之總能量求和，且提供用於所有  $R$  個天線之總能量  $H$ 。訊號偵測器 740 比較總能量  $H$  與預定臨限值  $H_{th}$ ，且若  $H$  超過臨限值  $H_{th}$ ，則宣佈訊號偵測。臨限值  $H_{th}$  可設定成等於(例如)用於 128 位元 SYNC 場之接收能量  $E_{rx}$  乘以比例因子  $S_3$ ，或  $H_{th} = E_{rx} \cdot S_3$ 。

優於 99% 之偵測機率及小於  $10^{-5}$  之誤警率可使用  $S_3 = 14$  之臨限值在 SNR 為 -4 dB 時達成。用所有三個偵測級可達成小於  $10^{-9}$  之總誤警率。此假設，因為不同類型之訊號處理用於三個級別，所以三個偵測級不相關。

對於上述實施例，可基於時域相關(圖5)、頻域處理(圖6)及時域處理(圖7)達成訊號偵測。所有三種類型之訊號處理可用來提供用於不良通道條件(例如，低SNR)之良好偵測效能(例如，高偵測機率及低誤警率)。訊號處理之任一組合亦可用於訊號偵測。

圖5、6及7展示可以其他方式執行之訊號偵測、時序擷取、頻率擷取及通道估計的特定實施例。舉例而言，訊號偵測及時序擷取可僅用1-位元延遲差分相關器530a執行。亦可使用技術之組合。舉例而言，可對於較少(例如，兩個)假設頻率偏移旋轉輸入樣本。剩餘頻率誤差對於假設頻率偏移之一係較小的，因此Barker解展頻(或相干累積)可執行較長持續時間(例如，22個晶片)。自較長相干累積之解展頻符號可提供至圖5中所示之延遲乘法器及差分相關器。由於相干累積執行較長持續時間，故可對於較低操作SNR達成訊號偵測。

圖5、6及7分別展示藉由單元410、420及430之例示性訊號處理。使用硬體、軟體及/或韌體可以各種方式實施處理。舉例而言，單元410、420及430可用專用硬體實施或可共用硬體。對於單元410、420及430，數位訊號處理器(DSP)及/或某其他類型處理器可以分時多工方式執行處理。樣本緩衝器402、符號緩衝器514及/或某其他緩衝器可用來緩衝用於處理之資料。

返回參看圖4，一旦已偵測到PPDU，則不論接收之PPDU是否用於802.11b/g或範圍延伸模式，(例如)基於

PLCP 序文及 / 或 PLCP 標頭來進行判定。若其用於 802.11b/g，則 DSSS 接收處理器 440 處理接收之 PPDU。若其用於範圍延伸模式，則 DSSS 接收處理器 450 處理接收之 PPDU。

DSSS 接收處理器 440 執行用於 802.11b/g 之解展頻及解調變。在處理器 440 內，耙式接收器 / 均衡器 442 用 Barker 序列將輸入樣本解展頻，基於通道估計而均衡解展頻符號，組合 R 個接收天線的訊號分量，且提供偵測符號。解調變器 (Demod) 444 基於用於傳輸之調變機制 (例如，BPSK 或 QPSK) 將偵測符號去映射，執行差分解碼，且提供輸出位元，其為由傳輸台 110 發送之資料位元的估計。

DSSS 接收處理器 450 執行用於範圍延伸模式之解展頻、解調變及 FEC 解碼。在處理器 450 內，濾波器 452 過濾用於每一接收天線之輸入樣本以移除頻帶外雜訊及干擾。濾波器 452 亦可將用於每一接收天線之輸入樣本再取樣，(1) 用於自取樣率至晶片傳輸率之樣本率轉換及 / 或 (2) 用來補償接收之 PPDU 上的時序偏差。對於 801.11g，輸入樣本通常為 OFDM 晶片傳輸率 20 MHz 之多倍。在此情況下，濾波器 452 可自 20 MHz 之多倍至 11 MHz (對於晶片隔開之耙式接收器) 或 22 MHz (對於一半晶片隔開之耙式接收器) 執行再取樣。用於減頻變換之局部振盪器 (LO) 訊號及用來產生輸入樣本之取樣時脈通常得自相同參考振盪器。在此情況下，對於 LO 訊號，採樣時脈中之頻率誤差可基於由頻率擷取單元 420 判定之頻率誤差  $k_{os}$  判定。輸入樣本中之時序

偏差可接著基於頻率偏移  $k_{os}$  及載波頻率判定。濾波器 452 可基於頻率偏移  $k_{os}$  進行  $\pm T_{adj}$  之週期性調整，其中  $T_{adj}$  可為樣本週期之一部分。

在一實施例中，濾波器 452 作為由一群  $N$  個基礎濾波器組成之多相濾波器而實施，其中  $N > 1$ 。每一基礎濾波器與用於特定時間偏移之一特定組係數相關聯。在例示性設計中，濾波器 452 包括 11 個 FIR 濾波器，每一 FIR 濾波器具有四個脈衝線。不同基礎濾波器可用來產生每一連續輸出樣本。若頻率偏移為零，則 11 個基礎濾波器可以固定次序循環，每第 11 個樣本來自相同基礎濾波器。為補償時序偏差，一給定基礎濾波器可跳過且可改為使用下一基礎濾波器，或相同基礎濾波器可用於兩個連續輸出樣本。時序調整可因此藉由選擇正使用之適當基礎濾波器來達成。

對於每一接收天線，頻率校正單元 454 移除時序調整樣本中之頻率偏移。單元 454 可用數字控制振盪器 (NCO) 及類似於圖 7 中之乘法器 712 的複數乘法器實施。NCO 產生以頻率擷取單元 420 提供之偏移頻率  $k_{os}$  旋轉的相量。乘法器用相量乘以用於每一接收天線之時序調整樣本，且提供用於該天線之頻率校正樣本。

耙式接收器/解展頻器 456 執行具通道估計之頻率校正樣本的相干偵測，且在接收天線及多路徑中組合訊號分量。耙式接收器 456 用 11 個通道脈衝線乘以用於每一接收天線之頻率校正樣本，該等脈衝線由通道估計單元 430 提供用於該天線。耙式接收器/解展頻器 456 亦用 Barker 序列執行

解展頻，累加用於所有R個天線之解展頻符號，且提供偵測符號。在一實施例中，用於R個接收天線之通道估計基於SYNC場及可能其他接收PPDU場導出，且此等通道估計用於整個接收PPDU。對於此實施例，耙式接收器456未循軌越過接收PPDU之無線通道。在另一實施例中，通道估計使用自偵測符號獲取之硬決策及/或藉由將FEC解碼器464之輸出再編碼及再映射而獲取之決策而更新。

相位校正單元458移除偵測符號中之相位誤差。相位誤差係歸因於得自未相位鎖定之接收器160的剩餘頻率誤差。

圖8展示相位校正單元458之一實施例的方塊圖。在單元458內，乘法器812將來自耙式接收器456之每一偵測符號旋轉一相位基準 $\theta_{ref}(t)$ ，且提供相應相位校正符號。單元814產生用於每一相位校正符號之硬決策(例如，+1或-1)。乘法器816用相應硬決策乘以每一偵測符號，且提供用於該偵測符號之積。單元818計算自乘法器816之積的移動平均值且提供平均化積。對於每一符號週期，單元820將平均化積標準化且將其共軛，且對於該符號週期 $t$ 提供用於偵測符號之相位基準 $\theta_{ref}(t)$ 。相位基準可因此藉由在偵測符號窗上平均化而導出。平均化可經設計以說明如下事實：在SYNC場中自己知導引符號之相位資訊更可靠但可能不通用，而用於偵測符號之相位資訊可能不太可靠但更通用。

返回參看圖4，解調變器460執行相位校正符號之相干解

調變。對於BPSK，解調變器460可向每一相位校正符號之實分量提供一解調變符號，其為傳輸台110發送之資料符號的估計。對於其他調變機制，解調變器460可提供最可能業作為解調變符號發送而用於每一相位校正符號的調變符號。

去交錯器462以補充由圖2中交錯器256執行之交錯的方式將解調變符號去交錯。FEC解碼器464以補充圖2中FEC編碼器252執行之編碼的方式將去交錯符號解碼且提供輸出資料。多工器470自DSSS接收處理器440及450接收輸出資料，若接收PPDU係用於802.11b/g，則自DSSS接收處理器440提供輸出資料，且若接收PPDU係用於範圍延伸模式，則自DSSS接收處理器450提供輸出資料。

圖4展示用於802.11b/g及範圍延伸模式之接收處理器160的特定實施例。接收處理器160亦可用其他設計實施，且此在本發明之範疇內。一般而言，在傳輸台110處，藉由DSSS接收處理器440之處理係對藉由DSSS傳輸處理器240之處理的補充，且藉由DSSS接收處理器450之處理係對藉由DSSS傳輸處理器250之處理的補充。圖4展示DSSS接收處理器440及450之例示性設計，其可包括未於圖4中展示之其他及/或不同處理單元。

圖9展示執行用於第一級之訊號偵測的處理900。用程式碼序列將輸入樣本解展頻以(例如)以晶片傳輸率產生解展頻符號(區塊912)。產生解展頻符號之積用於至少兩種不同延遲(區塊914)。每一積基於解展頻符號及另一解展頻符號



(其提前至少一符號週期)之複共軛而產生。舉例而言，1-符號延遲積及2-符號延遲積可如圖5中所示而產生，每一1-符號延遲積用由一符號週期分離之兩個解展頻符號產生，且每一2-符號延遲積用由兩個符號週期分離之兩個解展頻符號產生。

接著執行用於每一延遲之積與用於該延遲之已知值之間的相關(區塊916)。如圖5中所示，已知值可為導引位元之積。同樣如圖5中所示，在執行相關之前可對用於每一延遲之相鄰積求和以說明無線通道中的延遲展頻。將用於所有延遲之相關結果組合(區塊918)。如圖5中所示，用於2-符號延遲之相關結果可旋轉多個假設相位且與用於1-符號延遲之相應相關結果組合，且可選擇多個假設相位中具最大量值的組合相關結果。或者，用於不同延遲之相關結果可非相干組合。

訊號/傳輸之存在接著(例如)藉由比較組合相關結果與適應性臨限值 $Z_{th}$ 而基於組合相關結果偵測，該適應性臨限值 $Z_{th}$ 為接收能量之函數(區塊920)。訊號之時序(例如)藉由偵測組合相關結果中之峰值而亦基於組合相關結果判定(區塊922)。

圖10展示使用不同類型之訊號處理而執行具多個(例如，三個)級之訊號偵測的處理1000。各級用於訊號偵測之適應性臨限值基於用於符號窗之接收能量而得出(區塊1012)。用於第一級之訊號偵測使用時域相關及第一臨限值而執行(區塊1014)。對於第一級，可產生符號積用於至

少一延遲，可執行用於每一延遲之積與用於該延遲之已知值之間的相關，且可基於用於至少一延遲之相關結果及第一臨限值宣佈偵測。用於第二級之訊號偵測使用頻域處理及第二臨限值而執行(區塊1016)。對於第二級，可判定用於多個頻率槽之能量，且可基於用於此等頻率槽之能量及第二臨限值宣佈偵測。用於第三級之訊號偵測使用時域處理及第三臨限值而執行(區塊1018)。可得出用於通道脈衝響應估計之多個通道脈衝線，且可基於通道脈衝線及第三臨限值宣佈偵測。基於第一、第二及第三級之輸出而宣佈訊號之存在(區塊1020)。

圖11展示接收傳輸或PPDU之處理1100。調整輸入樣本之時序以獲取時序調整樣本(區塊1112)。可用多相濾波器及/或基於頻率擷取期間判定之頻率偏移執行時序調整。移除時序調整樣本中之頻率偏移以獲取頻率校正樣本(區塊1114)。用通道估計(例如，使用耙式接收器)處理頻率校正樣本以獲取偵測符號(區塊1116)。校正偵測符號之相位以獲取相位校正符號(區塊1118)。對於相位校正，相位基準可基於偵測符號得出，且偵測符號之相位可基於相位基準校正。對相位校正符號執行解調變以獲取解調變符號(區塊1120)。解調變符號經去交錯(區塊1122)，且將去交錯符號解碼以獲取解碼資料(區塊1124)。

相對於圖9-11說明及描述之處理可作為處理器160執行之功能來實施。個別方塊可包含處理器160執行之指令。

本文所述之技術可以各種構件實施。舉例而言，此等技

術可在硬體、韌體、軟體或其組合中實施。對於硬體實施，用來執行訊號偵測、擷取及解調變之處理單元可在一或多個特殊應用積體電路(ASIC)、數位訊號處理器(DSP)、數位訊號處理設備(DSPD)、可程式化邏輯設備(PLD)、場可程式化閘陣列(FPGA)、處理器、控制器、微控制器、微處理器、電子設備、經設計以執行本文所述功能之其他電子單元，或其組合內實施。

對於軟體實施，技術可用執行本文所述功能之模組(例如，程序、函數等等)實施。軟體程式碼可儲存在記憶體單元(例如，圖1中之記憶體單元182)中且由處理器(例如，處理器160及/或處理器180)執行。記憶體單元可在處理器內或處理器外部實施。

所揭示實施例之先前描述經提供以使得任一熟習此項技術者製造或使用本發明。對此等實施例之各種修正對於熟習此項技術者顯而易見，且本文定義之一般原則可應用至其他實施例而不脫離本發明之精神或範疇。因此，本發明不欲限於本文所示之實施例，而與本文所揭示之原則及新奇特徵最廣泛地一致。

### 【圖式簡單說明】

圖1展示傳輸台及接收台。

圖2展示傳輸台處之傳輸處理器。

圖3展示802.11b/g使用之PPDU結構。

圖4展示接收台處之接收處理器。

圖5展示第一偵測級及時序擷取單元。

圖6展示第二偵測級及頻率擷取單元。

圖7展示第三偵測級及通道估計單元。

圖8展示相位校正單元。

圖9展示執行用於第一級之訊號偵測的處理。

圖10展示執行具多個級之訊號偵測的處理。

圖11展示接收傳輸之處理。

### 【主要元件符號說明】

100	無線網路
110	傳輸台
120	資料源
130	傳輸處理器
132	傳輸器單元
134	天線
140	處理器
142	記憶體單元
150	接收台
152a、152r	天線
154a、154r	接收器單元
160	接收處理器
170	資料槽
180	處理器
182	記憶體單元
210	導引產生器
214	符號映射器

216	展頻器
222	偽隨機數(PN)程式碼產生器
224	乘法器
240	DSSS傳輸處理器
242	差分編碼器
244	符號映射器
246	展頻器
250	DSSS傳輸處理器
252	FEC編碼器
254	重複/擊穿單元
256	交錯器
262	差分編碼器
264	符號映射器
266	展頻器
270	多工器
300	PPDU結構
310	PPDU
320	PLCP序文
322	PLCP同步場
324	起始訊框定界符場
330	PLCP標頭
332	訊號場
334	服務場
336	長度場

338	CRC場
340	MPDU
402	樣本緩衝器
404	擷取處理器
410	第一偵測級及時序擷取單元
420	第二偵測級及頻率擷取單元
430	第三偵測級及通道估計單元
440	DSSS接收處理器
442	耙式接收器/均衡器
444	解調變器
450	DSSS接收處理器
452	濾波器
454	頻率校正單元
456	耙式接收器/解展頻器
458	相位校正單元
460	解調變器
462	去交錯器
464	FEC解碼器
470	多工器
510a、510r	延遲相關器
512a	Barker解展頻器
514a	符號緩衝器
516a、516r	符號緩衝器
520a	延遲乘法器

522a、522b	延遲單元
524a、524b	單元
526a、526b	乘法器
528a、528b	求和器
530a、530b	差分相關器
532a、532b	延遲元件
534a、534b	延遲元件
536a、536b	加法器
538a、538b	乘法器
540a、540b	加法器
542	乘法器
544	加法器
546	單元
548	訊號偵測器
610a、610r	頻率偏移估計器
612	乘法器
620	快速傅立葉變換單元
622	單元
632	加法器
634	選擇器
636	訊號選擇器
710a、710r	通道估計器
712	乘法器
722	延遲元件

724	開關
726	乘法器
730	累加器
732	開關
734	單元
736	求和器
738	求和器
740	訊號偵測器
812	乘法器
814	單元
816	乘法器
818	單元
820	單元



## 七、申請專利範圍：

1. 一種用於執行訊號偵測之方法，其包含：

由多個解展頻符號之一序列產生一組積，每一積係基於該序列之一第一符號及一已知位元序列之一對應之導引位元之一積運算之結果；

對該組積執行至少一 $N$ 點頻率轉換以獲得用於 $N$ 個頻率槽之多個頻域值；

基於對應之該等頻域值而計算用於該 $N$ 個頻率槽之每一者之一偵測能量；

決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移；

將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列；及

基於該等頻率校正樣本而偵測一訊號之存在。

2. 如請求項1之方法，其中對該組積執行至少一 $N$ 點頻率轉換以獲得用於 $N$ 個頻率槽之多個頻域值包含：

對該組積執行複數個 $N$ 點頻率轉換並加總該複數個 $N$ 點頻率轉換之結果以獲得用於 $N$ 個頻率槽之該等頻域值。

3. 如請求項1之方法，其中決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移包含：

在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較。

4. 如請求項1之方法，其更包含：

基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差；及

基於該剩餘頻率誤差更新該偵測頻率偏移。

5. 一種用於執行訊號偵測之方法，其包含：

由多個解展頻符號之複數個序列產生複數組積，每一組之每一積係基於來自該複數個序列之一者之一第一符號及一已知位元序列中之一對應之導引位元之一積運算之結果；

對每一組積執行一 $N$ 點頻率轉換以獲得複數組頻域值，每一組頻域值具有用於 $N$ 個頻率槽之一頻域值；

基於該複數組頻域值之每一者中之對應的該等頻域值之一總和而計算用於 $N$ 個頻率槽之每一者之一偵測能量；

決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移；

將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列；及

基於該等頻率校正樣本偵測一訊號之存在。

6. 如請求項5之方法，其中對每一組積執行一 $N$ 點頻率轉換以獲得用於 $N$ 個頻率槽之多個頻域值包含：

對每一組積執行複數個 $N$ 點頻率轉換並加總對每一組積執行之該複數個 $N$ 點頻率轉換之結果以獲得用於 $N$ 個頻率槽之該等頻域值。

7. 如請求項5之方法，其中決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移包含：

在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較。

8. 如請求項5之方法，其更包含：

基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差；及

基於該剩餘頻率誤差而更新該偵測頻率偏移。

9. 一種用於執行訊號偵測之裝置，其包含：

用以由多個解展頻符號之一序列產生一組積之邏輯，每一積係基於該序列之一第一符號及一已知位元序列之一對應之導引位元之一積運算之結果；

用以對該組積執行至少一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之邏輯；

用以基於對應之該等頻域值而計算用於該N個頻率槽之每一者之一偵測能量之邏輯；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之邏輯；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列之邏輯；及

用以基於該等頻率校正樣本而偵測一訊號之存在之邏輯。

10. 如請求項9之裝置，其中該用以對該組積執行至少一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之邏輯包含：

用以對該組積執行複數個N點頻率轉換並加總該複數個N點頻率轉換之結果以獲得用於N個頻率槽之該等頻域值之邏輯。

11. 如請求項9之裝置，其中該用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之邏輯包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之邏輯。

12. 如請求項9之裝置，其更包含：

用以基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差之邏輯；及

用以基於該剩餘頻率誤差更新該偵測頻率偏移之邏輯。

13. 一種用於執行訊號偵測之裝置，其包含：

用以由多個解展頻符號之複數個序列產生複數組積之邏輯，每一組之每一積係基於來自該複數個序列之一者之一第一符號及一已知位元序列中之一對應之導引位元之一積運算之結果；

用以對每一組積執行一N點頻率轉換以獲得複數組頻域值之邏輯，每一組頻域值具有用於N個頻率槽之一頻

域值；

用以基於該複數組頻域值之每一者中之對應的該等頻域值之一總和而計算用於N個頻率槽之每一者之一偵測能量之邏輯；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之邏輯；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列之邏輯；及

用以基於該等頻率校正樣本偵測一訊號之存在之邏輯。

14. 如請求項13之裝置，其中該用以對每一組積執行一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之邏輯包含：

用以對每一組積執行複數個N點頻率轉換並加總對每一組積執行之該複數個N點頻率轉換之結果以獲得用於N個頻率槽之該等頻域值之邏輯。

15. 如請求項13之裝置，其中該用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之邏輯包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之邏輯。

16. 如請求項13之裝置，其更包含：

用以基於至少兩個通道估計之間之一相位差而估計與

該偵測頻率偏移相關聯之一剩餘頻率誤差之邏輯；及

用以基於該剩餘頻率誤差而更新該偵測頻率偏移之邏輯。

17. 一種用於執行訊號偵測之裝置，其包含：

用以由多個解展頻符號之一序列產生一組積之構件，每一積係基於該序列之一第一符號及一已知位元序列之一對應之導引位元之一積運算之結果；

用以對該組積執行至少一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之構件；

用以基於對應之該等頻域值而計算用於該N個頻率槽之每一者之一偵測能量之構件；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之構件；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列之構件；及

用以基於該等頻率校正樣本而偵測一訊號之存在之構件。

18. 如請求項17之裝置，其中該用以對該組積執行至少一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之構件包含：

用以對該組積執行複數個N點頻率轉換並加總該複數個N點頻率轉換之結果以獲得用於N個頻率槽之該等頻域值之構件。

19. 如請求項17之裝置，其中該用以決定對應於具有一最大

偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之構件包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之構件。

20. 如請求項17之裝置，其更包含：

用以基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差之構件；及

用以基於該剩餘頻率誤差更新該偵測頻率偏移之構件。

21. 一種用於執行訊號偵測之裝置，其包含：

用以由多個解展頻符號之複數個序列產生複數組積之構件，每一組之每一積係基於來自該複數個序列之一者之一第一符號及一已知位元序列中之一對應之導引位元之一積運算之結果；

用以對每一組積執行一N點頻率轉換以獲得複數組頻域值之構件，每一組頻域值具有用於N個頻率槽之一頻域值；

用以基於該複數組頻域值之每一者中之對應的該等頻域值之一總和而計算用於N個頻率槽之每一者之一偵測能量之構件；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之構件；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列

以產生多個頻率校正樣本之一序列之構件；及

用以基於該等頻率校正樣本偵測一訊號之存在之構件。

22. 如請求項21之裝置，其中該用以對每一組積執行一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之構件包含：

用以對每一組積執行複數個N點頻率轉換並加總對每一組積執行之該複數個N點頻率轉換之結果以獲得用於N個頻率槽之該等頻域值之構件。

23. 如請求項21之裝置，其中該用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之構件包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之構件。

24. 如請求項21之裝置，其更包含：

用以基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差之構件；及

用以基於該剩餘頻率誤差而更新該偵測頻率偏移之構件。

25. 一種用於執行訊號偵測之電腦程式產品，其包含具有多個軟體碼儲存於其上之一記憶體單元，該等軟體碼可經由一個或多個處理器執行且該等軟體碼包含：

用以由多個解展頻符號之一序列產生一組積之多個軟



體碼，每一積係基於該序列之一第一符號及一已知位元序列之一對應之導引位元之一積運算之結果；

用以對該組積執行至少一 $N$ 點頻率轉換以獲得用於 $N$ 個頻率槽之多個頻域值之多個軟體碼；

用以基於對應之該等頻域值而計算用於該 $N$ 個頻率槽之每一者之一偵測能量之多個軟體碼；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之多個軟體碼；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列之多個軟體碼；及

用以基於該等頻率校正樣本而偵測一訊號之存在之多個軟體碼。

26. 如請求項25之電腦程式產品，其中該用以對該組積執行至少一 $N$ 點頻率轉換以獲得用於 $N$ 個頻率槽之多個頻域值之多個軟體碼包含：

用以對該組積執行複數個 $N$ 點頻率轉換並加總該複數個 $N$ 點頻率轉換之結果以獲得用於 $N$ 個頻率槽之該等頻域值之多個軟體碼。

27. 如請求項25之電腦程式產品，其中該用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之多個軟體碼包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之多個軟體碼。

28. 如請求項25之電腦程式產品，其中該等軟體碼更包含：

用以基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差之多個軟體碼；及

用以基於該剩餘頻率誤差更新該偵測頻率偏移之多個軟體碼。

29. 一種用於執行訊號偵測之電腦程式產品，其包含具有多個軟體碼儲存於其上之一記憶體單元，該等軟體碼可經由一個或多個處理器執行且該等軟體碼包含：

用以由多個解展頻符號之複數個序列產生複數組積之多個軟體碼，每一組之每一積係基於來自該複數個序列之一者之一第一符號及一已知位元序列中之一對應之導引位元之一積運算之結果；

用以對每一組積執行一N點頻率轉換以獲得複數組頻域值之多個軟體碼，每一組頻域值具有用於N個頻率槽之一頻域值；

用以基於該複數組頻域值之每一者中之對應的該等頻域值之一總和而計算用於N個頻率槽之每一者之一偵測能量之多個軟體碼；

用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之多個軟體碼；

用以將該偵測頻率偏移應用於多個輸入樣本之一序列以產生多個頻率校正樣本之一序列之多個軟體碼；及

用以基於該等頻率校正樣本偵測一訊號之存在之多個

軟體碼。

30. 如請求項29之電腦程式產品，其中該用以對每一組積執行一N點頻率轉換以獲得用於N個頻率槽之多個頻域值之多個軟體碼包含：

用以對每一組積執行複數個N點頻率轉換並加總對每一組積執行之該複數個N點頻率轉換之結果以獲得用於N個頻率槽之該等頻域值之多個軟體碼。

31. 如請求項29之電腦程式產品，其中該用以決定對應於具有一最大偵測能量之一頻率槽之一頻率偏移以作為一偵測頻率偏移之多個軟體碼包含：

用以在決定一頻率槽之對應的該頻率偏移以作為該偵測頻率偏移之前將該頻率槽之一偵測能量與一臨限值相比較之多個軟體碼。

32. 如請求項29之電腦程式產品，其中該等軟體碼更包含：

用以基於至少兩個通道估計之間之一相位差而估計與該偵測頻率偏移相關聯之一剩餘頻率誤差之多個軟體碼；及

用以基於該剩餘頻率誤差而更新該偵測頻率偏移之多個軟體碼。

八、圖式：

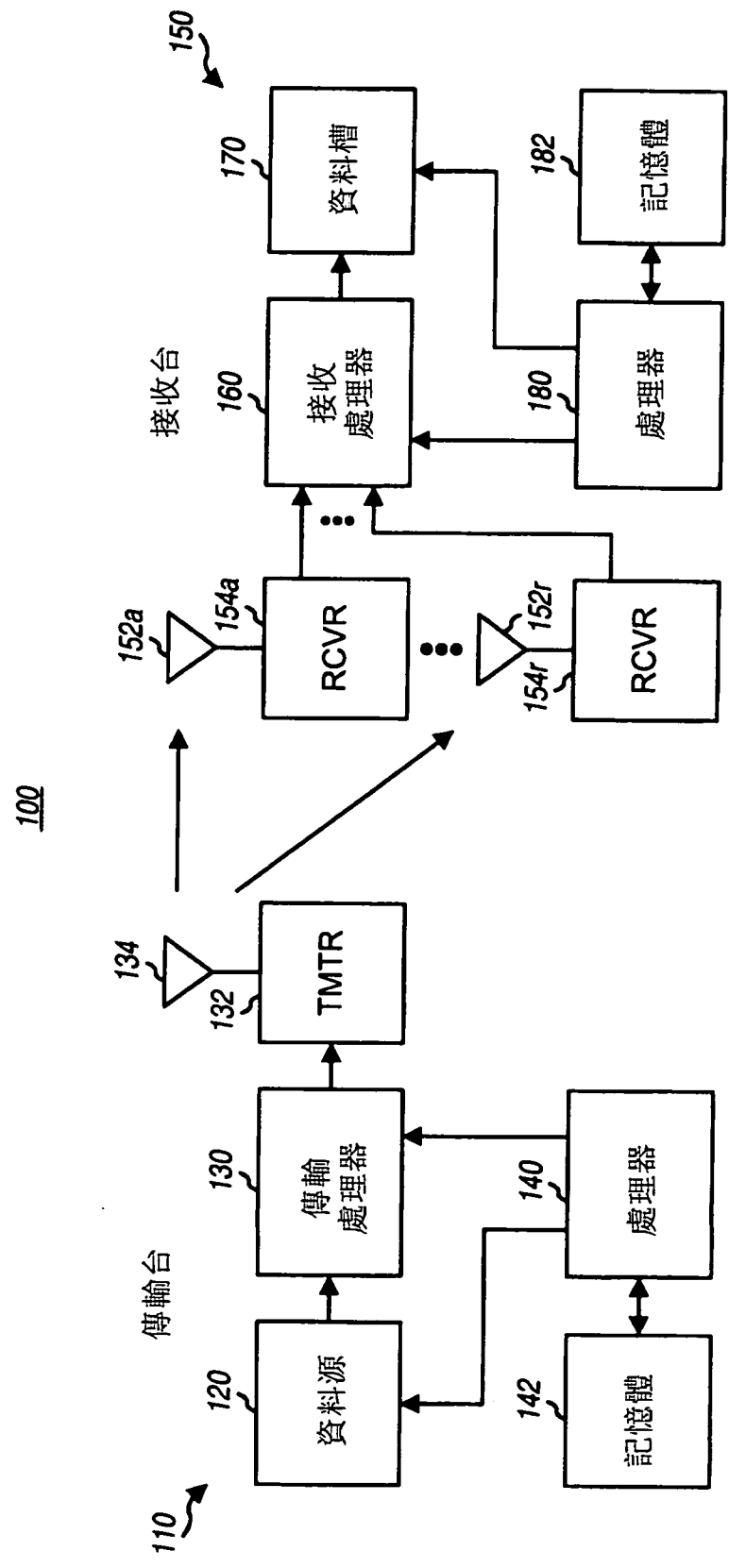


圖1

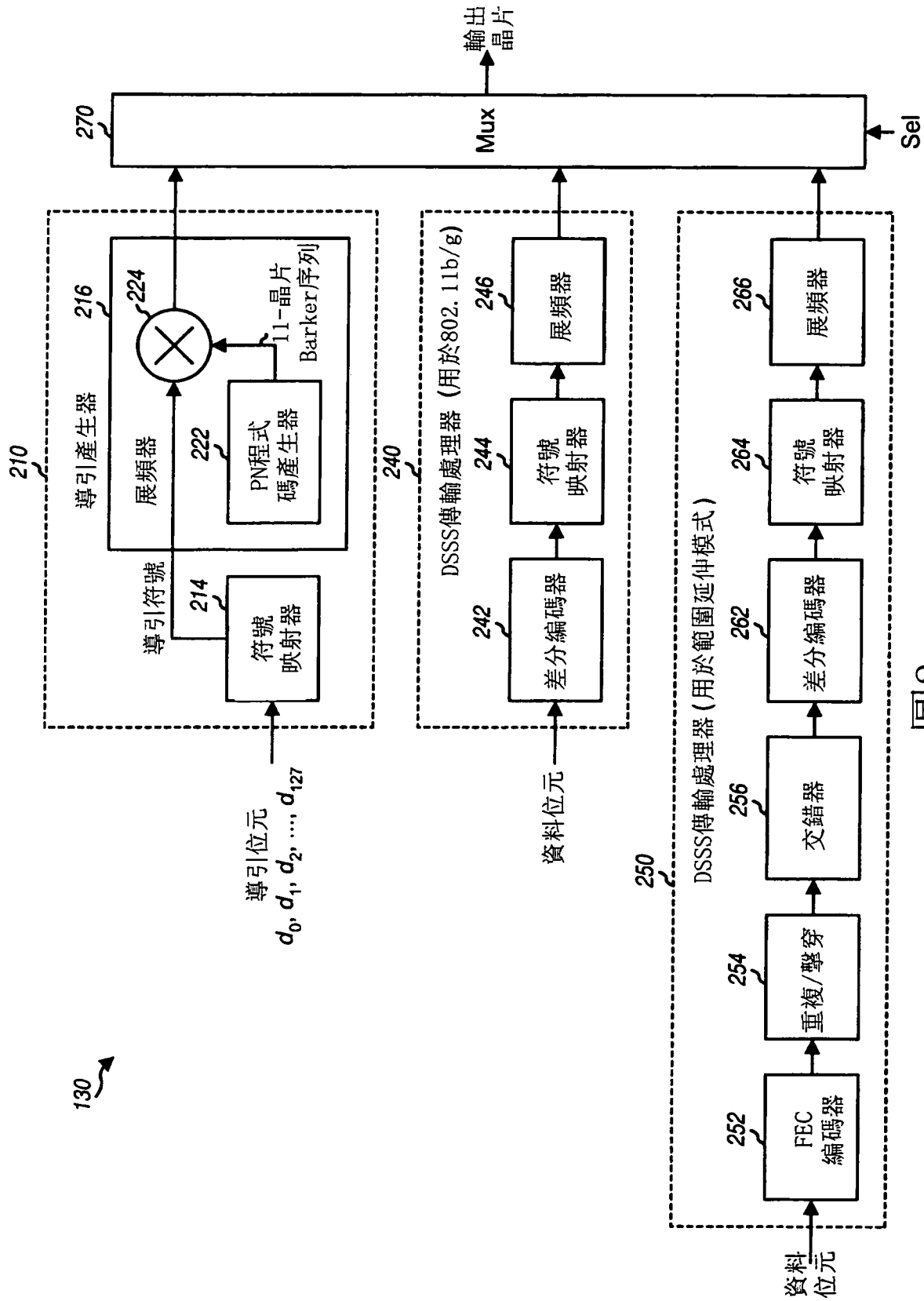


圖2

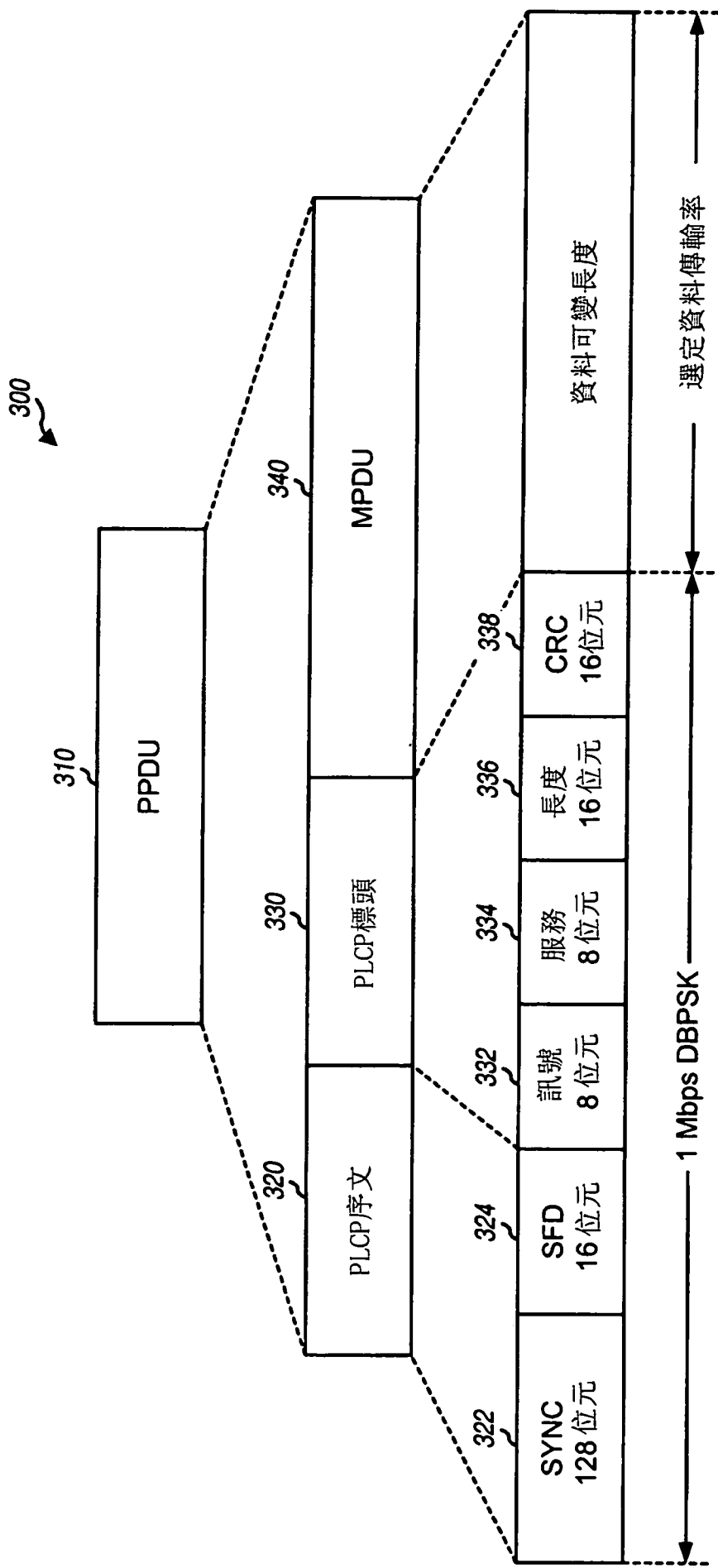


圖3

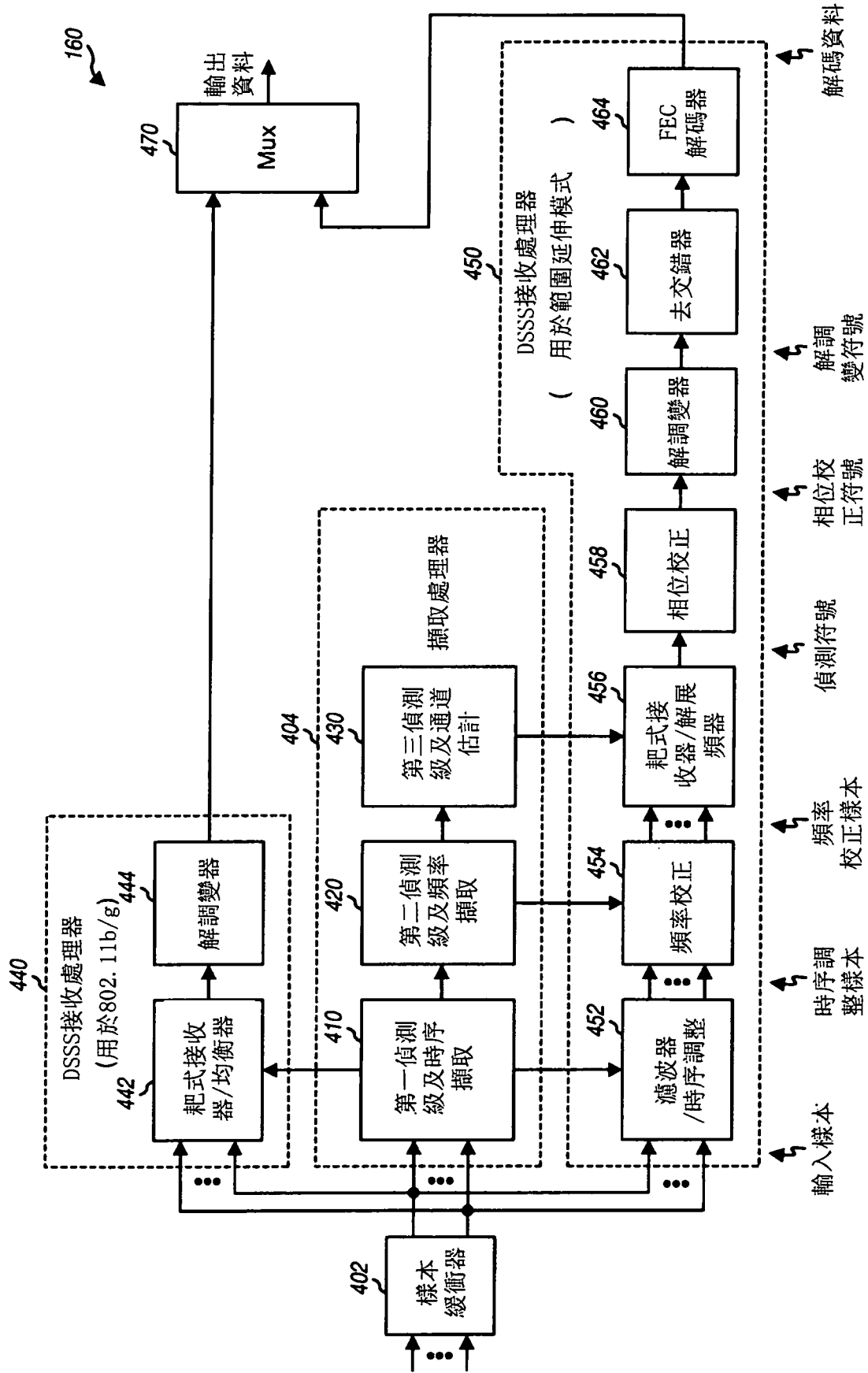


圖4

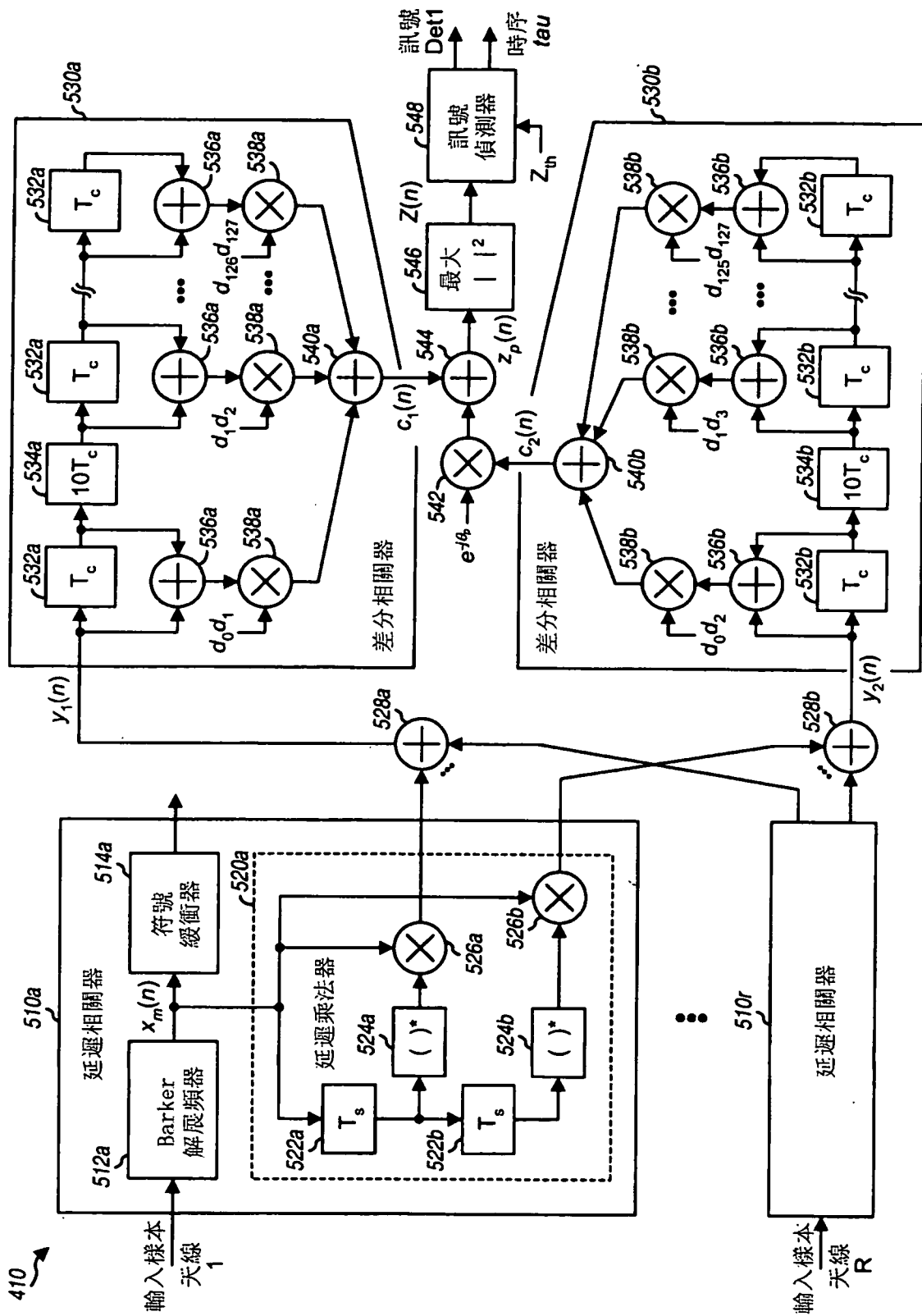


圖 5



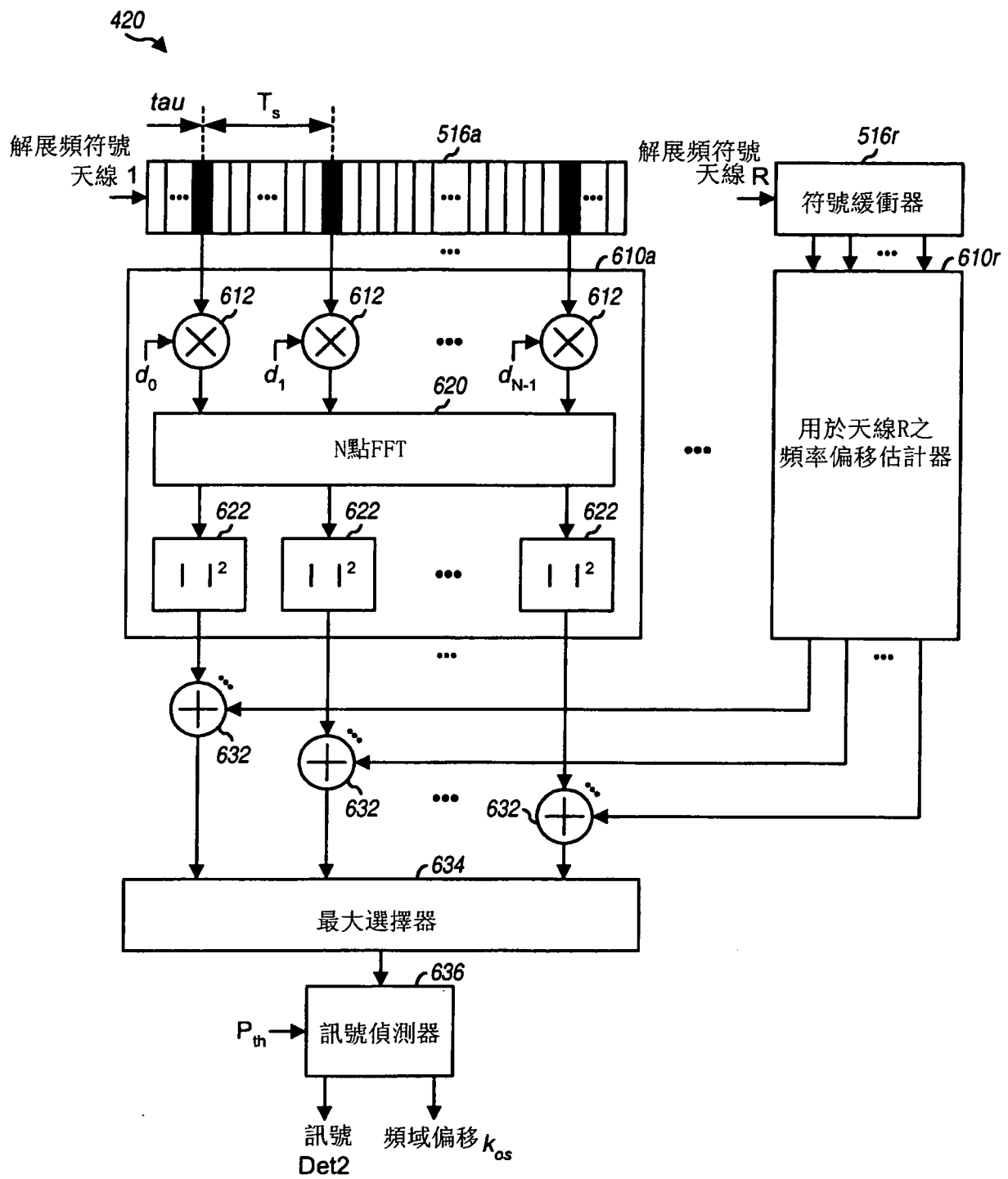
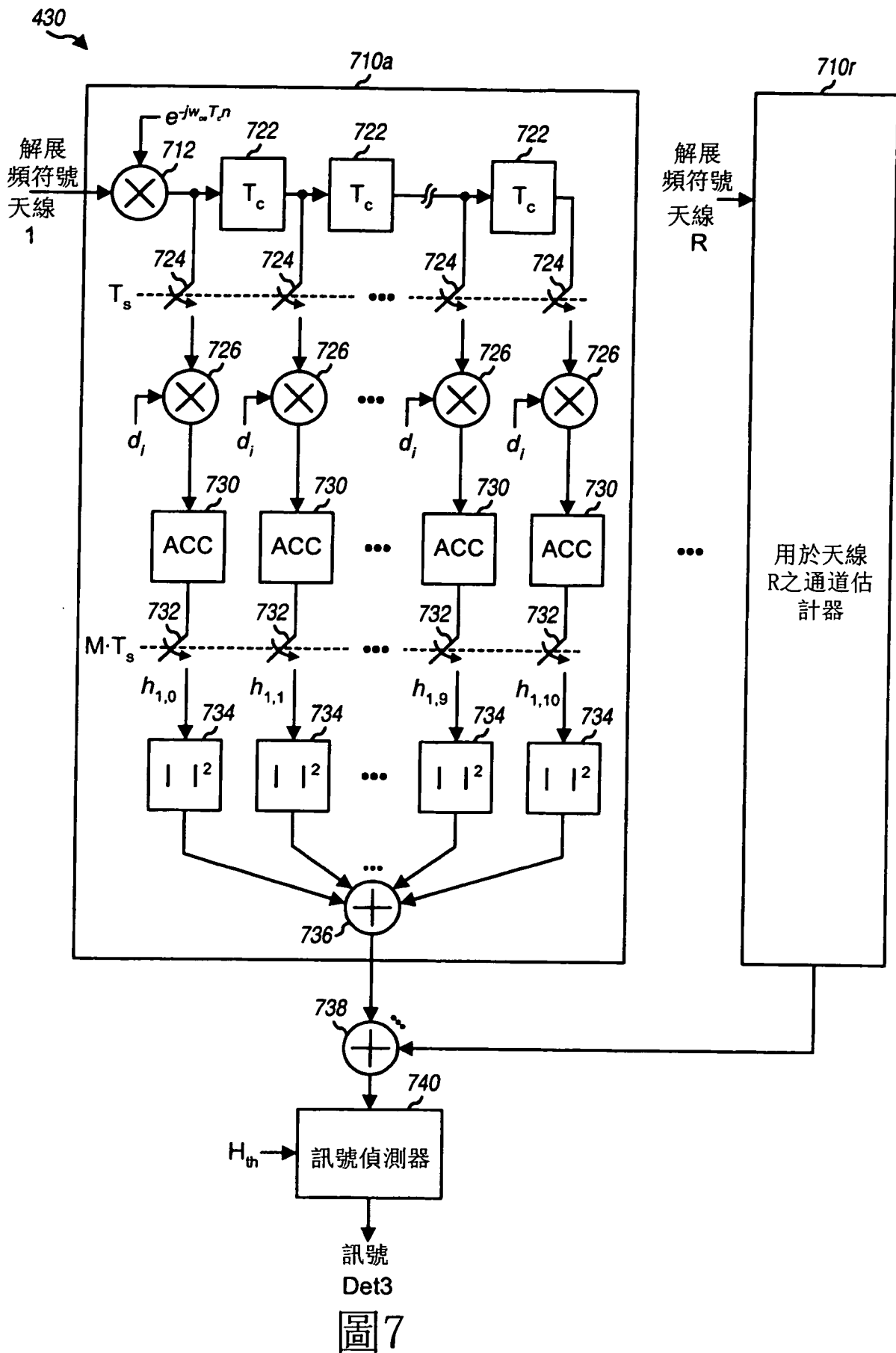


圖6



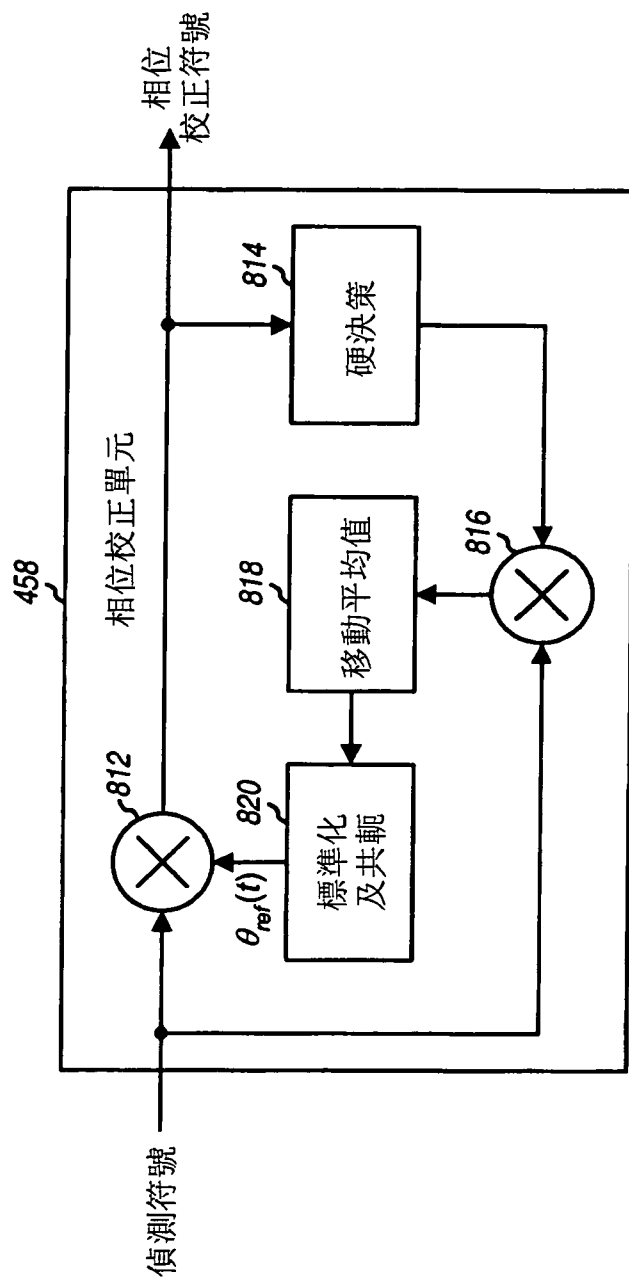


圖8

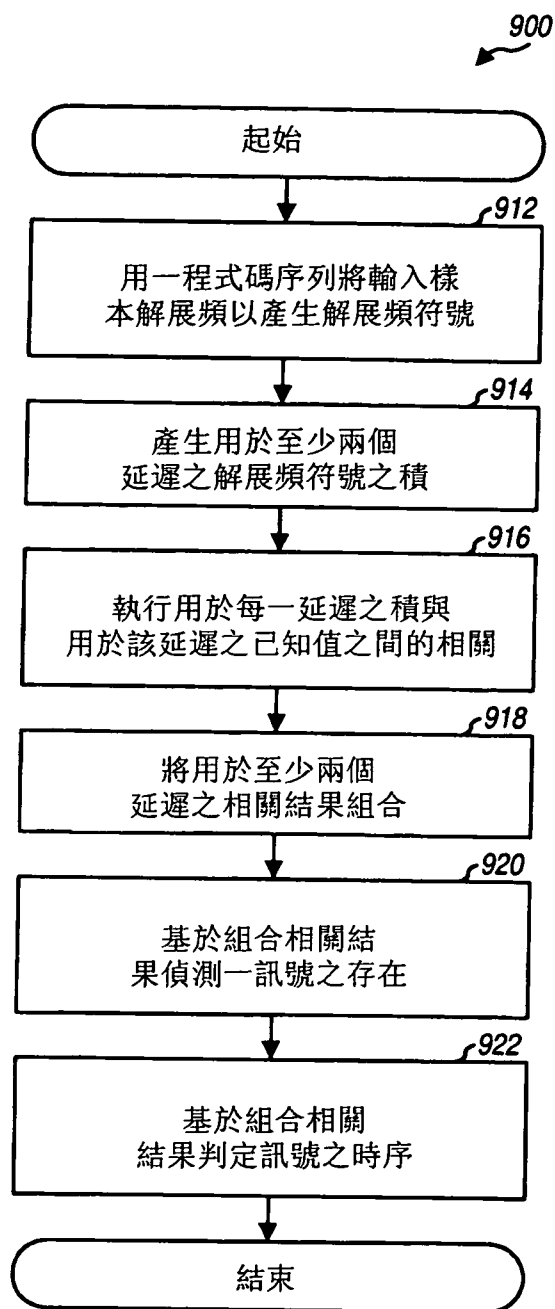


圖9

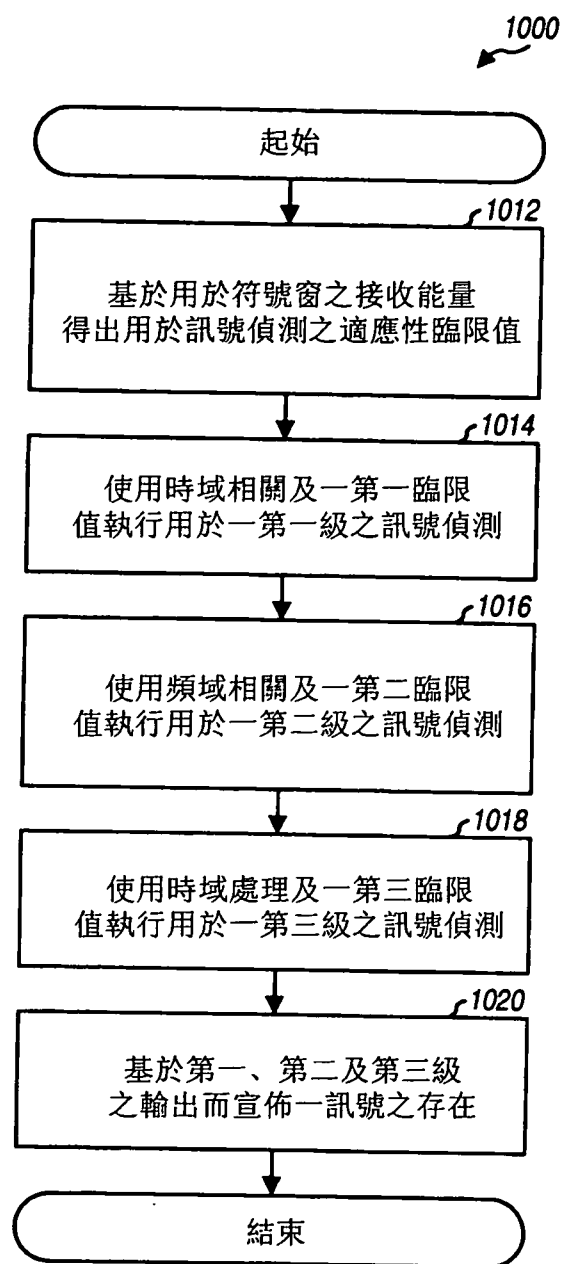


圖10

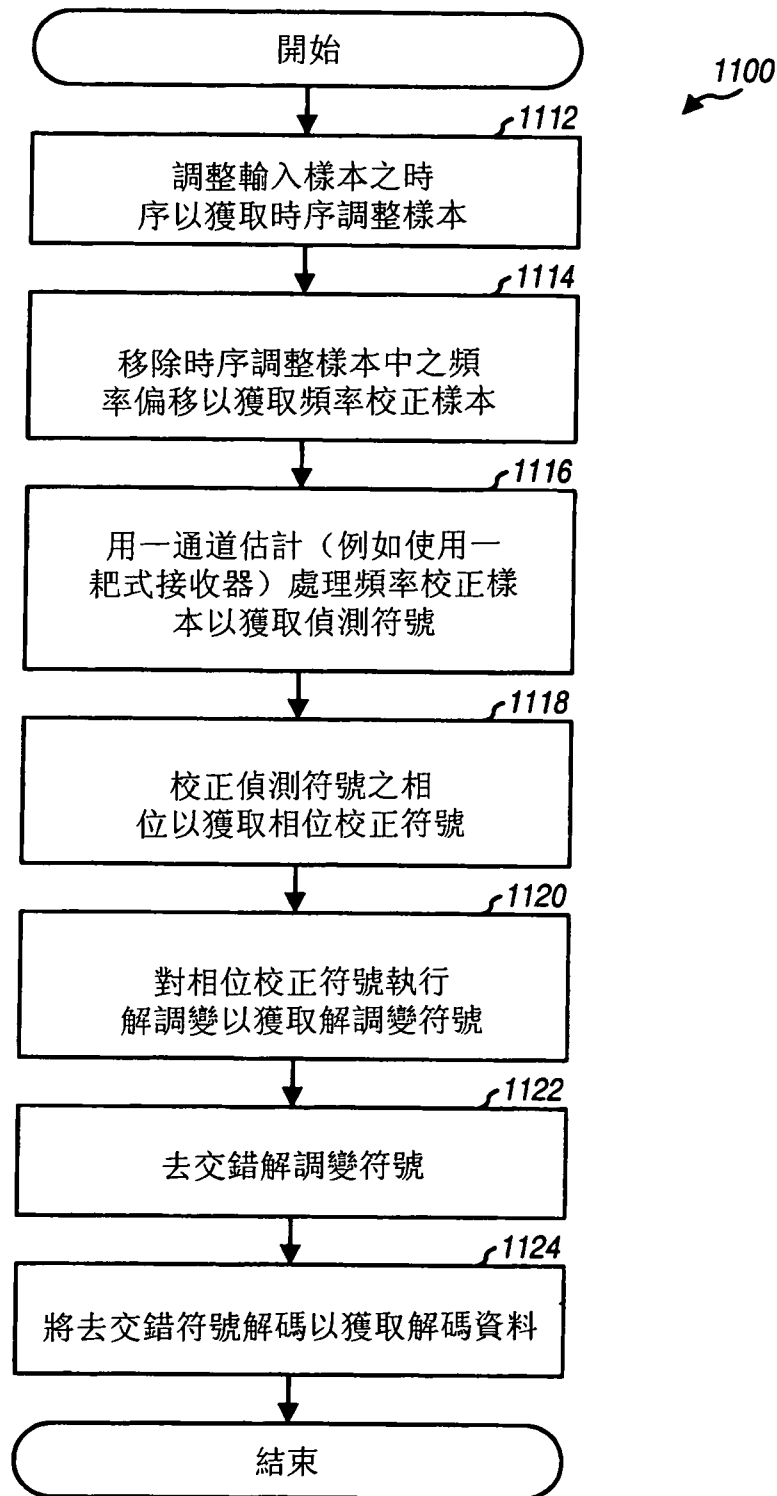


圖 11