(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119007792 A
(43)申请公布日 2024.11.22

(21)申请号 202311393590.4

(22)申请日 2023.10.25

(30)优先权数据
10-2023-0064665 2023.05.18 KR

(71)申请人 爱思开海力士有限公司
地址 韩国京畿道

(72)发明人 张文选 金庚焕 金大石 郑镇浩

(74)专利代理机构 北京弘权知识产权代理有限公司 11363
专利代理师 许伟群 李少丹

(51)Int.Cl.
G11C 29/42(2006.01)
G11C 29/18(2006.01)

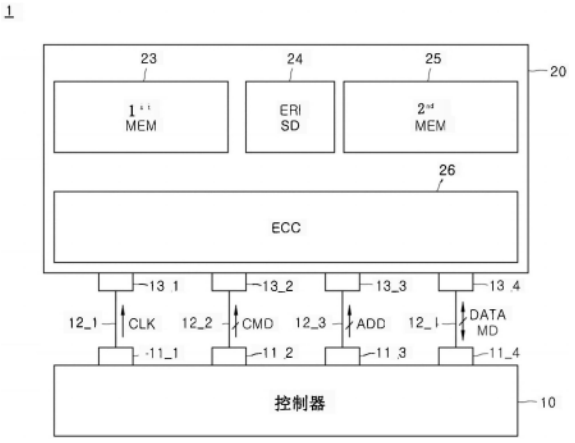
权利要求书4页 说明书15页 附图13页

(54)发明名称

用于执行纠错操作的半导体模块

(57)摘要

本公开涉及用于执行纠错操作的半导体模块。一种半导体模块包括:地址控制电路,其被配置成基于顺序执行的第一读取操作和第二读取操作中的地址来生成内部地址,以及被配置成生成错误信息使能信号和多个解码使能信号;存储器电路,其包括多个区块并且被配置成在第一读取操作中基于内部地址和多个解码使能信号来输出内部数据,以及被配置成在第二读取操作中基于内部地址和多个解码使能信号来输出内部元数据和第二内部奇偶校验;以及错误信息存储电路,其被配置成在第一读取操作中基于内部地址和错误信息使能信号来输出第一内部奇偶校验。



CN 119007792 A

1.一种半导体模块,包括:

地址控制电路,其基于顺序执行的第一读取操作和第二读取操作中的地址来生成内部地址,以及生成错误信息使能信号和多个解码使能信号;

存储器电路,其包括多个区块,并且在所述第一读取操作中基于所述内部地址和所述多个解码使能信号来输出内部数据,以及在所述第二读取操作中基于所述内部地址和所述多个解码使能信号来输出内部元数据和第二内部奇偶校验;以及

错误信息存储电路,其在所述第一读取操作中基于所述内部地址和所述错误信息使能信号来输出第一内部奇偶校验。

2.根据权利要求1所述的半导体模块,其中:

在所述第一读取操作开始之后,所述地址作为用于输出所述内部数据的逻辑电平组合被输入;以及

在所述第二读取操作开始之后,所述地址作为用于输出所述内部元数据和所述第二内部奇偶校验的逻辑电平组合被输入。

3.根据权利要求1所述的半导体模块,其中,所述地址控制电路:

在所述第一读取操作开始之后,使能所述多个解码使能信号和所述错误信息使能信号两者;以及

在所述第二读取操作开始之后,使能所述多个解码使能信号中的任一个。

4.根据权利要求1所述的半导体模块,其中,所述地址控制电路包括:

地址传输电路,其:在所述第一读取操作开始之后,当元使能信号被禁止时从所述地址生成所述内部地址,以及在所述第二读取操作开始之后,当所述元使能信号被使能时从元地址生成所述内部地址;以及

列控制电路,其在所述元使能信号被禁止时使能所述多个解码使能信号和所述错误信息使能信号两者,以及在所述元使能信号被使能时从所述地址生成所述元地址。

5.根据权利要求1所述的半导体模块,

其中,所述内部数据中包括的比特位数被设置为是所述内部元数据和所述第二内部奇偶校验中包括的比特位数的至少2N倍或更多的比特位数,以及

其中,N是大于零的整数。

6.根据权利要求1所述的半导体模块,其中:

在所述第一读取操作中,基于所述内部地址和所述多个解码使能信号,使能所述多个区块的全部以输出所述内部数据;以及

在所述第二读取操作中,基于所述内部地址和所述多个解码使能信号,使能所述多个区块中的任一个以输出所述内部元数据和所述第二内部奇偶校验。

7.根据权利要求1所述的半导体模块,还包括ECC电路,ECC指纠错码,所述ECC电路:在所述第一读取操作开始之后接收所述内部数据和所述第一内部奇偶校验;在所述第二读取操作开始之后接收所述内部元数据和所述第二内部奇偶校验;以及通过基于所述第一内部奇偶校验和所述第二内部奇偶校验纠正所述内部数据和所述内部元数据中包括的错误来输出所述内部数据和所述内部元数据作为传输数据和传输元数据。

8.根据权利要求7所述的半导体模块,其中所述ECC电路包括:

数据传输电路,其在所述第一读取操作开始之后基于元使能信号和所述多个解码使能

信号从所述内部数据生成选择数据,以及在所述第二读取操作开始之后从所述内部元数据和所述第二内部奇偶校验生成选择元数据和选择奇偶校验;

校验子操作电路,其基于所述第一内部奇偶校验和所述选择奇偶校验来生成校验子;以及

纠错电路,其通过基于所述校验子对所述选择数据执行ECC解码操作来纠正所述选择数据中包括的错误而输出所述选择数据作为所述传输数据,以及通过基于所述校验子对所述选择元数据执行ECC解码操作来纠正所述选择元数据中包括的错误而输出所述选择元数据作为所述传输元数据。

9.根据权利要求8所述的半导体模块,其中,所述数据传输电路包括:

第一数据选择传输电路,其接收所述内部数据,当所述元使能信号被禁止时存储所述内部数据,以及从存储的所述内部数据生成所述选择数据;以及

第二数据选择传输电路,其基于所述多个解码使能信号从所述内部元数据和所述第二内部奇偶校验生成所述选择元数据和所述选择奇偶校验。

10.一种半导体模块,包括:

第一存储器电路,其在第一读取操作开始之后输出已存储在所述第一存储器电路中的第一内部数据;

第二存储器电路,其在所述第一读取操作开始之后输出已存储在所述第二存储器电路中的第二内部数据;

错误信息存储电路,其在所述第一读取操作开始之后输出已存储在所述错误信息存储电路中的第一内部奇偶校验;以及

ECC电路,ECC指纠错码,所述ECC电路:在所述第一读取操作开始之后接收所述第一内部数据、所述第二内部数据和所述第一内部奇偶校验;在第二读取操作开始之后接收由所述第一存储器电路或所述第二存储器电路中的任一个输出的内部元数据和第二内部奇偶校验;以及基于所述第一内部奇偶校验和所述第二内部奇偶校验来纠正和输出所述第一内部数据、所述第二内部数据和所述内部元数据中包括的错误。

11.根据权利要求10所述的半导体模块,其中:

所述第一存储器电路包括第一组区块;

所述第二存储器电路包括第二组区块;

在所述第一读取操作开始之后,使能所述第一组区块中的所有区块以输出所述第一内部数据,以及使能所述第二组区块中的所有区块以输出所述第二内部数据;以及

在所述第二读取操作开始之后,使能所述第一组区块和所述第二组区块中的任一个以输出所述内部元数据和所述第二内部奇偶校验。

12.根据权利要求10所述的半导体模块,

其中,所述第一内部数据和所述第二内部数据中包括的比特位数被设置为是所述元数据和所述第二内部奇偶校验中包括的比特位数的至少2N倍或更多的比特位数,以及

其中,N是大于零的整数。

13.根据权利要求10所述的半导体模块,其中,所述ECC电路包括:

数据传输电路,其在所述第一读取操作开始之后基于元使能信号和多个解码使能信号从所述第一内部数据和所述第二内部数据生成选择数据,以及在所述第二读取操作开始之

后从所述内部元数据和所述第二内部奇偶校验生成选择元数据和选择奇偶校验;

校验子操作电路,其基于所述第一内部奇偶校验和所述选择奇偶校验来生成校验子;以及

纠错电路,其:通过基于所述校验子对所述选择数据执行ECC解码操作来纠正所述选择数据中包括的错误而输出所述选择数据作为传输数据;以及通过基于所述校验子对所述选择元数据执行ECC解码操作来纠正所述选择元数据中包括的错误而输出所述选择元数据作为传输元数据。

14.根据权利要求13所述的半导体模块,其中,所述数据传输电路包括:

第一数据选择传输电路,其接收所述第一内部数据和所述第二内部数据,当所述元使能信号被禁止时存储所述第一内部数据和所述第二内部数据,以及通过串行化存储的所述第一内部数据和存储的所述第二内部数据来生成所述选择数据;以及

第二数据选择传输电路,其基于所述多个解码使能信号从所述内部元数据和所述第二内部奇偶校验生成所述选择元数据和所述选择奇偶校验。

15.一种半导体模块,包括:

存储器电路,其:包括多个区块,在读取修改写入操作的第一读取操作中基于内部地址和多个解码使能信号输出内部数据,在所述读取修改写入操作的第二读取操作中基于所述内部地址和所述多个解码使能信号输出内部元数据和第二内部奇偶校验,以及在所述读取修改写入操作的写入操作开始之后存储错误被纠正后的所述内部数据、错误被纠正后的所述内部元数据以及所述第二内部奇偶校验;

错误信息存储电路,其在所述读取修改写入操作的所述第一读取操作中基于所述内部地址和错误信息使能信号来输出第一内部奇偶校验;以及

ECC电路,ECC指纠错码,所述ECC电路:在所述读取修改写入操作的所述第一读取操作开始之后接收所述内部数据和所述第一内部奇偶校验;在所述读取修改写入操作的所述第二读取操作开始之后接收所述内部元数据和所述第二内部奇偶校验;在所述读取修改写入操作开始之后从传输数据生成所述内部数据;以及通过基于所述第一内部奇偶校验和所述第二内部奇偶校验纠正所述内部数据和所述内部元数据中包括的错误来将所述内部数据和所述内部元数据输出到所述存储器电路。

16.根据权利要求15所述的半导体模块,其中:

在所述读取修改写入操作的所述第一读取操作开始之后,所述内部地址作为用于输出所述内部数据的逻辑电平组合被输入,以及

在所述读取修改写入操作的第二读取操作开始之后,所述内部地址作为用于输出所述内部元数据和所述第二内部奇偶校验的逻辑电平组合被输入。

17.根据权利要求15所述的半导体模块,其中:

在所述读取修改写入操作的所述第一读取操作中,基于所述内部地址和所述多个解码使能信号使能所述多个区块的全部以输出所述内部数据,以及

在所述读取修改写入操作的所述第二读取操作中,基于所述内部地址和所述多个解码使能信号使能所述多个区块中的任一个以输出所述内部元数据和所述第二内部奇偶校验。

18.根据权利要求15所述的半导体模块,其中:

在所述读取修改写入操作的所述写入操作中,基于所述内部地址和所述多个解码使能

信号使能所述多个区块的全部以存储所述内部数据,以及

在所述读取修改写入操作的所述写入操作中,基于所述内部地址和所述多个解码使能信号使能所述多个区块中的任一个以存储所述内部元数据和所述第二内部奇偶校验。

19.根据权利要求15所述的半导体模块,其中,所述ECC电路包括:

数据传输电路,其在所述读取修改写入操作的所述第一读取操作开始之后基于元使能信号和所述多个解码使能信号从所述内部数据生成选择数据,在所述读取修改写入操作的所述第二读取操作开始之后从所述内部元数据和所述第二内部奇偶校验生成选择元数据和选择奇偶校验,在所述读取修改写入操作的所述写入操作开始之后基于所述元使能信号和写入信号从所述传输数据生成所述选择数据,以及在所述读取修改写入操作的所述写入操作开始之后基于所述写入信号从传输元数据生成所述选择元数据;

奇偶校验操作电路,其通过对所述选择数据和所述选择元数据执行ECC编码操作来生成奇偶校验和写入奇偶校验;

校验子操作电路,其基于所述第一内部奇偶校验、所述选择奇偶校验和所述奇偶校验来生成校验子;

纠错电路,其通过基于所述校验子对所述选择数据执行ECC解码操作来纠正所述选择数据中包括的错误而输出所述选择数据作为所述传输数据,以及通过基于所述校验子对所述选择元数据执行ECC解码操作来纠正所述选择元数据中包括的错误而输出所述选择元数据作为所述传输元数据;以及

写入控制电路,其:基于所述元使能信号和所述多个解码使能信号,从所述选择数据、所述选择元数据和所述写入奇偶校验生成所述内部数据。

20.根据权利要求19所述的半导体模块,其中,所述数据传输电路包括:

第一数据选择传输电路,其基于所述写入信号从所述内部数据和所述传输数据中的任一个生成输入数据,当所述元使能信号被禁止时存储所述输入数据,以及从存储的所述输入数据生成所述选择数据;以及

第二数据选择传输电路,其基于所述多个解码使能信号从所述内部元数据和所述第二内部奇偶校验生成输入元数据和所述选择奇偶校验,以及基于所述写入信号从所述输入数据或所述传输元数据中的任一个生成所述选择元数据。

用于执行纠错操作的半导体模块

[0001] 相关申请的交叉引用

[0002] 本申请要求于2023年5月18日提交至韩国知识产权局的韩国专利申请第10-2023-0064665号的优先权,其整体公开内容通过引用并入本文。

技术领域

[0003] 本公开的实施例总体上涉及一种半导体模块,并且更具体地,涉及这样一种半导体模块:其涉及在读取操作开始之后输出内部数据之后,通过使用存储器电路中存储的一些比特位(bit)来对数据执行纠错操作,在存储器电路中元数据作为在纠错码(ECC)电路中使用的奇偶校验已被存储。

背景技术

[0004] 近来,为了提高半导体器件的操作速度,正在使用诸如DDR2、DDR3、DDR4和DDR5的用于在每个时钟周期输入/输出多比特位数据的方法。当数据的输入/输出速度变快时,因为在传送数据的过程中出现错误的概率也增加,所以额外需要用于保证数据传输的可靠性的单独的装置和方法。

[0005] 正在使用一种通过生成能够每当传输数据时检查是否发生错误的错误校验码并且将错误校验码连同数据一起传输来保证数据传输的可靠性的方法。错误校验码包括能够检测已发生的错误的错误检测码(EDC)和能够在错误发生时自主地纠正错误的纠错码(ECC)。

发明内容

[0006] 在实施例中,一种半导体模块可以包括:地址控制电路,其被配置成基于顺序执行的第一读取操作和第二读取操作中的地址来生成内部地址,以及被配置成生成错误信息使能信号和多个解码使能信号;存储器电路,其包括多个区块,并且被配置成在所述第一读取操作中基于所述内部地址和所述多个解码使能信号来输出内部数据,以及被配置成在所述第二读取操作中基于所述内部地址和所述多个解码使能信号来输出内部元数据和第二内部奇偶校验;以及错误信息存储电路,其被配置成在所述第一读取操作中基于所述内部地址和所述错误信息使能信号来输出第一内部奇偶校验。

[0007] 在实施例中,一种半导体模块可以包括:第一存储器电路,其被配置成在第一读取操作开始之后输出已存储在所述第一存储器电路中的第一内部数据;第二存储器电路,其被配置成在所述第一读取操作开始之后输出已存储在所述第二存储器电路中的第二内部数据;错误信息存储电路,其被配置成在所述第一读取操作开始之后输出已存储在所述错误信息存储电路中的第一内部奇偶校验;以及纠错码(ECC)电路,其被配置成在所述第一读取操作开始之后接收所述第一内部数据、所述第二内部数据和所述第一内部奇偶校验,配置成在第二读取操作开始之后接收由所述第一存储器电路或所述第二存储器电路中的任一个输出的内部元数据和第二内部奇偶校验,以及配置成基于所述第一内部奇偶校验和所

述第二内部奇偶校验来纠正和输出所述第一内部数据、所述第二内部数据和所述内部元数据中包括的错误。

[0008] 在实施例中,一种半导体模块可以包括:存储器电路,其包括多个区块,被配置成在读取修改写入操作的第一读取操作中基于内部地址和多个解码使能信号输出内部数据,被配置成在所述读取修改写入操作的第二读取操作中基于所述内部地址和所述多个解码使能信号输出内部元数据和第二内部奇偶校验,以及被配置成在所述读取修改写入操作的写入操作开始之后存储错误被纠正后的所述内部数据、错误被纠正后的所述内部元数据以及所述第二内部奇偶校验;错误信息存储电路,其被配置成在所述读取修改写入操作的所述第一读取操作中基于所述内部地址和错误信息使能信号来输出第一内部奇偶校验;以及纠错码(ECC)电路,其被配置成在所述读取修改写入操作的所述第一读取操作开始之后接收所述内部数据和所述第一内部奇偶校验,被配置成在所述读取修改写入操作的所述第二读取操作开始之后接收所述内部元数据和所述第二内部奇偶校验,被配置成在所述读取修改写入操作开始之后从传输数据生成所述内部数据,以及被配置成通过基于所述第一内部奇偶校验和所述第二内部奇偶校验纠正所述内部数据和所述内部元数据中包括的错误来将所述内部数据和所述内部元数据输出到所述存储器电路。

附图说明

[0009] 图1是示出根据本公开的实施例的半导体系统的配置的框图。

[0010] 图2是示出根据在图1所示的半导体系统中包括的半导体模块的实施例的构造的框图。

[0011] 图3是示出根据在图2所示的半导体模块中包括的地址控制电路的实施例的构造的示图。

[0012] 图4是示出根据在图2所示的半导体模块中包括的第一存储器电路的实施例的构造的框图。

[0013] 图5是示出根据在图2所示的半导体模块中包括的错误信息存储电路的实施例的构造的框图。

[0014] 图6是示出根据在图2所示的半导体模块中包括的ECC电路的实施例的构造的框图。

[0015] 图7是示出根据在图6所示的ECC电路中包括的数据传输电路的实施例的构造的示图。

[0016] 图8是示出根据在图6所示的ECC电路中包括的写入控制电路的实施例的构造的示图。

[0017] 图9、图10、图11和图12是用于描述根据本公开的实施例的半导体模块的操作的示图。

[0018] 图13是示出根据已被应用图1和图12中所示的半导体系统的电子系统的实施例的构造的示图。

具体实施方式

[0019] 在以下实施例的描述中,术语“预设”表示当参数用在过程或算法中时,参数的数

值被预先确定。根据实施例,可以在该过程或算法开始时或者在执行该过程或算法时设置参数的数值。

[0020] 用于区分各个部件的诸如“第一”和“第二”的术语,不受部件限制。例如,第一部件可以被称为第二部件,反之亦然。

[0021] 当一个部件被称为“耦接”或“连接”到另一部件时,应当理解,这些部件可以直接彼此耦接或连接,或者通过插入其间的另一部件彼此耦接或连接。相反,当一个部件被称为“直接耦接”或“直接连接”到另一部件时,应当理解,这些部件彼此直接耦接或连接,没有在其间插入另一部件。

[0022] “逻辑高电平”和“逻辑低电平”用于描述信号的逻辑电平。具有“逻辑高电平”的信号区别于具有“逻辑低电平”的信号。例如,当具有第一电压的信号对应于具有“逻辑高电平”的信号时,具有第二电压的信号可以对应于具有“逻辑低电平”的信号。根据实施例,“逻辑高电平”可以被设置为比“逻辑低电平”电压高。根据实施例,信号的逻辑电平可以被设置为不同的逻辑电平或相反的逻辑电平。例如,具有逻辑高电平的信号在一些实施例中可以被设置为具有逻辑低电平,而具有逻辑低电平的信号在一些实施例中可以被设置为具有逻辑高电平。

[0023] 下面将通过实施例更详细地描述本公开。实施例仅用于例示本公开,并且本公开的范围不受实施例的限制。

[0024] 本公开的实施例提供了一种半导体模块,用于在读取操作开始之后输出内部数据之后,通过使用存储器电路中存储的一些比特位来对数据执行纠错操作,在存储器电路中元数据作为在ECC电路中使用的奇偶校验已被存储。

[0025] 根据本公开的实施例,在读取操作开始之后输出内部数据之后,可以通过使用存储器电路中存储的一些比特位来纠正数据的错误,在存储器电路中元数据作为在ECC电路中使用的奇偶校验已被存储。

[0026] 此外,根据本公开的实施例,在读取操作开始之后输出内部数据之后,可以通过使用存储器电路中存储的一些比特位来增加ECC电路的纠错能力,在存储器电路中元数据作为在ECC电路中使用的奇偶校验已被存储。

[0027] 如图1所示,根据本公开的实施例的半导体系统1可以包括控制器10和半导体模块20。

[0028] 控制器10可以包括第一控制引脚11_1、第二控制引脚11_2、第三控制引脚11_3和第四控制引脚11_4。半导体模块20可以包括第一器件引脚13_1、第二器件引脚13_2、第三器件引脚13_3和第四器件引脚13_4。第一传输线12_1可以连接在第一控制引脚11_1和第一器件引脚13_1之间。第二传输线12_2可以连接在第二控制引脚11_2和第二器件引脚13_2之间。第三传输线12_3可以连接在第三控制引脚11_3和第三器件引脚13_3之间。第四传输线12_4可以连接在第四控制引脚11_4和第四器件引脚13_4之间。控制器10可以通过第一传输线12_1向半导体模块20传输用于控制半导体模块20的时钟CLK。控制器10可以通过第二传输线12_2向半导体模块20传输用于控制半导体模块20的命令CMD。控制器10可以通过第三传输线12_3向半导体模块20传输用于控制半导体模块20的地址ADD。控制器10可以通过第四传输线12_4向半导体模块20传输数据DATA和元数据MD。控制器10可以通过第四传输线12_4从半导体模块20接收数据DATA和元数据MD。控制器10可以向半导体模块20输出用于执

行第一读取操作和第二读取操作的时钟CLK、命令CMD和地址ADD。控制器10可以在读取操作开始之后从半导体模块20接收数据DATA和元数据MD。控制器10可以输出用于对半导体模块20执行读取修改写入操作的时钟CLK、命令CMD、地址ADD、数据DATA和元数据MD。

[0029] 时钟CLK可以被设置为另外切换的信号,以便同步控制器10和半导体模块20的操作。命令CMD可以包括多个比特位,并且可以被输出为具有用于执行半导体模块20的第一读取操作和第二读取操作以及读取修改写入操作的逻辑电平组合。地址ADD可以包括多个比特位,并且可以被输出为具有用于在半导体模块20的第一读取操作开始之后输出第一内部数据和第二内部数据(图2中的ID1<1:64>和ID2<1:64>)和第一内部奇偶校验(图2中的IP1<1:8>)的逻辑电平组合。地址ADD可以包括多个比特位,并且可以被输出为具有用于在半导体模块20的第二读取操作开始之后输出内部元数据(图2中的IMD<1:2>)和第二内部奇偶校验(图2中的IP2<1:6>)的逻辑电平组合。地址ADD可以包括多个比特位,并且可以被输出为具有用于在半导体模块20的读取修改写入操作开始之后存储第一内部数据和第二内部数据(图2中的ID1<1:64>和ID2<1:64>)的逻辑电平组合。数据DATA可以包括多个比特位,并且可以被设置为在读取操作和读取修改写入操作开始之后被输入和输出的公共数据。元数据MD可以包括多个比特位,并且可以包括输入和输出数据DATA时的附加信息。例如,元数据MD可以被设置为包括各种类型的信息(诸如半导体模块20的温度信息、操作状态信息和延时时间信息)的信号。

[0030] 半导体模块20可以包括第一存储器电路(1st MEM)23、错误信息存储电路(ERI SD)24、第二存储器电路(2nd MEM)25和ECC电路(ECC)26。

[0031] 第一存储器电路23可以在第一读取操作开始之后输出存储在由地址ADD选择的位置处的第一内部数据(图2中的ID1<1:64>)。第一存储器电路23可以在第二读取操作开始之后输出存储在由地址ADD选择的位置处的内部元数据(图2中的IMD<1:2>)和第二内部奇偶校验(图2中的IP2<1:6>)。第一存储器电路23可以在读取修改写入操作开始之后将第一内部数据(图2中的ID1<1:64>)存储在由地址ADD选择的位置中。

[0032] 错误信息存储电路24可以在第一读取操作开始之后输出存储在由地址ADD选择的位置处的第一内部奇偶校验(图2中的IP1<1:8>)。

[0033] 第二存储器电路25可以在第一读取操作开始之后输出存储在由地址ADD选择的位置处的第二内部数据(图2中的ID2<1:64>)。第二存储器电路25可以在第二读取操作开始之后输出存储在由地址ADD选择的位置处的内部元数据(图2中的IMD<1:2>)和第二内部奇偶校验(图2中的IP2<1:6>)。第二存储器电路25可以在读取修改写入操作开始之后将第二内部数据(图2中的ID2<1:64>)存储在由地址ADD选择的位置中。

[0034] ECC电路26可以在第一读取操作开始之后接收第一内部数据(图2中的ID1<1:64>)、第二内部数据(图2中的ID2<1:64>)和第一内部奇偶校验(图2中的IP1<1:8>)。ECC电路26可以在第二读取操作开始之后接收第二内部奇偶校验(图2中的IP2<1:6>),并且可以基于第一内部奇偶校验(图2中的IP1<1:8>)和第二内部奇偶校验(图2中的IP2<1:6>)纠正第一内部数据(图2中的ID1<1:64)和第二内部数据(图2中的ID2<1:64>)中包括的错误。ECC电路26可以在读取修改写入操作开始之后通过基于第一内部奇偶校验(图2中的IP1<1:8>)和第二内部奇偶校验(图2中的IP2<1:6>)纠正数据DATA中包括的错误来生成第一内部数据(图2中的ID1<1:64>)和第二内部数据(图2中的ID2<1:64>)。

[0035] 如图2所示,半导体模块20可以包括命令控制电路(CMD CCT)21、地址控制电路(ADD CCT)22、第一存储器电路(1st MEM)23、错误信息存储电路(ERI SD)24、第二存储器电路(2nd MEM)25、ECC电路(ECC)26以及数据输入输出电路(DATA I/O)27。

[0036] 命令控制电路21可以与时钟CLK同步地基于命令CMD<1:3>生成写入信号WT、读取信号RD和元使能信号M_EN。当输入的命令CMD<1:3>具有用于执行第一读取操作和第二读取操作的逻辑电平组合时,命令控制电路21可以与时钟CLK同步地生成被使能的读取信号RD。当输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以与时钟CLK同步地生成被顺序使能的读取信号RD和写入信号WT。当输入的命令CMD<1:3>具有用于执行第一读取操作的逻辑电平组合时,命令控制电路21可以与时钟CLK同步地生成被禁止的元使能信号M_EN。当输入的命令CMD<1:3>具有用于执行第二读取操作的逻辑电平组合时,命令控制电路21可以与时钟CLK同步地生成被使能的元使能信号M_EN。第一读取操作和第二读取操作可以顺序地执行。命令CMD<1:3>已被设置为包括三个比特位,但是根据实施例可以被设置为包括各种数量的比特位。读取修改写入操作可以被设置作为在第一读取操作和第二读取操作被执行之后写入操作被执行的操作。

[0037] 地址控制电路22可以与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。地址控制电路22可以在第一读取操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。地址控制电路22可以生成解码使能信号D_EN<1:16>,所有解码使能信号在第一读取操作开始之后被使能。地址控制电路22可以生成在第一读取操作开始之后被使能的错误信息使能信号ER_EN。地址控制电路22可以在第二读取操作开始之后基于地址ADD<1:6>来使能解码使能信号D_EN<1:16>中的任一个。地址控制电路22可以在读取修改写入操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。内部地址IADD<1:6>可以被设置为用于选择第一存储器电路23、错误信息存储电路24和第二存储器电路25的列路径的地址。内部地址IADD<1:6>已被设置为包括六个比特位,但是根据实施例可以被设置为包括各种数量的比特位。解码使能信号D_EN<1:16>已被设置为包括十六个比特位,但是根据实施例可以被设置为包括各种数量的比特位。

[0038] 在第一读取操作开始之后,当读取信号RD被使能时,第一存储器电路23可以基于第一至第六内部地址IADD<1:6>和全部被使能的解码使能信号的第一至第八比特位D_EN<1:8>来输出第一内部数据ID1<1:64>。在第二读取操作开始之后,当读取信号RD被使能时,第一存储器电路23可以基于内部地址IADD<1:6>和解码使能信号的第一至第八比特位D_EN<1:8>中的任一个来输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。当写入信号WT被使能时,第一存储器电路23可以基于内部地址IADD<1:6>和解码使能信号的第一至第八比特位D_EN<1:8>中的任一个来存储第一内部数据ID1<1:64>。

[0039] 当在第一读取操作开始之后错误信息使能信号ER_EN被使能时,错误信息存储电路24可以输出已存储在错误信息存储电路24中的第一内部奇偶校验IP1<1:8>。

[0040] 在第一读取操作开始之后,当读取信号RD被使能时,第二存储器电路25可以基于内部地址IADD<1:6>和全部被使能的解码使能信号的第九至第十六比特位D_EN<9:16>来输出第二内部数据ID2<1:64>。在第二读取操作开始之后,当读取信号RD被使能时,第二存储器电路25可以基于内部地址IADD<1:6>和解码使能信号的第九至第十六比特位D_EN<9:16>中的任一个来输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。当写入信号WT被使

能时,第二存储器电路25可以基于内部地址IADD<1:6>和解码使能信号的第九至第十六比特位D_EN<9:16>中的任一个来存储第二内部数据ID2<1:64>。

[0041] ECC电路26可以在第一读取操作开始之后接收第一内部数据ID1<1:64>、第二内部数据ID2<1:64>和第一内部奇偶校验IP1<1:8>。ECC电路26可以在第一读取操作开始之后,基于写入信号WT和元使能信号M_EN接收第一内部数据ID1<1:64>和第二内部数据ID2<1:64>。ECC电路26可以在第二读取操作开始之后接收内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。ECC电路26可以在第二读取操作开始之后,基于写入信号WT和解码使能信号D_EN<1:16>接收内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。ECC电路26可以在第二读取操作开始之后,通过基于第一内部奇偶校验IP1<1:8>和第二内部奇偶校验IP2<1:6>纠正第一内部数据ID1<1:64>、第二内部数据ID2<1:64>和内部元数据IMD<1:2>中包括的错误来输出第一内部数据ID1<1:64>、第二内部数据ID2<1:64>和内部元数据IMD<1:2>作为传输数据TD<1:128>和传输元数据TMD<1:2>。ECC电路26可以在读取修改写入操作开始之后,通过基于第一内部奇偶校验IP1<1:8>和第二内部奇偶校验IP2<1:6>纠正传输数据TD<1:64>中包括的错误来生成第一内部数据ID1<1:64>和第二内部数据ID2<1:64>中的任一个。ECC电路26可以在读取修改写入操作开始之后,基于写入信号WT和元使能信号M_EN接收传输数据TD<1:64>,并且可以根据写入奇偶校验(图6中的WP<1:6>)生成第一内部数据ID1<1:64>和第二内部数据ID2<1:64>中的八个比特位,该写入奇偶校验是根据传输数据TD<1:64>和传输元数据TD<1:2>生成的。在实施例中,ECC电路26可以被实现为使用单纠错-双错误检测或单纠错-双相邻纠错(SEC-DED)码的普通ECC电路,用于纠正具有1个比特位的错误并且检测具有两个比特位的错误。

[0042] 数据输入输出电路27可以在读取操作开始之后输出传输数据TD<1:128>作为数据DATA<1:128>,并且可以输出传输元数据TMD<1:2>作为元数据MD<1:2>。数据输入输出电路27可以在读取修改写入操作开始之后,基于地址的第七比特位ADD<7>输出数据DATA<1:64>作为传输数据的第一至第64比特位TD<1:64>以及传输数据的第65至第128比特位TD<65:128>,并且输出元数据MD<1:2>作为传输元数据TMD<1:2>。

[0043] 如上所述,半导体模块20可以在读取操作开始之后输出第一内部数据ID1<1:64>和第二内部数据ID2<1:64>之后,通过使用存储器电路中存储的一些比特位来对数据执行纠错操作,在存储器电路中元数据作为在ECC电路26中使用的奇偶校验已被存储。在实施例中,半导体模块20可以在读取操作开始之后输出第一内部数据ID1<1:64>和第二内部数据ID2<1:64>之后,通过使用存储器电路中存储的一些比特位来提高ECC电路的纠错能力,在存储器电路中元数据作为在ECC电路26中使用的奇偶校验已被存储。

[0044] 图3是示出根据半导体模块20中包括的地址控制电路22的实施例的构造的框图。地址控制电路22可以包括地址传输电路221和列控制电路(COL CCT)222。

[0045] 地址传输电路221可以被实现为多路复用器。地址传输电路221可以基于元使能信号M_EN输出地址ADD<1:6>和元地址MAD<1:6>中的任一个作为内部地址IADD<1:6>。当元使能信号M_EN被禁止为逻辑低电平时,地址传输电路221可以输出地址ADD<1:6>作为内部地址IADD<1:6>。当元使能信号M_EN被使能为逻辑高电平时,地址传输电路221可以输出元地址MAD<1:6>作为内部地址IADD<1:6>。

[0046] 列控制电路222可以被实现为寄存器。列控制电路222可以基于元使能信号M_EN从

地址ADD<1:6>生成元地址MAD<1:6>。当元使能信号M_EN在第二读取操作开始之后被使能为逻辑高电平时,列控制电路222可以锁存具有用于输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>的逻辑电平组合的地址ADD<1:6>,并且可以输出锁存地址ADD<1:6>作为元地址MAD<1:6>。当元使能信号M_EN在第一读取操作开始之后被禁止为逻辑低电平时,列控制电路222可以生成全部被使能的解码使能信号D_EN<1:16>和错误信息使能信号ER_EN。当元使能信号M_EN在第二读取操作开始之后被使能为逻辑高电平时,列控制电路222可以基于锁存地址ADD<1:6>来使能解码使能信号D_EN<1:16>中的任一个。

[0047] 图4是示出根据半导体模块20中包括的第一存储器电路23的实施例的构造的框图。第一存储器电路23可以包括第一区块231、第二区块232、第三区块233、第四区块234、第五区块235、第六区块236、第七区块237和第八区块238。第一区块231、第二区块232、第三区块233、第四区块234、第五区块235、第六区块236、第七区块237和第八区块238可以被设置为第一组。

[0048] 第一区块231可以包括第一解码器(DEC)231_1、第一存储器块(MB)231_2和第一驱动器(DRV)231_3。

[0049] 第一解码器231_1可以电连接到第一存储器块231_2。当解码使能信号的第一比特位D_EN<1>被使能为逻辑高电平时,第一解码器231_1可以通过内部地址IADD<1:6>来控制第一存储器块231_2的列操作。

[0050] 第一存储器块231_2可以在第一读取操作开始之后输出已存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中的第一内部数据的第一至第八比特位ID1<1:8>。第一存储器块231_2可以在第二读取操作开始之后输出已存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中的内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。第一存储器块231_2可以在读取修改写入操作开始之后将第一内部数据的第一至第八比特位ID1<1:8>存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中。第一存储器块231_2可以在读取修改写入操作开始之后将内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中。

[0051] 第一驱动器231_3可以电连接到第一存储器块231_2。第一驱动器231_3可以在第一读取操作开始之后检测、放大并输出第一内部数据的第一至第八比特位ID1<1:8>。第一驱动器231_3可以在第二读取操作开始之后检测、放大并输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。第一驱动器231_3可以在读取修改写入操作开始之后,通过检测并放大第一内部数据的第一至第八比特位ID1<1:8>将第一内部数据的第一至第八比特位ID1<1:8>存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中。第一驱动器231_3可以在读取修改写入操作开始之后,通过检测并放大内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>将内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中。

[0052] 第一存储器电路23可以被实现为包括内部电路(未示出),用于在第一读取操作和第二读取操作以及读取修改写入操作开始之后通过接收读取信号RD和写入信号WT来控制第一存储器块231_2和第一驱动器231_3。

[0053] 除了输入到第二至第八区块中的每一个并且从其输出的信号之外,第二区块232、第三区块233、第四区块234、第五区块235、第六区块236、第七区块237和第八区块238中的

每一个可被实现为具有与第一区块231相同的构造并且可以执行与第一区块231相同的操作,因此省略其详细描述。例如,图4示出了第一至第八区块231-238、第一至第八存储器块231_2至238_2、第一至第八解码器231_1至238_1、解码使能信号比特位D_EN<1>至D_EN<8>、内部数据比特位ID1<1:64>、第一至第八解码器231_1至238_1以及第一至第八驱动器231_3至238_3。

[0054] 此外,除了第二存储器电路25包括第二组的第九至第十六区块(未示出)之外,第二存储器电路25可以被实现为具有与第一存储器电路23相同的构造,并且可以执行与第一存储器电路23相同的操作,因此省略其详细描述。

[0055] 图5是示出根据半导体模块20中包括的错误信息存储电路24的实施例的构造的框图。错误信息存储电路24可以包括奇偶校验解码器(DEC)241、错误信息块(EB)242以及奇偶校验驱动器(DRV)243。

[0056] 奇偶校验解码器241可以电连接到错误信息块242。当错误信息使能信号ER_EN被使能为逻辑高电平时,奇偶校验解码器241可以通过内部地址IADD<1:6>来控制错误信息块242的列操作。

[0057] 错误信息块242可以在第一读取操作开始之后输出已存储在由内部地址IADD<1:6>使能的存储器单元(未示出)中的第一内部奇偶校验的第一至第八比特位IP1<1:8>。

[0058] 奇偶校验驱动器243可以电连接到错误信息块242。奇偶校验驱动器243可以在第一读取操作开始之后检测、放大并输出第一内部奇偶校验的第一至第八比特位IP1<1:8>。

[0059] 错误信息存储电路24可以被实现为包括内部电路(未示出),用于在第一读取操作开始之后通过接收读取信号RD和写入信号WT来控制错误信息块242和奇偶校验驱动器243。

[0060] 图6是示出根据半导体模块20中包括的ECC电路26的实施例的构造的框图。ECC电路26可以包括数据传输电路(DATA TRF)310、奇偶校验操作电路(PRT CAL)320、校验子操作电路(SYN CCT)330、纠错电路(ERC CCT)340和写入控制电路(WT CAL)350。

[0061] 数据传输电路310可以在第一读取操作开始之后,基于元使能信号M_EN从第一内部数据ID1<1:64>和第二内部数据ID2<1:64>生成选择数据SD<1:128>。数据传输电路310可以在第二读取操作开始之后基于解码使能信号D_EN<1:16>从内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>生成选择元数据SM<1:2>和选择奇偶校验SP<1:6>。数据传输电路310可以在读取修改写入操作开始之后基于写入信号WT和元使能信号M_EN从传输数据TD<1:128>生成选择数据SD<1:128>。数据传输电路310可以在读取修改写入操作开始之后基于写入信号WT和元使能信号M_EN从传输元数据TMD<1:12>生成选择元数据SM<1:2>。

[0062] 奇偶校验操作电路320可以基于选择元数据SM<1:2>和选择奇偶校验SP<1:6>来生成写入奇偶校验WP<1:6>。奇偶校验操作电路320可以通过对选择元数据SM<1:2>和选择奇偶校验SP<1:6>执行ECC编码操作来生成写入奇偶校验WP<1:6>。奇偶校验操作电路320可以通过对选择数据SD<1:128>和选择元数据SM<1:2>执行ECC编码操作来生成奇偶校验PRT<1:14>。奇偶校验操作电路320可以被实现为通过使用单纠错-双错误检测或单纠错-双相邻纠错(SEC-DED)码来执行ECC编码操作。

[0063] 校验子操作电路330可以基于奇偶校验PRT<1:14>、第一内部奇偶校验IP1<1:8>和选择奇偶校验SP<1:6>来生成校验子SYN<1:14>。。校验子操作电路330可以通过操作从奇偶校验操作电路320生成的奇偶校验PRT<1:14>、在第一读取操作开始之后生成的第一内部奇

偶校验IP1<1:8>以及在第二读取操作开始之后生成的选择奇偶校验SP<1:6>来生成校验子SYN<1:14>。

[0064] 纠错电路340可以基于校验子SYN<1:14>来检测选择数据SD<1:128>和选择元数据SM<1:2>中包括的错误的位置。纠错电路340可以通过对校验子SYN<1:14>执行ECC解码操作来纠正选择数据SD<1:128>和选择元数据SM<1:2>中包括的错误。纠错电路340可以输出错误被纠正后的选择数据SD<1:128>作为传输数据TD<1:128>。纠错电路340可以输出错误被纠正后的选择元数据SM<1:2>作为传输元数据TMD<1:2>。纠错电路340可以被实现为通过使用单纠错-双错误检测或单纠错-双相邻纠错(SEC-DED)码来执行ECC解码操作。

[0065] 写入控制电路350可以在读取修改写入操作开始之后,基于元使能信号M_EN和解码使能信号D_EN<1:16>从选择数据SD<1:128>生成第一内部数据ID1<1:64>和第二内部数据ID2<1:64>。写入控制电路350可以在读取修改写入操作开始之后,基于元使能信号M_EN和解码使能信号D_EN<1:16>从选择元数据SM<1:2>和写入奇偶校验WP<1:6>生成第一内部数据ID1<1:64>和第二内部数据ID2<1:64>中的八个比特位。

[0066] 图7是示出根据ECC电路26中包括的数据传输电路310的实施例的构造的框图。数据传输电路310可以包括第一数据选择传输电路311和第二数据选择传输电路312。

[0067] 第一数据选择传输电路311可以包括多路复用器311_1和寄存器(REG)311_2。

[0068] 当写入信号WT的电平是逻辑低电平时,多路复用器311_1可以从第一内部数据ID1<1:64>和第二内部数据ID2<1:64>生成输入数据IND<1:128>。当写入信号WT的电平是逻辑低电平时,多路复用器311_1可以从第一内部数据ID1<1:64>生成输入数据的第一至第64比特位IND<1:64>。当写入信号WT的电平是逻辑低电平时,多路复用器311_1可以从第二内部数据ID2<1:64>生成输入数据的第65至第128比特位IND<65:128>。当写入信号WT的电平是逻辑高电平时,多路复用器311_1可以从传输数据TD<1:128>生成输入数据IND<1:128>。

[0069] 寄存器311_2可以在第一读取操作开始之后存储输入数据IND<1:128>。当元使能信号M_EN被禁止为逻辑低电平时,寄存器311_2可以存储输入数据IND<1:128>。

[0070] 第二数据选择传输电路312可以包括开关电路(SW)312_1和多路复用器312_2。

[0071] 开关电路312_1可以基于解码使能信号D_EN<1:16>从内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>生成输入元数据INM<1:2>和选择奇偶校验SP<1:6>。当解码使能信号D_EN<1:16>中的任一个被使能时,开关电路312_1可以从内部元数据IMD<1:2>生成输入元数据INM<1:2>。当解码使能信号D_EN<1:16>中的任一个被使能时,开关电路312_1可以从第二内部奇偶校验IP2<1:6>生成选择奇偶校验SP<1:6>。

[0072] 当写入信号WT的电平是逻辑低电平时,多路复用器312_2可以从输入元数据INM<1:2>生成选择元数据SM<1:2>。当写入信号WT的电平是逻辑高电平时,多路复用器312_2可以从传输元数据TMD<1:2>生成选择元数据SM<1:2>。

[0073] 图8是示出根据ECC电路26中包括的写入控制电路350的实施例的构造的框图。写入控制电路350可以包括第一写入传输电路351_1、第二写入传输电路351_2、第三写入传输电路351_3、第四写入传输电路351_4、第五写入传输电路351_5、第六写入传输电路351_6、第七写入传输电路351_7、第八写入传输电路351_8、第九写入传输电路351_9、第十写入传输电路351_10、第十一写入传输电路351_11、第十二写入传输电路351_12、第十三写入传输电路351_13、第十四写入传输电路351_14、第十五写入传输电路351_15和第十六写入传输

电路351_16。

[0074] 第一写入传输电路351_1可以包括与(AND)门351<1>和多路复用器351<2>。与门351<1>可以对元使能信号M_EN和解码使能信号的第一比特位D_EN<1>执行与运算。当元使能信号M_EN和解码使能信号的第一比特位D_EN<1>二者均具有逻辑高电平时,与门351<1>可以生成具有逻辑高电平的输出信号。当元使能信号M_EN和解码使能信号的第一比特位D_EN<1>中的任一个的电平是逻辑低电平时,与门351<1>可以生成具有逻辑低电平的输出信号。当与门351<1>的输出信号的电平是逻辑低电平时,多路复用器351<2>可以输出选择数据的第一至第八比特位SD<1:8>作为第一内部数据的第一至第八位比特ID1<1:8>。当与门351<1>的输出信号的电平是逻辑高电平时,多路复用器351<2>可以输出选择元数据的第一比特位和第二比特位SM<1:2>作为第一内部数据的第一比特位和第二比特位ID1<1:2>。当与门351<1>的输出信号的电平是逻辑高电平时,多路复用器351<2>可以输出写入奇偶校验的第一至第六比特位WP<1:6>作为第一内部数据的第三至第八比特位ID1<3:8>。

[0075] 第二写入传输电路351_2可以包括与门351<3>和多路复用器351<4>。与门351<3>可以对元使能信号M_EN和解码使能信号的第二比特位D_EN<2>执行与运算。当元使能信号M_EN和解码使能信号的第二比特位D_EN<2>二者均具有逻辑高电平时,与门351<3>可以生成具有逻辑高电平的输出信号。当元使能信号M_EN和解码使能信号的第二比特位D_EN<2>中的任一个的电平是逻辑低电平时,与门351<3>可以生成具有逻辑低电平的输出信号。当与门351<3>的输出信号的电平是逻辑低电平时,多路复用器351<4>可以输出选择数据的第九至第十六比特位SD<9:16>作为第一内部数据的第九至第十六比特位ID1<9:16>。当与门351<3>的输出信号的电平是逻辑高电平时,多路复用器351<4>可以输出选择元数据的第一比特位和第二比特位SM<1:2>作为第一内部数据的第九比特位和第十比特位ID1<9:10>。当与门351<3>的输出信号的电平是逻辑高电平时,多路复用器351<4>可以输出写入奇偶校验的第一至第六比特位WP<1:6>作为第一内部数据的第十一至第十六比特位ID1<11:16>。

[0076] 除了输入到第三至第八写入传输电路351_3至351_8和从其输出的信号之外,第三至第八写入传输电路351_3至351_8可以被实现为具有与第一和第二写入传输电路351_1和351_2相同的构造,并且执行与第一和第二写入传输电路351_1和351_2相同的操作,因此可以省略其详细描述。

[0077] 第九写入传输电路351_9可以包括与门351<17>和多路复用器351<18>。与门351<17>可以对元使能信号M_EN和解码使能信号的第九位D_EN<9>执行与运算。当元使能信号M_EN和解码使能信号的第九比特位D_EN<9>二者均具有逻辑高电平时,与门351<17>可以生成具有逻辑高电平的输出信号。当元使能信号M_EN和解码使能信号的第九比特位D_EN<9>中的任一个的电平是逻辑低电平时,与门351<17>可以生成具有逻辑低电平的输出信号。当与门351<17>的输出信号的电平是逻辑低电平时,多路复用器351<18>可以输出选择数据的第65至第72比特位SD<65:72>作为第二内部数据的第一至第八比特位ID2<1:8>。当与门351<17>的输出信号的电平是逻辑高电平时,多路复用器351<18>可以输出选择元数据的第一比特位和第二比特位SM<1:2>作为第二内部数据的第一比特位和第二比特位ID2<1:2>。当与门351<17>的输出信号的电平是逻辑高电平时,多路复用器351<18>可以输出写入奇偶校验的第一至第六比特位WP<1:6>作为第二内部数据的第三至第八比特位ID2<3:8>。

[0078] 除了输入到第十至第十五写入传输电路351_10至351_15和从其输出的信号之外,

第十至第十五写入传输电路351_10至351_15可以被实现为具有与第九写入传输电路351_9相同的构造,并且执行与第九写入传输电路351_9相同的操作,因此可以省略其详细描述。

[0079] 第十六写入传输电路351_16可以包括与门351<31>和多路复用器351<32>。与门351<31>可以对元使能信号M_EN和解码使能信号的第十六比特位D_EN<16>执行与运算。当元使能信号M_EN和解码使能信号的第十六比特位D_EN<16>二者均具有逻辑高电平时,与门351<31>可以生成具有逻辑高电平的输出信号。当元使能信号M_EN和解码使能信号的第十六比特位D_EN<16>中的任一个的电平是逻辑低电平时,与门351<31>可以生成具有逻辑低电平的输出信号。当与门351<31>的输出信号的电平是逻辑低电平时,多路复用器351<32>可以输出选择数据的第121至第128比特位SD<121:128>作为第二内部数据的第57至第64比特位ID2<57:64>。当与门351<31>的输出信号的电平是逻辑高电平时,多路复用器351<32>可以输出选择元数据的第一比特位和第二比特位SM<1:2>作为第二内部数据的第57和第58比特位ID2<57:58>。当与门351<31>的输出信号的电平是逻辑高电平时,多路复用器351<32>可以输出写入奇偶校验的第一至第六比特位WP<1:6>作为第二内部数据的第59至第64比特位ID2<59:64>。

[0080] 参照图9和图10描述了根据本公开的实施例的半导体模块20的纠错操作。在这种情况下,在第一读取操作和第二读取操作开始之后通过使用已存储在第一存储器电路的第一区块中的比特位作为在ECC电路中使用的奇偶校验来纠正数据错误的操作被描述如下。

[0081] 首先,参照图9描述第一读取操作如下。

[0082] 当与时钟CLK同步输入的命令CMD<1:3>具有用于执行第一读取操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的读取信号RD和被禁止为逻辑低电平(即L)的写入信号WT。当与时钟CLK同步输入的命令CMD<1:3>具有用于执行第一读取操作的逻辑电平组合时,命令控制电路21可以生成被禁止为逻辑低电平的元使能信号M_EN。

[0083] 地址控制电路22可以在第一读取操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。在第一读取操作开始之后,当元使能信号M_EN被禁止为逻辑低电平时,地址控制电路22可以生成全部被使能为逻辑高电平(即H)的解码使能信号D_EN<1:16>。在第一读取操作开始之后,当元使能信号M_EN被禁止为逻辑低电平时,地址控制电路22可以生成被使能为逻辑高电平的错误信息使能信号ER_EN。

[0084] 在第一读取操作开始之后,当读取信号RD被使能时,第一存储器电路23可以基于第一至第六内部地址IADD<1:6>和全部被使能的解码使能信号的第一至第八比特位D_EN<1:8>来输出第一内部数据ID1<1:64>。

[0085] 在第一读取操作开始之后,当错误信息使能信号ER_EN被使能时,错误信息存储电路24可以输出已存储在错误信息存储电路24中的第一内部奇偶校验IP1<1:8>。

[0086] 在第一读取操作开始之后,当读取信号RD被使能时,第二存储器电路25可以基于内部地址IADD<1:6>和全部被使能的解码使能信号的第九至第十六比特位D_EN<9:16>来输出第二内部数据ID2<1:64>。

[0087] 在第一读取操作开始之后,当写入信号WT的电平是逻辑低电平时,ECC电路26的数据传输电路310可以接收第一内部数据ID1<1:64>、第二内部数据ID2<1:64>和第一内部奇偶校验IP1<1:8>。

[0088] 接下来,参照图10描述第二读取操作如下。

[0089] 当与时钟CLK同步输入的命令CMD<1:3>具有用于执行第二读取操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的读取信号RD和被禁止为逻辑低电平的写入信号WT。当与时钟CLK同步输入的命令CMD<1:3>具有用于执行第二读取操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的元使能信号M_EN。

[0090] 地址控制电路22可以在第二读取操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。在第二读取操作开始之后,当元使能信号M_EN被使能为逻辑高电平时,地址控制电路22可以生成解码使能信号中的具有逻辑高电平的第一比特位D_EN<1>。在第二读取操作开始之后,当元使能信号M_EN被使能为逻辑高电平时,地址控制电路22可以生成被禁止为逻辑低电平的错误信息使能信号ER_EN。

[0091] 在第二读取操作开始之后,当读取信号RD被使能时,第一存储器电路23的第一区块231可以基于第一至第六内部地址IADD<1:6>和被使能为逻辑高电平的解码使能信号的第一比特位D_EN<1>来输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。

[0092] 在第二读取操作开始之后,当元使能信号M_EN的电平是逻辑高电平时,ECC电路26的数据传输电路310可以从已在第一读取操作中接收的第一内部数据ID1<1:64>和第二内部数据ID2<1:64>生成选择数据SD<1:128>。在第二读取操作开始之后,当写入信号WT的电平是逻辑低电平并且解码使能信号中的第一比特位D_EN<1>的电平是逻辑高电平时,数据传输电路310可以从内部元数据IMD<1:2>生成选择元数据SM<1:2>并且从第二内部奇偶校验IP2<1:6>生成选择奇偶校验SP<1:6>。

[0093] ECC电路26的奇偶校验操作电路320可以通过对选择数据SD<1:128>和选择元数据SM<1:2>执行ECC编码操作来生成奇偶校验PRT<1:14>。

[0094] ECC电路26的校验子操作电路330可以通过操作由奇偶校验操作电路320生成的奇偶校验PRT<1:14>、在第一读取操作开始之后生成的第一内部奇偶校验IP1<1:8>以及在第二读取操作开始之后生成的选择奇偶校验SP<1:6>来生成校验子SYN<1:14>。

[0095] ECC电路26的纠错电路340可以通过对校验子SYN<1:14>执行ECC解码操作来纠正选择数据SD<1:128>和选择元数据SM<1:2>中包括的错误。纠错电路340可以输出错误被纠正后的选择数据SD<1:128>作为传输数据TD<1:128>,并且可以输出错误被纠正后的选择元数据SM<1:2>作为传输元数据TMD<1:2>。

[0096] 数据输入输出电路27可以在读取操作开始之后输出传输数据TD<1:128>作为数据DATA<1:128>并且输出传输元数据TMD<1:2>作为元数据MD<1:2>。

[0097] 如上所述,半导体模块20可以在第一读取操作开始之后输出第一内部数据ID1<1:64>和第二内部数据ID2<1:64>之后,在第二读取操作开始之后通过使用存储器电路中存储的一些比特位来对数据执行纠错操作,在存储器电路中元数据作为在ECC电路26中使用的奇偶校验已被存储。在实施例中,半导体模块20可以在第一读取操作开始之后输出第一内部数据ID1<1:64>和第二内部数据ID2<1:64>之后,在第二读取操作开始之后通过使用存储器电路中存储的一些比特位来提高ECC电路的纠错能力,在存储器电路中元数据作为在ECC电路26中使用的奇偶校验已被存储。

[0098] 参照图11至图12描述了根据本公开的实施例的半导体模块20的纠错操作。在这种情况下,在读取修改写入操作开始之后通过使用在第一存储器电路的第一区块中存储的比特位作为在ECC电路中使用的奇偶校验来纠正数据错误的操作被描述如下。

[0099] 首先,参照图11描述读取修改写入操作的第一读取操作和第二读取操作如下。

[0100] 当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的读取信号RD和被禁止为逻辑低电平的写入信号WT。当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被禁止为逻辑低电平的元使能信号M_EN。

[0101] 地址控制电路22可以在读取修改写入操作的第一读取操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。在读取修改写入操作的第一读取操作开始之后,当元使能信号M_EN被禁止为逻辑低电平时,地址控制电路22可以生成全部被使能为逻辑高电平的解码使能信号D_EN<1:16>。在读取修改写入操作的第一读取操作开始之后,当元使能信号M_EN被禁止为逻辑低电平时,地址控制电路22可以生成被使能为逻辑高电平的错误信息使能信号ER_EN。

[0102] 在读取修改写入操作的第一读取操作开始之后,当读取信号RD被使能时,第一存储器电路23可以基于第一至第六内部地址IADD<1:6>和全部被使能的解码使能信号的第一至第八比特位D_EN<1:8>来输出第一内部数据ID1<1:64>。

[0103] 在读取修改写入操作的第一读取操作开始之后,当错误信息使能信号ER_EN被使能时,错误信息存储电路24可以输出已存储在错误信息存储电路24中的第一内部奇偶校验IP1<1:8>。

[0104] 在读取修改写入操作的第一读取操作开始之后,当读取信号RD被使能时,第二存储器电路25可以基于内部地址IADD<1:6>和全部被使能的解码使能信号的第九至第十六比特位D_EN<9:16>来输出第二内部数据ID2<1:64>。

[0105] 在读取修改写入操作的第一读取操作开始之后,当写入信号WT的电平是逻辑低电平时,ECC电路26的数据传输电路310可以接收第一内部数据ID1<1:64>、第二内部数据ID2<1:64>和第一内部奇偶校验IP1<1:8>。

[0106] 当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的读取信号RD和被禁止为逻辑低电平的写入信号WT。当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的元使能信号M_EN。

[0107] 地址控制电路22可以在读取修改写入操作的第二读取操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。在读取修改写入操作的第二读取操作开始之后,当元使能信号M_EN被使能为逻辑高电平时,地址控制电路22可以生成解码使能信号中的具有逻辑高电平的第一比特位D_EN<1>。在读取修改写入操作的第二读取操作开始之后,当元使能信号M_EN被使能为逻辑高电平时,地址控制电路22可以生成被禁止为逻辑低电平的错误信息使能信号ER_EN。

[0108] 在读取修改写入操作的第二读取操作开始之后,当读取信号RD被使能时,第一存储器电路23的第一区块231可以基于第一至第六内部地址IADD<1:6>和被使能为逻辑高电平的解码使能信号的第一比特位D_EN<1>来输出内部元数据IMD<1:2>和第二内部奇偶校验IP2<1:6>。

[0109] 在读取修改写入操作的第二读取操作开始之后,当元使能信号M_EN的电平是逻辑高电平时,ECC电路26的数据传输电路310可以从已在第一读取操作中接收的第一内部数据

ID1<1:64>和第二内部数据ID2<1:64>生成选择数据SD<1:128>。在读取修改写入操作的第二读取操作开始之后,当写入信号WT的电平是逻辑低电平并且解码使能信号的第一比特位D_EN<1>的电平是逻辑高电平时,数据传输电路310可以从内部元数据IMD<1:2>生成选择元数据SM<1:2>并且从第二内部奇偶校验IP2<1:6>生成选择奇偶校验SP<1:6>。

[0110] ECC电路26的奇偶校验操作电路320可以通过对选择数据SD<1:128>和选择元数据SM<1:2>执行ECC编码操作来生成奇偶校验PRT<1:14>。

[0111] ECC电路26的校验子操作电路330可以通过操作从奇偶校验操作电路320生成的奇偶校验PRT<1:14>、在第一读取操作开始之后生成的第一内部奇偶校验IP1<1:8>以及在第二读取操作开始之后生成的选择奇偶校验SP<1:6>来生成校验子SYN<1:14>。

[0112] ECC电路26的纠错电路340可以通过对校验子SYN<1:14>执行ECC解码操作来纠正选择数据SD<1:128>和选择元数据SM<1:2>中包括的错误。纠错电路340可以输出错误被纠正后的选择数据SD<1:128>作为传输数据TD<1:128>,并且可以输出错误被纠正后的选择元数据SM<1:2>作为传输元数据TMD<1:2>。

[0113] 参照图12描述读取修改写入操作的写入操作如下。

[0114] 当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被禁止为逻辑低电平的读取信号RD和被使能为逻辑高电平的写入信号WT。当与时钟CLK同步输入的命令CMD<1:3>具有用于执行读取修改写入操作的逻辑电平组合时,命令控制电路21可以生成被使能为逻辑高电平的元使能信号M_EN。

[0115] 地址控制电路22可以在读取修改写入操作的写入操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。地址控制电路22可以在读取修改写入操作的写入操作开始之后生成解码使能信号中的具有逻辑高电平的第一至第八比特位D_EN<1:8>。地址控制电路22可以在读取修改写入操作的写入操作开始之后生成被禁止为逻辑低电平的错误信息使能信号ER_EN。

[0116] 数据输入输出电路27可以在读取修改写入操作的写入操作开始之后,基于地址的第七比特位ADD<7>来输出数据DATA<1:64>作为传输数据的第一至第64比特位TD<1:64>并且输出元数据MD<1:2>作为传输元数据TMD<1:2>。

[0117] 在读取修改写入操作的写入操作开始之后,当写入信号WT的电平是逻辑高电平时,ECC电路26的数据传输电路310可以接收传输数据TD<1:64>。在读取修改写入操作的写入操作开始之后,当元使能信号M_EN的电平是逻辑高电平时,数据传输电路310可以从接收到的传输数据TD<1:64>生成选择数据SD<1:64>。在读取修改写入操作的写入操作开始之后,当解码使能信号的第一至第八比特位D_EN<1:8>具有逻辑高电平时,数据传输电路310可以从传输元数据TMD<1:2>生成选择元数据SM<1:2>。

[0118] 奇偶校验操作电路320可以通过对选择元数据SM<1:2>和选择奇偶校验SP<1:6>执行ECC编码操作来生成写入奇偶校验WP<1:6>。

[0119] 在读取修改写入操作的写入操作开始之后,当元使能信号M_EN的电平是逻辑高电平时,写入控制电路350可以从选择数据SD<1:64>生成第一内部数据ID1<1:64>。

[0120] 在读取修改写入操作开始之后,当写入信号WT被使能为逻辑高电平时,第一存储器电路23的第一至第八区块231至238可以基于第一至第六内部地址IADD<1:6>存储第一内部数据ID1<1:64>。

[0121] 地址控制电路22可以在读取修改写入操作的写入操作开始之后,与时钟CLK同步地基于地址ADD<1:6>生成内部地址IADD<1:6>。地址控制电路22可以在读取修改写入操作的写入操作开始之后生成解码使能信号中的具有逻辑高电平的第一比特位D_EN<1>。地址控制电路22可以在读取修改写入操作的写入操作开始之后生成被禁止为逻辑低电平的错误信息使能信号ER_EN。

[0122] 在读取修改写入操作的写入操作开始之后,当元使能信号M_EN的电平是逻辑高电平并且解码使能信号的第一比特位D_EN<1>的电平是逻辑高电平时,写入控制电路350可以从选择元数据SM<1:2>和选择写入奇偶校验WP<1:6>生成第一内部数据的第一至第八比特位ID1<1:8>。

[0123] 在读取修改写入操作的写入操作开始之后,当写入信号WT的电平是逻辑高电平并且解码使能信号的第一比特位D_EN<1>的电平是逻辑高电平时,第一存储器电路23的第一区块231可以基于第一至第六内部地址IADD<1:6>来存储第一内部数据的第一至第八比特位ID1<1:8>。

[0124] 如上所述,在实施例中,半导体模块20可以通过在读取修改写入操作的第一和第二读取操作开始之后使用存储器电路(在存储器电路中元数据作为在ECC电路26中使用的奇偶校验已被存储)中存储的一些比特位并且在读取修改写入操作的写入操作开始之后存储数据和奇偶校验,来提高ECC电路的纠错能力。

[0125] 图13是示出根据本公开的实施例的电子系统1000的实施例的构造的框图。如图13所示,电子系统1000可以包括主机1100和半导体系统1200。

[0126] 主机1100和半导体系统1200可以通过使用接口协议来相互传送信号。在主机1100和半导体系统1200之间使用的接口协议可以包括多媒体卡(MMC)、增强型小磁盘接口(ESDI)、集成驱动电子装置(IDE)、外围部件互连快速(PCI-E)、高级技术附件(ATA)、串行ATA(SATA)、并行ATA(PATA)、串行连接SCSI(SAS)、通用串行总线(USB)。

[0127] 半导体系统1200可以包括控制器1300和半导体器件1400(1:K)。控制器1300可以控制半导体器件1400(K:1),使得半导体器件1400(K:1)执行读取操作和读取修改写入操作。半导体器件1400(K:1)中的每一个可以在第一读取操作开始之后输出内部数据之后,在第二读取操作开始之后通过使用存储器电路中存储的一些比特位来对数据执行纠错操作,在存储器电路中元数据作为在ECC电路中使用的奇偶校验已被存储。在实施例中,半导体器件1400(K:1)中的每一个可以在第一读取操作开始之后输出内部数据之后,在第二读取操作开始之后通过使用存储器电路中存储的一些比特位来提高ECC电路的纠错能力,在存储器电路中元数据作为在ECC电路中使用的奇偶校验已被存储。

[0128] 控制器1300可以被实现为图1中所示的控制器10。半导体器件1400(K:1)中的每一个可以被实现为图1中所示的半导体模块20。根据本公开的实施例,半导体器件1400(K:1)中的每一个可以被实现为动态随机存取存储器(DRAM)、相变随机存取存储器(PRAM)、电阻式随机存取存储器(RRAM)、磁性随机存取存储器(MRAM)和铁电随机存取存储器(FRAM)中的一种。

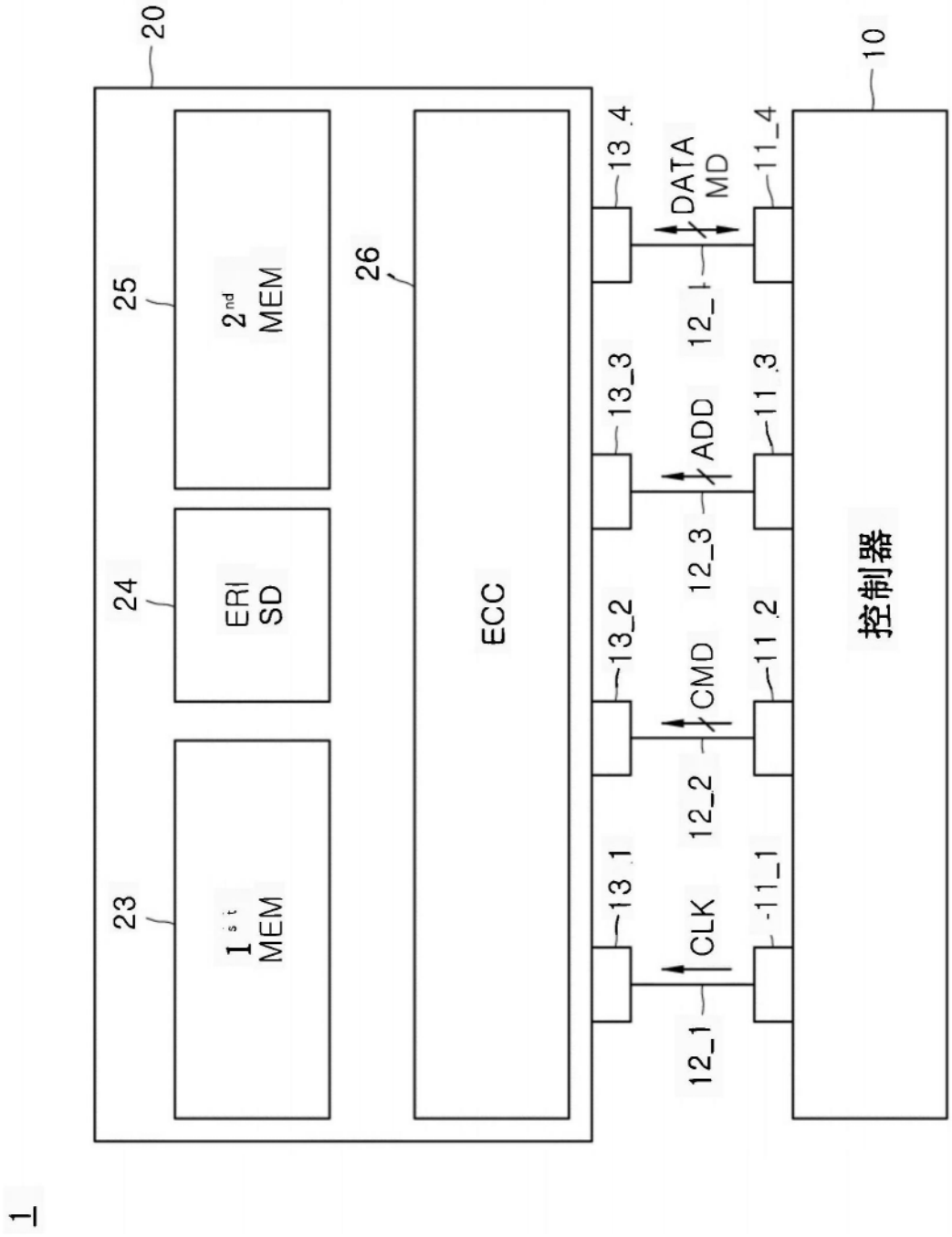

20
10
25
2nd MEM
24
ERI SD
23
1st MEM
26
ECC
13_4
DATA MD
11_4
12_4
13_3
ADD
11_3
12_3
13_2
CMD
11_2
12_2
13_1
CLK
11_1
12_1
控制器
1

图1

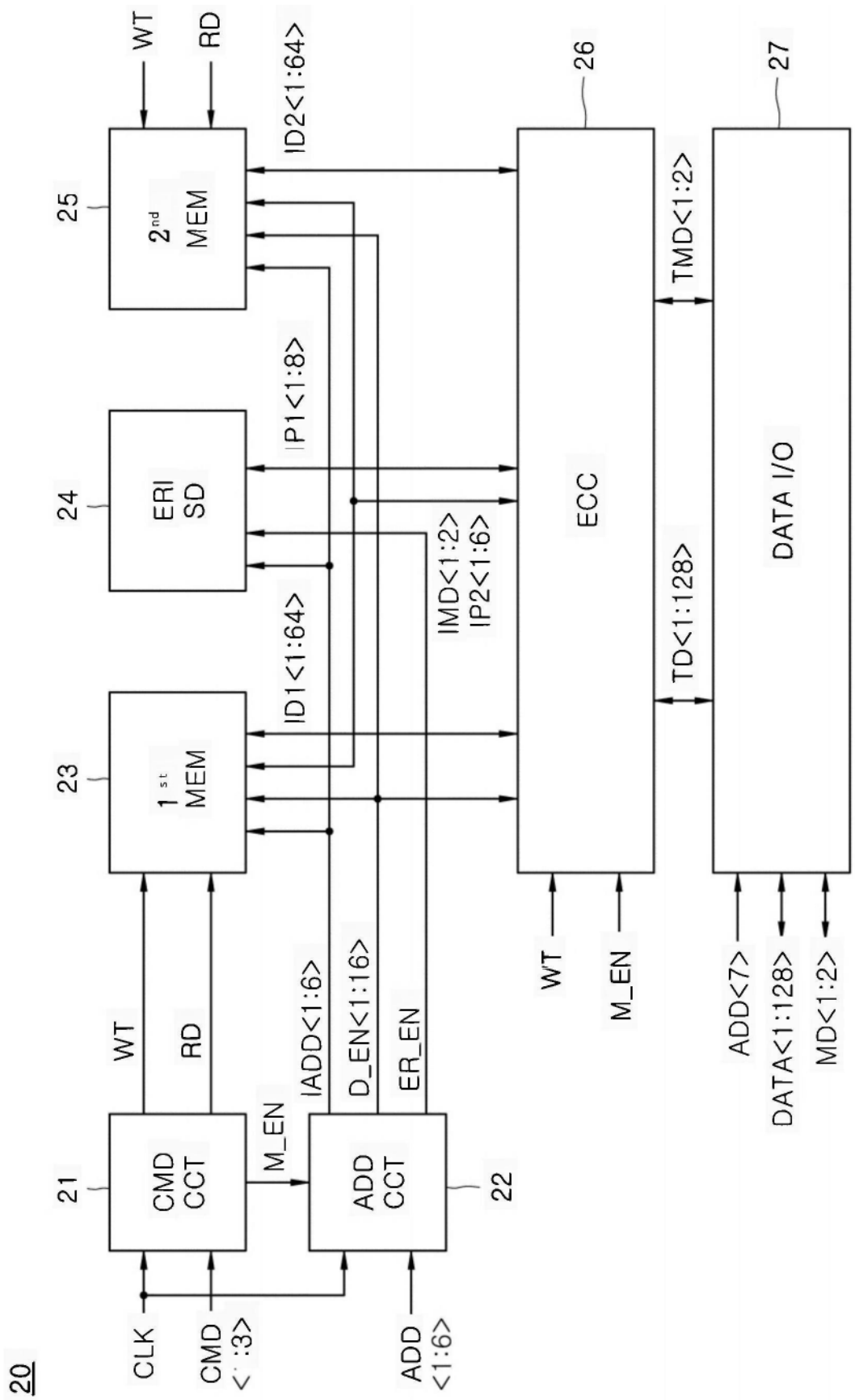

20
CLK
CMD <0:3>
ADD <1:6>
21
CMD CCT
22
ADD CCT
M_EN
WT
RD
IADD<1:6>
D_EN<1:16>
ER_EN
23
1st MEM
24
ERI SD
25
2nd MEM
ID1<1:64>
IP1<1:8>
ID2<1:64>
IMD<1:2>
IP2<1:6>
WT
RD
26
ECC
27
DATA I/O
TD<1:128>
TMD<1:2>
WT
M_EN
ADD<7>
DATA<1:128>
MD<1:2>

图2

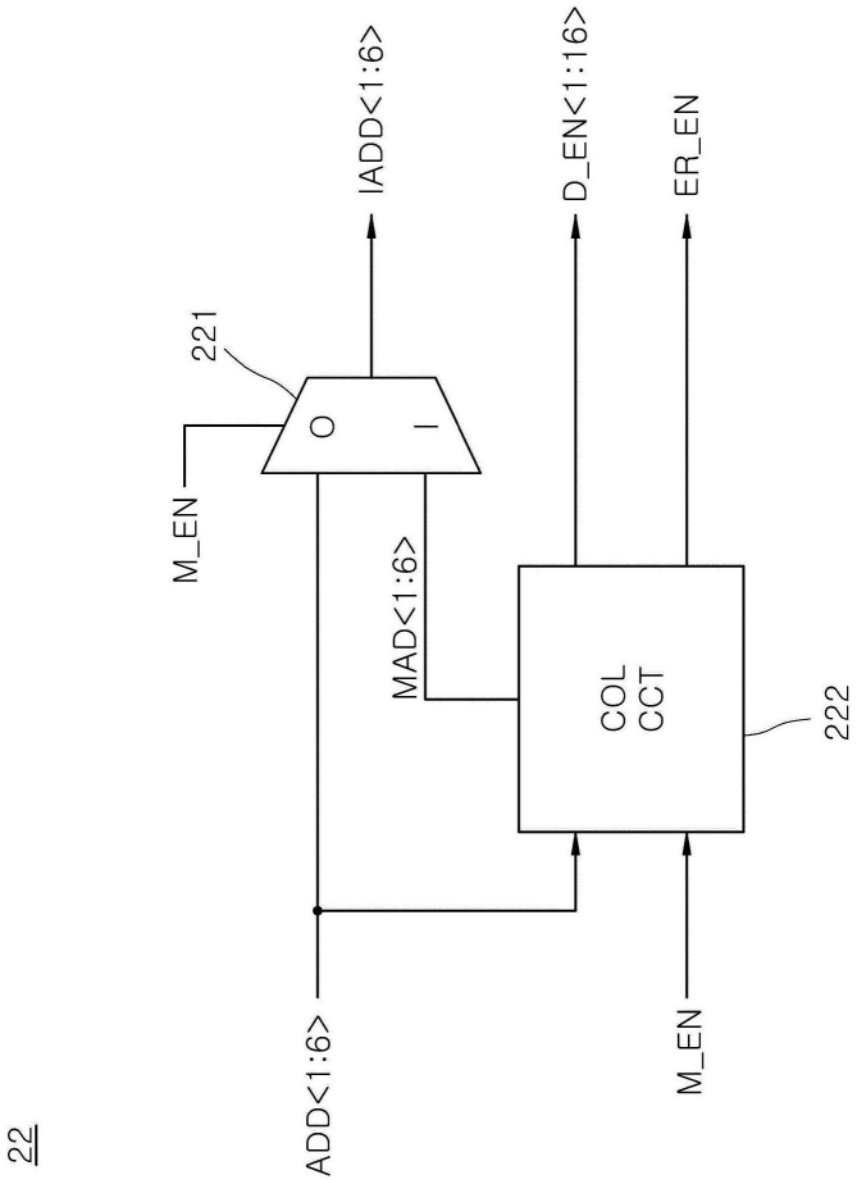


图3

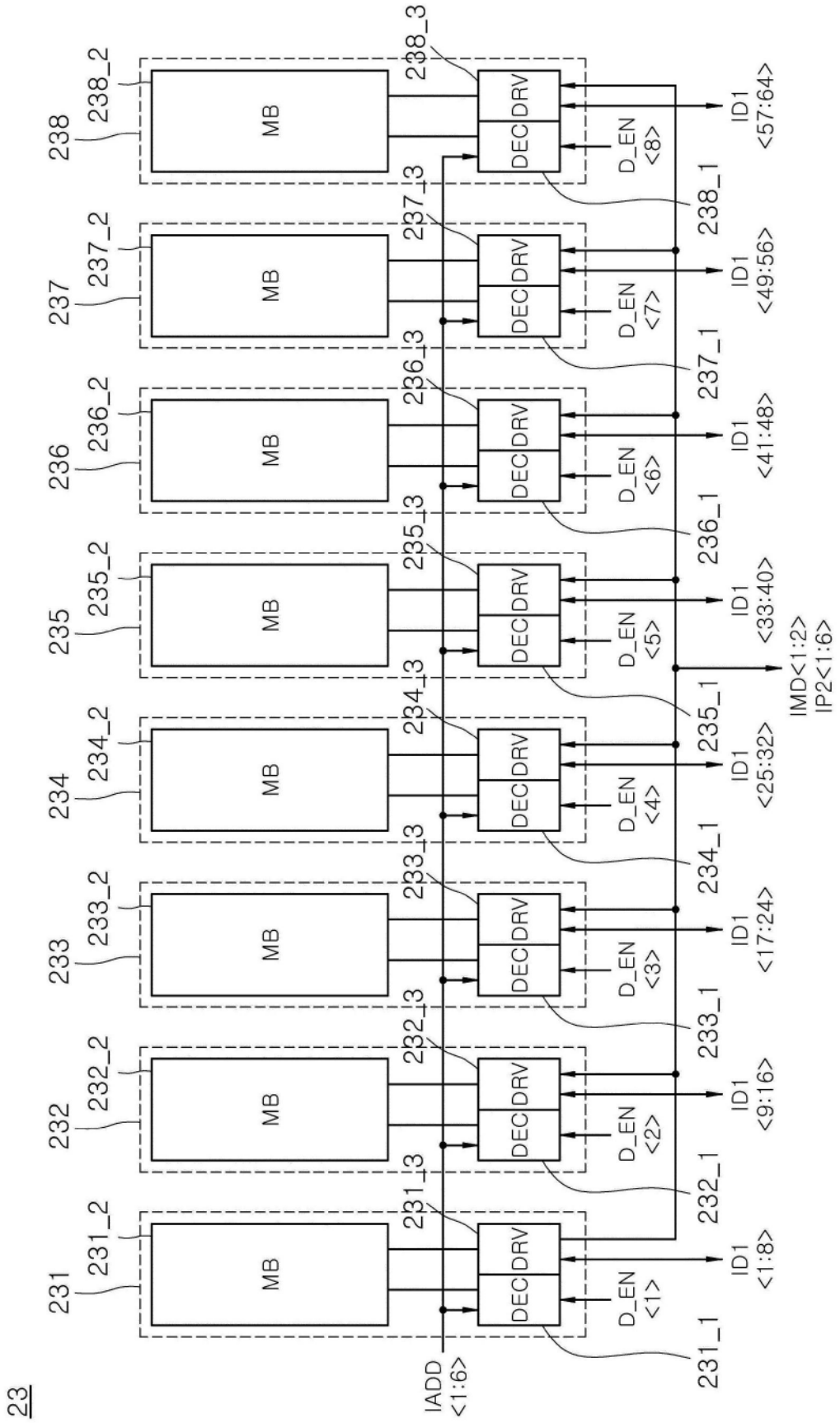

23
IADD <1:6>
231
231_2
MB
231_3
DEC DRV
D_EN <1>
231_1
ID1 <1:8>
232
232_2
MB
232_3
DEC DRV
D_EN <2>
232_1
ID1 <9:16>
233
233_2
MB
233_3
DEC DRV
D_EN <3>
233_1
ID1 <17:24>
234
234_2
MB
234_3
DEC DRV
D_EN <4>
234_1
ID1 <25:32>
235
235_2
MB
235_3
DEC DRV
D_EN <5>
235_1
ID1 <33:40>
IMD<1:2>
IP2<1:6>
236
236_2
MB
236_3
DEC DRV
D_EN <6>
236_1
ID1 <41:48>
237
237_2
MB
237_3
DEC DRV
D_EN <7>
237_1
ID1 <49:56>
238
238_2
MB
238_3
DEC DRV
D_EN <8>
238_1
ID1 <57:64>

图4

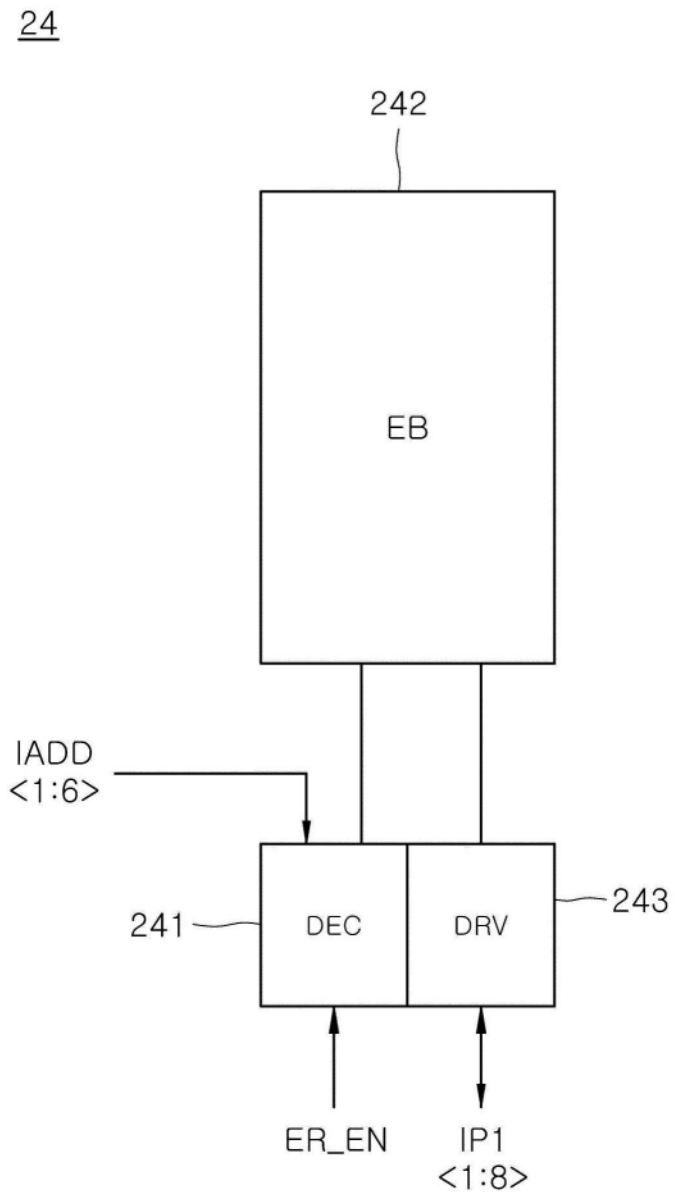


图5

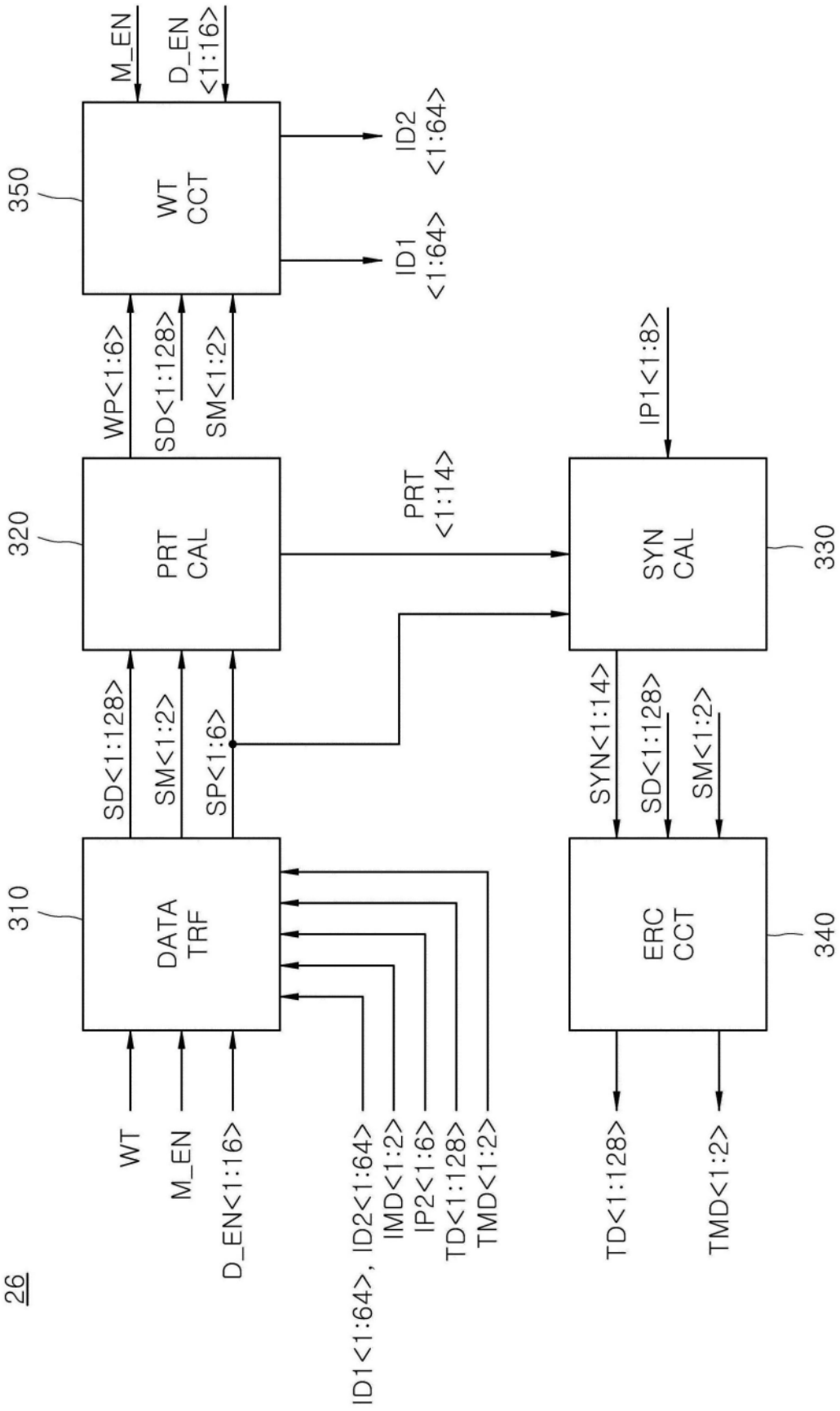

M_EN
D_EN <1:16>
350
WT CCT
ID2 <1:64>
ID1 <1:64>
WP<1:6>
SD<1:128>
SM<1:2>
IP1<1:8>
320
PRT CAL
PRT <1:14>
SYN CAL
330
SD<1:128>
SM<1:2>
SP<1:6>
SYN<1:14>
SD<1:128>
SM<1:2>
310
DATA TRF
ERC CCT
340
WT
M_EN
D_EN<1:16>
ID1<1:64>, ID2<1:64>
IMD<1:2>
IP2<1:6>
TD<1:128>
TMD<1:2>
TD<1:128>
TMD<1:2>
26

图6

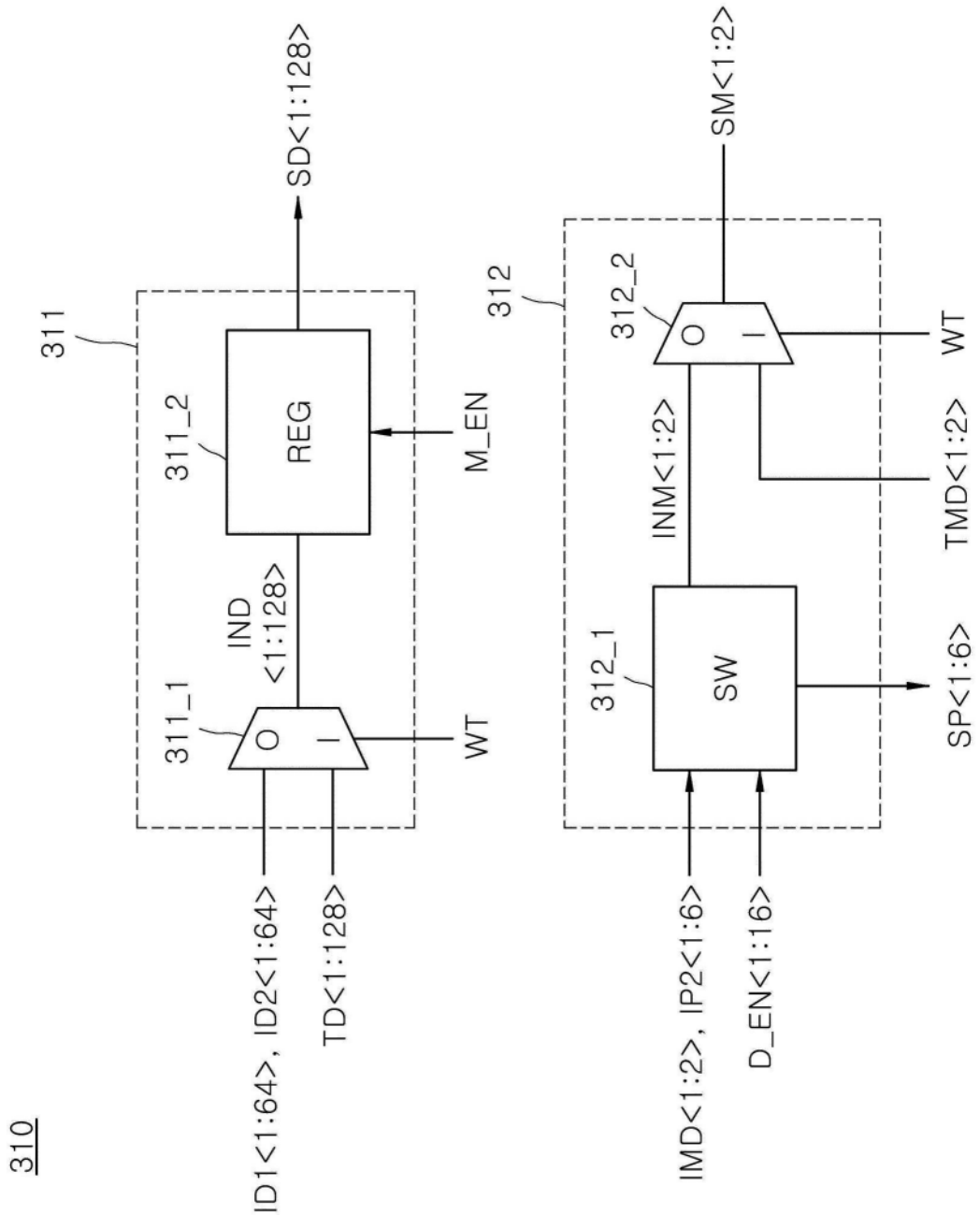

310
311
311_1
311_2
REG
IND
<1:128>
WT
M_EN
SD<1:128>
ID1<1:64>, ID2<1:64>
TD<1:128>
312
312_1
312_2
SW
INM<1:2>
SM<1:2>
WT
TMD<1:2>
SP<1:6>
IMD<1:2>, IP2<1:6>
D_EN<1:16>

图7

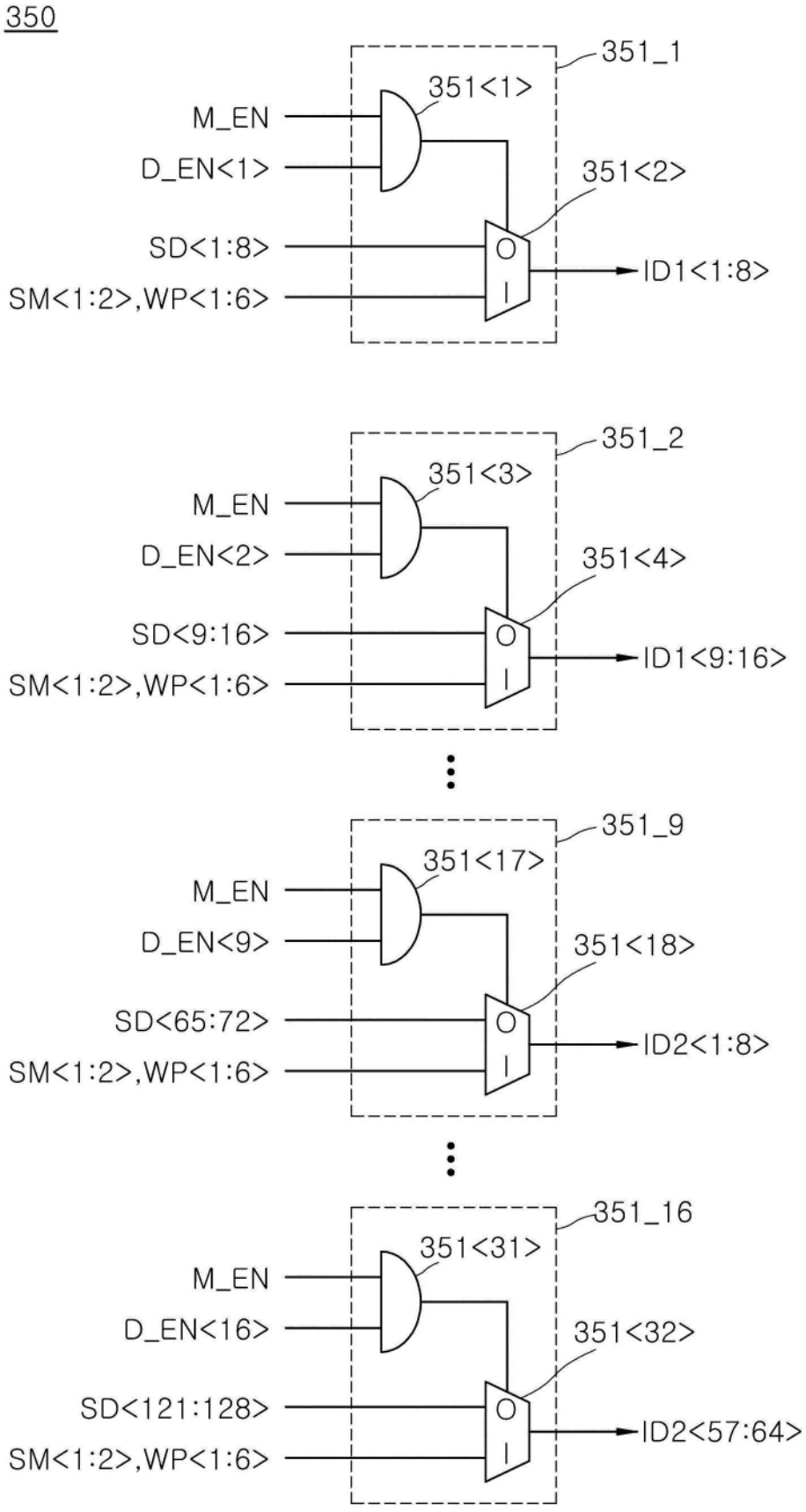

350
351_1
351<1>
M_EN
D_EN<1>
351<2>
SD<1:8>
O
I
ID1<1:8>
SM<1:2>,WP<1:6>
351_2
351<3>
M_EN
D_EN<2>
351<4>
SD<9:16>
O
I
ID1<9:16>
SM<1:2>,WP<1:6>
351_9
351<17>
M_EN
D_EN<9>
351<18>
SD<65:72>
O
I
ID2<1:8>
SM<1:2>,WP<1:6>
351_16
351<31>
M_EN
D_EN<16>
351<32>
SD<121:128>
O
I
ID2<57:64>
SM<1:2>,WP<1:6>

图8

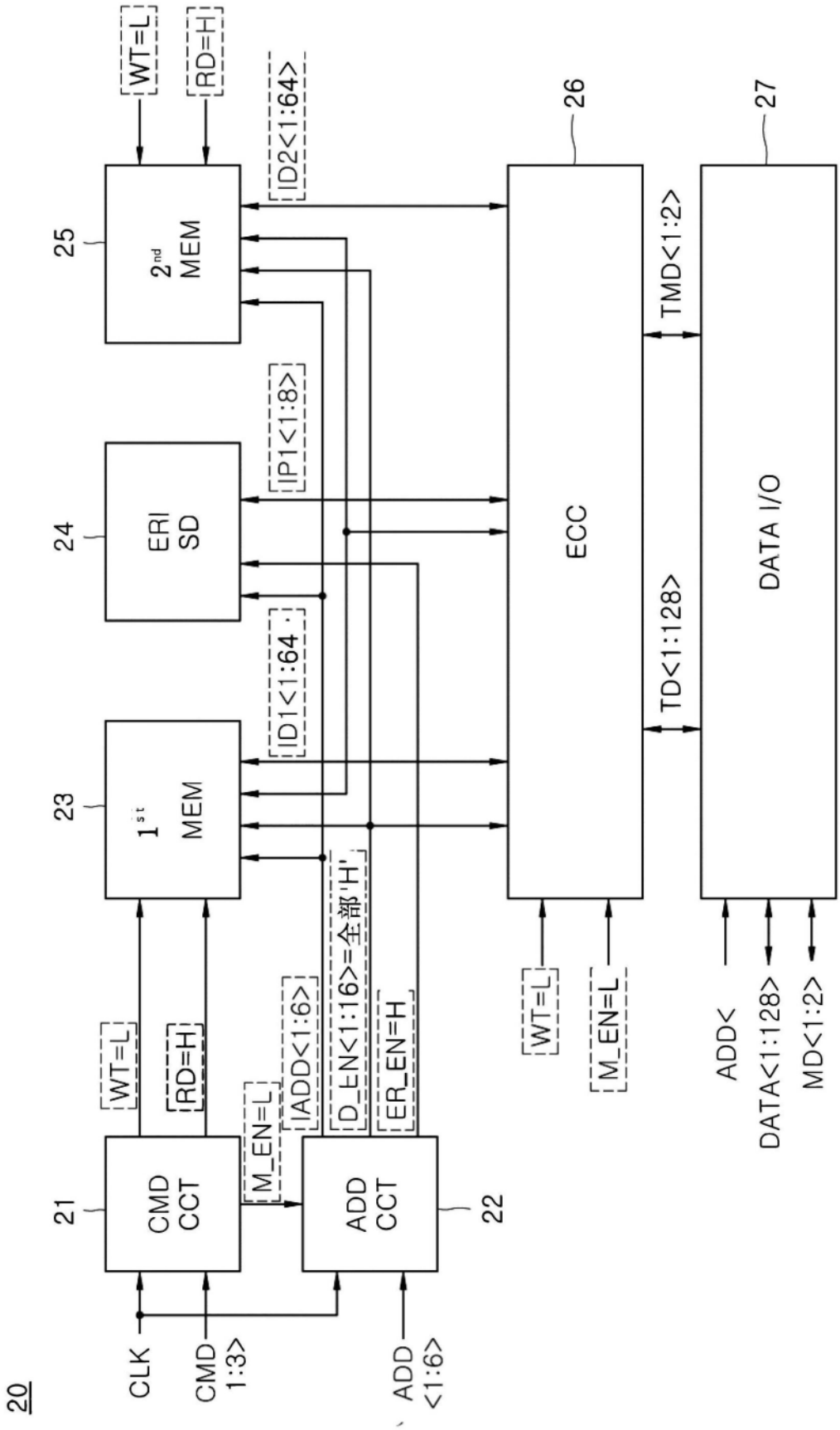

20
CLK
CMD 1:3>
ADD <1:6>
21
CMD CCT
22
ADD CCT
M_EN=L
WT=L
RD=H
IADD<1:6>
D_EN<1:16>=全部'H'
ER_EN=H
23
1st MEM
24
ERI SD
25
2nd MEM
WT=L
RD=H
ID1<1:64>
IP1<1:8>
ID2<1:64>
26
ECC
27
DATA I/O
TD<1:128>
TMD<1:2>
WT=L
M_EN=L
ADD<
DATA<1:128>
MD<1:2>

图9

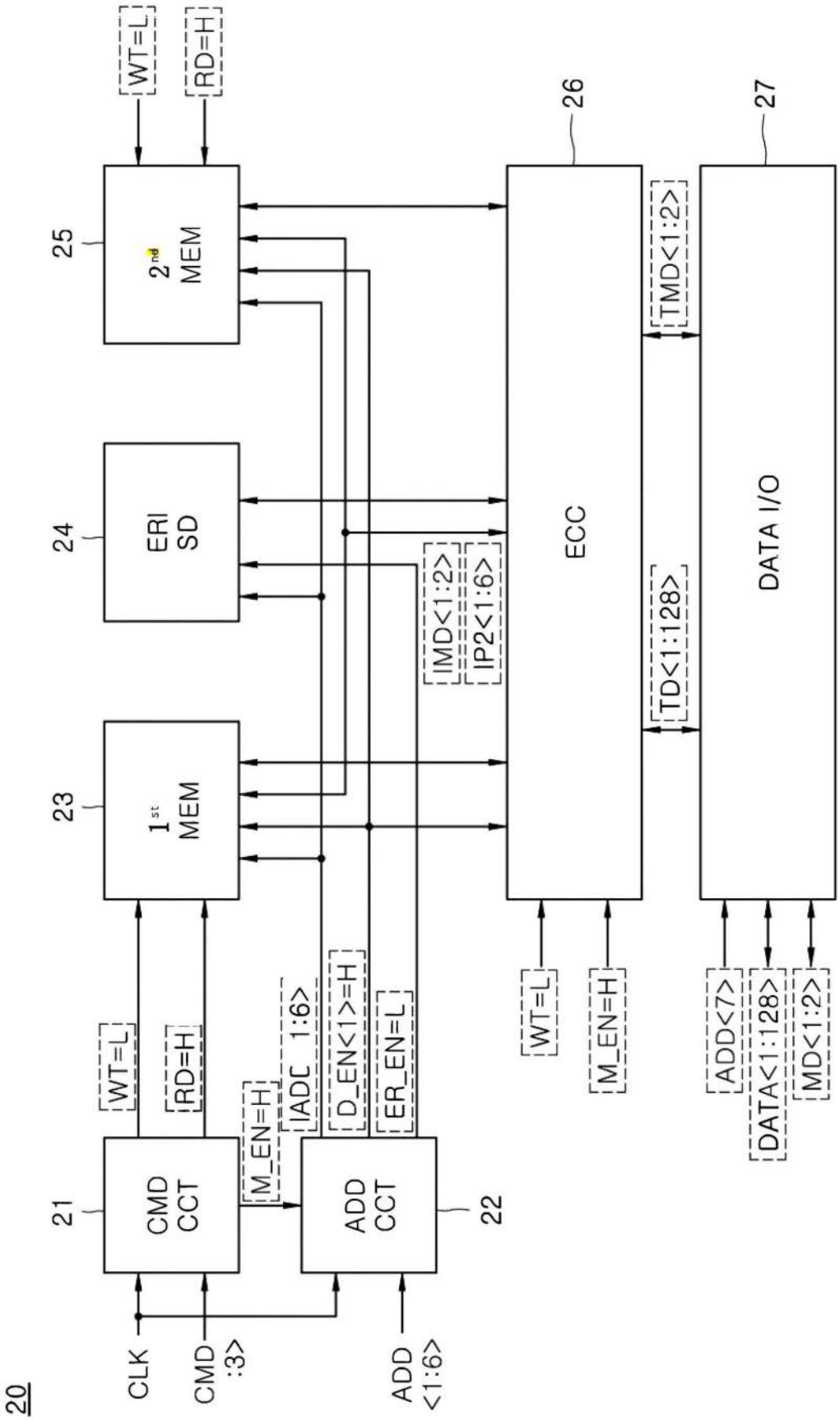

20
CLK
CMD :3>
ADD <1:6>
21
CMD CCT
22
ADD CCT
M_EN=H
IADC 1:6>
D_EN<1>=H
ER_EN=L
WT=L
RD=H
23
1st MEM
24
ERI SD
25
2nd MEM
IMD<1:2>
IP2<1:6>
26
ECC
27
DATA I/O
TD<1:128>
TMD<1:2>
WT=L
M_EN=H
ADD<7>
DATA<1:128>
MD<1:2>

图10

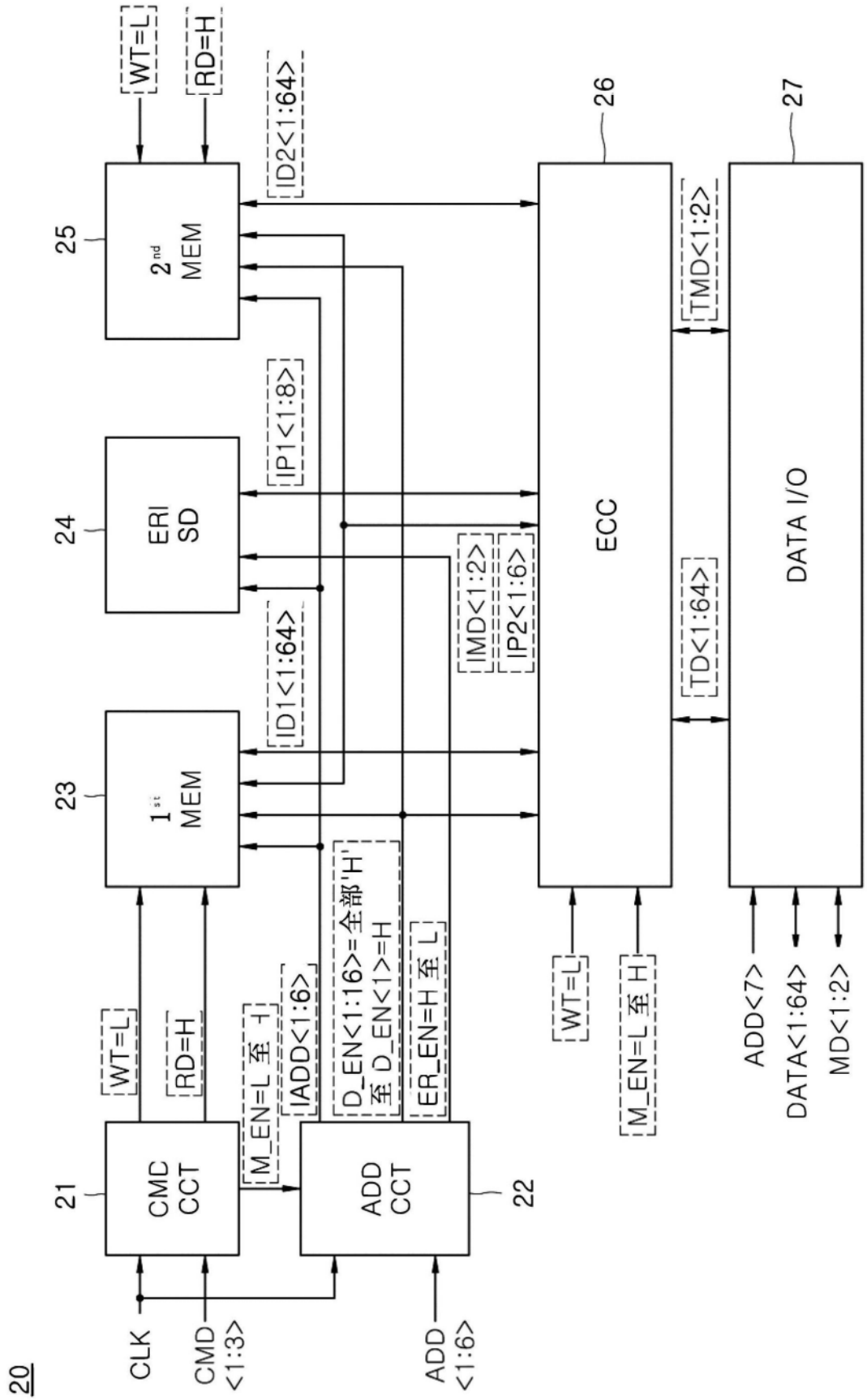

20
CLK
CMD <1:3>
ADD <1:6>
21
CMC CCT
22
ADD CCT
23
1st MEM
24
ERI SD
25
2nd MEM
26
ECC
27
DATA I/O
WT=L
RD=H
M_EN=L 至 H
ADD<1:6>
D_EN<1:16>=全部'H' 至 D_EN<1>=H
ER_EN=H 至 L
ID1<1:64>
IP1<1:8>
ID2<1:64>
IMD<1:2>
IP2<1:6>
TD<1:64>
TMD<1:2>
ADD<7>
DATA<1:64>
MD<1:2>
M_EN=L 至 H

图11

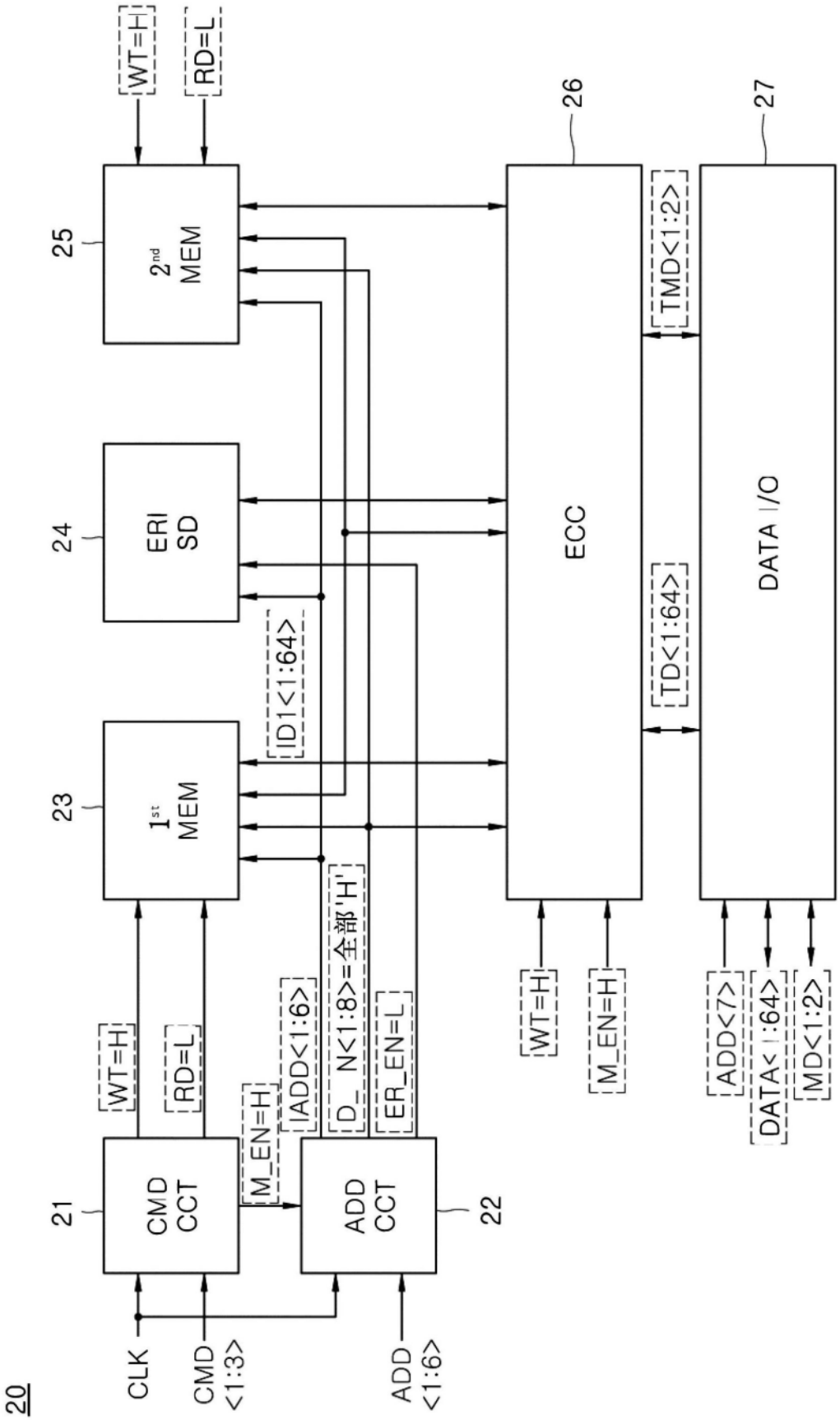

20
CLK
CMD <1:3>
ADD <1:6>
21
CMD CCT
22
ADD CCT
23
1st MEM
24
ERI SD
25
2nd MEM
26
ECC
27
DATA I/O
WT=H
RD=L
M_EN=H
ADD<1:6>
D_ N<1:8>=全部'H'
ER_EN=L
ID1<1:64>
TD<1:64>
TMD<1:2>
ADD<7>
DATA<1:64>
MD<1:2>

图12

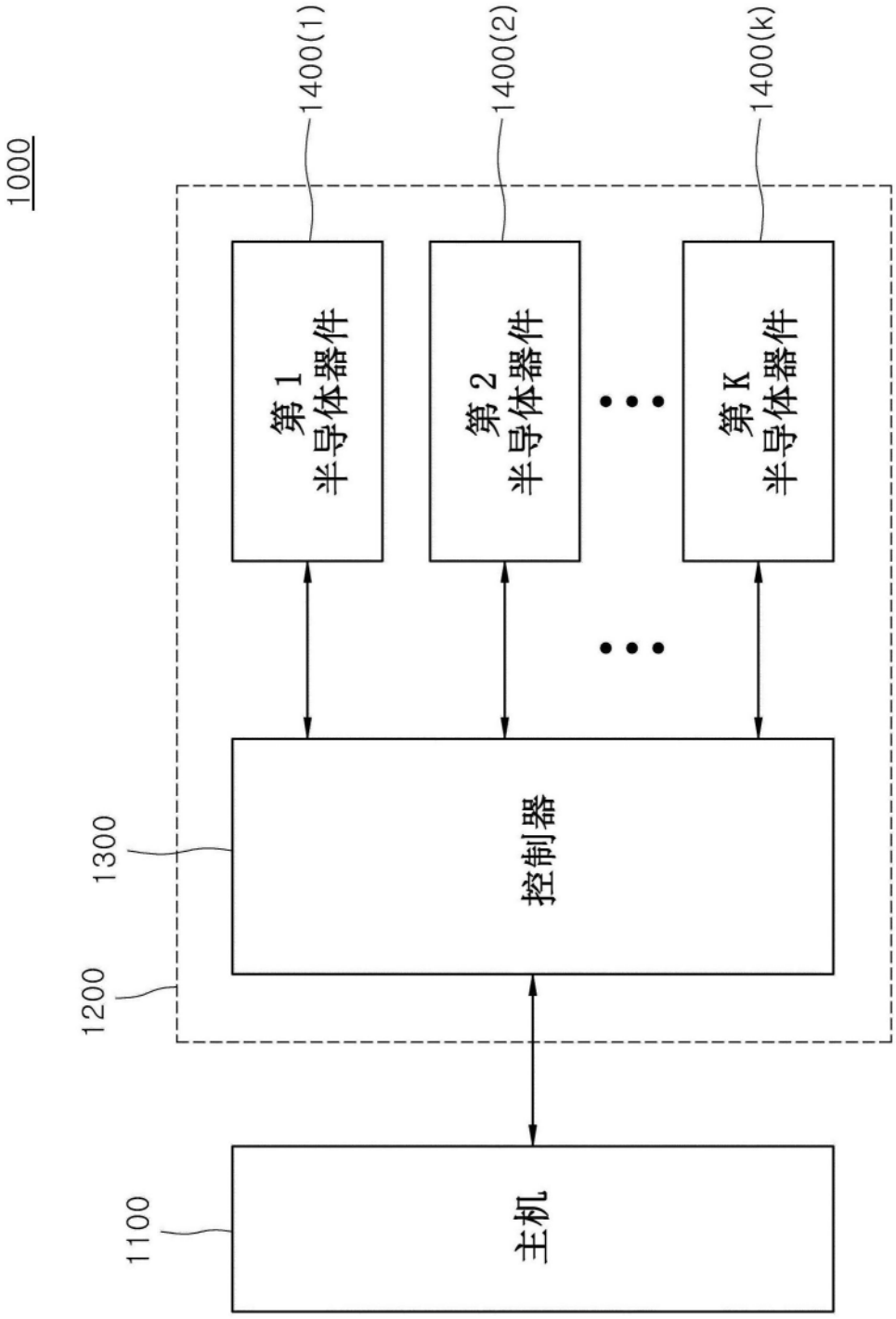

1000
1400(1)
1400(2)
1400(k)
第 1
半导体器件
第 2
半导体器件
第 K
半导体器件
1300
控制器
1200
1100
主机

图13