

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-16348

(P2010-16348A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/786 (2006.01)	H01L 29/78 618E	2H092
H01L 21/336 (2006.01)	H01L 29/78 613Z	5C094
G02F 1/1368 (2006.01)	H01L 29/78 618B	5F110
G09F 9/30 (2006.01)	H01L 29/78 618F	
	H01L 29/78 618G	
審査請求 有 請求項の数 39 O L (全 22 頁) 最終頁に続く		

(21) 出願番号	特願2009-46233 (P2009-46233)	(71) 出願人	308040351 三星モバイルディスプレイ株式会社 大韓民国京畿道龍仁市器興区農書洞山2 4
(22) 出願日	平成21年2月27日 (2009. 2. 27)	(74) 代理人	100083806 弁理士 三好 秀和
(31) 優先権主張番号	10-2008-0062418	(74) 代理人	100095500 弁理士 伊藤 正和
(32) 優先日	平成20年6月30日 (2008. 6. 30)	(74) 代理人	100111235 弁理士 原 裕子
(33) 優先権主張国	韓国 (KR)	(72) 発明者	鄭 在 景 大韓民国京畿道水原市靈通区▲しん▼洞5 7 5 番地
		(72) 発明者	鄭 棕 翰 大韓民国京畿道水原市靈通区▲しん▼洞5 7 5 番地
		最終頁に続く	

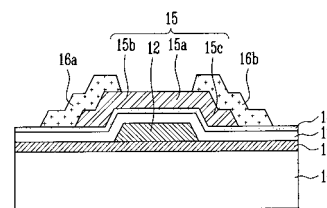
(54) 【発明の名称】 薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置

(57) 【要約】

【課題】 活性層の界面特性が向上できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供する。

【解決手段】 本発明の薄膜トランジスタは、基板と、前記基板上に形成されたゲート電極と、ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、前記活性層と連結されるソース電極及びドレイン電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は3.0～8.0 eVのバンドギャップを有する酸化物からなる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、
 前記基板上に形成されたゲート電極と、
 ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、
 前記活性層と連結されるソース電極及びドレイン電極と、
 前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを
 有し、
 前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる薄膜ト
 ランジスタ。

10

【請求項 2】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 1 に記載の薄
 膜トランジスタ。

【請求項 3】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウ
 ム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲル
 マニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つ
 のイオンがドーピングされることを特徴とする請求項 2 に記載の薄膜トランジスタ。

【請求項 4】

前記活性層を含む上部に形成され、前記活性層が露出するようにコンタクトホールが形
 成された保護層を更に含み、前記ソース電極及びドレイン電極は前記コンタクトホールを
 介して前記活性層と連結されることを特徴とする請求項 1 に記載の薄膜トランジスタ。

20

【請求項 5】

前記界面安定化層と前記活性層の側壁とが一致することを特徴とする請求項 1 に記載の薄
 膜トランジスタ。

【請求項 6】

前記界面安定化層は、前記活性層より広く形成されることを特徴とする請求項 1 に記載
 の薄膜トランジスタ。

【請求項 7】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyH_z 、 SiO_xF_y 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG
 からなる群より選択されることを特徴とする請求項 1 に記載の薄膜トランジスタ。

30

【請求項 8】

前記界面安定化層の水素濃度は $1.0 \times 10^{19} / \text{cm}^3$ 以下であることを特徴とする請求項 1
 に記載の薄膜トランジスタ。

【請求項 9】

基板上にゲート電極を形成する段階と、
 前記ゲート電極を含む上部にゲート絶縁層を形成する段階と、
 前記ゲート絶縁層上に界面安定化層及び酸化物半導体層を形成する段階と、
 前記酸化物半導体層をパターニングして活性層を形成する段階と、
 前記活性層と連結されるソース電極及びドレイン電極を形成する段階とを含み、
 前記界面安定化層は、 $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する薄
 膜トランジスタの製造方法。

40

【請求項 10】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyH_z 、 SiO_xF_y 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG
 からなる群より選択されることを特徴とする請求項 9 に記載の薄膜トランジスタの製造
 方法。

50

【請求項 11】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 10 に記載の薄膜トランジスタの製造方法。

【請求項 12】

前記酸化物半導体は、酸化亜鉛（ZnO）を含むことを特徴とする請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 13】

前記酸化物半導体にガリウム（Ga）、インジウム（In）、錫（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）、カドミウム（Cd）、銀（Ag）、銅（Cu）、ゲルマニウム（Ge）、ガドリニウム（Gd）及びバナジウム（V）のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 12 に記載の薄膜トランジスタの製造方法。

10

【請求項 14】

前記活性層を形成する段階で前記界面安定化層をパターニングすることを特徴とする請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 15】

前記活性層上に界面安定化層を形成する段階を更に含むことを特徴とする請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 16】

前記界面安定化層は、10～20 Å の厚さで形成することを特徴とする請求項 15 に記載の薄膜トランジスタの製造方法。

20

【請求項 17】

前記界面安定化層は、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、HfO_x、TaO_x、YO_x、VO_x、MgO_x、CaO_x、BaO_x、SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 15 に記載の薄膜トランジスタの製造方法。

【請求項 18】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 17 に記載の薄膜トランジスタの製造方法。

30

【請求項 19】

前記活性層を含む上部に保護層を形成する段階と、
前記活性層が露出するように前記保護層にコンタクトホールを形成する段階と、
前記コンタクトホールが埋め込まれるように前記保護層上に導電層を形成する段階と、
前記ソース及びドレイン電極を形成するために前記導電層をパターニングする段階と
を更に含むことを特徴とする請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 20】

前記保護層は、亜鉛（Zn）、ガリウム（Ga）、インジウム（In）、錫（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）、カドミウム（Cd）、銀（Ag）、銅（Cu）、ゲルマニウム（Ge）、ガドリニウム（Gd）、バナジウム（V）、シリコン（Si）及びアルミニウム（Al）からなる群より選択される物質を含む酸化物で形成されることを特徴とする請求項 19 に記載の薄膜トランジスタの製造方法。

40

【請求項 21】

前記導電層をパターニングする際に前記保護層をエッチング停止層として用いることを特徴とする請求項 19 に記載の薄膜トランジスタの製造方法。

【請求項 22】

基板上にゲート電極を形成する段階と、
前記ゲート電極を含む上部にゲート絶縁層を形成する段階と、
前記ゲート絶縁層上に酸化物半導体層及び界面安定化層を形成する段階と、
前記界面安定化層及び酸化物半導体層をパターニングして活性層を形成する段階と、

50

前記活性層と連結されるソース電極及びドレイン電極を形成する段階とを含み、
前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する薄膜トランジスタの製造方法。

【請求項 23】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 22 に記載の薄膜トランジスタの製造方法。

【請求項 24】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 23 に記載の薄膜トランジスタの製造方法。

10

【請求項 25】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 22 に記載の薄膜トランジスタの製造方法。

【請求項 26】

前記界面安定化層は、物理蒸着方法により形成することを特徴とする請求項 22 に記載の薄膜トランジスタの製造方法。

20

【請求項 27】

前記界面安定化層は、 $10 \sim 20 \text{ \AA}$ の厚さで形成することを特徴とする請求項 22 に記載の薄膜トランジスタの製造方法。

【請求項 28】

多数の第 1 導電線と第 2 導電線により多数の画素が画定され、各画素に供給される信号を制御する薄膜トランジスタ及び薄膜トランジスタと連結される第 1 電極が形成された第 1 基板と、

第 2 電極が形成された第 2 基板と、

前記第 1 電極と第 2 電極との間の封止された空間に注入される液晶層とを有し、

30

前記薄膜トランジスタは前記第 1 基板上に形成されたゲート電極と、

ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、

前記活性層と連結されるソース電極及びドレイン電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる平板表示装置。

【請求項 29】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 28 に記載の平板表示装置。

40

【請求項 30】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 29 に記載の平板表示装置。

【請求項 31】

前記活性層を含む上部に形成され、前記活性層が露出するようにコンタクトホールが形成された保護層を更に含み、前記ソース電極及びドレイン電極は前記コンタクトホールを介して前記活性層と連結されることを特徴とする請求項 28 に記載の平板表示装置。

【請求項 32】

50

前記界面安定化層は、前記活性層より広く形成されることを特徴とする請求項 28 に記載の平板表示装置。

【請求項 33】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 28 に記載の平板表示装置。

【請求項 34】

第 1 電極、有機薄膜層及び第 2 電極からなる有機電界発光素子と、前記有機電界発光素子の動作を制御するための薄膜トランジスタが形成された第 1 基板と、

10

前記第 1 基板に対向するように配置された第 2 基板とを有し、

前記薄膜トランジスタは前記第 1 基板上に形成されたゲート電極と、

ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、

前記活性層と連結されるソース電極及びドレイン電極と、

前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、

前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる平板表示装置。

【請求項 35】

前記酸化物半導体は、酸化亜鉛 (ZnO) を含むことを特徴とする請求項 34 に記載の平板表示装置。

20

【請求項 36】

前記酸化物半導体にガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも 1 つのイオンがドーピングされることを特徴とする請求項 35 に記載の平板表示装置。

【請求項 37】

前記活性層を含む上部に形成され、前記活性層が露出するようにコンタクトホールが形成された保護層を更に含み、前記ソース電極及びドレイン電極は前記コンタクトホールを介して前記活性層と連結されることを特徴とする請求項 34 に記載の平板表示装置。

30

【請求項 38】

前記界面安定化層は、前記活性層より広く形成されることを特徴とする請求項 34 に記載の平板表示装置。

【請求項 39】

前記界面安定化層は、 SiO_x 、 SiN 、 SiO_xNy 、 SiO_xCy 、 SiO_xCyHz 、 SiO_xFy 、 GeO_x 、 GdO_x 、 AlO_x 、 GaO_x 、 SbO 、 ZrO_x 、 HfO_x 、 TaO_x 、 YO_x 、 VO_x 、 MgO_x 、 CaO_x 、 BaO_x 、 SrO_x 及び SOG からなる群より選択されることを特徴とする請求項 34 に記載の平板表示装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は酸化物半導体を活性層とする薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置に関し、より詳しくは、活性層の一面又は両面に界面安定化層 (interfacial stability layer) が備えられた薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置に関する。

【背景技術】

【0002】

一般に、薄膜トランジスタ (Thin Film Transistor: TFT) はチャネル領域、ソース領域及びドレイン領域を提供する活性層と、チャネル領域の上部に形成され、ゲート絶縁層によって活性層と電氣的に絶縁されるゲート電極からなる。

50

【0003】

このように構成される薄膜トランジスタの活性層は、概ね非晶質シリコンやポリシリコンのような半導体物質で形成される。しかしながら、活性層が非晶質シリコンで形成されれば、移動度が低いため、高速で動作する駆動回路の実現が難しくなる。また、活性層がポリシリコンで形成されれば、移動度は高いものの、閾電圧が不均一になり、別途の補償回路が追加されなければならないという問題点がある。

【0004】

また、低温ポリシリコン (Low Temperature Poly-Silicon; L T P S) を用いた従来の薄膜トランジスタの製造方法は、レーザ熱処理などのような高価な費用のかかる工程が含まれるため、設備投資及び管理費用が高くなり、大面積の基板に適用し難いという問題点がある。

10

【0005】

このような問題点を解決するために、最近では酸化物半導体を活性層として用いる研究が進められている。

【0006】

下記の特許文献1には酸化亜鉛 (zinc oxide; Z n O) 又は酸化亜鉛 (Z n O) を主成分とする酸化物半導体を活性層として用いた薄膜トランジスタが開示されている。

【0007】

酸化亜鉛 (Z n O) を主成分とする酸化物半導体は、非晶質の形態でありながら、移動度が高いため、安定的な材料であると評価されている。このような酸化物半導体を活性層として用いれば、別途の工程装置を追加で購入しなくても既存の装置を用いて薄膜トランジスタを製造できる。また、酸化物半導体は、低温で蒸着が可能であり、イオン注入が不要である上に、スパッタリング方法で蒸着できるため、大面積の基板にも適用可能である。

20

【0008】

しかしながら、酸化物半導体を活性層とする薄膜トランジスタは、構造及び工程条件に応じて電気的特性が変化され易いため、信頼性が低いという問題点がある。特に、定電圧又は定電流の駆動時に閾電圧が時間に応じて正 (+) の方向に変化するが、このような現象の主因は活性層とゲート絶縁層又は活性層と保護層の界面劣化による電荷トラップ (charge trapping) であると推定される。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2003-086808号

【特許文献2】大韓民国特許公開第2007-0105925号

【特許文献3】大韓民国特許公開第2008-0002414号

【特許文献4】大韓民国特許公開第2003-0010122号

【特許文献5】大韓民国特許公開第1998-0065168号

【特許文献6】大韓民国特許登録第0272260号

【発明の概要】

40

【発明が解決しようとする課題】

【0010】

本発明は上記事情に鑑みてなされたものであって、その目的は、活性層の界面特性が向上できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供することにある。

【0011】

本発明の他の目的は、活性層の界面における電荷トラップを防止できる薄膜トランジスタ、その製造方法及び薄膜トランジスタを備える平板表示装置を提供することにある。

【0012】

本発明の更に別の目的は、電気的特性及び信頼性の高い薄膜トランジスタ、その製造方

50

法及び薄膜トランジスタを備える平板表示装置を提供することにある。

【課題を解決するための手段】

【0013】

前記目的を達成するために、本発明の一側面に係る薄膜トランジスタは、基板と、前記基板上に形成されたゲート電極と、ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、前記活性層と連結されるソース電極及びドレイン電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる。

【0014】

本発明の他の側面に係る薄膜トランジスタの製造方法は、基板上にゲート電極を形成する段階と、前記ゲート電極を含む上部にゲート絶縁層を形成する段階と、前記ゲート絶縁層上に界面安定化層及び酸化物半導体層を形成する段階と、前記酸化物半導体層をパターンニングして活性層を形成する段階と、前記活性層と連結されるソース電極及びドレイン電極を形成する段階とを含み、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する。

【0015】

本発明の別の側面に係る薄膜トランジスタの製造方法は、基板上にゲート電極を形成する段階と、前記ゲート電極を含む上部にゲート絶縁層を形成する段階と、前記ゲート絶縁層上に酸化物半導体層及び界面安定化層を形成する段階と、前記界面安定化層及び酸化物半導体層をパターンニングして活性層を形成する段階と、前記活性層と連結されるソース電極及びドレイン電極を形成する段階とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物で形成する。

【0016】

また、本発明の更に他の側面に係る薄膜トランジスタを備える平板表示装置は、多数の第1導電線と第2導電線により多数の画素が画定され、各画素に供給される信号を制御する薄膜トランジスタ及び薄膜トランジスタと連結される第1電極が形成された第1基板と、第2電極が形成された第2基板と、前記第1電極と第2電極との間の封止された空間に注入される液晶層とを有し、前記薄膜トランジスタは前記第1基板上に形成されたゲート電極と、ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、前記活性層と連結されるソース電極及びドレイン電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる。

【0017】

更に、本発明の別の側面に係る薄膜トランジスタを備える平板表示装置は、第1電極、有機薄膜層及び第2電極からなる有機電界発光素子と、前記有機電界発光素子の動作を制御するための薄膜トランジスタが形成された第1基板と、前記第1基板に対向するように配置された第2基板とを有し、前記薄膜トランジスタは前記第1基板上に形成されたゲート電極と、ゲート絶縁層によって前記ゲート電極と絶縁され、酸化物半導体からなる活性層と、前記活性層と連結されるソース電極及びドレイン電極と、前記活性層の上部面及び下部面のうちの少なくとも一面に形成された界面安定化層とを有し、前記界面安定化層は $3.0 \sim 8.0 \text{ eV}$ のバンドギャップを有する酸化物からなる。

【発明の効果】

【0018】

本発明によれば、薄膜トランジスタは活性層の一面又は両面に界面安定化層が備えられる。酸化物を含む界面安定化層はゲート絶縁層及び保護層と同質性を有するため、化学的に高い界面安全性を維持し、活性層と同等であるか、活性層より大きいバンドギャップを有するため、物理的に電荷トラップを抑止すると同時に活性層を保護するという効果を奏する。従って、高い界面安全性と電荷移動度により閾電圧の変化のような電気的特性の変化が最小化され、温度及び時間による信頼性の低下が防止され得る。本発明の薄膜トランジスタを平板表示装置に適用する場合には、安定した電気的特性によって更に向上した画

10

20

30

40

50

質を実現できる。

【図面の簡単な説明】

【0019】

【図1】本発明の第1実施形態に係る薄膜トランジスタを説明する断面図である。

【図2】本発明の第2実施形態に係る薄膜トランジスタを説明する断面図である。

【図3】本発明の第3実施形態に係る薄膜トランジスタを説明する断面図である。

【図4】本発明の第4実施形態に係る薄膜トランジスタを説明する断面図である。

【図5】本発明の第5実施形態に係る薄膜トランジスタを説明する断面図である。

【図6a】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図6b】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図6c】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図6d】本発明に係る薄膜トランジスタの製造方法を説明する断面図である。

【図7a】本発明に係る薄膜トランジスタの信頼性測定結果を説明するグラフである。

【図7b】本発明に係る薄膜トランジスタの信頼性測定結果を説明するグラフである。

【図8a】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図8b】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図8c】本発明に係る薄膜トランジスタのストレス測定結果を説明するグラフである。

【図9】本発明に係る薄膜トランジスタを備える平板表示装置の一実施形態を説明する斜視図である。

【図10a】本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する平面図である。

【図10b】本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する断面図である。

【図11】図10aの有機電界発光素子を説明する断面図である。

【発明を実施するための形態】

【0020】

下記の詳細な説明には、本発明の特定の実施形態だけを詳細に記載する。本発明の技術分野において通常の知識を有する者は、本発明の技術的思想から逸脱しない範囲内で下記の実施形態を多様に変形できる。従って、添付する図面と説明は、本発明を説明するだけであって、これら添付する図面と説明によって本発明が限定されるものではない。また、1つの構成要素が他の構成要素と「接触している」ということはそれがその他の構成要素と直接接触するか、1つ以上の要素を2つの間に介在させて間接的に接触していることを意味する。また、ある要素が他の要素に「結合されている」ということは、それがその他の要素に直接的に連結されているか、1つ以上の要素を2つの間に介在させて間接的に連結されていることを意味する。以下で同じ参照番号は同じ構成要素を意味する。

【0021】

図1は、本発明の第1実施形態に係る薄膜トランジスタを説明する断面図であって、下部ゲート構造の一例を示す。

【0022】

基板10上にバッファ層11が形成され、バッファ層11上にゲート電極12が形成される。ゲート電極12を含む上部にはゲート絶縁層13及び界面安定化層14が順次形成され、ゲート電極12を含む界面安定化層14上には酸化物半導体からなる活性層15が形成される。そして、活性層15の両側にはソース電極16a及びドレイン電極16bが連結される(図1にあっては紙面に向かって左側にソース電極16a、右側にドレイン電極16bが連結されている)。

【0023】

界面安定化層14は、活性層15と同等であるか、活性層15より大きいバンドギャップ、例えば、3.0～8.0 eVのバンドギャップを有する酸化物であって、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、HfO_x、TaO_x、YO_x、VO_x、

10

20

30

40

50

MgO_x、CaO_x、BaO_x、SrO_x及びSOG (spin on glass) となる群より選択されることができる。

【0024】

活性層15は、チャネル領域15a、ソース領域15b及びドレイン領域15cを提供し、チャネル領域15aはゲート電極12と重なるように配置される。活性層15を構成する酸化物半導体は、酸化亜鉛 (ZnO) を含み、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd) 及びバナジウム (V) のうちの少なくとも1つのイオンがドーピングされ得る。活性層15は、例えば、ZnO、ZnGaO、ZnInO、ZnSnO、GaInZnO、CdO、InO、GaO、SnO、AgO、CuO、GeO、GdO、HfOなどで形成されることができる。

10

【0025】

図2は、本発明の第2実施形態に係る薄膜トランジスタを説明する断面図である。ここでは、図1に示す構造との差異についてのみ説明する。

【0026】

図1の薄膜トランジスタは、界面安定化層14が活性層15より広く形成される構造であるのに対し、図2の薄膜トランジスタは、界面安定化層24と活性層15が同一の大きさで形成される。このとき、界面安定化層24と活性層15の側壁が互いに一致するように界面安定化層24と活性層15を同時にパターンニングするので、工程段階数を減少させることができる。

20

【0027】

図3は、本発明の第3実施形態に係る薄膜トランジスタを説明する断面図である。ここでも、図1及び図2に示す構造との差異についてのみ説明する。

【0028】

図1及び図2の薄膜トランジスタは、ソース電極16a及びドレイン電極16bが活性層15と直接接触する構造であるのに対し、図3の薄膜トランジスタは、活性層15を含む上部に保護層26が形成される。そして、保護層26に形成されたコンタクトホールを介してソース電極27a及びドレイン電極27bが活性層15と連結される。保護層26は、亜鉛 (Zn)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、ハフニウム (Hf)、カドミウム (Cd)、銀 (Ag)、銅 (Cu)、ゲルマニウム (Ge)、ガドリニウム (Gd)、バナジウム (V)、シリコン (Si) 及びアルミニウム (Al) からなる群より選択される物質を含む酸化物で形成されることができる。

30

【0029】

前記酸化物からなる保護層26は、ソース電極27a及びドレイン電極27bを形成するエッチング過程でチャネル領域15aの活性層15を保護すると同時にエッチング停止層として利用され得る。このため、プラズマや酸溶液による活性層15のダメージを防止する。

【0030】

酸化物半導体は、プラズマにより被害を受け易かったり、酸溶液などにエッチングされ易い。従って、保護層がない構造では活性層の上部に薄膜を形成したり、形成された薄膜をエッチングする際にプラズマによる被害が生じ、被爆効果 (bombardment effect)、放射効果 (radiation effect) などによりキャリアが増加するなどの電氣的な特性変化が発生する。このような活性層の電氣的な特性変化により薄膜トランジスタの電氣的特性が低下し、基板内における特性散布度が低下し得る。

40

【0031】

図4は、本発明の第4実施形態に係る薄膜トランジスタを説明する断面図である。図1～図3の薄膜トランジスタは、界面安定化層14、24が活性層15の下部面に形成される構造であるのに対し、図4の薄膜トランジスタは、界面安定化層35が活性層34の上部面に形成される。

50

【0032】

図4を参照すれば、基板30上にバッファ層31が形成され、バッファ層31上にゲート電極32が形成されているのがわかる。ゲート電極32を含む上部にはゲート絶縁層33が形成され、ゲート電極32を含むゲート絶縁層33上には酸化物半導体からなる活性層34が形成される。活性層34上には界面安定化層35が形成され、界面安定化層35及び活性層34にはソース電極36a及びドレイン電極36bが連結される。

【0033】

活性層34は、チャネル領域34a、ソース領域34b及びドレイン領域34cを提供し、チャネル領域34aはゲート電極32と重なるように配置される。活性層34を構成する酸化物半導体は、酸化亜鉛（ZnO）を含み、ガリウム（Ga）、インジウム（In）、錫（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）、カドミウム（Cd）、銀（Ag）、銅（Cu）、ゲルマニウム（Ge）、ガドリニウム（Gd）及びバナジウム（V）のうちの少なくとも1つのイオンがドーピングされ得る。

10

【0034】

界面安定化層35は、活性層34と同等であるか、活性層34より大きいバンドギャップ、例えば、3.0～8.0 eVのバンドギャップを有する酸化物であって、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、HfO_x、TaO_x、YO_x、VO_x、MgO_x、CaO_x、BaO_x、SrO_x及びSOGからなる群より選択されることができ、ソース電極36a及びドレイン電極36bと活性層34との間に介在される界面安定化層35は、ソース電極36a及びドレイン電極36bと活性層34の接触抵抗が低く維持され得るように、例えば、10～20 Åの厚さで形成されることが好ましい。

20

【0035】

図5は、本発明の第5実施形態に係る薄膜トランジスタを説明する断面図である。図1～図3の薄膜トランジスタは、界面安定化層14、24が活性層15の下部面に形成され、図4の薄膜トランジスタは、界面安定化層35が活性層34の上部面に形成される構造である。それに対し、図5の薄膜トランジスタは界面安定化層44、46が活性層45の下部面と上部面にそれぞれ形成された構造である。

【0036】

図5を参照すれば、基板40上にバッファ層41が形成され、バッファ層41上にゲート電極42が形成されているのがわかる。ゲート電極42を含む上部にはゲート絶縁層43が形成され、ゲート電極42を含むゲート絶縁層43上には酸化物半導体からなる活性層45が形成される。このとき、活性層45の下部面と上部面には界面安定化層44、46がそれぞれ形成され、界面安定化層44、46及び活性層45にはソース電極47a及びドレイン電極47bが連結される。

30

【0037】

活性層45は、チャネル領域45a、ソース領域45b及びドレイン領域45cを提供し、チャネル領域45aはゲート電極42と重なるように配置される。活性層45を構成する酸化物半導体は、酸化亜鉛（ZnO）を含み、ガリウム（Ga）、インジウム（In）、錫（Sn）、ジルコニウム（Zr）、ハフニウム（Hf）、カドミウム（Cd）、銀（Ag）、銅（Cu）、ゲルマニウム（Ge）、ガドリニウム（Gd）及びバナジウム（V）のうちの少なくとも1つのイオンがドーピングされ得る。

40

【0038】

界面安定化層44、46は活性層45と同等であるか、活性層45より大きいバンドギャップ、例えば、3.0～8.0 eVのバンドギャップを有する酸化物であって、SiO_x、SiN、SiO_xN_y、SiO_xC_y、SiO_xC_yH_z、SiO_xF_y、GeO_x、GdO_x、AlO_x、GaO_x、SbO、ZrO_x、HfO_x、TaO_x、YO_x、VO_x、MgO_x、CaO_x、BaO_x、SrO_x及びSOGからなる群より選択されることができ、活性層45下部面の界面安定化層44は、活性層45を十分に保護し、界面安全性を維持できるように、例えば、50～5000 Åの厚さで形成されることが好ましい

50

。そして、活性層 45 上部面の界面安定化層 46 は、ソース電極 47 a 及びドレイン電極 47 b と活性層 45 の接触抵抗が低く維持されるように、100 Å 以下の厚さ、好ましくは 10 ~ 20 Å の厚さで形成されることが好ましい。

【0039】

図 4 及び図 5 の薄膜トランジスタで界面安定化層 35 及び 46 は、ソース電極 36 a、47 a 及びドレイン電極 36 b、47 b を形成するエッチング過程でチャンネル領域 34 a 及び 45 a の活性層 34 及び 45 を保護すると同時にエッチング停止層として利用されるため、プラズマなどによる活性層 34 及び 45 の被害を防止する。

【0040】

上記の通りに構成された本発明に係る薄膜トランジスタの製造方法について図 6 a ~ 図 6 d を通じて以下に詳細に説明する。説明の便宜上、図 5 の構造を例に挙げて説明する。

【0041】

まず、図 6 a に示すように、基板 40 上にゲート電極 42 を形成した後、ゲート電極 42 を含む上部にゲート絶縁層 43 を形成する。このとき、不純物の拡散などを防止するために、基板 40 上にバッファ層 41 を形成し、バッファ層 41 上にゲート電極 42 を形成できる。基板 40 としては、シリコン (Si) などの半導体基板、ガラスやプラスチックなどの絶縁基板又は金属基板を用いることができ、ゲート電極 42 は Al、Cr、MoW などの金属で形成し、ゲート絶縁層 43 は SiO_2 、 SiNx 、 GaO_3 などの絶縁物で形成する。

【0042】

次に、図 6 b に示すように、ゲート絶縁層 43 上に界面安定化層 44、酸化物半導体層 45 及び界面安定化層 46 を順次形成する。界面安定化層 44、46 は活性層 45 と同等であるか、活性層 45 より大きいバンドギャップ、例えば、3.0 ~ 8.0 eV のバンドギャップを有する酸化物であって、 SiOx 、 SiN 、 SiOxNy 、 SiOxCy 、 SiOxCyHz 、 SiOxFy 、 GeOx 、 GdOx 、 AlOx 、 GaOx 、 SbO 、 ZrOx 、 HfOx 、 TaOx 、 YOx 、 VOx 、 MgOx 、 CaOx 、 BaOx 、 SrOx 及び SOG からなる群より選択されることができる。

【0043】

シリコン酸化物 (SiOx) 及びアルミニウム酸化物 (AlOx) は、高周波 (RF) 又は直流 (DC) スパッタリング蒸着方法などの物理的な方法で蒸着できる。高周波 (RF) スパッタリング方法でアルミニウム酸化物 (AlOx) を蒸着する場合、酸素比を 4 ~ 10 % に調節すれば、温度、ゲートバイアス (DC bias) などのストレスに対して信頼性に優れた界面安定化層 44、46 を得ることができる。

【0044】

次に、図 6 c に示すように、界面安定化層 46、酸化物半導体層 45 及び界面安定化層 44 を順次パターニングして酸化物半導体からなる活性層 45 を形成する。このとき、図 1 に示した酸化物半導体層 15 と界面安定化層 14 の関係のように、酸化物半導体層 45 下部の界面安定化層 44 はパターニングしないこともあり得る。

【0045】

次に、図 6 d に示すように、全体の上部に Mo、MoW、Al、AlAd、AlLiLa など導電層を形成した後、パターニングして界面安定化層 46 及び活性層 45 と連結されるソース電極 47 a 及びドレイン電極 47 b を形成する。このとき、図 3 に示す活性層 15、保護層 26、ソース電極 27 a 及びドレイン電極 27 b のように、活性層 45 を含む上部に保護層 (図 3 に示した保護層 26 に相当) を形成し、活性層 45 が露出するように保護層にコンタクトホールを形成した後、コンタクトホールが埋め込まれるように保護層上に導電層を形成し、パターニングしてソース電極及びドレイン電極を形成できる。

【0046】

前述したように、本発明の薄膜トランジスタは、活性層の一面又は両面に界面安定化層が備えられる。界面安定化層は、3.0 ~ 8.0 eV のバンドギャップを有する酸化物からなる。界面安定化層のバンドギャップが活性層 45 のバンドギャップ、例えば、3.0 e

10

20

30

40

50

Vより小さければ、電荷が容易に抜け出すため、チャネルのキャリアを効果的に利用できなくなり、バンドギャップが8.0 eVより大きくなれば、高い絶縁特性により電気的特性が低下する。酸化物を含む界面安定化層は、ゲート絶縁層及び保護層と同質性を有するため、化学的に高い界面安全性を維持し、活性層と同等であるか、活性層より大きいバンドギャップを有するため、物理的に電荷トラップを抑止する。

【0047】

このとき、電荷トラップの抑止効果を高めるためには、界面安定化層の水素濃度を $10^{+19}/\text{cm}^3$ 以下に調節することが好ましい。界面安定化層の水素濃度が $10^{+19}/\text{cm}^3$ より高ければ、水素が活性層の表面部に侵入（拡散）してトラップとしての役割をするため、活性層の電気的特性が低下し得る。界面安定化層の水素濃度を $10^{+19}/\text{cm}^3$ 以下に調節するためには、化学蒸着方法よりはスパッタリング蒸着方法のような物理蒸着方法を利用することが好ましい。

10

【0048】

また、本発明の界面安定化層は、後続する熱処理過程でキュアリング（curing）効果を高めるため、活性層の被害を回復させる役割もする。

【0049】

図7aには、本発明に係る薄膜トランジスタの信頼性測定結果を示す。この測定結果は、物理的な方法でアルミニウム酸化物（ AlO_x ）を蒸着して界面安定化層を形成した場合の結果である。温度を常温から100℃に増加させた後も閾電圧（ V_{th} ）、スロップファクタ（Slop-factor）、オフ電流が殆ど変化しない優れた信頼性を示した。それに対し、図7bはプラズマ化学気相蒸着（PECVD）方法でシリコン酸化物（ SiO_x ）を蒸着して界面安定化層を形成した場合の信頼性測定結果である。この場合、温度が増加するにつれて閾電圧（ V_{th} ）が負の方向に変化し、スロップファクタが劣化した。

20

【0050】

図8a及び図8bは、本発明に係る薄膜トランジスタのストレス測定結果であって、図8aはゲート電極に15Vの電圧（ V_{GS} ）を1時間印加した場合であり、図8bはゲート電極に-15Vの電圧（ V_{GS} ）を1時間印加した場合である。図8aの場合に0.5Vの閾電圧（ V_{th} ）のシフト変化を示し、図8Bの場合には-0.7Vの閾電圧（ V_{th} ）のシフト変化を示した。それに対し、図8cは界面安定化層をシリコン酸化物（ SiO_x ）で形成した場合である。シリコン酸化物（ SiO_x ）は一般的なポリシリコン薄膜トランジスタの製造に適用される方法で、900℃の温度で乾燥式（ O_2 ）又は湿式（ H_2O ）熱酸化方法による熱酸化物（ SiO_2 ）を用いた。ゲート電極に15Vの電圧（ V_{GS} ）を1時間印加した場合に2.1Vの閾電圧（ V_{th} ）の変化が、ゲート電極に-15Vの電圧（ V_{GS} ）を1時間印加した場合には-2.8Vの閾電圧（ V_{th} ）の変化を示された。従って、図8a及び図8bの結果を通じて薄膜トランジスタの信頼性が従来に比べて顕著に改善されることが分かる。

30

【0051】

本発明の薄膜トランジスタは、平板表示装置に適用されることができる。図9は、本発明に係る薄膜トランジスタを備える平板表示装置の一実施形態を説明する斜視図であって、画像を表示する表示パネル100を中心に概略的に説明する。

40

【0052】

表示パネル100は、対向配置された2つの基板110、120と、2つの基板110、120の間に介在された液晶層130とからなる。そして、表示パネル100は基板110にマトリックス状に配列された多数のゲート線111とデータ線112により画素領域113が画定される。

【0053】

ゲート線111とデータ線112とが交差する部分の基板110には各画素に供給される信号を制御する薄膜トランジスタ114及び薄膜トランジスタ114と連結された画素電極115が形成される。薄膜トランジスタ114は、図1～図5のうちの1つの構造を有し、図6a～図6dを参照して説明した本発明の製造方法によって製造されることがで

50

きる。

【0054】

また、基板120にはカラーフィルタ121及び共通電極122が形成される。そして、基板110、120の背面には偏光板116、123がそれぞれ形成され、偏光板116の下部には光源としてバックライト（図示せず）が配置される。

【0055】

一方、表示パネル100の画素領域113の周辺には表示パネル100を駆動させるための駆動部（LCD Drive IC；図示せず）が実装される。駆動部は外部から提供される電氣的信号を走査信号及びデータ信号に変換してゲート線とデータ線に供給する。

【0056】

図10a及び図10bは、本発明に係る薄膜トランジスタを備える平板表示装置の他の実施形態を説明する平面図及び断面図であって、画像を表示する表示パネル200を中心に概略的に説明する。

【0057】

図10aを参照すれば、基板210は画素領域220と、画素領域220周辺の非画素領域230とに画定される。画素領域220の基板210には走査ライン224及びデータライン226の間にマトリックス方式で連結された多数の有機電界発光素子300が形成される。そして、非画素領域230の基板210には画素領域220の走査ライン224及びデータライン226から延びた走査ライン224及びデータライン226、有機電界発光素子300の動作のための電源供給ライン（図示せず）、そしてパッド228を介して外部から提供された信号を処理して走査ライン224及びデータライン226に供給する走査駆動部234及びデータ駆動部236が形成される。

【0058】

図11に示すように、有機電界発光素子300は、アノード電極317及びカソード電極320と、アノード電極317及びカソード電極320の間に形成された有機薄膜層319とからなる。有機薄膜層319は、正孔輸送層、有機発光層及び電子輸送層が積層された構造で形成され、正孔注入層と電子注入層が更に含まれることができる。また、有機電界発光素子300の動作を制御するための薄膜トランジスタと、信号を維持させるためのキャパシタとが更に含まれることができる。

【0059】

薄膜トランジスタは、図1～図5のうちの1つの構造を有し、図6a～図6dを参照して説明した本発明の製造方法によって製造され得る。薄膜トランジスタを含む有機電界発光素子300を図10a及び図11を通じて更に詳細に説明すれば、以下の通りである。

【0060】

基板210（図10aに示す基板210と図11に示す基板40とは対応する）上にバッファ層41が形成され、画素領域220のバッファ層41上にゲート電極42が形成される。このとき、画素領域220にはゲート電極42と連結される走査ライン224が形成され、非画素領域230には画素領域220の走査ライン224から延びる走査ライン224及び外部から信号の提供を受けるためのパッド228が形成されることが出来る。

【0061】

ゲート電極42を含む上部にはゲート絶縁層43が形成され、ゲート電極42を含むゲート絶縁層43上には酸化物半導体からなる活性層45が形成される。活性層45の下部面と上部面には界面安定化層44、46がそれぞれ形成される。

【0062】

活性層45の両側にはソース電極47a及びドレイン電極47bが形成される。このとき、画素領域220にはソース電極47a及びドレイン電極47bと連結されるデータライン226が形成される。そして、非画素領域230には画素領域220のデータライン226から延びるデータライン226及び外部から信号の提供を受けるためのパッド228が形成されることが出来る。

【0063】

上記の通りに構成された有機電界発光素子 300 の上部には、表面の平坦化のために平坦化層 48 が形成され、平坦化層 48 にはソース電極 47a 又はドレイン電極 47b が露出するようにビアホールが形成される。そして、ビアホールを介してソース電極 47a 又はドレイン電極 47b と連結されるようにアノード電極 317 が形成される。

【0064】

アノード電極 317 の一部領域（発光領域）が露出するように平坦化層 48 上に画素定義膜 318 が形成され、露出したアノード電極 317 上に有機薄膜層 319 が形成される。有機薄膜層 319 を含む画素定義膜 318 上にカソード電極 320 が形成される。

【0065】

図 10b を参照すれば、上記のように有機電界発光素子 300 が形成された基板 210 の上部には画素領域 220 を封止させるための封止基板 400 が配置され、封止材 410 により封止基板 400 が基板 210 に貼り合わされて表示パネル 200 が完成する。

【0066】

以上説明したように、本発明の最も好ましい実施の形態について説明したが、本発明は、上記記載に限定されるものではなく、特許請求の範囲に記載され、又は明細書に開示された発明の要旨に基づき、当業者において様々な変形や変更が可能であることはもちろんであり、斯かる変形や変更が、本発明の範囲に含まれることは言うまでもない。

【符号の説明】

【0067】

- 10, 30, 40, 210 基板
- 11, 31, 41 バッファ層
- 12, 32, 42 ゲート電極
- 14, 24, 35, 44, 46 界面安定化層
- 15, 34, 45 活性層
- 16a, 27a, 36a, 47a ソース電極
- 16b, 27b, 36b, 47b ドレイン電極
- 26 保護層
- 33, 43 ゲート絶縁層
- 100, 200 表示パネル
- 111 ゲート線
- 112 データ線
- 113 画素領域
- 114 薄膜トランジスタ
- 115 画素電極
- 130 液晶層
- 220 画素領域
- 224 走査ライン
- 226 データライン
- 230 非画素領域
- 300 有機電界発光素子

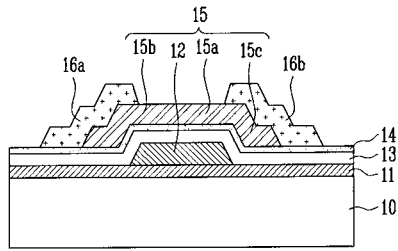
10

20

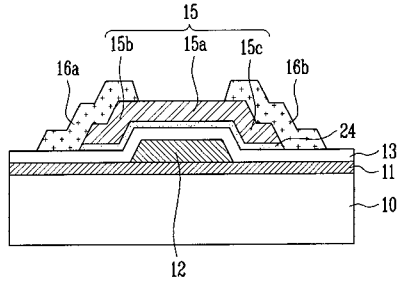
30

40

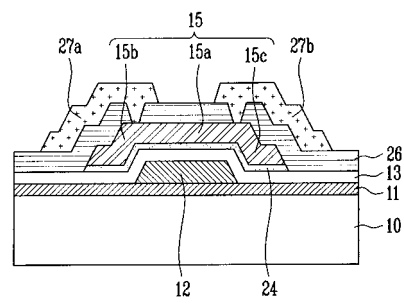
【図 1】



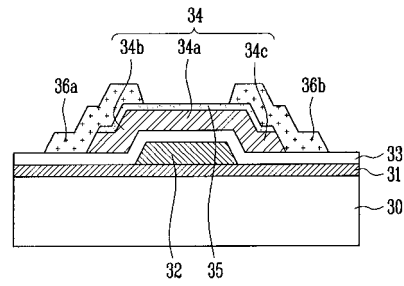
【図 2】



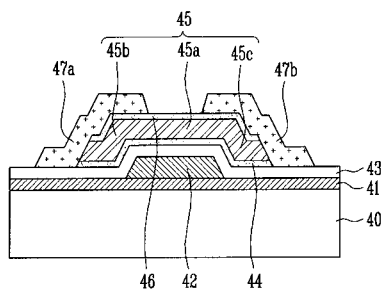
【図 3】



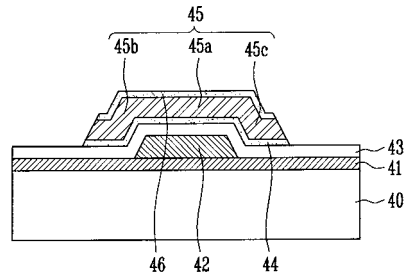
【図 4】



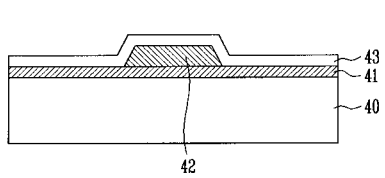
【図 5】



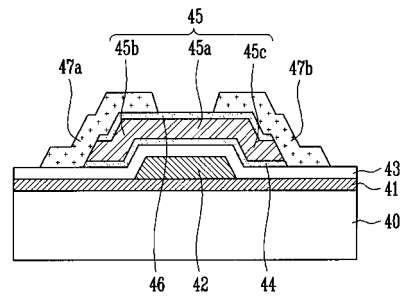
【図 6 c】



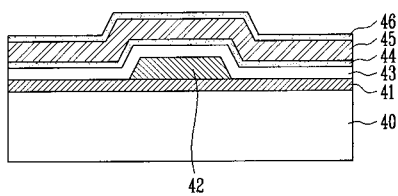
【図 6 a】



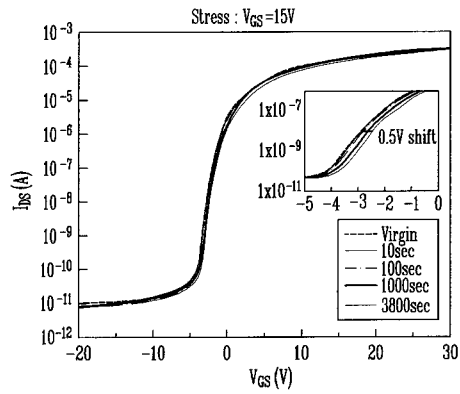
【図 6 d】



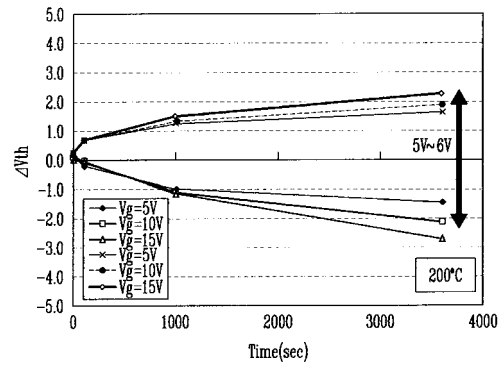
【図 6 b】



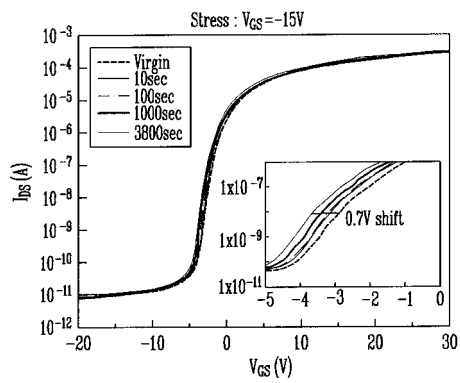
【図 8 a】



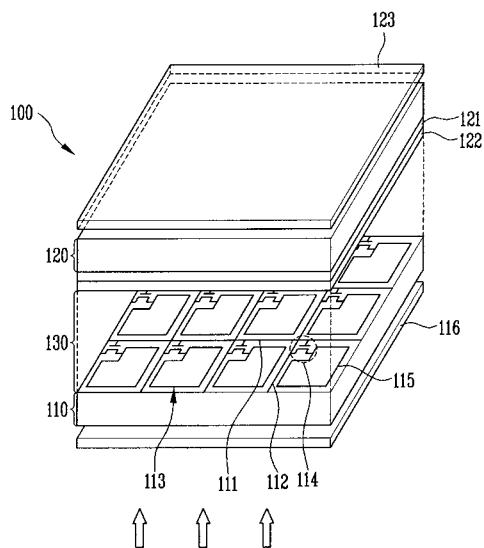
【図 8 c】



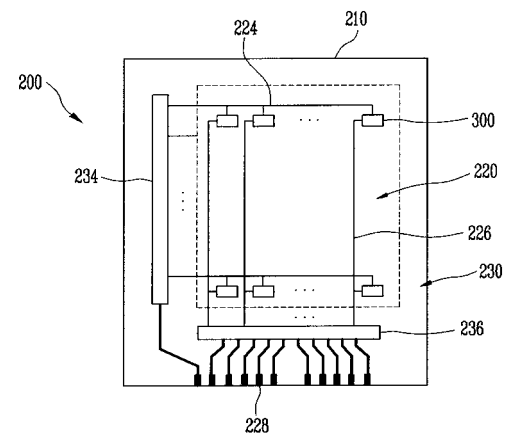
【図 8 b】



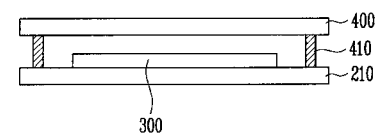
【図 9】



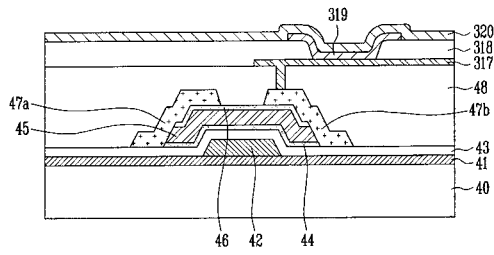
【図 10 a】



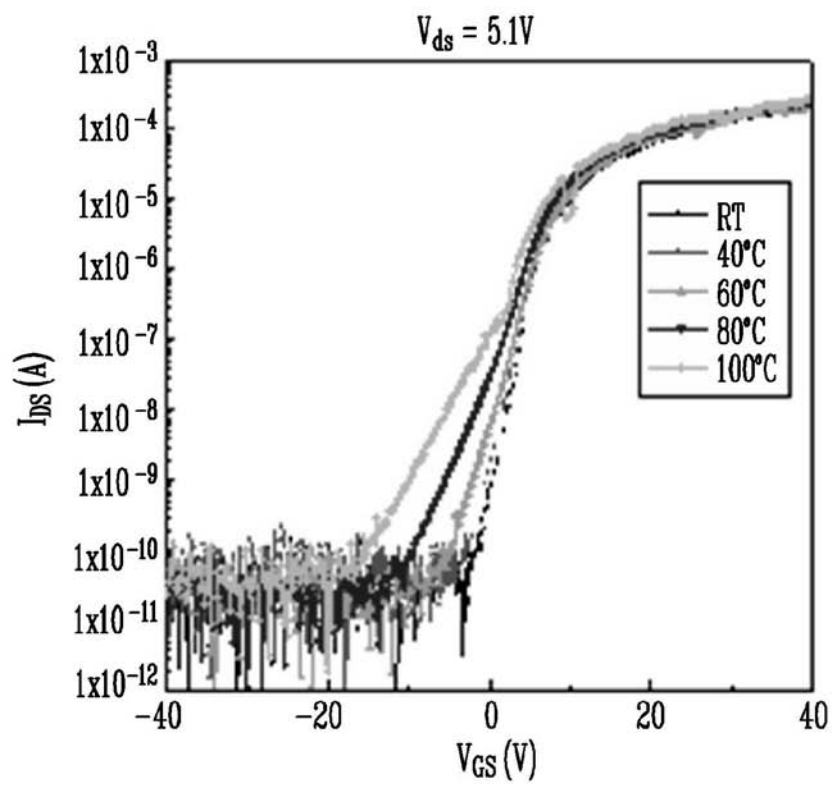
【図 10 b】



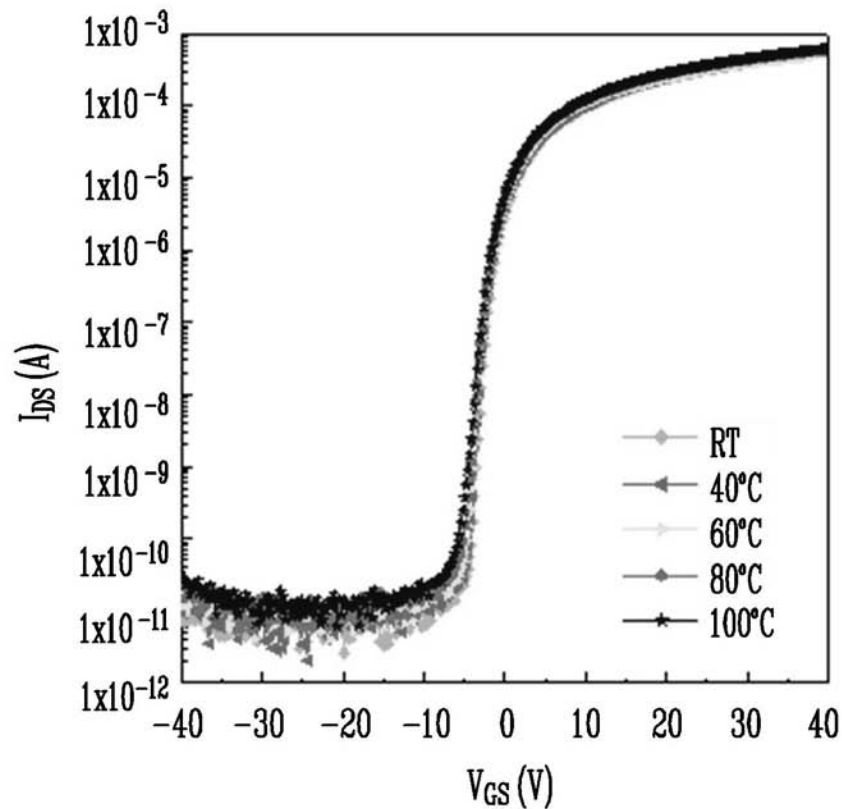
【図 11】



【図 7 a】



【図 7 b】



【手続補正書】

【提出日】平成21年4月13日(2009.4.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

次に、図6dに示すように、全体の上部にMo、MoW、Al、AlNd、AlLiL aなどで導電層を形成した後、パターニングして界面安定化層46及び活性層45と連結されるソース電極47a及びドレイン電極47bを形成する。このとき、図3に示す活性層15、保護層26、ソース電極27a及びドレイン電極27bのように、活性層45を含む上部に保護層(図3に示した保護層26に相当)を形成し、活性層45が露出するように保護層にコンタクトホールを形成した後、コンタクトホールが埋め込まれるように保護層上に導電層を形成し、パターニングしてソース電極及びドレイン電極を形成できる。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

図7aには、本発明に係る薄膜トランジスタの信頼性測定結果を示す。この測定結果は、物理的な方法でアルミニウム酸化物(AlO_x)を蒸着して界面安定化層を形成した場合の結果である。温度を常温から100℃に増加させた後も閾電圧(V_{th})、Sーファクタ(Sub-threshold slope factor)、オフ電流が殆ど変化しない優れた信頼性を示した

。それに対し、図 7 b はプラズマ化学気相蒸着 (PECVD) 方法でシリコン酸化物 (SiO_x) を蒸着して界面安定化層を形成した場合の信頼性測定結果である。この場合、温度が増加するにつれて閾電圧 (V_{th}) が負の方向に変化し、Sーファクタが劣化した。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

上記の通りに構成された薄膜トランジスタの上部には、表面の平坦化のために平坦化層 48 が形成され、平坦化層 48 にはソース電極 47a 又はドレイン電極 47b が露出するようにビアホールが形成される。そして、ビアホールを介してソース電極 47a 又はドレイン電極 47b と連結されるようにアノード電極 317 が形成される。

【手続補正 4】

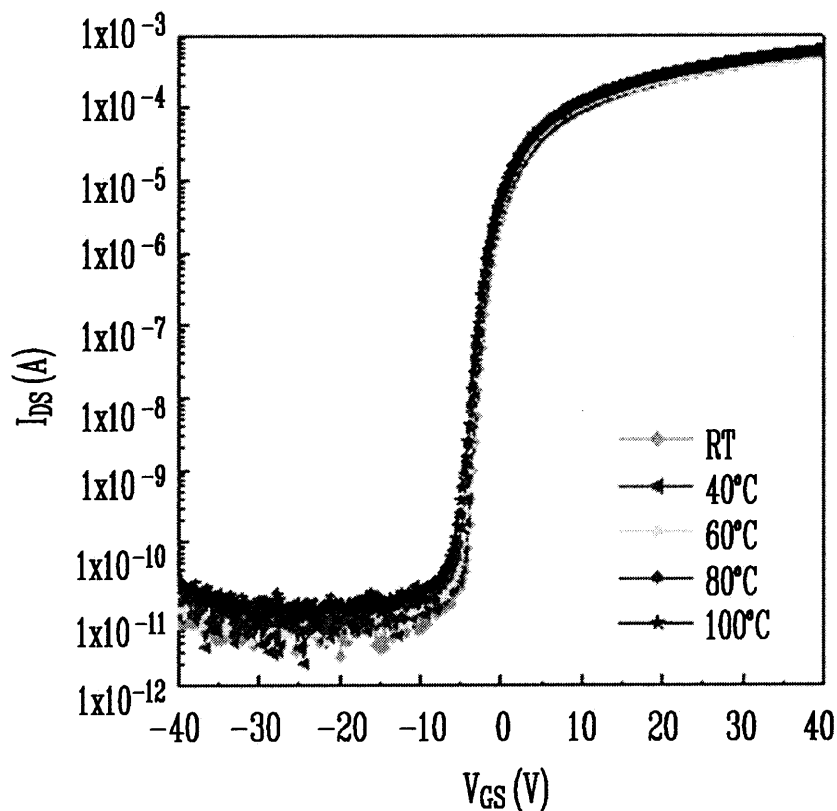
【補正対象書類名】図面

【補正対象項目名】図 7 a

【補正方法】変更

【補正の内容】

【図 7 a】



【手続補正 5】

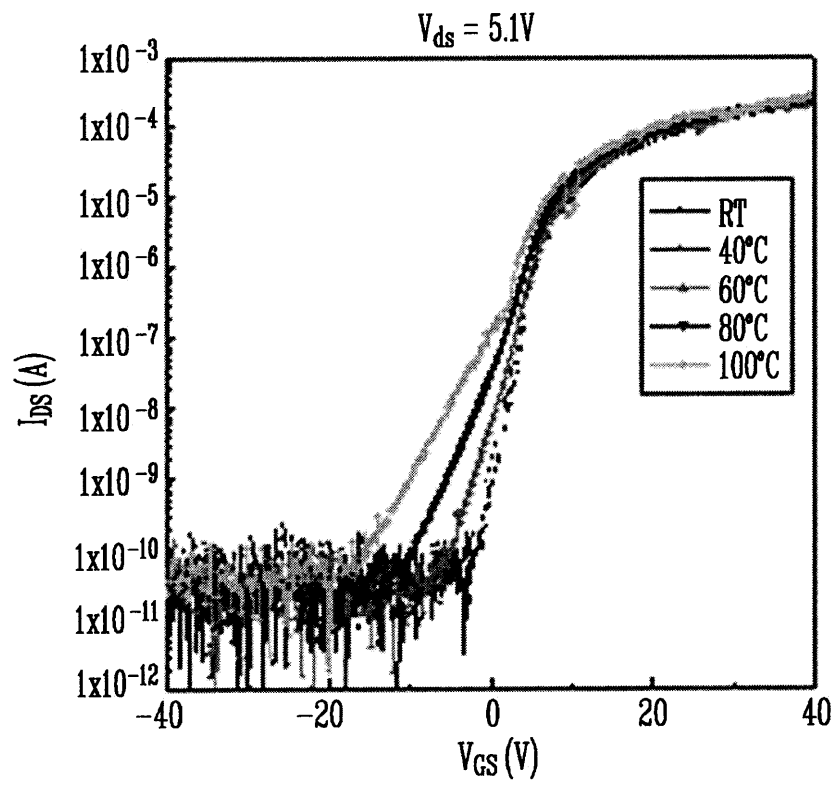
【補正対象書類名】図面

【補正対象項目名】図 7 b

【補正方法】変更

【補正の内容】

【図 7 b】



【手続補正 6】

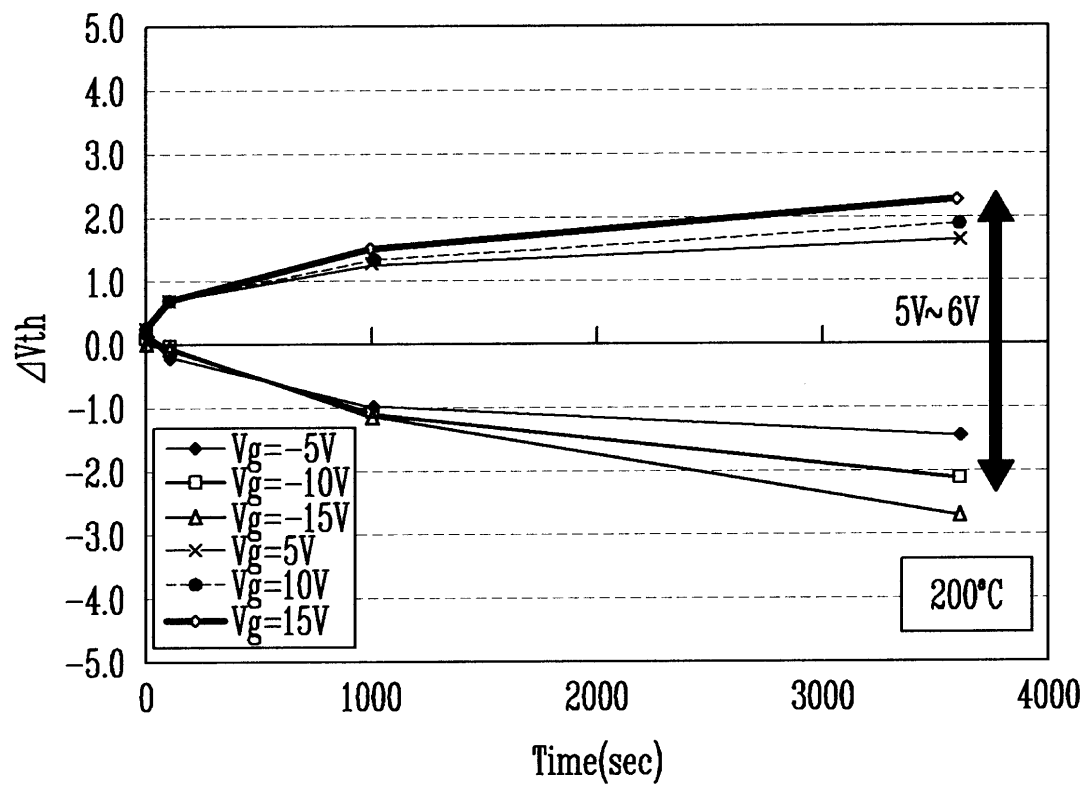
【補正対象書類名】図面

【補正対象項目名】図 8 c

【補正方法】変更

【補正の内容】

【図 8 c】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 2 7 C
	H 0 1 L 29/78	6 1 8 A
	G 0 2 F 1/1368	
	G 0 9 F 9/30	3 3 8

(72)発明者 金 民 圭
大韓民国京畿道水原市霊通区▲しん▼洞 5 7 5 番地

(72)発明者 安 泰 瓊
大韓民国京畿道水原市霊通区▲しん▼洞 5 7 5 番地

(72)発明者 牟 然 坤
大韓民国京畿道水原市霊通区▲しん▼洞 5 7 5 番地

(72)発明者 梁 熙 元
大韓民国京畿道水原市霊通区▲しん▼洞 5 7 5 番地

Fターム(参考) 2H092 GA29 JA26 JA46 KA07 KA10 KA12 KA18 MA04 MA05 MA13
MA27 NA21
5C094 AA21 BA03 BA43 CA19 DA13 FB02 FB20 JA02
5F110 AA14 AA30 BB01 CC07 DD01 DD02 DD05 EE03 EE04 EE06
FF01 FF02 FF03 GG01 GG06 GG19 GG25 GG33 GG34 GG43
HK03 HK04 HK06 HL03 HL04 HL06 NN02 NN71 NN72 QQ09