

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 5/18 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810169120.9

[43] 公开日 2009年4月22日

[11] 公开号 CN 101414456A

[22] 申请日 2003.5.30

[21] 申请号 200810169120.9

分案原申请号 03800996.X

[30] 优先权

[32] 2002.5.31 [33] JP [31] 159039/02

[71] 申请人 索尼株式会社

地址 日本东京都

[72] 发明人 木田芳利 仲岛义晴 前川敏一

[74] 专利代理机构 北京市柳沈律师事务所
代理人 李芳华

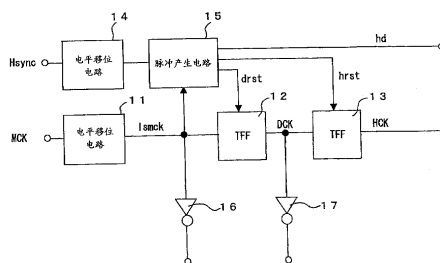
权利要求书 2 页 说明书 11 页 附图 8 页

[54] 发明名称

逻辑电路、定时产生电路、显示装置和便携式终端

[57] 摘要

本发明提供了一种逻辑电路、定时产生电路、显示装置和便携式终端。一般，如果缓冲器由具有大的元件特性变化的晶体管组成，则输入时钟脉冲的定时很容易偏离复位脉冲的定时，当定时偏差较大时会产生故障，由此相对于元件特性变化的运行余地会变小。根据本发明的定时发生器电路在绝缘基底上制成，并具有两个 TFF (12, 13)，用于产生不同频率的与从基底外部输入的主时钟 MCK 同步的点时钟 DCK 和水平时钟 HCK。脉冲发生器电路 (15) 产生分离的复位脉冲 drst 和 hrst，用于在不同的定时处复位两个 TFF (12, 13)。由此，即使元件特性变化很大，且电路由具有大致处理规则的 TFF 组成，也能保证较大的运行余地。



1. 一种逻辑电路, 包括:

多个形成在绝缘基底上的触发器, 用于产生多个不同频率的与从外部输入基底的主时钟信号同步的脉冲信号; 以及

在与所述多个触发器相同的基底上形成的复位电路, 用于分别在任意定时处复位所述多个划分为至少两个系统的触发器。

2. 一种定时产生电路, 包括:

多个形成在绝缘基底上的触发器, 用于产生多个不同频率的与从外部输入基底的主时钟同步的脉冲信号; 以及

在与所述多个触发器相同的基底上形成的复位电路, 用于分别在任意定时处复位所述多个划分为至少两个系统的触发器。

3. 一种显示装置, 包括:

显示部分, 具有以矩阵排列在透明绝缘基底上的像素; 以及

定时产生电路, 与所述显示部分一起安装在所述透明绝缘基底上, 用于产生多个频率不同的、驱动所述显示部分所需的、并与从外部输入基底的主时钟同步的定时信号,

其中, 所述定时产生电路包括:

多个触发器, 用于以对应方式产生多个定时信号; 以及

复位电路, 用于分别在任意定时处复位所述被划分为至少两个系统的多个触发器。

4. 如权利要求3所述的显示装置, 其中, 所述定时产生电路通过采用低温多晶硅或连续晶格边界晶体硅形成在所述透明绝缘基底上。

5. 一种集成了显示装置作为屏幕显示部分的便携式终端, 所述显示装置包括:

显示部分, 具有以矩阵排列在透明绝缘基底上的像素; 以及

定时产生电路, 与所述显示部分一起安装在所述透明绝缘基底上, 用于产生多个频率不同的、驱动所述显示部分所需的、并与从外部输入基底的主时钟同步的定时信号,

其中, 所述定时产生电路包括:

多个触发器, 用于以对应方式产生多个定时信号; 以及

复位电路，用于分别在任意定时处复位所述被划分为至少两个系统的多个触发器。

逻辑电路、定时产生电路、显示装置和便携式终端

本专利申请是下列专利申请的分案申请：

申请号：03800996.X

申请日：2003年5月30日

发明名称：逻辑电路、定时产生电路、显示装置和便携式终端

技术领域

本发明涉及一种逻辑电路、定时产生电路、显示装置和便携式终端。具体地说，本发明涉及一种采用具有大特性变化的晶体管在绝缘基底上形成的逻辑电路，一种采用该逻辑电路的定时产生电路，一种采用所述定时产生电路作为一个外围驱动电路的显示装置，以及一种集成了显示装置作为屏幕显示部分的便携式终端。

背景技术

图7中示出了作为一种逻辑电路的定时产生电路的常规例子。根据该常规例子的定时产生电路配置为具有电平移位电路101和两个在电平移位电路输出端串联的触发器，在该例中也就是T型的触发器（以下称为“TFF”）102和103。电平移位电路101将从外部输入的低电压幅度的主时钟MCK电平移位（电平转换）为高电压幅度的主时钟lsmck。该主时钟lsmck通过缓冲器104提供给利用主时钟lsmck运行的电路作为基准。

TFF 102通过频率划分主时钟lsmck产生点时钟DCK。该点时钟DCK通过缓冲器105提供给利用点时钟DCK运行的电路作为基准。TFF 103通过进一步频率划分点时钟DCK产生水平时钟HCK。该水平时钟HCK提供给利用水平时钟HCK运行的电路作为基准。

根据由外部给定的复位脉冲，例如，在1H（H是水平周期）周期时，对TFF 102和103进行复位。这里，将复位脉冲发送到TFF 102和103的布线具有布线容量、晶体管输入容量和与其它布线的跨接容量。为此，采用了其中通过使用具有足够驱动这样的负载容量能力的缓冲器106的配置提

高负载容量的驱动能力。

在具有上述配置的定时产生电路中，如果每个电路部件都通过使用具有大的特性变化的晶体管形成，则 TFF 102 和 103 的每个输入时钟脉冲与复位脉冲之间的定时偏差就可能发生。当定时偏差越来越大时会出现问题，因为出现了故障，对于元件特性运行余地会越来越小。

这里，结合图 8A 和 8B 的定时图来说明具有上述配置的定时产生电路的电路运行。

在正常运行时，如图 8A 所示，TFF 102 和 103 重复在与输入时钟脉冲上升同步时的反向状态的操作，由此产生其周期两倍于输入时钟脉冲的输出脉冲。此外，在给定低电平复位脉冲后，在其下降时被复位，输出脉冲变为低电平，而在复位脉冲转换为高电平后，输出脉冲在第一输入时钟脉冲的上升时转换为高电平。此后，TFF 102 和 103 在其中给定下个复位脉冲的整个周期中继续产生与输入时钟脉冲同步的输出脉冲。

另一方面，在故障期间，例如输入时钟脉冲和复位脉冲之间的相对定时关系由于元件特性变化而发生偏差，如图 8B 所示，当发生在正常运行期间（图 8A）输入时钟脉冲位于低电平的周期内的复位脉冲发生在输入时钟脉冲位于高电平的周期内，则在下个输入时钟脉冲的上升时也继续复位操作。因此，复位后出现了输出脉冲反向的故障。

在产生脉冲的电路之间，也就是电平移位电路 101、TFF 102 和 103 以及缓冲器 107 之间的延迟量之差导致输入时钟脉冲和复位脉冲之间的相对定时关系产生偏差。如果这些电路通过使用具有大元件特性变化和大致处理规则（例如 $3.5\mu\text{m}$ ）的薄膜晶体管（TFT）形成，则延迟量很大，具体地说就是很可能产生差异。

本发明就是基于对上述问题的考虑。本发明的目的是提供一种逻辑电路，可以保证即使通过使用具有特性变化和大致处理规则的薄膜晶体管形成该逻辑电路，也能有较大的运行余地，一种采用所述逻辑电路的定时产生电路，一种采用所述定时产生电路作为一个外围驱动电路的显示装置，以及一种集成了所述显示装置作为显示输出部分的便携式终端。

发明内容

本发明的逻辑电路包括多个形成在绝缘基底上触发器，用于产生多

个不同频率的与从外部输入基底的时钟信号同步的脉冲信号；以及在与多个触发器相同的基底上形成的复位电路，用于分别在不同定时处复位多个划分为至少两个系统的触发器。所述逻辑电路的例子包括定时产生电路，用于产生多个频率不同的与从外部输入到基底中的主时钟同步的定时信号。所述定时产生电路用作在显示装置中可应用的定时产生电路，在所述显示装置中，为了驱动显示部分而产生多个不同频率定时信号的定时产生电路安装在与该显示部分相同的透明绝缘基底上。采用该定时产生电路的显示装置合并为便携式终端上的屏幕显示部分和便携式电话，其中典型的便携式终端是 PDA（个人数字助理）。

在具有上述配置的逻辑电路中，采用逻辑电路的定时产生电路、采用所述定时产生电路作为一个外围驱动电路的显示装置，或集成了该显示装置作为屏幕显示部分的便携式终端，由于采用了被划分为至少两个系统的触发器在不同定时处被复位的配置，因此复位操作可以在需要早些定时处被复位的触发器和需要从上述定时处延时后再复位的触发器之间不同地进行。因此，由于最适宜的复位定时可以根据各触发器设置，所以能保证即使每个电路通过采用具有大元件特性变化和大致处理规则的晶体管形成，也具有较大的运行余地。

附图说明

图 1 示出根据本发明实施例的定时产生电路的配置示例的电路图。

图 2 是说明根据本发明的定时产生电路的电路运行的定时图。

图 3 是以放大方式示出图 2 主要部分的定时图。

图 4 是根据本发明的液晶显示装置配置示例的框图。

图 5 是像素结构示例的电路图。

图 6 是根据本发明的 PDA 配置概貌的外部视图。

图 7 是根据传统例子的定时产生电路的配置示例的电路图。

图 8A 和 8B 是根据传统例子的定时产生电路的电路运行的定时图。

具体实施方式

下面结合附图详细说明本发明的实施例。

图 1 示出根据本发明实施例的逻辑电路（例如定时产生电路）的配置

示例的框图。从图 1 可以清楚看出, 例如, 根据本实施例的定时产生电路包括, 电平移位电路 11、两个触发器 (这里是 TFF) 12 和 13、电平移位电路 14 和脉冲产生电路 15。预先假设定时产生电路通过采用具有大元件特性变化和大致处理规则的晶体管 (例如 TFF), 形成在诸如玻璃基底的绝缘基底上。

电平移位电路 11 将从外部输入的低电压幅度 (例如 0 至 3.3v) 的主时钟 MCK 电平移位 (电平转换) 为高电压幅度 (例如 0 至 6.5v) 的主时钟 lsmck。主时钟 lsmck 提供给 TFF 12 和脉冲产生电路 15, 并通过缓冲器 16 提供给通过采用主时钟 lsmck 运行的电路作为基准。

TFF 12 和 13 在电平移位电路 11 的输出端串联。TFF 12 通过频分主时钟 lsmck 产生点时钟 DCK。点时钟 DCK 通过缓冲器 17 提供给通过采用点时钟 DCK 运行的电路作为基准。TFF 13 通过进一步频分点时钟 DCK 产生水平时钟 HCK。该水平时钟 HCK 提供给通过采用水平时钟 HCK 运行的电路作为基准。

这里, 为了使外部输入信号的定时具有自由度, 也就是说, 为了使输入定时不被确定为一种类型, 而具有一定范围, 用于产生点时钟 DCK 和水平时钟 HCK 的 TFF 12 和 13 的复位操作必须在外部基准信号的周期内 (在本例中是水平同步信号 Hsync 的周期) 执行, 也就是说一个水平周期内一次。本发明的特色在于复位 TFF 12 和 13 的复位电路的特殊配置。该配置将在下面说明。

电平移位电路 14 将从外部输入的低电压幅度 (例如 0 至 3.3v) 的水平同步信号 Hsync 电平移位到高电压幅度 (例如 0 至 6.5v), 并提供给脉冲产生电路 15。脉冲产生电路 15 在电平移位后检测水平同步信号 Hsync 的边缘部分, 根据主时钟 lsmck 在边缘部分产生水平同步脉冲 hd, 并进一步产生多个复位脉冲, 在本例中也就是对应于两个 TFF12 和 13 的两个复位脉冲 drst 和 hrst。复位脉冲 drst 用于复位 TFF 12, 而复位脉冲 hrst 用于复位 TFF 13。

图 2 示出从外部输入的主时钟 MCK 和水平同步信号 Hsync 与在所述定时产生电路内部产生的主时钟 lsmck、复位脉冲 drst、点时钟 DCK、水平同步脉冲 hd、复位脉冲 hrst、水平时钟 HCK 之间的定时关系。从图 2 的定时图中可以清楚地看出, 在定时产生电路 15 内产生的复位脉冲 drst、水平同步脉冲 hd 和复位脉冲 hrst 是在水平同步信号 Hsync 位于低电平的周期内,

根据主时钟 lsmck 通过采用下降沿作为基准产生的。

在具有上述配置的定时产生电路中，复位脉冲 drst 和 hrst 的布线具有布线容量、晶体管输入容量以及与其它布线的跨接容量。为此，需要具有足够驱动这样的负载容量的驱动能力的缓冲器。因此，由于缓冲器的存在，在复位脉冲 drst 和 hrst 中出现延迟。另一方面，同样在主时钟 lsmck、点时钟 DCK 和水平时钟 HCK 中也出现延迟，因为它们通过电平移位电路 11 和 TFF 12 和 13。

这里，主时钟 lsmck 通过的电路数量很少，且主时钟 lsmck 具有最小的延迟量。如图 3 的流程图（图 2 主要部分的放大视图）所示，假设由于通过电平移位电路 11 而导致主时钟 lsmck 相对于主时钟 MCK 出现延迟量 D_a ，如果由于通过 TFF 12 而导致点时钟 DCK 出现延迟量 D_b ，则点时钟 DCK 相对于主时钟 MCK 的延迟量就是 $D_a + D_b$ 。此外，如果由于通过 TFF 13 而导致水平时钟 HCK 出现延迟量 D_c ，则水平时钟 HCK 相对于主时钟 MCK 的延迟量就是 $D_a + D_b + D_c$ 。

在上述方式中，由于主时钟 lsmck 的延迟量最小，因此需要尽可能减小相对于将频分主时钟 lsmck 的 TFF 12 复位的复位脉冲的延迟量。由于上述原因，在根据本发明的定时产生电路中，复位脉冲 drst 与复位脉冲 hrst 分离。TFF12 设置在脉冲产生电路 15 附近。这样，可以减小用于复位脉冲 drst 的布线的负载容量的缓冲器，并需要具有更小驱动容量的缓冲器用于驱动所述负载容量。因此，复位脉冲在缓冲器中的延迟量可以减小。

这里，从图 3 的定时图可以清楚看出，在水平同步信号 Hsync 位于低电平的周期内，复位脉冲 drst 在主时钟 lsmck 的下降定时处产生。为了响应主时钟 lsmck 的下降，在脉冲产生电路 15 的延迟量 D_a 出现在复位脉冲 drst 中。在定时关系处产生复位脉冲 hrst，所述复位脉冲 hrst 比复位脉冲 drst 进一步延迟约主时钟 lsmck 的半个时钟。

并不仅限于主时钟 lsmck 和复位脉冲 drst 之间的定时关系，也不仅限于点时钟 DCK 和复位脉冲 drst 的定时关系，由于复位脉冲 hrst 是与复位脉冲 drst 分离的脉冲，因此可以通过按需要添加缓冲器来调整延迟量。

在根据本实施例的定时产生电路中，从图 2 和 3 的定时图可以清楚看出，TFF 12 产生点时钟 DCK 作为响应主时钟 lsmck 的下降定时的其状态被反向的结果。同样，TFF 13 产生水平时钟 HCK 作为响应点时钟 DCK 的下

降定时的其状态被反向的结果。

在上述方式中，在绝缘基底上形成并具有两个串联的 TFF 12 和 13 的定时产生电路中，用于产生多个不同频率的与从外部输入到基底中的主时钟 MCK 同步的定时信号，在本例中也就是点时钟 DCK 和水平时钟 HCK，对于两个 TFF 12 和 13 产生分离的复位脉冲 drst 和 hrst。因此，复位操作可以在需要较早定时处被复位的触发器和需要从上述定时处延时而再复位的触发器之间不同地进行。由此，由于最适宜的复位定时可以根据各触发器 TFF 12 和 13 设置，所以能保证即使每个电路通过采用具有大元件特性变化和大致处理规则的晶体管形成，也具有较大的运行余地，例如，TFT。

这里，从图 2 和 3 的定时图可以清楚看出，当复位脉冲 drst 的定时延迟变的较大，而复位脉冲 drst 在主时钟 lsmck 位于低电平的周期内上升，点时钟 DCK 在下个主时钟 lsmck 的下降定时处从低电平移到高电平，因此，点时钟 DCK 的极性在根据复位脉冲 drst 进行的复位操作之后反向。

在上述实施例中，通过定时产生电路的例子说明了逻辑电路。本发明不限于定时产生电路的应用，通常还可以应用于通过多个串连的触发器产生多个不同频率的与信号时钟同步的脉冲信号的逻辑电路。

触发器以两级串联的电路配置作为一个例子；同样也可用于触发器在三级或多级串联以产生三个或多个不同频率脉冲信号的电路配置。同样，在这种情况下，在三级或多级的触发器可以被划分为至少两个系统，并在互不相同的定时处分别复位。

此外，在延迟量具有很大变化的时钟输入到触发器中的情况下，而复位脉冲是对于输入脉冲的延迟量具有较小变化的脉冲时，运行速度会提高。

根据上述实施例的定时产生电路适宜在驱动电路集成的显示装置里用作，例如，定时发生器，用于根据从外部输入基底的主时钟 MCK 产生各种驱动显示部分所需的定时信号，以便外围驱动电路与其上像素以矩阵排列的显示部分一样，整体形成在透明的绝缘基底上。

图 4 是根据本发明的显示装置（例如液晶显示装置）的配置示例的框图。在图 4 中，在透明的绝缘基底上，例如玻璃基底 31 形成其上像素以矩阵排列的显示部分（像素部分）32。玻璃基底 31 与另一个玻璃基底以预定的间距相对排列，通过在两个基底之间密封液晶材料形成显示面板（LCD 面板）。

图 5 示出了显示部分 32 上每个像素的结构示例。每个以矩阵排列的像素 50 配置为具有是像素晶体管的 TFT（薄膜晶体管）51；像素电极连接到 TFT 51 漏极的液晶单元 52；以及其一个电极连接到 TFT 51 漏极的保持电容器 53。这里，液晶单元 52 的意思是在像素电极和为对抗该像素电极而形成的反向电极之间产生的液晶电容。

在这种像素结构中，TFT 51 的栅极与门线（扫描线）54 连接，TFT 的源极与数据线（扫描线）55 连接。液晶单元 52 的反向电极和 VCOM 线 56 以对每个像素都相同的方式连接。然后，共用电压 VCOM（VCOM 电位）通过 VCOM 线 56 对每个像素相同地提供给液晶单元 52 的反向电极。保持电容 53 的另一个电极（在反向电极一侧的终端）和 CS 线 57 以对每个像素都相同的方式连接。

这里，如果执行 1H（H 是水平周期）反向驱动或 1F（F 是字段周期）反向驱动，则待写入每个像素的显示信号的极性通过用作基准的 VCOM 电位进行反向。此外，如果其中 VCOM 电位的极性在 1H 周期或 1F 周期内被反向的 VCOM 反向驱动与 1H 或 1F 反向驱动一起使用，则输入 CS 线 57 的 CS 电位极性也与 VCOM 电位同步反向。但是，根据本实施例的液晶显示装置不限于 VCOM 反向驱动。

参照图 4，在与显示部分 32 相同的玻璃基底 31 上，例如，接口（IF）电路 33、定时发生器（TG）34 和基准电压驱动器 35 组合到显示部分 32 的左侧；水平驱动器 36 组合到显示部分 32 的上部；垂直驱动器 37 组合到显示部分 32 的右侧；CS 驱动器 38 和 VCOM 驱动器 39 组合到显示部分 32 的下部。这些外围驱动电路都通过使用低温多晶硅或 CG（连续晶格边界晶体）硅以及显示部分 32 的像素晶体管一起制造。

在具有上述配置的液晶显示装置中，低电压幅度的主时钟 MCK（例如 3.3v）、水平同步脉冲 Hsync、垂直同步脉冲 Vsync 和 R（红）、G（绿）、B（蓝）的平行输入的显示数据 Data 都通过软电缆（基底）40 从外部输入到玻璃基底 31，显示数据 Data 在 IF 电路 33 电平移位（电平转换）到高电压幅度（例如 6.5v）。

电平移位的主时钟 MCK、水平同步脉冲 Hsync 和垂直同步脉冲 Vsync 都提供给定定时发生器 34。根据主时钟 MCK、水平同步脉冲 Hsync 和垂直同步脉冲 Vsync，定时发生器 34 产生驱动基准电压驱动器 35、水平驱动器 36、

垂直驱动器 37、CS 驱动器 38 以及 VCOM 驱动器 39 所需的各种定时脉冲。

电平移位显示数据 Data 在下一级提供给串-并联转换电路 42。串-并联转换电路 42 通过将显示数据 Data 转换为两位来将显示数据 Data 的频率降低为 1/2，其中每位都与定时发生器 34 提供的点时钟 DCK 同步（以后再说明）。在串-并联转换电路 42 中被降低了频率的显示数据被降低为低电压幅度 0 至 3.3v，并提供给水平驱动器 36。

水平驱动器 36 具有例如水平移位寄存器 361、数据抽样锁存电路 362 以及 DA（数字到模拟）转换电路（DAC）363。水平移位寄存器 361 启动移位操作，以响应定时发生器 34 提供的水平起始脉冲 HST，并在一个与水平时钟 HCK 同步的水平周期内产生连续抽样脉冲，其中水平时钟 HCK 也由定时发生器 34 提供。

在一个与水平移位寄存器 361 生成的抽样脉冲同步的水平周期内，数据抽样锁存电路 362 连续地对接口电路 33 通过串-并联转换电路 43 提供的显示数据 Data 进行抽样和锁存。在水平消隐周期内，将一行的锁存的数字数据进一步发送到行存储器（未示出）。然后，一行的数字数据在 DA 转换电路 363 中被转换为模拟显示信号。

DA 转换电路 363 配置为基准电压选择类型 DA 转换电路，用于从基准电压驱动器 35 提供的各等级基准电压中选择对应于数字数据的基准电压。从 DA 转换电路 363 输出的一行的模拟显示信号 Sig 输出到数据线 55-1 至 55-n，这些数据线与显示部分 32 的水平像素的数量 n 对应地布线。

垂直驱动器 37 由垂直移位寄存器和门控缓冲器构成。在垂直驱动器 37 中，垂直移位寄存器启动移位操作，以响应定时发生器 34 提供的垂直起始脉冲 VST，并在一个与垂直时钟脉冲 VCK 同步的垂直周期内产生连续发送的扫描脉冲，其中垂直时钟脉冲 VCK 也由定时发生器 34 提供。产生的扫描脉冲通过门控缓冲器连续输出到门线 54-1 至 54-m，这些门线与显示部分 32 的垂直像素的数量 m 对应地布线。

当扫描脉冲由于垂直驱动器 37 的垂直扫描而连续输出到门线 54-1 至 54-m 时，以行为单位连续选择显示部分 32 的每个像素。然后，从 DA 转换电路 363 输出的一行的模拟显示信号 Sig 通过数据线 55-1 至 55-n 同时写入一行的选择像素。以行为单位重复写入操作的结果是获得一个屏幕的图像显示。

CS 驱动器 38 产生上述 CS 电位，并通过图 5 的 CS 线 57 共同提供给相对于保持电容 53 的其他电极的像素。在此，例如，如果假设显示信号的幅度为 0 至 3.3v，当采用 VCOM 反向驱动时，CS 电位在低电平 0v（地电平）和高电平 3.3v 之间重复 AC 转换。

VCOM 驱动器 39 产生上述 VCOM 电位。从 VCOM 驱动器 39 输出的 VCOM 电位通过软电缆 40 临时输出到玻璃基底 31 之外。当该输出到基底之外的 VCOM 电位通过 VCOM 校准电路 41 之后，又通过软电缆 40 再次输入到玻璃基底 31 中，并通过图 5 的 VCOM 线 56 共同提供给相对于液晶单元 52 反向电极的像素。

这里，作为 VCOM 电位，采用了具有与 CS 电位接近相同幅度的 AC 电压。但是，在实践中，如图 5 所示，当信号通过 TFT 51 从数据线 54 写入液晶单元 52 的像素电极时，由于寄生电容等在 TFT 51 出现了电压下降。为此，作为 VCOM 电位，需要采用被 DC 转换对应于该电压降数量的 AC 电压。VCOM 电位的 DC 转换由 VCOM 校准电路 41 执行。

VCOM 校准电路 41 包括输入 VCOM 电位的电容 C、连接在电容 C 的输出端和外部电源 VCC 之间的可变电阻 VR，以及连接在电容 C 输出端和地之间的电阻 R。VCOM 校准电路 41 对提供给液晶单元 52 反向电极的 VCOM 电位的 DC 电平进行校准，也就是说，向 VCOM 电位提供 DC 补偿。

在具有上述配置的液晶显示装置中，在与显示部分 32 相同的面板（玻璃基底 31）上，除了水平驱动器 36 和垂直驱动器 37，还安装了例如接口电路 33 的外围驱动电路、定时发生器 34、基准电压驱动器 35、CS 驱动器 38，以及 VCOM 驱动器 39，由此形成了集成全部驱动电路的显示面板。这样，由于其它基底、IC 和晶体管电路不需要从外部提供，因此减小了整个系统的大小，并降低了成本。

在驱动电路集成的液晶显示装置中，作为用于产生驱动显示部分 32 的多个时钟信号的定时发生器 34，采用了根据上述实施例的定时产生电路。在图 1 所示的定时产生电路中，电平移位电路 11 和 14 对应于接口电路 33，TFF 12 和 13、脉冲产生电路 15，以及对应于定时发生器 34 的缓冲器 16 和 17。

然后，在电平移位电路 11 中被电平移位的主时钟 lsmck 提供给通过主时钟 lsmck 运行的电路作为基准，具体地说，就是水平驱动器 36 的数据抽

样锁存电路 362。此外，在 TFF 12 产生的点时钟 DCK 提供给通过点时钟 DCK 运行的电路作为基准，具体地说就是串-并联转换电路 42。TFF 13 产生的水平时钟 HCK 提供给通过水平时钟 HCK 运行的电路作为基准，具体地说就是水平驱动器 36 的水平移位寄存器 361。

在上述方式中，通过采用根据上述实施例的定时产生电路作为定时发生器 34，即使定时产生电路中每个电路都通过采用具有大元件特性变化和大致处理规则的晶体管形成在绝缘基底上，也能保证较大的运行余地。由此，可以制造出具有较大运行余地的液晶显示装置，其形成的方式是通过采用 TFT 将外围驱动电路与玻璃基底 31 一起排列在透明的绝缘基底上。

在本应用例中，对包括液晶单元作为液晶元件的液晶显示装置的应用情况作为例子给出说明。但不限于本应用例，还可以用于一般具有安装在与显示部分（例如，包括 EL（场致发光）元件作为显示元件的 EL 显示装置）相同基底上的电平移位电路的显示装置。

根据上述应用例的液晶显示装置为代表的显示装置适宜用作小巧轻便的便携式终端的屏幕显示部分，典型的如便携式电话和 PDA（个人数字助理）。

图 6 是根据本发明的便携式终端配置的概貌的外部视图，例如 PDA。

根据本例的 PDA 具有折叠配置，例如，其中提供了翻盖 62 来打开和关闭装置的主单元 61。在装置主单元 61 的上表面，设置了其上具有键盘的各种按键的操作部分 63。另一方面，在翻盖 62 中设置了屏幕显示部分 64。作为屏幕显示部分 64，采用了其中在与显示部分相同的基底上安装了根据上述实施例的定时产生电路作为定时生成器的液晶显示装置。

通过采用根据上述实施例的定时产生电路作为液晶显示装置的定时发生器，可以形成具有较大运行余地的集成驱动电路液晶显示装置。因此，通过组合液晶显示装置作为屏幕显示部分 64，可以简化整个 PDA 的配置，即可以减小其大小并降低成本。

这里，尽管通过本发明应用到 PDA 的情况给出了说明，本发明并不仅限于该应用例。根据本发明的液晶显示装置尤其适用于小巧轻便的便携式终端，例如，一般是便携式电话。

工业实用性

如上所述，根据本发明，在绝缘基底上形成的定时产生电路中，其具

有多个用于产生多个不同频率的、与从外部输入到基底中的时钟信号同步的定时信号的触发器，将多个触发器划分为至少两个系统，并在不同定时处分别复位。由此，复位操作可以在需要较早定时处被复位的触发器和需要从上述定时处延时后再复位的触发器之间不同地进行。因此，由于最优化复位定时可以根据各触发器设置，所以能保证即使每个电路通过采用具有大元件特性变化和大致处理规则的晶体管形成，也具有较大的运行余地。

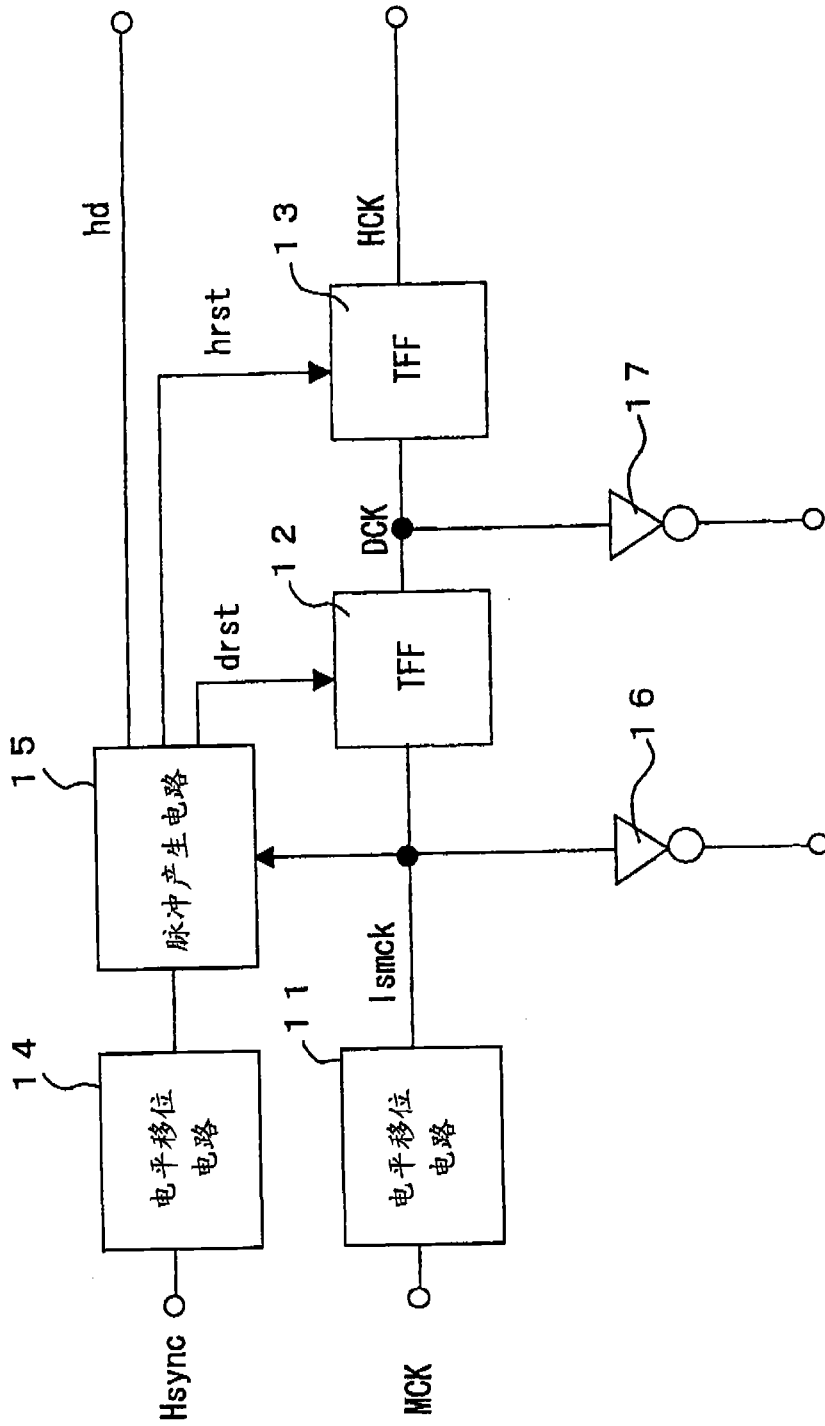


图 1

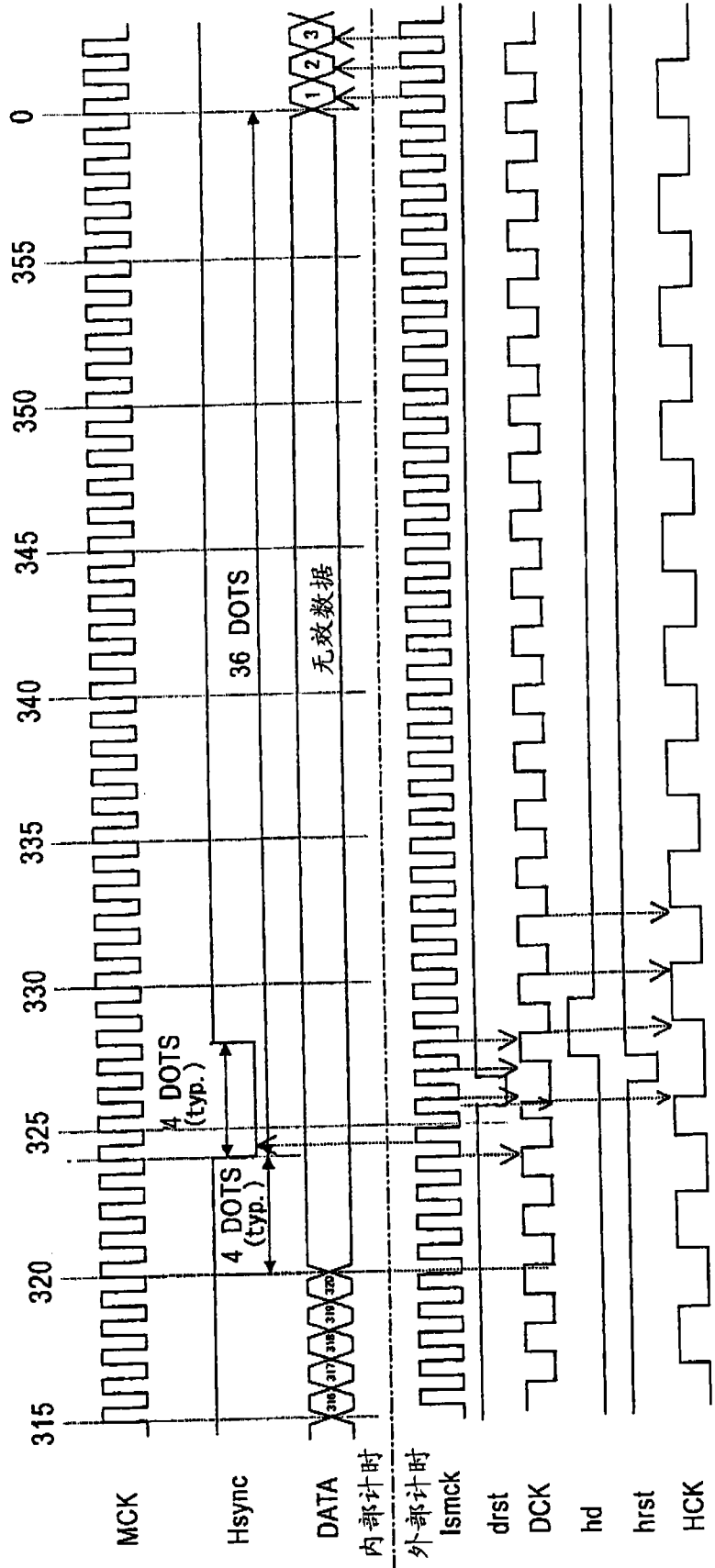


图 2

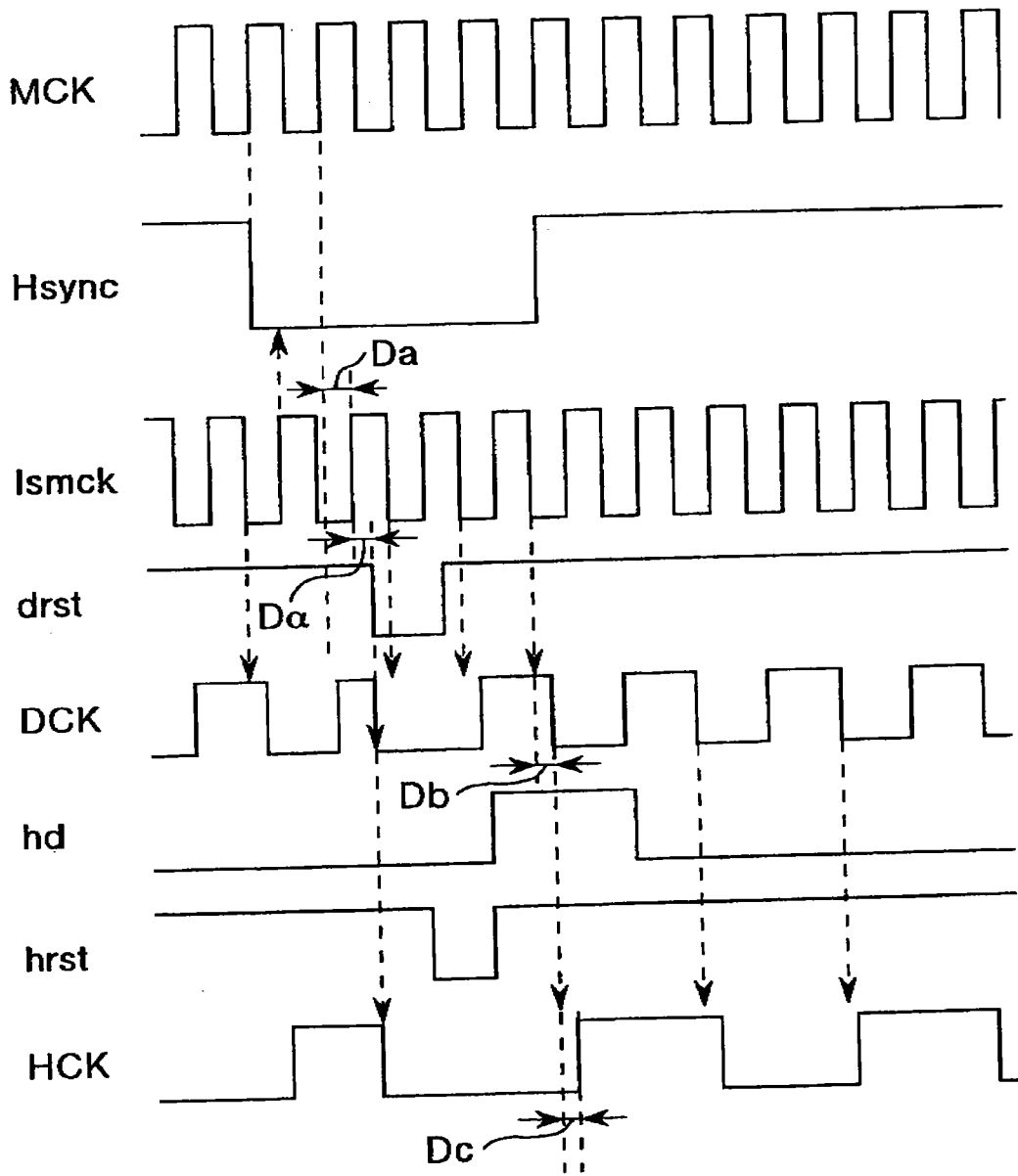


图 3

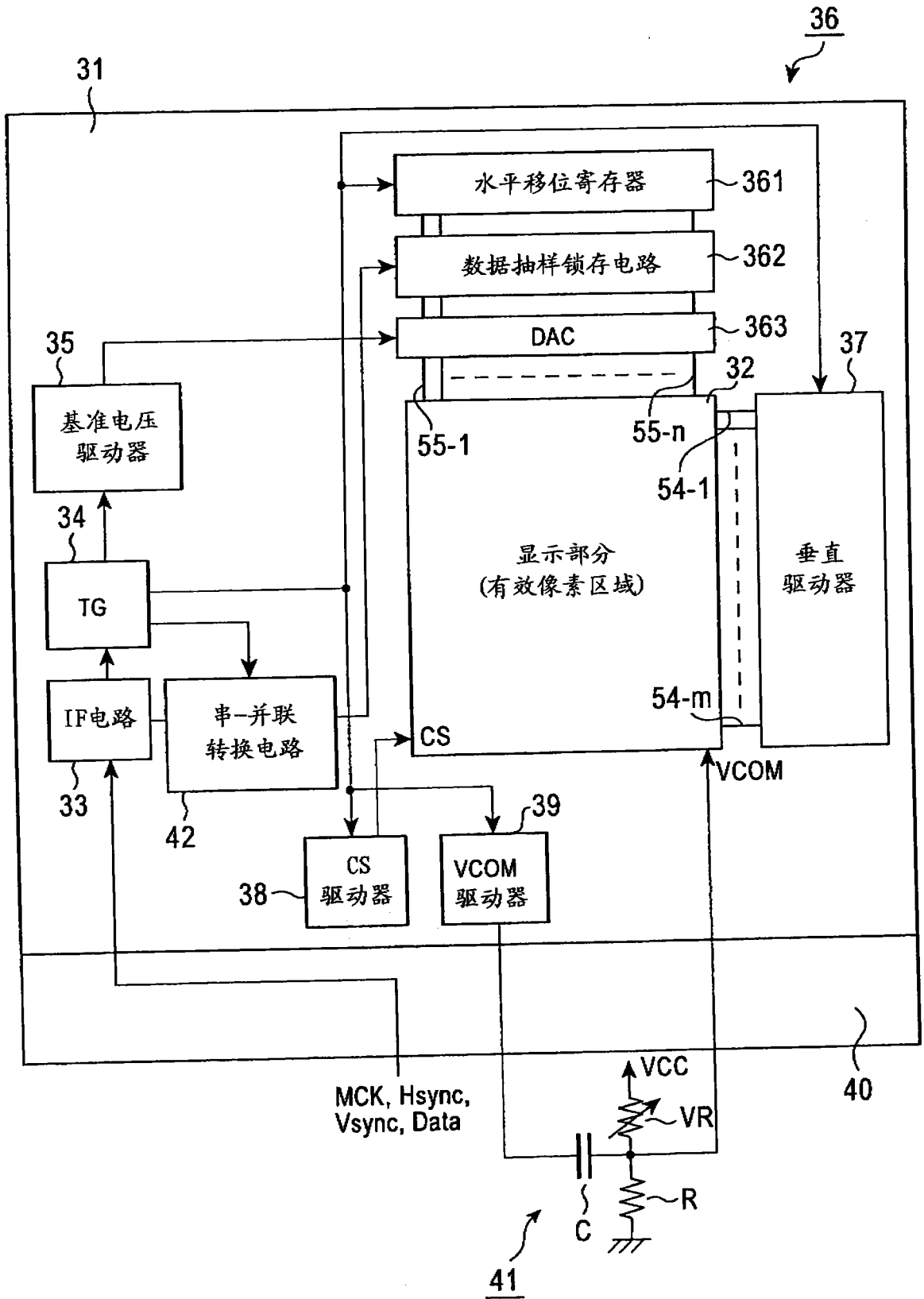


图 4

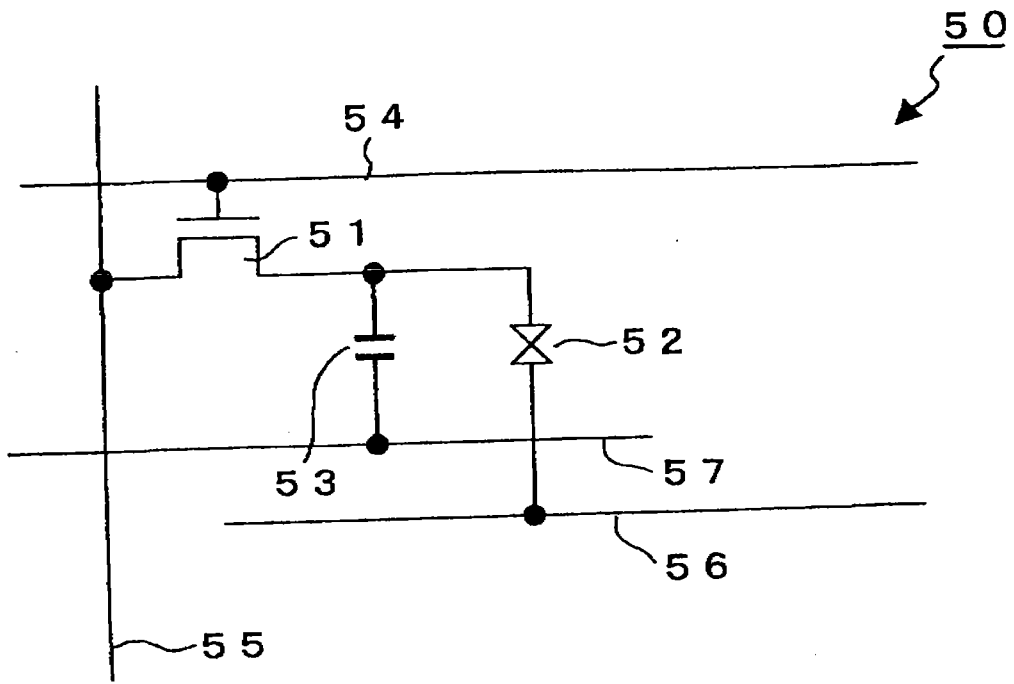


图 5

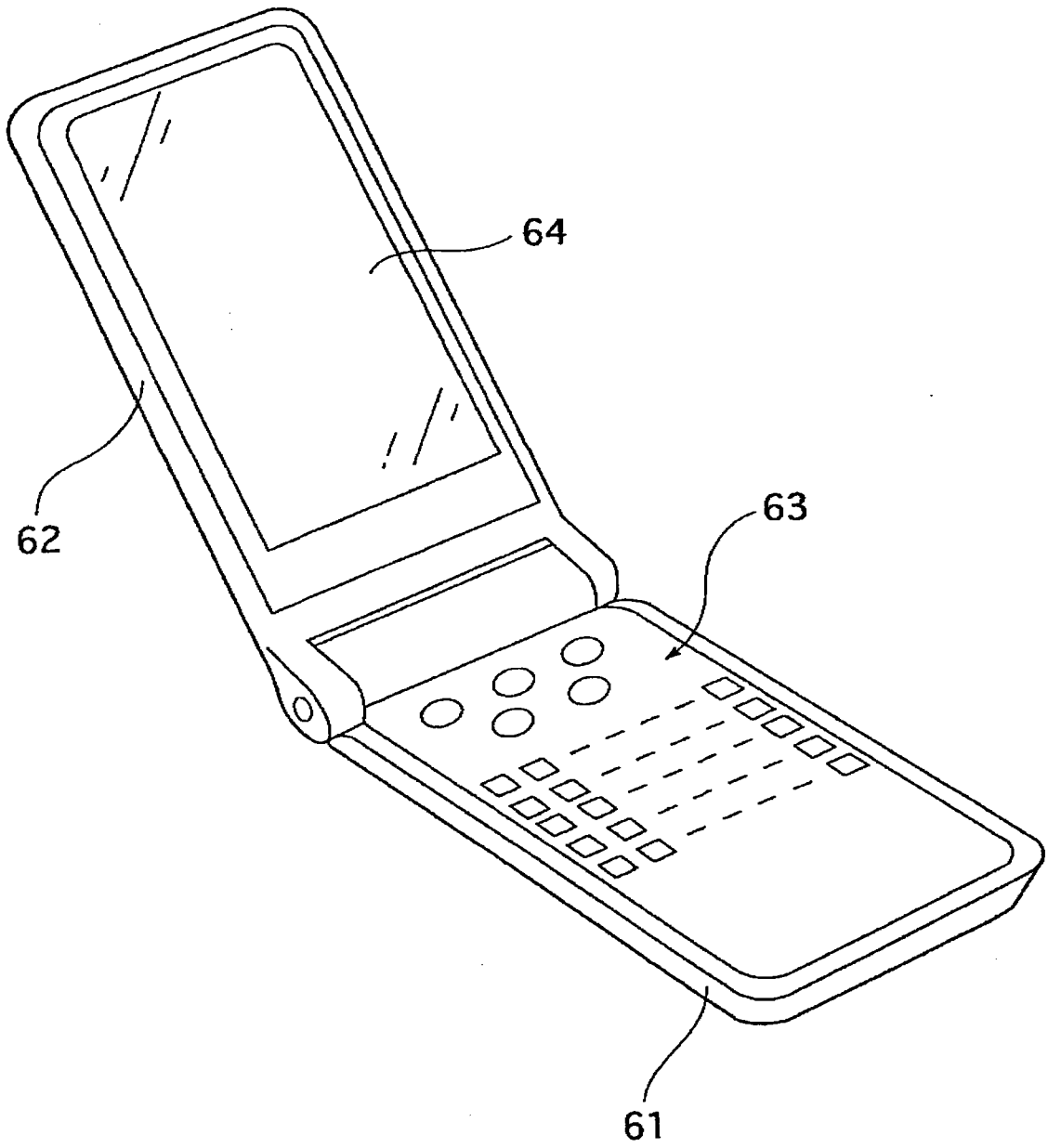


图 6

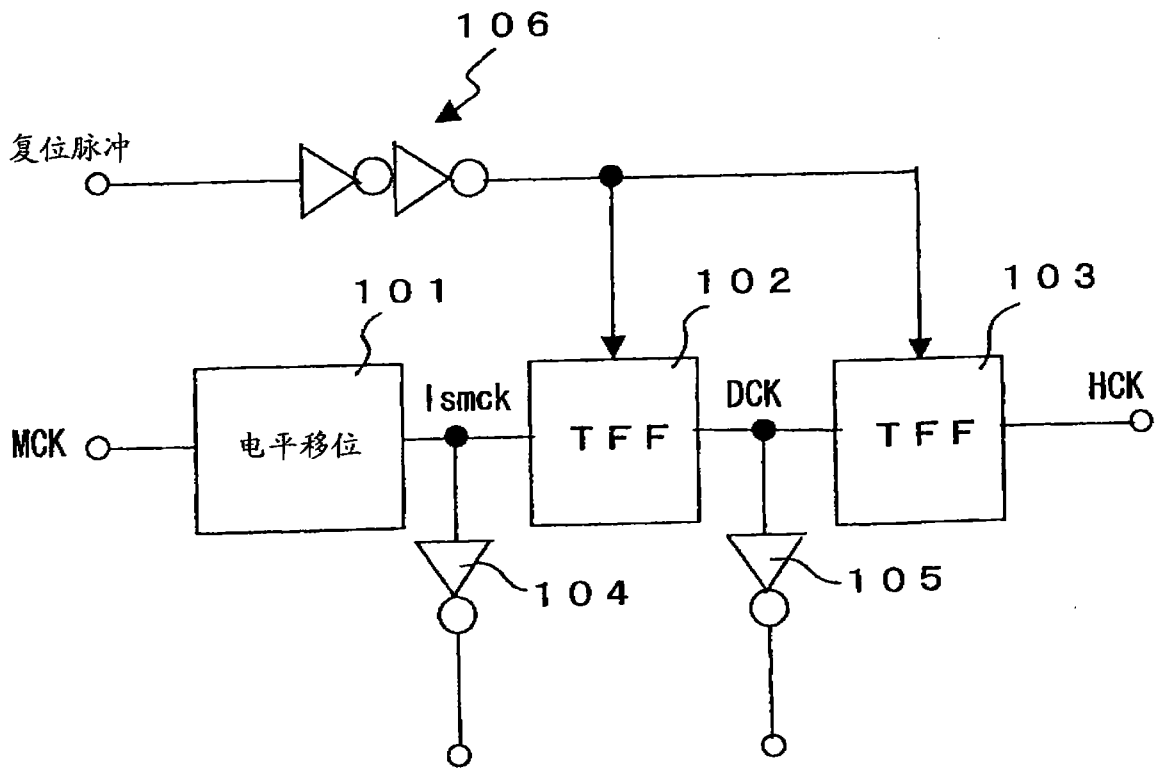


图 7

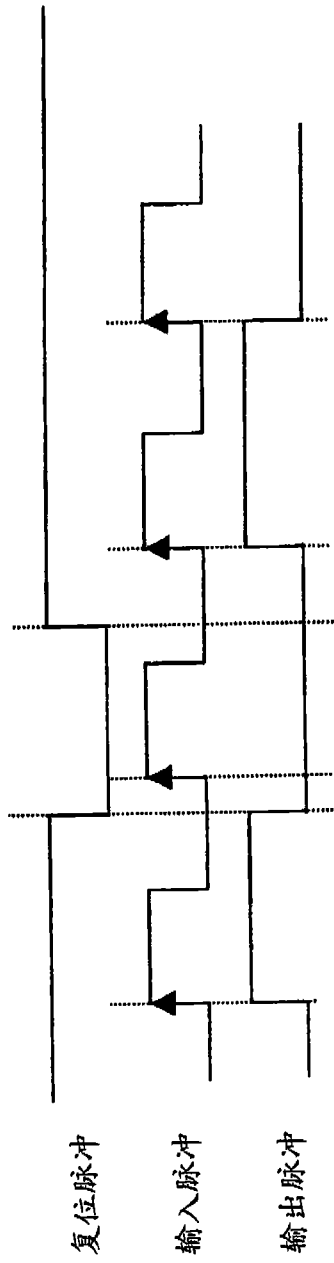


图 8A

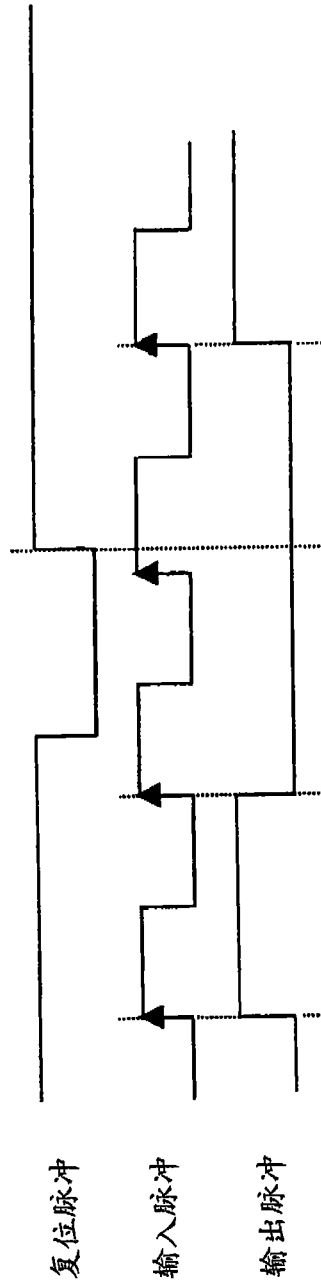


图 8B