

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4713884号
(P4713884)

(45) 発行日 平成23年6月29日(2011.6.29)

(24) 登録日 平成23年4月1日(2011.4.1)

(51) Int.Cl.

F 1

H01L 29/786 (2006.01)
H01L 29/78 (2006.01)H01L 29/78 616V
H01L 29/78 616T
H01L 29/78 618C
H01L 29/78 301X
H01L 29/78 301S

請求項の数 32 (全 20 頁)

(21) 出願番号 特願2004-527994 (P2004-527994)
 (86) (22) 出願日 平成15年8月8日 (2003.8.8)
 (65) 公表番号 特表2005-536047 (P2005-536047A)
 (43) 公表日 平成17年11月24日 (2005.11.24)
 (86) 國際出願番号 PCT/US2003/025057
 (87) 國際公開番号 WO2004/015782
 (87) 國際公開日 平成16年2月19日 (2004.2.19)
 審査請求日 平成18年8月8日 (2006.8.8)
 (31) 優先権主張番号 10/217,758
 (32) 優先日 平成14年8月12日 (2002.8.12)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 10/342,576
 (32) 優先日 平成15年1月14日 (2003.1.14)
 (33) 優先権主張国 米国(US)

(73) 特許権者 501410193
 エイコーン・テクノロジーズ・インコーポ
 レーテッド
 アメリカ合衆国・90272・カリフォル
 ニア州・パシフィック パリセイズ・アル
 マ リアル ドライブ・881・スイート
 305
 (74) 代理人 100064621
 弁理士 山川 政樹
 (74) 代理人 100098394
 弁理士 山川 茂樹
 (72) 発明者 グループ、ダニエル・イー
 アメリカ合衆国・94306-1127・
 カリフォルニア州・パロアルト レンド
 アベニュー・334

最終頁に続く

(54) 【発明の名称】チャネルに対するパッシブ・ショットキー障壁を有する絶縁ゲート型電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

(i) チャネル内のコンダクタンスを制御するよう構成されたゲートの近くおよび(ii)少なくとも一方が金属で作製されているソースとドレインとの間の電気経路内に配置された半導体チャネルを含むトランジスタであって、当該チャネルと、金属で作製されている当該ソースおよび/または当該ドレインのどちらかとが、チャネル-界面層-ソース/ドレイン接合を形成するように、前記半導体チャネルに共有結合される界面層によって分離されており、当該接合の近くの領域内では半導体チャネルのフェルミ準位がピン止め解除され、この接合はパッシブにされた半導体表面を有すると共に当該接合が約1000- μm^2 未満の固有接触抵抗を有するものであるトランジスタ。

【請求項 2】

前記半導体チャネルが、Si、Ge、SiGe、SiGeC、またはSiCの1つで作製される請求項1に記載のトランジスタ。

【請求項 3】

前記金属が、純粋な金属、合金、または高融点金属の1つを含む請求項1に記載のトランジスタ。

【請求項 4】

前記金属がアルミニウムを含む請求項1に記載のトランジスタ。

【請求項 5】

前記固有接触抵抗が約100- μm^2 以下である請求項1に記載のトランジスタ。

10

20

【請求項 6】

前記固有接触抵抗が約 $50 \text{ } \mu \text{m}^2$ 以下である請求項 1 に記載のトランジスタ。

【請求項 7】

前記固有接触抵抗が約 $10 \text{ } \mu \text{m}^2$ 以下である請求項 1 に記載のトランジスタ。

【請求項 8】

前記固有接触抵抗が約 $1 \text{ } \mu \text{m}^2$ 以下である請求項 1 に記載のトランジスタ。

【請求項 9】

前記界面層がパッシブ材料を含む請求項 1 に記載のトランジスタ。

【請求項 10】

前記パッシブ材料が、前記チャネルの半導体の窒化物、前記チャネルの半導体のフッ化物、前記チャネルの半導体の酸化物、前記チャネルの半導体の酸窒化物、前記チャネルの半導体の水素化物、および / または前記チャネルの半導体のヒ化物の 1 つまたは複数を含む請求項 9 に記載のトランジスタ。10

【請求項 11】

半導体チャネル表面の化学的安定性が実現されるよう、前記界面層が、本質的に当該半導体チャネル表面の十分なダングリング・ボンドを終結させるのに十分な量のパッシブ材料からなる請求項 10 に記載のトランジスタ。

【請求項 12】

前記界面層が、本質的に、前記チャネルの半導体のフェルミ準位をピン止め解除するよう構成された単層からなる請求項 10 に記載のトランジスタ。20

【請求項 13】

前記界面層が、前記半導体チャネルの金属誘起ギャップ状態の影響を低減させるのに十分な厚さを有する請求項 12 に記載のトランジスタ。

【請求項 14】

前記界面層が分離層をさらに含む請求項 9 に記載のトランジスタ。

【請求項 15】

前記分離層が、前記半導体チャネルの金属誘起ギャップ状態の影響を低減させるのに十分な厚さを有する請求項 14 に記載のトランジスタ。

【請求項 16】

前記半導体チャネルが誘電体によってゲートから分離される請求項 1 に記載のトランジスタ。30

【請求項 17】

ゲートの近くでありかつ少なくとも一方が金属で作製されるソースとドレインとの間の電気経路内に配置された半導体チャネルを有するトランジスタであって、当該チャネルと、金属で作製されている当該ソースおよび / または当該ドレインのどちらかとが、チャネル - 界面層 - ソース / ドレイン接合を形成するように、前記半導体チャネルに共有結合される界面層によって分離されており、当該接合の近くの領域内では半導体チャネルのフェルミ準位がピン止め解除されこの接合はパッシブにされた半導体表面を有すると共に当該接合が約 $1000 \text{ } \mu \text{m}^2$ 未満の固有接触抵抗を有するトランジスタに結合された回路を含む電気システム。40

【請求項 18】

前記半導体チャネルが誘電体によって前記ゲートから分離している請求項 17 に記載の電気システム。

【請求項 19】

前記固有接触抵抗が約 $100 \text{ } \mu \text{m}^2$ 以下である請求項 18 に記載の電気システム。

【請求項 20】

前記固有接触抵抗が約 $50 \text{ } \mu \text{m}^2$ 以下である請求項 18 に記載の電気システム。

【請求項 21】

前記固有接触抵抗が約 $10 \text{ } \mu \text{m}^2$ 以下である請求項 18 に記載の電気システム。

【請求項 22】

前記固有接触抵抗が約 $1 - \mu \text{m}^2$ 以下である請求項 1 8 に記載の電気システム。

【請求項 2 3】

前記半導体チャネルが、 Si、 Ge、 SiGe、 SiGeC、または SiC の 1 つで作製される請求項 1 8 に記載の電気システム。

【請求項 2 4】

前記界面層がパッシブ材料を含む請求項 1 8 に記載の電気システム。

【請求項 2 5】

前記界面層が、前記パッシブ材料とは異なる材料を含んだ分離層を含む請求項 2 4 に記載の電気システム。

【請求項 2 6】

前記界面層が、前記半導体チャネルの金属誘起ギャップ状態の影響を低減させるのに十分な厚さを有する請求項 2 4 に記載の電気システム。

【請求項 2 7】

前記界面層が、前記接合の近くの領域で前記半導体チャネルの表面の化学的安定性を実現するために、前記半導体チャネルのすべてのまたは十分な数のダングリング・ボンドを終結させるのに十分な量のパッシブ材料を含む請求項 2 4 に記載の電気システム。

【請求項 2 8】

パッシブ材料の量が単層を構成する請求項 2 7 に記載の電気システム。

【請求項 2 9】

ソースおよび / 又はドレイン内の金属は半導体チャネルの 価電子帯 に近い仕事関数を有する請求項 1 記載のトランジスタ。

【請求項 3 0】

ソースおよび / 又はドレイン内の金属は半導体チャネルの 価電子帯 に近い仕事関数を有する請求項 1 記載のトランジスタ。

【請求項 3 1】

ソースおよび / 又はドレイン内の金属は半導体チャネルの 価電子帯 に近い仕事関数を有する請求項 1 7 記載の電気システム。

【請求項 3 2】

ソースおよび / 又はドレイン内の金属は半導体チャネルの 価電子帯 に近い仕事関数を有する請求項 1 7 記載の電気システム。

【発明の詳細な説明】

【関連出願】

【0 0 0 1】

(関連出願)

本願は、2002年8月12日に出願されかつ本願と同じ譲受人に譲受された、 Daniel Grupp および Daniel J. Connolly による「Method for Depinning the Fermi Level of a Semiconductor at an Electrical Junction and Devices Incorporating Such Junctions」という名称の、同時継続の米国特許出願第 10/217758 号の一部継続出願である。本特許出願は、その全体を参照により本明細書に援用する。

【技術分野】

【0 0 0 2】

本発明は、一般に、固体のスイッチング・デバイスおよび増幅デバイスに関する。より詳細には、本発明は、ソースからチャネルまでおよび / またはチャネルからドレインまでパッシブト金属 - 半導体接合を有し、その領域ではチャネルを含む半導体のフェルミ準位がピン止め解除 (depinned) されるトランジスタに関する。

【背景技術】

【0 0 0 3】

現代のデバイスで使用される最も基本的な電気接合の 1 つは、金属 - 半導体接合である

10

20

30

40

50

。これらの接合では、金属（アルミニウムなど）を半導体（ケイ素など）に接触させる。これは、本質的に整流可能なデバイス（ダイオード）を形成し、すなわちその接合は、電流を他の方向よりも1つの方向に有利に伝え易くなる。その他の場合では、使用される材料に応じて、接合部の性質をオーム性にすることができる（すなわち接点は、電流が流れる方向に関わらず無視し得る抵抗を有するものでよい）。ダイオードの他に、そのような金属・半導体接合は、MOSFET（金属酸化物半導体電界効果トランジスタ）として知られる種類のトランジスタ内にあるソース／ドレイン・チャネル界面にも存在する。

【0004】

上記引用した特許出願で説明されるように、金属・半導体の接点には、いわゆるショットキー障壁が存在する。従来の金属・半導体接合部にあるショットキー障壁は、外因性および真性の表面状態に起因した半導体のフェルミ準位のピン止めを特徴とする。外因性の状態は、界面の結晶構造の欠陥から生ずると考えられる。真性の状態は、金属内の電子が半導体のバンドギャップ内に量子力学的に侵入することから生ずる。これらのいわゆる金属誘起ギャップ状態（MIGS）は、そのような物理学的性質を説明する際に、根本的に重要なものである。J. Tersoff, 'Schottky Barrier Heights and the Continuum of Gap States', Phys. Rev. Lett. 52 (6), 1984年2月6日を参照されたい。

10

【0005】

金属・半導体界面でのショットキー障壁の高さは、接合部の電気的性質を決定する。そのため、金属・半導体接合の障壁高さを制御したまでは調節することが可能であるなら、所望の特徴をもつ電気デバイスを製造することができる。障壁高さを調整するには、半導体のフェルミ準位をピン止め解除しなければならない。上記引用した特許出願で詳細に論じられるように、本発明者等は、金属と半導体との間に依然として十分な電流を流すことが可能なデバイスにおいて、この目標を達成した。以下に、本発明者等は、この技術のMOSFETデバイスへの適用を提示する。

20

【0006】

ショットキー接合を組み込んだMOSFETは、長くしかも実りのない歴史を持つ。1966年に、LepeselterおよびKahngはショットキー・ダイオードについて調査をした。その年に、彼らは、PtSi/Si界面を備えるデバイスを対象とした米国特許第3290127号を受けた。ケイ化物を使用することは、以前の金属／Si接点よりも優れた改善点であることがわかった。このダイオードは、再現可能でありかつ安定であったが、それは一部には、当時本発明者等が述べたように界面が封止されたためであった。ケイ化物は、外因性の表面状態（欠陥）を減少させることもできる。残りのピン止めは、ほとんどが真性の表面状態（MIGS）に起因するものと考えられるが、これは当時理解されなかった。その後間もなく、LepeselterおよびSzeはショットキー障壁をMOEFETに組み込んだ（M. P. LepeselterおよびS. M. Sze, 'SB-IGFET: An insulated-gate field-effect transistor using Schottky barrier contact as source and drain', Proc. IEEE 56, 1088 (1968) 参照）。Lepeselterの米国特許第3590471号は、ショットキー障壁の組込みについて論じているが、チャネルは依然として、打込み領域によって本質的に分離されたままであった。ショットキー障壁により分離されたチャネルに関する第1の特許（米国特許第3708360号）は、1973年にWakefieldおよびCunninghamに発行された。このデバイスも、ケイ化物による接合を利用した。

30

【0007】

米国特許第4300152号では、Lepeselterがショットキー障壁MOSFETについて述べている。ソース・基板領域のpn接合を排除することによって、Lepeselterは、ラッチアップを引き起こす寄生pnnpn構造を排除できることを示した。しかし提案されたデバイスは、依然としてソースおよびドレインの金属にPtSiを利用していた。

40

50

【0008】

Lep sel ter の初期の研究の延長が、Koeneke 他の米国特許第 4 4 8 5 5 5 0 号に見出される。これらのデバイスでは、ソース金属を超えて延びるように余分な打込みを加える。これは、現代の CMOS ハロー・インプラントに類似している。余分な打込みにより、チャネル・エッジがゲートの下に来るので、トランジスタの駆動電流量が向上する。このデバイスにおけるチャネルの分離は $p-n$ 接合からであり、PtSi ソース金属からではない。ゲートの下にソースをもって来る試みは、エッティングによってソース／ドレイン・コンタクトをリセス形成することにより調査した (C. J. Koeneke 他、「Schottky MOSFET for VLSI」、IEDM、367 (1981) 参照)。しかし側壁スペーサは、依然として制限要因であった。これは、米国特許第 6 3 0 3 4 7 9 号に記載されるように Snyder によって改善されたものであるが、この特許は、水平プロフィルの制御とは無関係に垂直ドーピング・プロフィルを制御できることも開示している。コンタクトは、やはり PtSi で作製された。

【0009】

Chan 他の米国特許第 6 0 9 6 5 9 0 号は、PtSi / Si 接合がリセス形成されていないデバイスについて述べている。これにより、チャネル・エッジでのゲートの結合の減少から不十分な閾値下勾配が得られる。この特許に提示される測定値には、ショットキ－障壁が高すぎることを示す指数関数的なターンオンが見られる。さらに、ゲート - ソース容量が高くなる。

【発明の開示】

【発明が解決しようとする課題】

【0010】

最近、ソース／ドレインとチャネルとの間に金属 - 半導体接合を有する MOSFET デバイス、すなわちチャネル長が 50 nm 未満であり、ソース／ドレイン金属として PtSi₂ (例えは C. Wang 他、「Sub-40 nm PtSi Schottky source/drain metal-oxide field-effect transistors」、Appl. Phys. Lett. 74、1174 (1999) ; および A. Itoh 他、「A 25-nm-long channel metal-gate p-type Schottky source/drain metal-oxide-semiconductor field-effect transistor on separation-by-implanted-oxygen substrate」、J. Journal Appl. Phys. Part 1 39、4757 (2000) 参照) 、ErSi₂ (例えは J. Kedzierski 他、「Complementary silicide source/drain thin-body MOSFETs for the 20 nm gate length regime」、IEDM Tech. Dig., International Electron Devices Meeting 2000, San Francisco, CA, p. 00~57 (2000) ; および W. Saitoh 他、「Analysis of short-channel Schottky source/drain metal-oxide-semiconductor field-effect transistors on silicon-on-insulator substrate and demonstration of sub-50-nm n-type devices with metal gate」、J. Journal Appl. Phys. Part 138、6226 (1999) 参照) 、および CoSi₂ (例えは U. K. Matsuzawa 他、「Enhancement of hot-electron generation rate in Schottky source metal-oxide-semiconductor field-effect transistors」、Appl. Phys. Lett. 76、3992 (2000) 参照) を使用したものが実証されている。また、チャネル長 10 nm までのあらゆる段階でシミュレーションが行われたが (例えは C. K. Huang 他、「Two-dimensional

10

20

30

40

50

l numerical simulation of Schottky barrier MOSFET with channel length to 10 nm」、IEEE Trans. on Elect. Dev. 45、842 (1998) 参照)、デバイスのパラメータの選択肢が乏しいので性能結果が制限され、例えば B が大きかった。これらデバイスのすべての性能は、チャネルに対するソースとドレインの界面でのショットキー障壁の高さが制御不可能であることによって制約を受け、特にその障壁高さを下げることができないので制約を受ける。

【0011】

ショットキー障壁MOSFETでは、非ケイ化物純金属 / Siコンタクトの実施形態がわずか2つしか開示されていないことを、本発明者等は見出した。Welchの米国特許第5663584号は、ショットキー障壁MOSFETシステムとその製作について述べているが、「金属または金属ケイ化物」のコンタクトについて述べている。これは、制御された障壁高さを持つデバイスの政策には不適当である。すなわち、表面処理または界面誘電体について開示されていない。

【0012】

米国特許第5801398号でのHebiguchiiによる開示はおそらくより実用的であり、ディスプレイに使用されるような薄膜トランジスタの製造方法が提示されている。このデバイス(電界効果トランジスタまたはFET)では、Siチャネルに対するソース/ドレイン・コンタクトが金属であるが(可能性あるもののリストを提示されている)、やはり表面処理については記載されていない。

【0013】

図1は、Hebiguchiiにより論じられたFET 100を示す。トランジスタは、ガラス基板110、ゲート電極120、ゲート絶縁膜130、ドレイン電極140、ソース電極150、および半導体活性膜160を含む。動作中は、電圧をソース電極150とゲート電極120に印加する。ゲート電極120に印加される電圧によって、半導体活性膜160の電気特性が変化し、電流がソース電極150からドレイン電極140へと流れる。特に、ゲート電極120に印加される電圧は、ゲート絶縁膜130から短い距離しか離れていない半導体活性膜160内にチャネル発生領域170を生成し、その内部を電流が流れることができる。

【0014】

Hebiguchiiは、半導体活性膜160が水素化アモルファス・シリコンであると述べてあり、ドドレイン、ソース電極140、150は、クロム(Cr)やアルミニウム(Al)、タンタル(Ta)、白金(Pt)、金(Au)、タングステン(W)、ニッケル(Ni)、モリブデン(Mo)、またはこれらの材料のある特定の混合物などの導電性材料(金属)で形成され、半導体活性膜160とソース、ドレイン電極150、140との間の接合は、絶縁ショットキー障壁である。n-チャネル薄膜トランジスタ用に選択される金属は、ケイ素よりも小さい仕事関数を有することに基づいて選択され、p-チャネル薄膜トランジスタ用に選択される金属は、ケイ素よりも大きい仕事関数を有する。

【0015】

Hebiguchiiが論じたトランジスタに関する著しい制約とは、ショットキー障壁高さの制御が一般に不十分であることである。周知のように、広く様々な仕事関数を有する種々の金属を使用すると、劇的に狭くなった範囲内でその高さが様々なショットキー障壁になり易い。さらにHebiguchiiは、外因性表面状態の制御または減少に関して何の努力もしていない。

【0016】

チャネルとの接合の別のタイプは、米国特許第6037605号においてYoshimuraにより導入されているが、主張されている目標は、短チャネル効果を低減させることである。酸化物または窒化物を、Siのソース、ドレイン・コンタクトとSiチャネルとの間に堆積させる。酸化物は、チャネルから離れるほど(Si内を低下する)厚くなり、ゲートによって制御されない電流を低下させる。酸化物の厚さは、「電荷のトンネル効

10

20

30

40

50

果が得られるよう十分に薄く」、0.5~2.0 nmであることが開示されている。これは、いくつかの方法において、例えば金属とは対照的にSiをソース／ドレインとして使用するなど、以下に詳細に述べる本発明とは異なっている。

【課題を解決するための手段】

【0017】

トランジスタは、ゲートの近くに配置され（例えばそこから誘電体によって分離されている）かつソースとドレインとの間の電気経路内に配置された半導体チャネルを含み、このチャネルとソースまたはドレインの少なくとも1つとは、チャネル-界面層-ソース／ドレイン接合が形成されるように界面層によって分離されているが、この接合部では、半導体チャネルのフェルミ準位が接合部近くの領域内でピン止め解除され、かつその接合部が約1000 - μm^2 未満の固有接触抵抗を有している。界面層は、チャネルの半導体の窒化物やフッ化物、酸化物、酸窒化物、水素化物および／またはヒ化物などの、パッシブ材料を含んでよい。場合によっては界面層は、本質的に、チャネルの半導体のフェルミ準位がピン止め解除されるように構成された単層、あるいは、表面の化学安定性が実現されるように、半導体チャネルのすべてのまたは十分な数のダングリング・ボンドを終結させるのに十分な量のパッシブ材料からなる。また、界面層は、パッシブ材料とは異なる材料の分離層を含んでよい。分離層を使用する場合、その厚さは、半導体チャネルの真性表面状態の影響を低減させるのに十分な厚さである。

【0018】

本発明を、添付図面のそれぞれの図において限定ではなく例示として示すが、同様の参考番号は同様の要素を指している。

【発明を実施するための最良の形態】

【0019】

上記引用した同時係属出願は、金属-半導体接合部でシリコン・ベースまたはゲルマニウム半導体（例えばSi、SiC、SiGe、SiGeC、またはGe）のフェルミ準位をピン止め解除するためのプロセス、ならびにそのような接合部を使用するデバイスについて述べている。その出願でさらに十分に論じられるように、半導体と金属との間には界面層が導入されている。界面層は、半導体表面をパッシブにするように（すなわち表面の化学安定性を確実にするために、通常なら半導体表面に存在する可能性のあるダングリング・ボンドを終結させる）、かつMIGSの作用を低減させるため金属から半導体を離すように機能する。

【0020】

以下により十分に論じるように、本発明は、金属-界面層-半導体接合が形成されるよう、金属とシリコン・ベースまたはゲルマニウム半導体（例えばSi、SiC、SiGe、SiGeC、またはGe）との間に配置した薄い界面層に対して、対応する最小の固有接触抵抗が存在することを決定した。実際に、本発明によるそのような接合では、約1000 - μm^2 以下、または約100 - μm^2 以下、または約50 - μm^2 以下、または約10 - μm^2 以下、または約1 - μm^2 以下の最小の固有接触抵抗を実現することができる。そのような低い接触抵抗を実現するには、n-型半導体の場合はその半導体の伝導帯付近の仕事関数を有する金属、またはp-型半導体の場合は価電子帯付近の仕事関数を有する金属を選択する。

【0021】

そのような金属を使用することの効果（および使用する理由）は、図8を参照することによって理解される。この図には2×2の格子状にバンド図が示されている。上部の2つの図は、トンネル障壁（本発明により構成された界面層の形で）と、種々のゲート電圧下で仕事関数を半導体チャネルの伝導帯に合わせた金属ソース／ドレインとを有するn-型デバイスの動作を示す。ゲート・ソース間の電圧（V_{GS}）が0であるとき、デバイスはOFFである（すなわち電流は流れていらない）ことに留意されたい。V_{GS} > 0のとき、デバイスはONである（すなわち電流が流れる）。下部の2つの図は、仕事関数を半導体チャネルのミッドギャップに合わせた金属ソース／ドレインを有するn-型デバイスの動作を

10

20

30

40

50

示す。ON状態がON（すなわち $V_{GS} > 0$ ）になったとしても、バンドの曲がりが原因で電流に対する障壁が存在することに留意されたい。この結果、接触抵抗が高くなる。

【0022】

上記引用した特許出願に記載されている界面層は、以下に論じるように、FETのチャネルの半導体表面に関連付けて使用することができる。すなわち界面層を、絶縁ゲート電界効果トランジスタのソースとチャネルの間、チャネルとドレインの間、またはその両方に配置することができる。そのような界面層の使用について、本明細書で詳細に述べる。本発明は、使用する半導体材料および金属のタイプに応じて、ソースおよび／またはドレイン金属のフェルミ準位を半導体の伝導帯または価電子帯に合わせた（またはほぼ合わせた）、ソース・チャネルおよび／またはチャネル・ドレイン・コンタクトを提供する。

10

【0023】

さらに、本発明の接合は、ソースまたはドレイン埋込みウェルへのコンタクトを作製する際に使用することができ、高ドーピング・レベル（現在では固体溶解度の限界に達している）の必要性を低下させる利点を有する。高ドーピング・プロファイルは、これまで、トンネル電流が増大するように、したがって接合抵抗が低下するように、接合空乏層を比較的薄く保つのに必要であった。しかし、低抵抗接合とするためにドーピング・プロファイルを増大させることは、徐々に困難になりつつある。本発明を使用することによって、より低いドーピング濃度で同じ抵抗レベルに到達することが可能である。さらに、より低いドーピング濃度であっても非常に低い抵抗を実現することが可能である。本発明を高ドーピング・レベルで使用する場合、抵抗はさらに低下する。

20

【0024】

本発明の理解を助けるため、以下に、現時点で好ましい本発明の実施形態を特に詳細に説明する。しかし本発明は、例えば半導体、パッシブ層、および／または伝導体に関して本明細書で述べるものとの代わりに周知の均等な材料を使用することによって、これらの特定の詳細の一部を含むことなく実施できることが、当業者に明らかにされよう。論じられる内容が周知の構造やデバイスを指す場合、一部には広範なそのような構造やデバイスに対する本発明の広範な適用可能性を実証するために、プロック図を使用する。

【0025】

本発明は、ショットキー障壁トランジスタ内の、チャネル表面などの半導体表面をパッシブにするスキームを考案した。このスキームでは、チャネルを構成する半導体の窒化物、水素化物、酸化物、ヒ化物、および／またはフッ化物であるパッシブ層を形成する。場合によっては（例えばパッシブ層が、チャネルの半導体の水素化物またはフッ化物であるとき）、半導体チャネルの真性表面状態の効果を低減させたために、半導体と金属ソース／ドレインとの間に分離層を含むことが必要である。界面層という用語は、パッシブ層のみを含むもの、また分離層が適切である場合にはそのような分離層と組み合わせたパッシブ層を含むものに、本発明に関連して使用される。

30

【0026】

界面層は、半導体チャネル表面を化学的に中性にし、物理的に保護する。また界面層によって、表面特性ではなくチャネル半導体やソース／ドレイン金属のバルク特性に応じた高さを有する調整可能なショットキー障壁も可能になる。このため、トランジスタに望まれる動作特性に一致した障壁高さを広く制御することが可能になる。このスキームでは、界面層に使用されるパッシブ材料が、半導体チャネルとのケイ化物を容易に形成する金属に限定されず、その点が、チャネル表面を絶縁し調節可能なショットキー障壁を提供するための他者によるこれまでの試みとは異なっている。言い換えれば、本発明によれば、半導体パッシバーションの必要性と、特定の仕事関数が望まれるようなソース／ドレイン金属を選択するのに使用されるその他の考慮事項とが切り離される。さらに、以前可能であったよりも広くショットキー障壁高さを制御することができる。

40

【0027】

I. 例示的なトランジスタ

図2は、基板210（例えばSiなどの半導体基板またはSOIなどの化合物半導体）

50

上に形成され、本発明の実施形態により構成されたトランジスタ 200 を示す。トランジスタ 200 は、パッシブト・ショットキー障壁をそれぞれ形成する界面層 230、240 によって、それぞれソース 250 とドレイン 260 から分離されたチャネル 220 を含む。スイッチング・デバイスの一例である、図示される特定のトランジスタ 200 は、絶縁ゲート FET である。界面層 230、240 は、チャネル表面を化学的に安定にすることによって、ソース / ドレイン - チャネル接合領域内のチャネル 220 の表面をパッシブにする。また界面層 230、240 は、チャネル 220 からソース / ドレイン (250 / 260) を離して配置することにより、ソース / ドレイン - チャネル接合領域での MIG の作用を低減させまたはなくす。半導体チャネル 220 と金属ソース / ドレイン 250 / 260 との間に界面層 230、240 を導入する結果、チャネル 220 を構成する半導体のフェルミ準位がピン止め解除される。半導体のフェルミ準位がピン止め解除された場合、ショットキー障壁の高さは、接合部に接触している金属と半導体とのバルク仕事関数の差にのみ左右され、界面には左右されないことになる。フェルミ準位をピン止めする MIGS の効果が低減するか否かは、界面誘電体に何を選択するかに左右される。金属と誘電体との界面には MIGS が存在することになる。一般に誘電体は、主により大きいバンドギャップが原因で、半導体よりも非常に弱い MIGS を有する。したがって、ショットキー障壁接合の最終電気特性を決定する際、誘電体に何を選択するかが重要である。

【0028】

トランジスタ 200 は、絶縁体 280 に取り囲まれたゲート 270 も含む。ゲート、ソース、ドレインという用語はそれぞれ、3 端子絶縁ゲート FET の端子を指す。ソース 250 とドレイン 260 は、ゲート 270 への印加電圧から得られた電界の影響を受けて、それらの間で伝導が生ずる端子である。ソース 250 とドレイン 260 は、それぞれチャネル 220 の両側に設けられ、その結果チャネル 220 は、ソース 250 とドレイン 260 との間に配置されることになる。しばしば、本発明の要件ではないが、ソース 250 とドレイン 260 は、それらが幾何学的に対称になるよう製作される。対称的なソースとドレイン端子は、ソース / ドレイン端子と呼ぶこともできる。特定の端子は、FET が電気回路内で動作するときにその端子に印加される電圧に基づいて、ソースまたはドレインと指定することができる。図示される特定のトランジスタ 200 では、ソース 250 がチャネル 220 の左側に設けられ、ドレイン 260 がチャネル 220 の右側に設けられているが、ソース 250 とドレイン 260 とが置き換わった状態の別の実施形態が考えられる。

【0029】

ソース 250 とドレイン 260 は、それぞれ伝導体、好ましくは金属を含んでよい。使用することのできる金属の例には、純粋な金属、合金、高融点金属、ケイ化物を形成しない金属、さらには所定の仕事関数を有する金属が含まれる。金属などの伝導体を好ましくは含有してもよいゲート 270 は、チャネル 220 の上方に位置付けられ、絶縁体 280 を介してチャネル 220 に容量結合される。その他の実施形態では、トランジスタの 3 つの端子を同一平面に存在させることができ、またはゲート 270 を、ソース 250 および / またはドレイン 260 のレベルよりも低い基板 210 内に配置できることに留意されたい。

【0030】

絶縁体 280 (金属ゲートの酸化物や半導体の酸化物などの誘電体で作製することができる) はゲート 270 を取り囲み、ゲート 270 を、ソース 250、ドレイン 260、チャネル 220、界面層 230、240 から分離する。絶縁体 280 は、ゲート 270 とチャネル 220 との間に本質的に電流が流れないように、ゲート 270 とチャネル 220 との間に高抵抗をもたらすのに十分な厚さのものである。例えば抵抗は、約 10^8 オームから約 10^{12} オームの間、またはそれ以上でよい。そのような抵抗により、ゲート 270 とチャネル 220 は容量結合となり、電流がゲート 270 とチャネル 220 との間に流れないようになる。

【0031】

絶縁体 280 は、二酸化ケイ素よりも高い誘電率 (すなわち約 4.0 よりも高い) を有

10

20

30

40

50

する高 k 誘電体材料をさらに、または代替として含むことができる。高 k 材料により、ゲート 270 下のチャネル 220 に誘発される同じ電荷を、より厚い層内で同じゲート電圧で実現することが可能になる。すなわち、より高い誘電率であると、絶縁体 280 は、これと同じ絶縁量をもたらす対応する二酸化ケイ素層よりも、厚い層を持つことが可能になる。厚さが増大することにより、トランジスタ 200 の製作を簡単にすることができます。より厚い層では、より薄い SiO_2 層よりも漏れ電流を少なくすることもできる。考えられる例示的な高 k 誘電体材料には、約 4 よりも大きい誘電率（例えば酸化亜鉛、 ZnO ）、約 10 よりも大きい誘電率（例えば酸化アルミニウム、 Al_2O_3 ）、約 20 よりも大きい誘電率（例えば酸化ジルコニウム、 ZrO_2 ）、約 40 よりも大きい誘電率（例えば酸化ハフニウム、 HfO ）を有する材料が含まれる。

10

【0032】

上記論じたように、チャネル 220 は半導体材料を含有する。半導体という用語は、約 0.1 電子ボルトよりも大きくかつ約 4 電子ボルト未満であるバンドギャップを有する材料を指すのに使用する。考えられる例示的な半導体には、 Si 、 Ge 、 $SiGe$ 、または SiC が含まれる。半導体材料は、まったくドーピングしないものも含めた広範囲にわたるドーピング・レベルを有してよい。界面層 230、240 のそれぞれは、半導体原子に完全に配位結合しあつそれによって半導体原子のパッシベーションを助けることができるよう、表面半導体原子のダンギリング・ボンドとの共有結合によってチャネル 220 にパッシベーションをもたらすパッシブ材料を含有する。パッシブ材料は、半導体チャネル 220 の水素化物、窒化物、ヒ化物、フッ化物からなる群から選択することが好ましい。選択されるパッシブ材料に応じて（例えば H 、 As 、または F をパッシブ材料として使用する場合）、界面層 230、240 内にはパッシブ層のほかに分離層が必要になる可能性がある。当然ながら、パッシブ層と分離層とを組み合わせたものは、上記引用した特許出願に記載される低い固有接触抵抗が可能になるように、十分薄くなければならない。界面層の形成に関するさらなる詳細は、上記引用した特許出願に見出すことができ、したがつて本明細書では繰り返さない。

20

【0033】

II. チャネルに対してパッシブト・ショットキー障壁を有するトランジスタの製作

図 3 は、本発明の一実施形態による、ソースからチャネルまでとチャネルからドレインまでにパッシブト金属 - 半導体接合を有するトランジスタを製作するための方法 300 を示す。この方法は、ブロック 301 から開始し、次いで基板を準備するブロック 310 に進む。ブロック 320 では、絶縁ゲート構造を基板上に形成する。絶縁ゲート構造は、導電性材料（例えば金属）を有するゲートと、この導電性材料の下に絶縁材料を有するゲート絶縁体とを含んでいる。次いでブロック 330 では、チャネルを絶縁ゲートの下に形成する。このチャネルは、ゲート誘電体の下に在りかつこの絶縁ゲート構造の両端に向かってチャネル内を延びるアンダーカット・ボイド領域を含んでよい。この方法はブロック 340 に進み、界面層をチャネル側面に形成する。界面層の形成は、上記論じた材料の 1つまたは複数を使用して、パッシブ層と（必要な場合には）分離層を生成することを含んでいる。次いで方法はブロック 350 に進み、ソースとドレインを、アンダーカット領域内で界面層を含めたチャネルの両側にそれぞれ形成する。界面層の厚さと堅牢性に応じ、実質的に非侵襲的な手法によってソースとドレインを形成することができる。この方法は、ブロック 360 で終了する。

30

【0034】

代替の手順は、上述のアンダーカットを使用しない。代わりに「アンダーラップ」がある。すなわち、この代替のプロセスでは、ゲートがチャネルの下に一部重なるように、ゲートの幅をチャネルの幅よりも意図的に狭く作製する。

40

【0035】

III. トランジスタを製作するための例示的なプロセス

図 4A ~ I は、本発明の一実施形態による、図 4I に示すトランジスタの製作を表す中間における基板を示す。図 4I に示す特定のトランジスタは、アルミニウム・ソース 49

50

2 I からシリコン・チャネル 4 3 0 I までとシリコン・チャネル 4 3 0 I からアルミニウム・ドレイン 4 9 4 I まで形成されたパッシブト・アルミニウム・シリコン接合 4 8 2 I 、 4 8 4 I を含む。しかしこれは、本発明により構成されたトランジスタの単なる一例である。例えば、ゲート、ソース、ドレインが基板内でまたは基板上で同一平面内にあるブレーナー・デバイスも、ゲートがソースおよび / またはドレインの下の面内に配置された実施形態と同様に、本発明の範囲内である。同様に、ゲートの幅がチャネルの幅よりも狭い実施形態も本発明に含まれる。

【 0 0 3 6 】

したがって図 4 A ~ I は、方法 3 0 0 によりトランジスタを製作する一実施形態を示す。図 4 A ~ 4 C は、基板を準備し、その基板上に絶縁ゲートを形成する状態を示す。図 4 D ~ 4 E は、絶縁ゲートの下にチャネルを形成する状態、すなわちこのチャネルと絶縁ゲートが、絶縁ゲートの第 1 、第 2 の側面からチャネル内に向かって絶縁ゲートの下を延びる第 1 、第 2 のアンダーカット・ポイド領域を区画するようにチャネルを形成する状態を示す。図 4 G は、チャネルの露出面に界面層を形成する状態を示す。最後に図 4 F 、 4 G 、 4 H は、界面層を含めたチャネルの第 1 、第 2 の側面に、ソースとドレイン端子を形成し、絶縁ゲートの下のアンダーカット・ポイド内に延長チップを形成する状態を示す。

【 0 0 3 7 】

図 4 A は、シリコン基板 4 1 0 A と、埋込みシリコン酸化物層 4 2 0 A と、シリコン・オン・インシュレータ層 4 3 0 A と、シリコン酸化物層 4 4 0 A と、アルミニウム・ゲート 4 5 0 A とを含む、第 1 の中間基板 4 0 0 A を示す。層 4 1 0 A ~ 4 3 0 A は、従来のシリコン・オン・インシュレータ (S O I) 基板を表す。 S O I 基板は、シリコン・オン・インシュレータ内に形成された近接する半導体デバイスの分離を助ける埋込み層 4 4 0 を含む。この分離は、バルク・ウェハに形成された半導体デバイスに比べて短チャネル効果を低減させるのを助けることができる。埋込み酸化物層は、シリコン・オン・インシュレータを分離するのに効果的な厚さを有するものでよく、約 1 0 n m よりも厚くすることが好ましい。シリコン・オン・インシュレータ層は、厚さが約 2 0 n m かまたはやや薄くてよい。

【 0 0 3 8 】

当業者でありかつ本発明の開示の利益を有する者に理解されるように、 S O I 基板は、本発明を限定するものではない。 S O I 基板の代わりにその他の基板が考えられる。例えば、 S O I 基板の代わりにシリコン・オン・サファイヤ基板を使用することができるが、これは製作コストが高くなる可能性があり、または S O I 基板の代わりに普通のシリコン・ウェハを使用することができるが、これは半導体デバイスの電気的絶縁を悪化させ、短チャネル特性が不十分になる可能性がある。

【 0 0 3 9 】

一実施形態では二酸化ケイ素 (S i O ₂) であるシリコン酸化物層 4 4 0 A は、半導体処理の技術分野では一般的なシリコン・オン・インシュレータの湿式酸化または乾式酸化によって形成することができる。この層は、ゲート酸化物としての役割を果たすよう十分に薄くすることができ、その厚さは約 1 n m から約 1 0 n m の間でよい。

【 0 0 4 0 】

アルミニウム・ゲート 4 5 0 A を酸化物 4 4 0 A 上に形成する。アルミニウム・ゲートは、意図されるチャネル長にほぼ等しいかまたはやや大きい幅 4 5 1 A を有し、一実施形態では約 5 0 n m 未満であり、別の実施形態では約 2 0 n m 未満である。チャネル長をわずかに上回るにとどまらない大幅な幅の増大によって、その後に行われるアンダーカット・エッチングの範囲と角度が増大し、それが製作を複雑にする可能性がある。ゲート 4 5 0 A は、酸化物 4 4 0 A 上にアルミニウム層を堆積し、堆積したアルミニウム層上にフォトレジスト層を堆積し、従来の高分解能リソグラフィを使用してフォトレジストに幅 4 5 1 A を含むパターンを露光し、露光パターンに沿ってフォトレジストの一部を除去し、パターニングされたフォトレジストに沿って堆積したアルミニウム層の一部をエッチングし、残されたフォトレジストを除去することによって形成することができる。

10

20

30

40

50

【0041】

図4Bは、アルミニウム・ゲート450Bの上面および側面を含む露出された部分の表面に形成されたアルミニウム酸化物絶縁体460Bを含む、第2の中間基板400Bを示す。アルミニウム酸化物層460Bは、厚さが約1nmから約20nmの間でよい。その厚さは、層440Bの厚さにほぼ等しいかまたはわずかに厚くてよい。厚さが大きいと、ゲートとソースの間の容量が低下することによって性能を改善することができるが、厚さが大きくなると、アンダーカットが増大することによって製作の複雑さが増大する可能性もある。アルミニウム酸化物層460Bの形成は、適切な酸化雰囲気を提供する酸素プラズマ・エッチャ内で、または半導体処理技術の分野で知られているその他の方法によって、アルミニウム・ゲート450Aを酸化することを含んでよい。

10

【0042】

図4Cは、アルミニウム・ゲート450Bまたはアルミニウム酸化物460Bの下にはない層440Bの部分を除去することによって形成された、ゲート酸化物440Cを含む第3の中間基板400Cを示す。この除去は、層440Bマスクとして、酸化したアルミニウム・ゲート450B～460Bを使用すること、および酸化したアルミニウム・ゲート450B～460Bの下にはなくかつ酸化したアルミニウム・ゲート450B～460Bで隠されていない層440Bの部分をエッティングすることを含む。この除去により、ゲート酸化物440C、アルミニウム・ゲート450C、または酸化物460Cの下にはないシリコン・オン・インシュレータ層430Cの部分が露出した状態になる。エッティングには、層440Bの表面に直角なまたは垂直な方向に優先的にエッティングを促進させる反応性イオン・エッティング(RIE)が含まれる。RIEは、無線周波数で駆動する電極上に中間基板400Bを配置し、電位を与え、それによって、プラズマから抽出されたエッティング種のイオン化を助け、エッティングされる表面に向かうイオン衝撃を加速させるドライエッティング・プロセスである。

20

【0043】

図4Dは、実質的にゲート酸化物440Cの下になくかつ隠されていないシリコン・オン・インシュレータ層430Cの部分を除去することによって形成されたシリコン・チャネル430Dを含む第4の中間基板400Dを示す。除去は、水酸化テトラメチルアンモニウム(TMAH)を用いて標準的なSi-100配向を有するシリコン・オン・インシュレータをエッティングし、それによって、図示されるようにゲート450Dに向かって内側に傾斜する角度のついた側壁を成することを含む。あるいは、シリコン・オン・インシュレータがSi-100配向を有する場合には、ゲート酸化物440Dに整合した比較的真っ直ぐな側壁を、TMAH中で自己制御的エッティングにより形成することもできる。そのような比較的真っ直ぐな側壁は、RIEによって形成してもよい。

30

【0044】

図4Eは、ゲート酸化物440Dの下にありかつ整合しているチャネル430Dの部分を除去することによって形成されたアンダーカット・シリコン・チャネル430Eを含む第5の中間基板400Eを示す。アンダーカット・シリコン・チャネル430Eは、後にゲート酸化物440Eの下で垂直方向にソースとドレイン材料を形成することができるよう、ゲート酸化物440Dの左側と右側の縁部でチャネル430Dからシリコンが除去されたアンダーカット領域を含む。除去は、エッティングが側壁に沿って実質的に均一な量で行われる、TMAHを用いた非指向性のすなわち等方性の湿式エッティングで可能である。シリコン・オン・インシュレータの結晶軸がリソグラフィにより精密に配列されない場合、TMAHエッティングが完全に自己制御的なものではなく、結晶構造垂直方向の稜線または階段状のステップに起因するアンダーカットが形成される可能性がある。あるいは除去は、等方性RIEによって行うことができる。

40

【0045】

図4Fは、絶縁ゲートの上面と絶縁ゲートの左側と右側にそれぞれ形成されたシード層476F、472F、474Fを含んだ第6の中間基板400Fを示す。シード層は、後で行われる金属ソースとドレインの形成を促進させる。シード層は、アルミニウム酸化物

50

460 F、ゲート酸化物440 F、またはチャネル430 Fの垂直な側壁に相当なシード層材料が堆積されないように、異方的に堆積させる。これは、シード層部分476 Fをシード層部分472 F、474 Fから電気的に分離するのに望ましい。一実施形態で、シード層は、熱源から堆積されたクロムを含有する。クロムは、所望の電気化学的性質をもたらし、超薄膜の形成に十分適している。

【0046】

図4Gは、絶縁ゲートの上面から層部分476 Fを選択的に除去することによって形成した変性シード層472 G～474 Gを含む第7の中間基板400 Gを示す。部分476 Fの除去は、酸化したアルミニウム・ゲート構造の最上部にソースとドレイン材料を堆積させることなく、層部分472 G、474 G上にソースとドレイン材料を堆積させることができ。シード層部分476 Fはシード層部分472 F、474 Fから電気的に分離しているので、部分476 Fは、硝酸セリウムアンモニウム(CAN)クロム・エッティングによって電気化学的に除去することができる。例えば、シード層部分476 F以外のシード層部分472 F、474 Fを、基板の縁部で銅の電気プローブに電気的に結合して、部分472 F～474 F以外のシード層部分476 Fをエッティングすることができる。しかし、クロム層476 Fを形成することなくクロム層472 F、474 Fを形成するパターンングを使用することができる別の実施形態が考えられることに、留意すべきである。これは、後続のクロム層476 Fの除去を回避することができる。

【0047】

図4Hは、チャネル430 Hの側壁表面に形成された界面層482 H、484 Hを含む第8の中間基板400 Hを示す。界面層は、単層、単層よりわずかに厚いもの、約0.3 nm未満、約0.5 nm未満、または約1 nm未満でよい(所望のショットキー障壁特性に応じて)。すなわち場合によっては、表面の化学的安定性が実現されるよう、半導体チャネルのすべてのまたは十分な数のダンギング・ボンドを終結させるのに十分なパッシブ材料の量を使用することができる。界面層は、上記引用した特許出願で論じられる技法に従って、成長させることができる。考えられるパッシブ材料には、上記論じたように、ヒ素、水素、フッ素、酸素、び窒素が含まれ、界面層482 H、484 Hは、パッシブ層と分離層の両方で作製することができる。

【0048】

図4Iは、シード材料472 Hの上でありかつ左側アンダーカットのオーバハンゲ部の下に形成されたソース492 Iと、シード材料474 Hの上でありかつ右側アンダーカットのオーバハンゲ部の下に形成されたドレイン494 Iとを含む、第9の中間基板400 Iを示す。ソースとドレインは、ゲート絶縁体440 Iの上方に至る厚さを有する。この厚さを精密に制御することが望ましい。形成は、異なる可能性もあるソース/ドレイン材料をシード層472 H、474 H上にめっきすることを含んでよい。これは、フォトレジストを堆積し、フォトレジストに照射してチャネル幅パターンを露光し、フォトレジストの部分を除去してシード層472 H、474 Hを露出させ、そのシード層472 H、474 H上にソース/ドレイン材料をめっきし、フォトレジストの残りを除去することを含んでよい。一実施形態によれば、ソースとドレイン材料はアルミニウムである。あるいは、ソースとドレイン材料は、別の所望の、異なる可能性のある金属または合金でよい。

【0049】

図4Iに示すトランジスタにはいくつかの利点がある。一般に、トランジスタは簡単な構造となる。これは、トランジスタ製作の拡張を50 nmより短いチャネル長に、20 nmより短いチャネル長に、またはさらに10 nmより短いチャネル長にすることが可能になる。別の利点は、界面層によって提供されたショットキー障壁高さが広く制御されることである。障壁高さは、ソース/ドレインとチャネルとの仕事関数の差の他に、パッシブ材料や層の厚さ、層の形成条件などの界面層の性質によって制御することができる。界面層があるために、ソース/ドレイン材料はシリコン・チャネルとのケイ化物をすぐに形成する必要がなくなるので、この障壁高さを制御する能力は、ソース/ドレイン材料を選択する際の幅広い柔軟性によってさらに増大する。さらに別の利点は、ドープ・シリコンで

10

20

30

40

50

はなく高導電率の金属を使用するので、ソースが低抵抗になることである。接合部におけるドーパントの除去は、一般に、そのようなドーパントの適用によってプロセスの制御可能性に制約が課せられるので、超大規模集積（ULSI）製造の観点から魅力あるものである。

【0050】

図4Iに示すトランジスタのチャネル-界面層-ソース/ドレイン接合は、半導体チャネルのフェルミ準位が接合部付近の領域でピン止め解除され、また接合部が約 1000 - μm^2 未満の固有接触抵抗を有する点で、独自のものである。これは、本発明により構成されたすべてのトランジスタについて言えることである。実際、本発明によるそのような接合については、最小の固有接触抵抗が約 10 - μm^2 以下またはさらに約 1 - μm^2 以下のものを実現することができる。そのような低接触抵抗を実現するには、n-型半導体に関しては半導体の伝導帯付近の仕事関数を有し、p-型半導体に関しては価電子帯付近の仕事関数を有するソース/ドレイン金属を選択する。ソース/ドレインと半導体チャネルとの間の障壁高さを調整し、調節し、または制御する際に界面層によって演じられるピン止め解除の役割には、ダングリング・ボンドが消費されるよう半導体材料と結合することによるチャネルの表面状態の減少と、電子波動関数（ソース/ドレイン金属の）が半導体チャネルに影響を与えないような厚さおよびバンドギャップを提供することによって半導体チャネル内のMIGSの形成を減少させることの両方がある。代わりに電子波動関数は、界面層材料の状態に関連したエネルギーで、界面層に影響を及ぼしかつ界面層内にMIGSを形成する可能性がある。要求に応じ、MIGSの密度と界面層へのMIGSの侵入深さは、チャネルの半導体よりも大きいバンドギャップまたはより高い有効質量を有する1種または複数の界面層材料を選択することによって、低減できる。界面層は、デバイスの動作中、半導体チャネルに/半導体チャネルから電流を通すよう動作可能である。

【0051】

いくつかの実施形態では、単層の厚さ、または例えば約 0.1nm から約 0.3nm の間の厚さを有し、さらに界面層がフェルミ準位のピン止め解除し（障壁高さが主に接合材料のバルク特性に依存するように）かつその端から端まで電流が十分流れるように広いバンドギャップ（チャネルの半導体のバンドギャップに比べて）を有する界面層を使用することが望ましいと考えられる。場合によっては界面層は、表面の化学的安定性を実現するために、半導体チャネルのダングリング・ボンドのすべてまたは十分な数を終結させるのに十分なだけの量のパッシブ材料を含んでよい。そのような界面層は、多くの半導体デバイスで望まれる低インピーダンス（障壁厚さに対するダイレクト・トンネリングの指數関数的依存性に起因して）が電流に与えられるように十分薄いこと、それと同時に調節可能な障壁高さが可能になるよう十分な半導体表面パッシベーションももたらすことが有利と考えられる。すなわち界面層によって、半導体の表面状態のパッシベーションとMIGSの減少（または排除）が可能になり、それによって、界面層の端から端まで十分な電流を流すことが可能な実質的に薄い層で調節可能な障壁高さが可能になる。

【0052】

上記引用した特許出願で説明されるように、障壁高さを調節可能にすることができるいくつかの方法がある。例えば調節は、フェルミ準位のピン止めの程度を調整することによって行うことができる。言い換えれば、いくつかの実施形態によれば、半導体チャネルでのMIGSの影響がすべて排除されるとは限らないような十分に薄い界面層が可能になる。さらにピン止めは、界面層の厚さと界面材料の選択との組合せによって、様々に変えることができる。界面層に接触している金属は、種々の材料の種々のレベルでMIGSによりピン止めすることができる。逆にまたは追加として、半導体チャネルのパッシベーションを不完全なままにして、活性化状態を有効なレベルにすることができる。フェルミ準位の完全なピン止め（すなわち、MIGSを含む半導体チャネルのすべての表面状態の除去）は別の選択肢であり、この場合、所望の仕事関数を有する純粋な金属または合金を選択するだけで、障壁高さを調整することができる。

10

20

30

40

50

【0053】

次いで要約すれば、半導体基板上にトランジスタを製作するための一実施形態は、(1)半導体基板を酸化することによって、その半導体基板上に半導体酸化物誘電体層を形成すること、(2)半導体酸化物上に金属層を堆積し、堆積した金属層の一部をリソグラフィ露光に基づいて除去することにより、半導体酸化物層上に金属ゲートを形成すること、(3)金属ゲートを酸化することによって、金属ゲートの露出面に金属酸化物誘電体層を形成すること、(4)金属ゲート上に形成された金属酸化物によって保護される半導体酸化物層の一部を除去することにより、ゲート酸化物誘電体を形成すること、(5)金属ゲート上に形成された金属酸化物によって保護されていない半導体基板の一部を除去することによって、半導体チャネル構造を形成すること、(6)ゲート酸化物の左側端部の下にありかつチャネル上部内面に向かってゲート酸化物の下に延びる半導体チャネル構造のソース・チップ部分を除去し、ゲート酸化物の右側端部の下にありかつチャネル上部内面に向かってゲート酸化物の下に延びる半導体チャネル構造のドレイン・チップ部分を除去することによって、ソース・チップ用のソース・アンダーカット領域とドレイン・チップ用のドレイン・アンダーカット領域を含むアンダーカット半導体チャネルを形成すること、(7)アンダーカット半導体チャネルの露出した側壁表面にシード層材料が堆積しないよう、シード層材料を異方的に堆積し、アンダーカット半導体チャネル上方に堆積されたシード層材料部分を除去することによって、アンダーカット半導体チャネルの左側表面にソース・シード層を形成し、アンダーカット半導体チャネルの右側表面にドレイン・シード層を形成すること、(8)少なくとも単層(またはそれ以下)のパッシブ材料を、アンダーカット半導体チャネルの露出した側壁表面の半導体原子に共有結合することによって、アンダーカット半導体チャネルの露出した側壁表面に界面層を形成すること、および(9)半導体チャネル構造の第1の部分の除去に対応して、パッシブ層表面と第1のアンダーカット内を含めたチャネルの第1の面にソースを形成し、半導体チャネル構造の第2の部分の除去に対応して、界面層表面と第2のアンダーカット内を含めたチャネルの第2の面にドレインを形成することを含む。10 20

【0054】

IV. 代替の配置構成

図4Iに例示するトランジスタは、本発明から利益を得ることのできるFETのタイプの一例にすぎない。当技術分野で知られている他のFETも、本発明の界面層をソース／ドレイン・チャネル接合に組み込むことによってそのような利益を実現することができる。例えば、いわゆるFinFETにはそのような界面層を組み込むことができる。FinFETは、薄体SOIデバイスの一例であり、カリフォルニア大学バークリー校の研究者によって開発されたFETの種類に与えられた名称である。従来のFinFETは、参照により本明細書に援用されるYang-Kyu Choi他の「Nanoscale CMOS Spacer FinFET for the Terabit Era」、IEEE Electron Device Letters、vol. 25、no. 1(2002年1月)に詳細に記載されており、そのようなデバイス500の例を図5Aに示す。図示されるように、フィンFETのチャネルは、スペーサで区画された半導体フィンによって形成されている。30 40

【0055】

図5Bは、本発明の実施形態による界面層522を組み込むように修正を加えたFin-FET 520を示す。この実施形態では、半導体のソースおよび／またはドレインを金属のソースおよび／またはドレインに代えている。半導体フィン(すなわちチャネル)は、界面層を介してこれらのソース／ドレイン領域に接触している。

【0056】

本発明を適用することのできる別のトランジスタは、例えば参照により本明細書に援用されるE. Jossen他の「High performance 40 nm vertical MOSFET within a conventional CMOS process flow」、2001 Symposium on VLSI Tech 50

n o l o g y D i g e s t o f T e c h n i c a l P a p e r s . Paper No. 5 B - 2、第 55 ~ 56 頁 (2001) に記載されている、いわゆる垂直MOSFETである。垂直MOSFETは、2重のゲート間に挟まれたピラー様チャネルを特徴とする。ソースとドレインは、チャネル・ピラーの両端に位置付けられている。そのような構造 600 の例を図 6 A に示す。

【0057】

図 6 B は、本発明の実施形態による界面層を組み込むように修正を加えた垂直MOSFET 620 を示す。このトランジスタは図 6 A に例示する MOSFET に類似しているが、上部 Si - n - 領域（この例ではドレイン）を金属ドレインに代え、チャネルへの接觸は界面層 622 を介してなされている。したがって、そのようなデバイスは非対称になり、上部コンタクトにパッシブト Si / 金属トンネル接合を有し、基板側のデバイス底部に Si p - n 接合を有する。相補型デバイスは、最初に底部コンタクト用として p および n 領域を打ち込み、次いでチャネルへの上部コンタクトとして p - 型または n - 型デバイスが得られるように選択された仕事関数をそれぞれ有する 2 種の異なる金属を用いることによって、同じ基板上に製作することができる。

10

【0058】

図 7 A は、さらに別のタイプのトランジスタ 700、MESFET を示す。MESFET（金属半導体 FET）は、チャネルに隣接するゲート / 絶縁体 / 半導体のスタックを金属 / 半導体コンタクトに代え、意図的にショットキー障壁を形成している。チャネルのコンダクタンスは、印加ゲート電圧によってチャネルへのショットキー障壁の空乏幅に変化が生じた場合、変調される。図示されるチャネルは、SOI 基板の場合と同様に薄い Si 層でよい。

20

【0059】

特定の MESFET の適用例の有用性を最適化するために、ショットキー障壁を上昇させまたは下げる事が望ましい。これは、本発明をトランジスタ 720 で実施することによって、図 7 B に示すように実現されるが、この場合、特定の界面誘電体とコンタクト金属は、適切に選択することができる。界面誘電体は、ゲートとチャネルとの間に界面層 722 を形成する。その他の実施形態で、ゲートは、金属の代わりにポリ Si にことができる。

【0060】

30

V. 電気システムでのトランジスタの使用

本明細書で述べるようなトランジスタは、いくつかの電気システム内の、チップ、集積回路、モノリシック・デバイス、半導体デバイス、マイクロ電子デバイスなどに使用することができる。考えられる電気システムには、コンピュータ・システム（例えばポータブル、ラップトップ、デスクトップ、サーバ、メインフレームなど）、ハード・コピー装置（例えばプリンタ、プロッタ、ファックス機など）、およびその他の電気システムが含まれる。例えば一実施形態では、コンピュータ・システムは、命令の実行を助けるためにそのようなトランジスタを有するマイクロプロセッサを含んでよい。コンピュータ・システムは、当業者であり本発明の開示の利益を得る者に理解されるように、情報を伝達するバスまたはその他の通信手段、情報を保存するためのメモリ（例えば RAM などのダイナミック・メモリや ROM などのステンシック・メモリ）、ディスプレイ・デバイス、データ入力デバイス、モ뎀などの通信デバイスを含むがこれらに限定されないその他の従来の構成要素を含むことができる。これらデバイスのいずれかまたはすべては、本発明により構成されたトランジスタを含むことができる。

40

【0061】

このように、ソースからチャネルまでおよび / またはチャネルからドレインまでパッシブト接合を有するトランジスタと、そのようなトランジスタを形成するための方法について述べてきた。特定の実施形態を参照しながら述べてきたが、本明細書に記載する技法には、本発明のより広範な精神および範囲から逸脱することなく様々な修正および変更を加えることができることに留意されたい。例えば、本発明により構成されたトランジスタに

50

はアルミニウム以外の金属を使用することができる。そのように使用することができる仕事関数の低い金属には、Er、Eu、Ba、Cs、Ca、Ce、Rb、Sm、Y、およびYbが含まれる。これらすべての仕事関数は3eV未満である。使用することができる仕事関数の高い金属（価電子帯に合わせるため）には、Pt、It、Pd、Re、Ni、Co、およびAuが含まれる。したがって、明細書および図面は制限的なものではなく例示とみなすべきであり、本発明は、上述の特許請求の範囲の観点からのみ解釈すべきである。

【図面の簡単な説明】

【0062】

【図1】ソースとチャネルの間およびチャネルとドレインの間に金属-半導体ショットキー接合を有する従来のFETを示す図である。

【図2】本発明の一実施形態による、ソースからチャネルまでおよびチャネルからドレインまでにパッシブト金属-半導体接合を有するFETを示す図である。

【図3】本発明の一実施形態による、ソースからチャネルまでおよびチャネルからドレインまでにパッシブト金属-半導体接合を有するトランジスタを製作するための方法を示す図である。

【図4】本発明の一実施形態による、アルミニウム・ソースからシリコン・チャネルまでおよびシリコン・チャネルからアルミニウム・ドレインまでに形成されたパッシブト・アルミニウム-シリコン接合を有するトランジスタの製作を表している、中間基板を示す図である。

【図5A】従来のFinFETデバイスの一部を示す図である。

【図5B】本発明の実施形態による、ソース/ドレインとチャネルとの間に界面層を有するFinFETデバイスの一部を示す図である。

【図6】従来の垂直MOSFETデバイスの一部を示す図(A)と本発明の実施形態による、ソース/ドレインとチャネルとの間に界面層を有する垂直MOSFETデバイスの一部を示す図(B)である。

【図7】従来のMESFETデバイスの一部を示す図(A)と、本発明の実施形態による、ゲートとチャネルとの間に界面層を有するMESFETデバイスの一部を示す図(B)である。

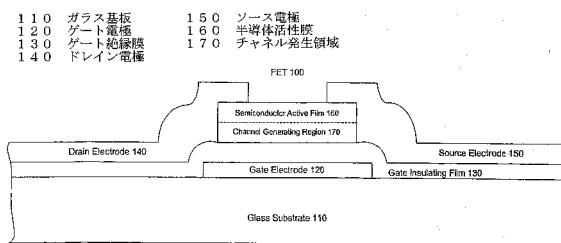
【図8】様々なゲート電圧条件下、本発明によるトンネル障壁を有する種々のn-型デバイスの動作を示す図である。

10

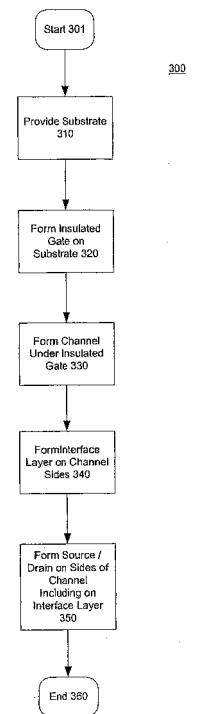
20

30

【図1】

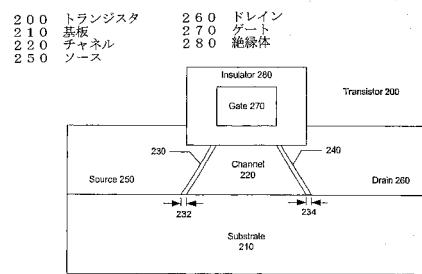


【図3】

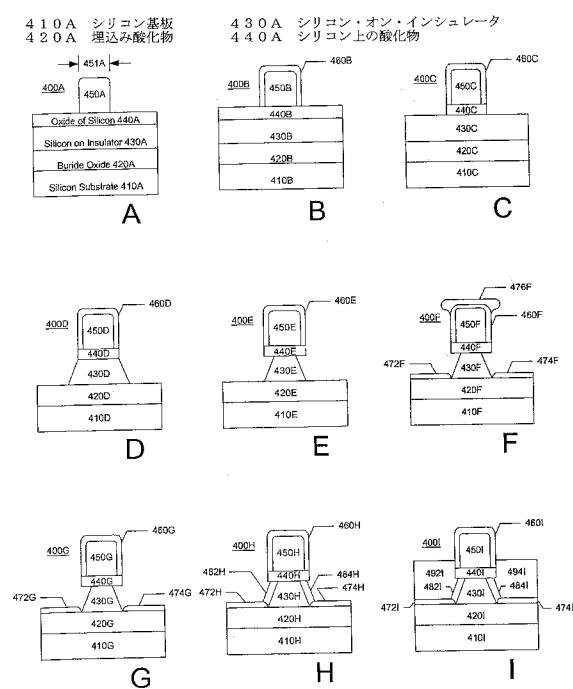


310 基板を準備する
320 基板上に絶縁ゲートを形成する
330 絶縁ゲート下にチャネルを形成する
340 チャネル側面に界面層を形成する
350 界面層を含めたチャネル側面にソース／ドレインを形成する

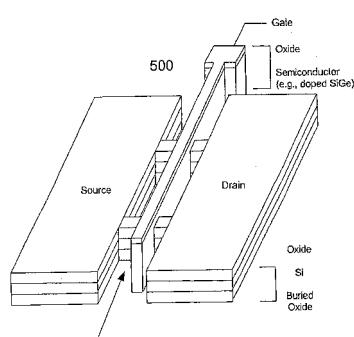
【図2】



【図4】

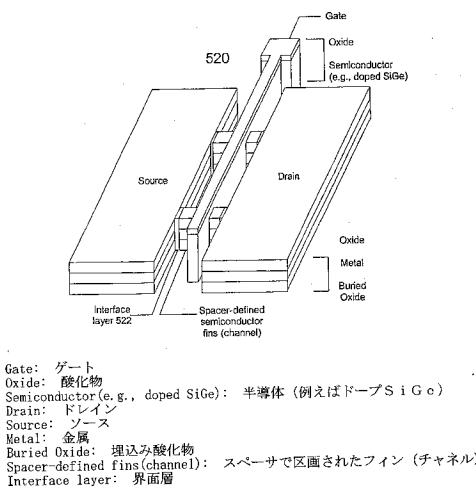


【図5 A】

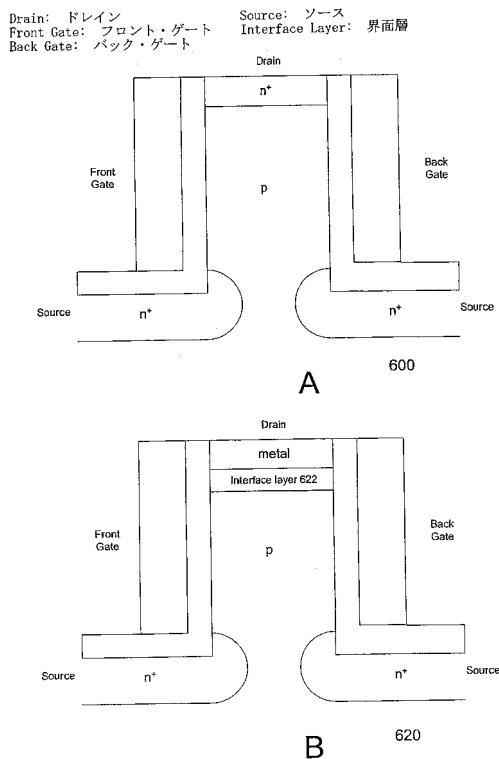


Gate: ゲート
Oxide: 絶縁物
Semiconductor (e.g., doped SiGe): 半導体 (例えばドープ SiGe)
Source: ソース
Buried Oxide: 埋込み酸化物
Spacer-defined fins (channel): スペーサーで区画されたフィン (チャネル)

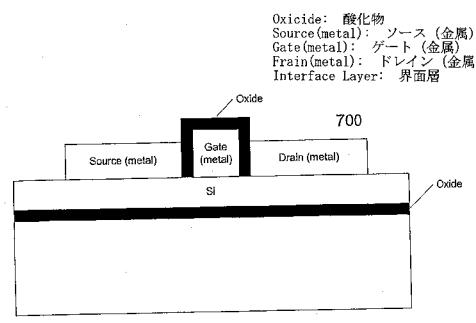
【図5B】



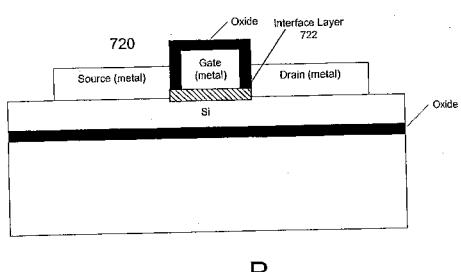
【図6】



【図7】

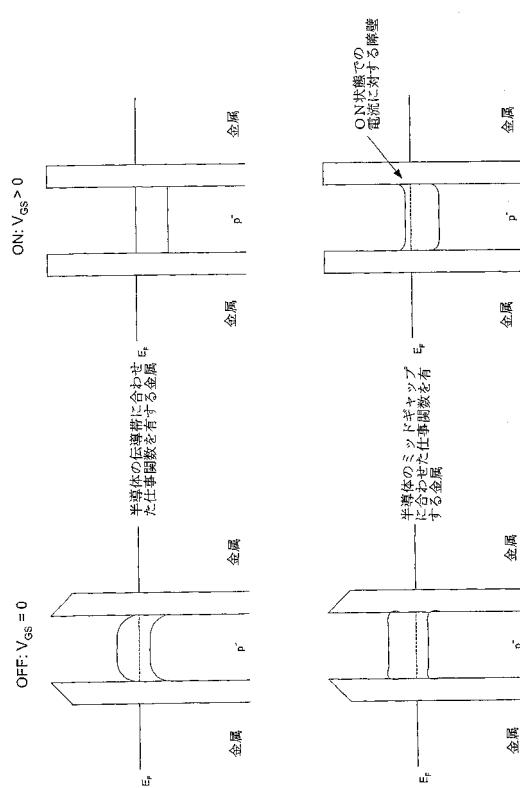


A



B

【図8】



フロントページの続き

(72)発明者 コンリー, ダニエル・ジェイ

アメリカ合衆国・94061-4215・レッドウッドシティ・ルザーフォード アベニュー・52
5

審査官 宮澤 尚之

(56)参考文献 特開昭62-299077(JP, A)

特開平11-162874(JP, A)

特開昭64-008613(JP, A)

米国特許第03983264(US, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/78-29/786

H01L 29/40-29/47

H01L 21/28-21/288

H01L 21/336