

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94100214

※申請日期：94/01/05

※IPC 分類：

G11C 17/18

## 一、發明名稱：(中文/英文)

半導體裝置 / SEMICONDUCTOR DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

松下電器產業股份有限公司

MATSUSHITA Electric Industrial Co., Ltd. (松下電器產業株式会社)

代表人：(中文/英文)

中村邦夫 / Kunio NAKAMURA

住居所或營業所地址：(中文/英文)

日本國大阪府門真市大字門真 1006 番地

1006, Oaza Kadoma, Kadoma-shi, Osaka, 571-0050, Japan

國籍：(中文/英文)

日本 / Japan

## 三、發明人：(共 3 人)

姓名：(中文/英文)

(1)仲矢修治 / Shuji NAKAYA

(2)林光昭 / Mitsuaki HAYASHI

(3)倉田勝一 / Masakazu KURATA

國籍：(中文/英文)

(1)-(3)日本 / Japan

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2004/01/07；2004-002185

2.

3.

4.

5.

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於具備有可以利用遮罩進行程式規劃之遮罩 ROM(Mask Programmable ROM)之半導體裝置

### 【先前技術】

在習知之半導體裝置中，例如有專利文獻 1 所揭示者。在此文獻之第 2 頁段落 0002~0006 與圖 2 中，揭示有接觸方式之遮罩 ROM 的構造。

圖 9 為表示上述接觸方式之遮罩 ROM 之構造的電路圖。接觸方式之遮罩 ROM 係指使記憶單元電晶體之汲極連接或不連接到位元線分別對應到記憶資料之"0"和"1"。該遮罩 ROM 可以利用遮罩進行程式規劃。

習知半導體裝置如圖 9 所示，其構成包含有記憶單元陣列 1、行解碼器 2、感測放大器 3、充電用電晶體 4、輸出緩衝電路 6、門鎖電路 15。

記憶單元陣列 1 之構成為將複數之由 N 型 MOS 電晶體所構成之記憶單元  $M_{ij}$  ( $i=1\sim m, j=1\sim n$ ) 配置成為矩陣狀。記憶單元  $M_{ij}$  之  $i$  值為相同之記憶單元，亦即排列於列方向之記憶單元的閘極，共同地連接到字線選擇信號  $WLi$  ( $i=1\sim m$ )。另外，該記憶單元  $M_{ij}$  之源極係連接到接地電位之佈線。其汲極在記憶單元之記憶資料為"0"之情況下，連接到位元線  $BLj$  ( $j=1\sim n$ )，而在記憶單元之記憶資料為"1"之情況下，成為浮動狀態。

行解碼器 2 係包含 N 型 MOS 電晶體  $Cj$  ( $j=1\sim n$ )。N 型 MOS

電晶體  $C_j(j=1\sim n)$  之汲極為共同地連接，其源極連接到位元線  $BL_j(j=1\sim n)$ ，其之閘極分別連接到行選擇信號  $CL_j(j=1\sim n)$ 。

感測放大器 3 係包含緩衝電路。其輸入連接到構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  的汲極，其輸出連接到門鎖電路 15 之輸入端 D。

預充電用電晶體 4 係包含 P 型 MOS 電晶體。預充電用電晶體 4 之閘極連接到充電控制信號 PCLK，其源極連接到具有電源電位之電源端子，其汲極連接到構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  的汲極。

輸出緩衝電路 6 中，其輸入連接到門鎖電路 15 之輸出端 Q，其輸出連接到輸出端 OUT。

門鎖電路 15 中，其輸入端子連接到感測放大器 3 之輸出端，當門鎖控制信號 LCLK 為「L」、而門鎖控制信號 NLCLK 為「H」時，將與輸入端 D 之信號為相同邏輯之信號輸出到輸出端 Q。另外，當門鎖控制信號 LCLK 為「H」、而門鎖控制信號 NLCLK 為「L」時，保持輸出端 Q 之輸出狀態。

對於以上述方式構成之半導體裝置，例如對於讀出記憶單元 M11 之資料的動作，係使用圖 10 之時序圖進行說明。

在行選擇信號  $CL_j(j=1\sim n)$  中，設定行選擇信號 CL1 成為「H」位準，使行選擇信號  $CL_2\sim CL_n$  成為「L」位準。藉此，構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  中，設定 N 型 MOS 電晶體 C1 成為 ON 狀態，其他之 N 型 MOS 電晶體 C2 至 Cn 成為 OFF 狀態。

其次，使預充電控制信號 PCLK 在  $T_p$  期間成為「L」位準，並使預充電用電晶體 4 只在一定期間  $T_p$  成為 ON 狀態。藉此，位元線 BL1 被充電而成為「H」位準。

在位元線 BL1 成為「H」位準後，在字線選擇信號  $WLi(i=1\sim m)$  中，使字線選擇信號 WL1 從「L」位準變為「H」位準，其以外之字線選擇信號 WL2~WLm 則保持為「L」位準。

藉此，在記憶單元 M11 之汲極連接到位元線 BL1 之情況下，被充電至位元線 BL1 之電荷藉由記憶單元 M11 放電，使位元線 BL1 成為「L」位準，感測放大器 3 之輸入亦成為「L」位準。另外，對於閃鎖電路 15 之閃鎖控制信號 LCLK 和 NLCLK，當字線選擇信號  $WLi(i=1\sim m)$  中之 1 個之字線被選擇時，閃鎖控制信號 LCLK 成為「L」位準，閃鎖控制信號 NLCLK 成為「H」位準。因此，感測放大器 3 之輸出成為「L」位準，閃鎖電路 15 之輸出 Q 成為「L」位準，從輸出緩衝電路 6 之輸出端 OUT 讀出「L」(在圖 10 以虛線表示)。

另外，在記憶單元 M11 之汲極未連接到位元線 BL1 之情況下，被充電至位元線 BL1 之電荷，不會藉由記憶單元 M11 放電，位元線 BL1 維持「H」位準，感測放大器 3 之輸入亦成為「H」位準。另外，對於閃鎖電路 15 之閃鎖控制信號 LCLK 和 NLCLK，在字線選擇信號  $WLi(i=1\sim m)$  中之 1 個字線被選擇時，閃鎖控制信號 LCLK 為「L」位準，閃鎖控制信號 NLCLK 為「H」位準。因此，感測放大器 3 之輸出成為「H」位準，閃鎖電路 15 之輸出 Q 成為「H」位準，從輸出緩衝電路 6 之輸出端 OUT 讀出「H」(在圖 10 以實線表示)。

專利文獻 1:日本專利特開平 6-176592 號公報(第 2 頁, 第 2 圖)

專利文獻 2:日本專利特開昭 61-255035 號公報(第 1 至 2 頁, 第 2 圖)

專利文獻 3:日本專利特開平 4-34799 號公報(第 1 至 2 頁, 第 3 圖)

習知之半導體裝置係具有以下之問題。記憶資料之"0"或"1"、與記憶單元電晶體之汲極是否連接到位元線之關係乃被固定。因此,在記憶資料之"0"較多的情況下,記憶單元電晶體之汲極與位元線之連接變多。

近年來由於藉由處理之多層佈線化而使記憶單元之構造成為短 TAT(turn around time:周轉時間),所以增加了記憶單元電晶體之汲極與位元線之間的佈線步驟和 Via(經由)步驟。另外,由於處理之微細化,在連接記憶單元電晶體之汲極和位元線之佈線步驟和 Via 步驟,容易發生連接不良之問題。因此,當記憶單元電晶體之汲極與位元線之連接較多時,會使產率降低。

因此提案有一種方法,係在遮罩 ROM 之感測放大器之後,追加使資料反轉之電路,經由變更記憶資料與記憶單元電晶體對位元線之連接的邏輯,可以使記憶單元電晶體之汲極與位元線的連接變少。

但是,會有所謂增加控制電路之問題。另外,亦有因為依半導體裝置所裝載之遮罩 ROM 和各個輸出而邏輯不同,所以在解析時,資料"0"為記憶單元電晶體之汲極連接或不

連接到位元線的資訊管理變為困難之問題。此外，在可以變更邏輯之遮罩 ROM 的 IP(智慧財產)無法取得之情況時，會有無法減少記憶單元電晶體之汲極與位元線之連接的問題。

## 【發明內容】

本發明係用來解決上述習知之問題，其目的為提供一種半導體裝置，可以抑制電路之增加，可並進行邏輯之變更使記憶資料之"0"或"1"之較少的一方，成為記憶單元電晶體之汲極連接到位元線，經由使記憶單元電晶體之汲極與位元線之連接變少，可以防止產率之降低。

進一步，本發明之目的在於提供一種半導體裝置，可以容易地確認複數之記憶單元電晶體之資料是以正邏輯或負邏輯被記憶。

本發明之半導體裝置具備有：複數之位元線；複數之字線，被配置成分別與位元線交錯；複數之記憶單元電晶體，被配置在複數之位元線與複數之字線的各個交錯點，各個之閘極連接到字線，並記憶因汲極與位元線連接或非連接而不同之資料；字線選擇電路，係從複數之字線中選擇一根之字線；位元線選擇電路，係從複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與字線選擇電路所選擇之字線和位元線選擇電路所選擇之位元線對應的記憶單元電晶體之資料，而判定藉由位元線選擇電路所選擇之位元線的位準；資料保持電路，將感測放大器之輸出進行輸入，並具有正邏輯和負邏輯之 2 個輸出端子；和輸出電

路，其輸入端子連接到資料保持電路之 2 個輸出端子中的任一方之輸出端子。

若依照此種構造，僅變更與輸出電路之輸入端子連接之資料保持電路的輸出端子，不需要追加電路，就可以進行邏輯之變更，而使記憶資料之”0”或”1”的較少一方成為使記憶單元電晶體之汲極連接到位元線。因此，記憶單元電晶體之汲極與位元線之連接（接觸部）可以減少，則可防止產率之降低。

在本發明中，最好使記憶單元電晶體之汲極和位元線之連接/非連接，係藉由電氣性地連接汲極與位元線之間的第 1 接觸部之形成/非形成所形成，資料保持電路之一方之輸出端子與輸出電路之輸入端子的連接，為藉由電氣性地連接一方之輸出端子與輸出電路之輸入端子之間的第 2 接觸部之形成所形成，第 1 接觸部和第 2 接觸部為利用同一步驟所形成。

藉此，記憶資料即使在連接記憶單元陣列之汲極與位元線的步驟中被決定或經變更，亦可以在同一步驟中進行邏輯之變更與記憶單元電晶體之汲極和位元線之連接。其結果為可減少連接記憶單元電晶體之汲極和位元線的接觸部。

另外，在本發明中，最好設有測試端子，當在測試端子輸入測試信號時，將感測放大器之輸入固定在接地電位或電源電位。

利用此種方式，若在測試模式時將測試信號輸入到測試

端子、並進行記憶單元電晶體之記憶資料的讀出，則與記憶資料是"0"或"1"無關地，感測放大器之輸入被固定在接地電位/電源電位。結果，輸入到資料保持電路之感測放大器的輸出邏輯被固定在"0"/"1"，資料保持電路之正邏輯的輸出端子被固定在"0"/"1"，資料保持電路之負邏輯的輸出端子被固定在"1"/"0"。因此，當感測放大器之輸入被固定在接地電位、且資料保持電路之正邏輯的輸出端子連接有輸出電路時，輸出電路之輸出將成為"0"。在此種情況下，複數之記憶單元電晶體以正邏輯記憶資料。另一方面，當輸出電路連接到負邏輯之輸出端子時，輸出電路之輸出將成為"1"。在此種情況下，複數之記憶單元電晶體以負邏輯記憶資料。

另外，當感測放大器之輸入被固定在電源電位，且在資料保持電路之正邏輯的輸出端子連接有輸出電路時，輸出電路之輸出將成為"1"。在此種情況下，複數之記憶單元電晶體以正邏輯記憶資料。另一方面，當輸出電路連接到負邏輯之輸出端子時，輸出電路之輸出將成為"0"。在此種情況下，複數之記憶單元電晶體以負邏輯記憶資料。

依此，可以容易地確認複數之記憶單元電晶體之資料為以正邏輯或負邏輯記憶。

另外，在本發明中最好設有充電電路，係藉由將連接到感測放大器之輸入的第1節點充電成為電源電位，而從第1節點經由位元線選擇電路，將位元線選擇電路所選擇之位元線充電成為電源電位；另外，設有：測試端子；與控制

電路，係當有測試信號被輸入到測試端子時，禁止藉由充電電路進行第1節點的充電，同時將連接到感測放大器之輸入的第1節點固定在接地電位。

依照此種方式，若在測試模式時將測試信號輸入到測試端子，並進行記憶單元電晶體之記憶資料的讀出，則與記憶資料是"0"或"1"無關地，感測放大器之輸入成為接地電位，如上述之方式，可以容易地確認複數之記憶單元電晶體之資料為以正邏輯或負邏輯被記憶。

另外，在本發明中最好設有充電電路，係藉由將連接到感測放大器之輸入的第1節點充電成為電源電位，而從第1節點經由位元線選擇電路，將位元線選擇電路所選擇之位元線充電成為電源電位；另外，設有：測試端子；與控制電路，係當有測試信號被輸入到測試端子時，禁止藉由位元線選擇電路進行位元線之選擇。

利用此種方式，若在測試模式時將測試信號輸入到測試端子，並進行記憶單元電晶體之記憶資料的讀出，則與記憶資料是"0"或"1"無關地，感測放大器之輸入成為電源電位，如上述之方式，可以容易地確認複數之記憶單元電晶體之資料為以正邏輯或負邏輯被記憶。

另外，在本發明中最好設有充電電路，係藉由將連接到感測放大器之輸入的第1節點充電成為電源電位，而從第1節點經由位元線選擇電路，將位元線選擇電路所選擇之位元線充電成為電源電位；另外，設有：測試端子；與控制電路，係當有測試信號被輸入到測試端子時，禁止藉由字

線選擇電路進行字線之選擇。

利用此種方式，若在測試模式時將測試信號輸入到測試端子，並進行記憶單元電晶體之記憶資料的讀出時，則與記憶資料是"0"或"1"無關地，感測放大器之輸入成為電源電位，如上述之方式，可以容易地確認複數之記憶單元電晶體之資料為以正邏輯或負邏輯被記憶。

另外，本發明之半導體裝置具備有：記憶部，具有：複數之位元線，複數之字線，被配置成分別與位元線交錯；複數之記憶單元電晶體，被配置在複數之位元線與複數之字線的各個交錯點，各個之間極連接到字線，並記憶因汲極與位元線連接或非連接而不同之資料；字線選擇電路，係從複數之字線中選擇一根之字線；位元線選擇電路，係從複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與字線選擇電路所選擇之字線和位元線選擇電路所選擇之位元線對應的記憶單元電晶體之資料，而判定藉由位元線選擇電路所選擇之位元線的位準；資料保持電路，輸入感測放大器之輸出；輸出電路，輸入資料保持電路之輸出；以及緩衝電路，係輸入記憶部之輸出電路之輸出，並具有正邏輯和負邏輯的 2 個輸出端子；以及資料處理電路，係將輸入端子連接到緩衝電路之 2 個輸出端子中之任一方的輸出端子。

依照此種構造，即使無法使用可依照記憶資料進行邏輯變更之遮罩 ROM 的 IP，亦不需要大幅地追加電路，藉由在輸入來自記憶部之資料的緩衝電路進行邏輯之變更，可以

使記憶單元電晶體之汲極與位元線的連接減少，而防止產率之降低。

在本發明中，最好使記憶單元電晶體之汲極和位元線的連接/非連接，係藉由電氣性地連接汲極與位元線之間的第 1 接觸部之形成/非形成所形成，緩衝電路之一方之輸出端子與資料處理電路之輸入端子的連接，為藉由電氣性地連接一方之輸出端子與資料處理電路之輸入端子之間的第 2 接觸部之形成所形成，第 1 接觸部和第 2 接觸部為利用同一步驟所形成。

利用此種方式，記憶資料即使在連接記憶單元陣列之汲極和位元線的步驟被決定或經變更，亦可以在相同之步驟中進行邏輯之變更與記憶單元電晶體之汲極和位元線的連接。其結果為可減少連接記憶單元電晶體之汲極和位元線的接觸部。

另外，本發明之半導體裝置具備有：記憶部，具有：複數之位元線；複數之字線，被配置成分別與位元線交錯；複數之記憶單元電晶體，被配置在複數之位元線與複數之字線之各個交錯點，各個之閘極連接到字線，並記憶因汲極與位元線連接或非連接而不同之資料；字線選擇電路，係從複數之字線中選擇一根之字線；位元線選擇電路，係從複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與字線選擇電路所選擇之字線和位元線選擇電路所選擇之位元線對應的記憶單元電晶體之資料，而判定藉由位元線選擇電路所選擇之位元線的位準；資料保持電路，係

輸入感測放大器之輸出；輸出電路，輸入資料保持電路之輸出；以及資料處理部，其構成包含有：輸入電路，將記憶部之輸出電路之輸出進行輸入，並具有正邏輯和負邏輯之 2 個輸出端子；資料處理電路，其輸入端子連接到輸入電路之 2 個輸出端子中之任一方的輸出端子。

依照此種構造，即使無法使用可依照記憶資料進行邏輯變更之遮罩 ROM 的 IP，亦不需要大幅地追加電路，而可藉由在輸入來自記憶部之資料的資料處理部之輸入電路進行邏輯之變更。其結果為可以使記憶單元電晶體之汲極和位元線的連接減少，而防止產率之降低。

在本發明中，最好使記憶單元電晶體之汲極和位元線的連接/非連接，係藉由電氣性地連接汲極與位元線之間的第 1 接觸部之形成/非形成所形成，資料處理部之輸入電路的一方之輸出端子與資料處理電路之輸入端子的連接，為藉由電氣性地連接一方之輸出端子與資料處理電路之輸入端子之間的第 2 接觸部之形成所形成，第 1 接觸部和第 2 接觸部為利用同一步驟所形成。

利用此種方式，記憶資料即使在連接記憶單元陣列之汲極和位元線的步驟被決定或經變更，亦可以在相同之步驟中進行邏輯之變更與記憶單元電晶體之汲極和位元線的連接，則可以使連接記憶單元電晶體之汲極和位元線之接觸部減少。

如以上之說明，若依照本發明之半導體裝置，僅需要變更與輸出電路之輸入端子連接的資料保持電路之輸出端

子，不需要追加電路，即可以進行邏輯之變更以使記憶資料之"0"或"1"的較少之一方成為將記憶單元電晶體之汲極連接到位元線。其結果為，可以使記憶單元電晶體之汲極和位元線之連接(接觸部)減少。藉此可以防止由於佈線之多層化和微細化造成之產率的降低。

記憶資料即使在連接記憶單元電晶體之汲極和位元線的步驟被決定或經變更，亦可以以相同之步驟進行邏輯之變更與記憶單元電晶體之汲極和位元線的連接。其結果為可以減少連接記憶單元電晶體之汲極和位元線的接觸部。

另外，設置測試端子，並藉由在將測試信號輸入到測試端子時，將感測放大器之輸入固定在接地電位或電源電位，則可以容易地確認複數之記憶單元電晶體之資料為以正邏輯被記憶或以負邏輯被記憶，亦即，亦可以容易地確認來自輸出電路之資料"0"/"1"分別為記憶單元電晶體之汲極連接或不連接到位元線之關係。藉此，則可以很容易地解析。

另外，依照本發明之半導體裝置，即使無法使用可依照記憶資料進行邏輯之變更的遮罩 ROM 之 IP 時，亦不需要大幅地追加電路，藉由輸入來自記憶部之資料的緩衝電路進行邏輯之變更，可以使記憶單元電晶體之汲極和位元線的連接(接觸部)減少。藉此，可以防止由於佈線之多層化和微細化造成之產率的降低。

在此種情況下，即使記憶資料在連接記憶單元陣列之汲極和位元線的步驟被決定或經變更，亦可以在相同之步驟

進行邏輯之變更與記憶單元電晶體之汲極和位元線之連接。其結果為，可以減少連接記憶單元電晶體之汲極和位元線之接觸部。

另外，若依照本發明之半導體裝置，即使無法使用可依照記憶資料進行邏輯變更之遮罩 ROM 的 IP，亦不需要大幅地追加電路，藉由輸入來自記憶部之資料的資料處理部之輸入電路進行邏輯之變更，可以使記憶單元電晶體之汲極和位元線的連接（接觸部）減少。利用此種方式，可以防止由於佈線之多層化和微細化造成之產率的降低。

在此種情況下，即使記憶資料在連接記憶單元陣列之汲極和位元線的步驟被決定或經變更，亦可以在相同之步驟進行邏輯之變更與記憶單元電晶體之汲極和位元線之連接。其結果為，可以減少連接記憶單元電晶體之汲極和位元線之接觸部。

## 【實施方式】

### （第 1 實施例）

圖 1 為表示本發明第 1 實施例之半導體裝置，亦即 ROM 之構造的電路圖。

本實施例之半導體裝置係如圖 1 所示，其構成包含有記憶單元陣列 1，行解碼器 2，感測放大器 3，充電用電晶體 4，門鎖電路 5，輸出緩衝電路 6，充電信號控制電路 7 和放電用電晶體 8。記憶單元陣列 1，行解碼器 2，感測放大器 3，充電用電晶體 4，輸出緩衝電路 6 係由於與先前技術相同，所以在相同之構成要件附加相同之符號，而其說明

則加以省略。

門鎖電路 5 中，輸入端子連接到感測放大器 3 之輸出，當門鎖控制信號 LCLK 為「L」、門鎖控制信號 NLCLK 為「H」時，將與輸入 D 為相同邏輯之信號輸出到輸出端 Q，並將負邏輯之信號輸出到輸出端 NQ。另外，當門鎖控制信號 LCLK 為「H」、門鎖控制信號 NLCLK 為「L」時，保持輸出端 Q 和輸出端 NQ 之輸出狀態。

充電信號控制電路 7，係輸入充電控制信號 PCLK 和測試控制信號 TEST，並輸出輸入於充電用電晶體 4 之閘極的信號 PCLKA，和輸入於放電用電晶體 8 之閘極的信號 RESET。當測試控制信號 TEST 為「L」時，充電控制信號 PCLKA 成為與門鎖控制信號 PCLK 相同之信號，信號 RESET 成為「L」。當測試控制信號 TEST 為「H」時，充電控制信號 PCLKA 成為「L」，信號 RESET 成為「H」。另外，本實施例之半導體裝置具備有輸入來自外部之測試控制信號 TEST 的測試端子（圖中未顯示）。

放電用電晶體 8 由 N 型 MOS 電晶體所構成。放電用電晶體 8 之閘極連接到信號 RESET，其源極連接到具有接地電位之電源端子，其汲極連接到構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  之汲極和感測放大器 3 之輸入。

關於以上述方式構成之半導體裝置，例如關於讀出記憶單元 M11 之資料的動作，將使用圖 2 之時序圖進行說明。

首先，針對測試控制信號 TEST 為「L」位準時（通常動作模態時）進行說明。

在行選擇信號  $CL_j(j=1\sim n)$  中，使行選擇信號  $CL_1$  成為「H」位準，行選擇信號  $CL_2\sim CL_n$  成為「L」位準。利用此種方式，在構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  中，N 型 MOS 電晶體  $C_1$  成為 ON 狀態，其他之 N 型 MOS 電晶體  $C_2\sim C_n$  成為 OFF 狀態。

其次，使預充電控制信號 PCLK 在  $T_p$  期間成為「L」位準。如此則連接在預充電用電晶體 4 之閘極的信號 PCLKA 亦在一定期間  $T_p$  成為 ON 狀態。藉此，將位元線  $BL_1$  充電成為「H」位準。

在位元線  $BL_1$  成為「H」位準後，在字線選擇信號  $WLi(i=1\sim m)$  中，字線選擇信號  $WL_1$  從「L」位準成為「H」位準，其以外之字線選擇信號  $WL_2\sim WL_m$  則保持為「L」位準。

利用此種方式，當記憶單元  $M_{11}$  之汲極連接到位元線  $BL_1$  之情況時，被充電於位元線  $BL_1$  中之電荷藉由記憶單元  $M_{11}$  被放電，使位元線  $BL_1$  成為「L」位準，感測放大器 3 之輸入亦成為「L」位準。另外，關於閘鎖電路 5 之閘鎖控制信號 LCLK 和 NLCLK，當字線選擇信號  $WLi(i=1\sim m)$  中之 1 個之字線被選擇時，閘鎖控制信號 LCLK 成為「L」位準，閘鎖控制信號 NLCLK 成為「H」位準。因此，感測放大器 3 之輸出成為「L」位準，閘鎖電路 5 之輸出 Q 成為「L」位準，輸出 NQ 成為「H」位準。藉由正邏輯之設定，在閘鎖電路 5 之輸出端 Q 連接到輸出緩衝電路 6 之情況時，將從輸出端子 OUT 讀出「L」。另外，利用負邏輯之設定，在閘鎖電路 5 之輸出端子 NQ 連接到輸出緩衝電路 6 之情況時，

將從輸出端子 OUT 讀出「H」(在圖 2 以虛線表示)。

另外，在記憶單元 M11 之汲極未連接到位元線 BL1 時，充電在位元線 BL1 之電荷係不藉由記憶單元 M11 被放電，而位元線 BL1 維持「H」位準，感測放大器 3 之輸入亦成為「H」位準。另外，關於閃鎖電路 5 之閃鎖控制信號 LCLK 和 NLCLK，當字線選擇信號 WLi( $i=1\sim m$ )中之 1 個字線被選擇時，閃鎖控制信號 LCLK 成為「L」位準，閃鎖控制信號 NLCLK 成為「H」位準，感測放大器 3 之輸出成為「H」位準，閃鎖電路 5 之輸出 Q 成為「H」位準，輸出 NQ 成為「L」位準。藉由正邏輯之設定，在閃鎖電路 5 之輸出 Q 連接到輸出緩衝電路 6 時，將從輸出端子 OUT 讀出「H」。另外，藉由負邏輯之設定，在閃鎖電路 5 之輸出端 NQ 連接到輸出緩衝電路 6 時，從輸出端子 OUT 讀出「L」(在圖 2 以實線表示)。

其次，當測試控制信號 TEST 成為「H」位準時(測試模式時)，連接到預充電用電晶體 4 之閘極的信號 PCLKA 成為「H」，連接到放電用電晶體 8 之閘極的信號 RESET 成為「H」。因此，位元線 BL1 和感測放大器 3 之輸入成為「L」位準。因此，感測放大器 3 之輸出成為「L」位準，閃鎖電路 5 之輸出 Q 成為「L」位準，輸出 NQ 成為「H」位準。藉由正邏輯之設定，在閃鎖電路 5 之輸出端 Q 連接到輸出緩衝電路 6 之情況時，將從輸出端子 OUT 讀出「L」。另外，藉由負邏輯之設定，在閃鎖電路 5 之輸出端 NQ 連接到輸出緩衝電路 6 之情況時，將從輸出端子 OUT 讀出「H」。

若依照本實施例，則不需要追加電路，僅需要切換連接到輸出緩衝電路 6 之門鎖電路 5 的輸出端 Q 和 NQ，即可以變更（邏輯之變更）資料”0”或”1”與記憶單元  $M_{ij}$  ( $i=1\sim m$ ， $j=1\sim n$ ) 之汲極是否連接到位元線  $BL_j$  ( $j=1\sim n$ ) 之關係。結果，記憶單元  $M_{ij}$  ( $i=1\sim m$ ， $j=1\sim n$ ) 之汲極連接到位元線  $BL_j$  ( $j=1\sim n$ ) 之數目可以減少。藉此，可以防止佈線之多層化和微細化所造成之產率的降低。

在本實施例中，較佳為記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  之連接/非連接，係利用將汲極與位元線之間電氣性地連接的第 1 接觸部 (Via 部) 之形成/非形成所獲得，門鎖電路 5 之輸出端 Q 或 NQ 與輸出緩衝電路 6 之連接，係利用將輸出端 Q 或 NQ 與輸出緩衝電路 6 之輸入端子之間電氣性地連接的第 2 接觸端 (Via 部) 之形成所獲得，而第 1 接觸部和第 2 接觸部利用相同之步驟形成。藉此，即使記憶資料在記憶單元  $M_{ij}$  之汲極連接位元線  $BL_j$  之步驟中被決定或經變更，亦可以使邏輯之變更與記憶單元  $M_{ij}$  之汲極和位元線  $BL_j$  的連接，在相同之步驟中進行。其結果為，可以減少連接記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  的接觸部。

另外，藉由以測試控制信號 TEST 控制充電動作，可以容易地確認輸出緩衝電路 6 之輸出在「L」時為正邏輯，在「H」時為負邏輯。利用此種方式則可以易於解析。

(第 2 實施例)

圖 3 為表示本發明第 2 實施例之半導體裝置，亦即遮罩 ROM 之構造的電路圖。

本實施例之半導體裝置如圖 3 所示，其構成包含有記憶單元陣列 1、行解碼器 2、感測放大器 3、充電用電晶體 4、門鎖電路 5、輸出緩衝電路 6、行信號控制電路 9。記憶單元陣列 1、行解碼器 2、感測放大器 3、充電用電晶體 4、門鎖電路 5、輸出緩衝電路 6 因為與先前技術或第 1 實施例相同，所以在相同之構成要件附加相同之符號而其說明則加以省略。另外，在本實施例之半導體裝置具備有輸入來自外部之測試控制信號 TEST 的測試端子（圖中未顯示）。

行信號控制電路 9，係輸入行選擇信號  $CL_j(j=1\sim n)$  和測試控制信號 TEST，並輸出輸入到行解碼器 2 之閘極的信號  $CLA_j(j=1\sim n)$ 。

關於以上述方式構成之半導體裝置，例如關於讀出記憶單元 M11 之資料的動作，將使用圖 4 之時序圖進行說明。

當測試控制信號 TEST 為「L」位準時，與第 1 實施例之動作為相同。

當測試控制信號 TEST 為「H」位準時，輸入於構成行解碼器 2 之 N 型 MOS 電晶體  $C_j(j=1\sim n)$  之閘極中的信號  $CLA_j(j=1\sim n)$  全部成為「L」。

當預充電控制信號 PCLK 在  $T_p$  期間成為「L」位準時，利用預充電用電晶體 4 將感測放大器 3 之輸入節點充電而成為「H」位準。因為構成行解碼器 2 之 N 型 MOS 電晶體 C1 為 OFF 狀態，所以位元線 BL1 不被充電。

其次，在字線選擇信號  $WLi(i=1\sim m)$  中，字線選擇信號 WL1 從「L」位準變成「H」位準，其以外之字線選擇信號  $WL2\sim WLn$

保持為「L」位準。但是，因為構成行解碼器 2 之  $C_j(j=1\sim n)$  為 OFF 狀態，所以無關於記憶單元  $M_{11}$  之汲極與位元線  $BL_1$  之連接/非連接的關係，感測放大器 3 之輸入部保持為「H」位準。因此，感測放大器 3 之輸出成為「H」，閃鎖電路 5 之輸出  $Q$  成為「H」位準，輸出  $NQ$  成為「L」位準。藉由正邏輯之設定，在閃鎖電路 5 之輸出端  $Q$  連接到輸出緩衝電路 6 之情況時，將從輸出端子 OUT 讀出「H」。另外，利用負邏輯之設定，在閃鎖電路 5 之輸出端  $NQ$  連接到輸出緩衝電路 6 之情況時，將從輸出端子 OUT 讀出「L」。

若依照本實施例，藉由切換連接到輸出緩衝電路 6 之閃鎖電路 5 之輸出端  $Q$  和  $NQ$ ，與第 1 實施例同樣地，可以減少記憶單元  $M_{ij}(i=1\sim m, j=1\sim n)$  之汲極連接到位元線  $BL_j(j=1\sim n)$  之數目。利用此種方式，可以防止由於佈線之多層化和微細化所造成之產率的降低。

在本實施例中，較佳為記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  之連接/非連接，係利用將汲極和位元線間電氣性地連接的第 1 接觸部 (Via 部) 之形成/非形成所獲得，閃鎖電路 5 之輸出端  $Q$  或  $NQ$  與輸出緩衝電路 6 之連接，係利用將輸出端  $Q$  或  $NQ$  與輸出緩衝電路 6 之輸入端子之間電氣性地連接的第 2 接觸部 (Via 部) 之形成所獲得，而第 1 接觸部和第 2 接觸部利用同一步驟形成。藉此，記憶資料即使在記憶單元  $M_{ij}$  之汲極連接位元線  $BL_j$  之步驟中被決定或經變更，亦可以在相同之步驟中進行邏輯之變更與記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  的連接。其結果為，可以減少連接記憶

單元  $M_{ij}$  之汲極與位元線  $BL_j$  的接觸部。

另外，藉由以測試控制信號 TEST 控制行解碼器 2，可以容易地確認輸出緩衝電路 6 之輸出在「H」時為正邏輯，在「L」時為負邏輯。利用此種方式則可以易於解析。

(第 3 實施例)

圖 5 為表示本發明第 3 實施例之半導體裝置，亦即遮罩 ROM 之構造的電路圖。

本實施例之半導體裝置如圖 5 所示，其構成包含有記憶單元陣列 1、行解碼器 2、感測放大器 3、充電用電晶體 4、門鎖電路 5、輸出緩衝電路 6、字線控制電路 10。記憶單元陣列 1、行解碼器 2、感測放大器 3、充電用電晶體 4、門鎖電路 5、輸出緩衝電路 6 因為與先前技術或第 1 實施例相同，所以在相同之構成要件附加相同之符號，而其說明加以省略。另外，本實施例之半導體裝置亦具備有輸入來自外部之測試控制信號 TEST 的測試端子(圖中未顯示)。

字線控制電路 10，係輸入字線選擇信號  $WLi(i=1\sim m)$  和測試控制信號 TEST，並輸出輸入到記憶單元  $M_{ij}(i=1\sim m, j=1\sim n)$  之閘極的字線選擇信號  $WLAi(i=1\sim m)$ 。

關於以上述方式構成之半導體裝置，例如關於讀出記憶單元  $M_{11}$  之資料的動作，將使用圖 6 之時序圖進行說明。

測試控制信號 TEST 在「L」位準時，與第 1 實施例之動作相同。

當測試控制信號 TEST 為「H」位準時，輸入到記憶單元  $M_{ij}(i=1\sim m, j=1\sim n)$  之閘極中的字線選擇信號  $WLAi(i=1\sim m)$

全部成為「L」位準。

在行選擇信號  $CL_j (j=1\sim n)$  中，使行選擇信號  $CL_1$  成為「H」位準，行選擇信號  $CL_2\sim CL_n$  成為「L」位準，藉此，在構成行解碼器 2 之 N 型 MOS 電晶體  $C_j (j=1\sim n)$  中，使 N 型 MOS 電晶體  $C_1$  成為 ON 狀態，其他之 N 型 MOS 電晶體  $C_2$  至  $C_n$  成為 OFF 狀態。

其次，若使連接在預充電用電晶體 4 之閘極的預充電控制信號  $PCLK$  在  $T_p$  期間成為「L」位準，則將位元線  $BL_1$  充電成為「H」位準。

在位元線  $BL_1$  成為「H」位準之後，在字線選擇信號  $WLi (i=1\sim m)$  中，使字線選擇信號  $WL_1$  從「L」位準變成為「H」位準，其他之字線選擇信號  $WL_2\sim WL_m$  保持為「L」位準。但是，因為字線選擇信號  $WLA_1$  為「L」位準，所以無關於記憶單元  $M_{11}$  之汲極和位元線  $BL_1$  之連接/非連接，感測放大器 3 之輸入部保持為「H」位準。因此，感測放大器 3 之輸出成為「H」位準，閃鎖電路 5 之輸出  $Q$  成為「H」位準，輸出  $NQ$  成為「L」位準。藉由正邏輯之設定，在閃鎖電路 5 之輸出端  $Q$  連接到輸出緩衝電路 6 之情況下，將從輸出端子  $OUT$  讀出「H」。另外，藉由負邏輯之設定，在閃鎖電路 5 之輸出端  $NQ$  連接到輸出緩衝電路 6 之情況下，將從輸出端子  $OUT$  讀出「L」。

若依照本實施例，藉由切換連接到輸出緩衝電路 6 之閃鎖電路 5 之輸出端  $Q$  和  $NQ$ ，與第 1 實施例同樣地，可以減少記憶單元  $M_{ij} (i=1\sim m, j=1\sim n)$  之汲極連接到位元線

BL<sub>j</sub>( $j=1\sim n$ )之數目。利用此種方式可以防止由於佈線之多層化和微細化所造成之產率的降低。

在本實施例中，較佳為記憶單元  $M_{ij}$  之汲極與位元線 BL<sub>j</sub> 之連接/非連接，係利用將汲極與位元線之間電氣性地連接的第 1 接觸部 (Via 部) 之形成/非形成所獲得，門鎖電路 5 之輸出端 Q 或 NQ 與輸出緩衝電路 6 之連接，係利用將輸出端 Q 或 NQ 與輸出緩衝電路 6 之輸入端子之間電氣性地連接的第 2 接觸部 (Via 部) 之形成所獲得，而第 1 接觸部和第 2 接觸部利用同一步驟形成。藉此，即使記憶資料在記憶單元  $M_{ij}$  之汲極連接位元線 BL<sub>j</sub> 之步驟中被決定或經變更，亦可以在相同之步驟中進行邏輯之變更與記憶單元  $M_{ij}$  之汲極和位元線 BL<sub>j</sub> 的連接。其結果為，可以減少連接記憶單元  $M_{ij}$  之汲極與位元線 BL<sub>j</sub> 的接觸部。

另外，藉由以測試控制信號 TEST 控制字線選擇信號 WLA<sub>i</sub>( $i=1\sim m$ )，可以易於確認當輸出緩衝電路 6 之輸出在「H」時為正邏輯，在「L」時為負邏輯。利用此種方式則可以易於解析。

(第 4 實施例)

圖 7 是表示本發明第 4 實施例之半導體裝置之構造的路圖。

本實施例之半導體裝置如圖 7 所示，其構成包含有習知之遮罩 ROM11，緩衝電路 12 和資料處理電路 13。

遮罩 ROM11 為先前技術中所說明之圖 9 之構造之半導體裝置，記憶資料之“0”或“1”與記憶單元電晶體之汲極是否

連接到位元線之關係被固定。

緩衝電路 12 為具備有輸入端 D 與正邏輯之輸出端 Q 及負邏輯之輸出端 NQ 的緩衝電路。

資料處理電路 13 為輸入記憶資料，並進行資料處理，再輸出處理結果之電路。該資料處理電路 13 之具體例可舉例如處理器 (CPU 核心或 DSP 核心) 等。

以下針對依上述方式構成之半導體裝置進行說明。

在緩衝電路 12 之輸出端 Q 連接到資料處理電路 13 之輸入之情況下，當遮罩 ROM11 之輸出為「L」時，在資料處理電路 13 之輸入中輸入「L」，當 ROM11 之輸出為「H」時，在資料處理電路 13 之輸入中輸入「H」。

另外，在緩衝電路 12 之輸出端 NQ 連接到資料處理電路 13 之輸入的情況下，當遮罩 ROM11 之輸出為「L」時，在資料處理電路 13 之輸入中輸入「H」，當遮罩 ROM11 之輸出為「H」時，在資料處理電路 13 之輸入中輸入「L」。

若依照本實施例時，藉由切換緩衝電路 12 之輸出端 Q 或 NQ 與資料處理電路 13 之輸入的連接，則可以變化圖 9 之遮罩 ROM 之資料 "0" 或 "1" 與記憶單元  $M_{ij}$  ( $i=1\sim m, j=1\sim n$ ) 之汲極是否連接於位元線  $BL_j$  ( $j=1\sim n$ ) 之關係。因此，可以減少記憶單元  $M_{ij}$  ( $i=1\sim m, j=1\sim n$ ) 之汲極連接到位元線  $BL_j$  ( $j=1\sim n$ ) 之數目。利用此種方式可以防止由於佈線之多層化和微細化所造成之產率的降低。因此，在不能使用本發明第 1 至第 3 實施例之半導體裝置 (遮罩 ROM) 之情況下，利用上述之方法可以獲得同等之效果。

在本實施例中，較佳為記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  之連接/非連接，係利用將汲極與位元線之間電氣性地連接的第 1 接觸部 (Via 部) 之形成/非形成所獲得，緩衝電路 12 之輸出端 Q 或 NQ 與資料處理電路 13 之連接，係利用將輸出端 Q 或 NQ 與資料處理電路 13 之輸入端子之間電氣性地連接的第 2 接觸部 (Via 部) 之形成所獲得，而第 1 接觸部與第 2 接觸部利用同一步驟形成。藉此，即使記憶資料在記憶單元  $M_{ij}$  之汲極連接位元線  $BL_j$  之步驟中被決定或經變更，亦可以以相同之步驟進行邏輯之變更與記憶單元  $M_{ij}$  之汲極和位元線  $BL_j$  的連接。其結果為，可以減少連接記憶單元  $M_{ij}$  之汲極和位元線  $BL_j$  之接觸部。

(第 5 實施例)

圖 8 為表示本發明第 5 實施例之半導體裝置之構造的電路圖。

本實施例之半導體裝置如圖 8 所示，其構成包含有先前技術之遮罩 ROM11，以及在輸入部具備有可以進行邏輯切換之電路的資料處理電路 14。遮罩 ROM11 因為與第 4 實施例相同，所以在相同之構成要件附加相同之符號，而其說明則加以省略。

資料處理電路 14 在輸入部 14a 具備有正邏輯之節點 Q 和負邏輯之節點 NQ 以作為輸出節點，且可以變換對於內部電路 14b 之連接。資料處理電路 14 之輸入部 14a 具有與圖 7 之緩衝電路 12 同等的功能，內部電路 14b 具有與圖 7 之資料處理電路 13 同等的功能。

以下針對依上述方式構成之半導體裝置進行說明。

在資料處理電路 14 中，在輸入部 14a 之節點 Q 連接到內部電路 14b 之情況下，當遮罩 ROM11 之輸出為「L」時，在資料處理電路 14 之內部電路 14b 被輸入「L」，當遮罩 ROM11 之輸出為「H」時，在資料處理電路 13 之內部電路 14b 被輸入「H」。

另外，在輸入部 14a 之節點 NQ 連接到內部電路 14b 之情況下，當遮罩 ROM11 之輸出為「L」時，在資料處理電路 14 之內部電路 14b 被輸入「H」，當遮罩 ROM11 之輸出為「H」時，在資料處理電路 14 之內部電路 14b 被輸入「L」。

若依照本實施例，藉由切換資料處理電路 14 之輸入部 14a 之節點 Q 或節點 NQ 與內部電路 14b 之輸入的連接，可以變化圖 9 之遮罩 ROM 之資料 "0" 或 "1" 與記憶單元  $M_{ij}$  ( $i=1\sim m$ ,  $j=1\sim n$ ) 之汲極是否連接到位元線  $BL_j$  ( $j=1\sim n$ ) 之關係。其結果為，可以減少記憶單元  $M_{ij}$  ( $i=1\sim m$ ,  $j=1\sim n$ ) 之汲極連接到位元線  $BL_j$  ( $j=1\sim n$ ) 之數目。利用此種方式可以防止由於佈線之多層化和微細化所造成之產率的降低。因此，在不能使用本發明第 1 至第 3 實施例之半導體裝置 (遮罩 ROM) 之情況下，亦可以利用上述方法而獲得同等之效果。

在本實施例中，較佳為記憶單元  $M_{ij}$  之汲極與位元線  $BL_j$  之連接 / 非連接，係利用將汲極與位元線之間電氣性地連接的第 1 接觸部 (Via 部) 之形成 / 非形成所獲得，資料處理電路 14 之輸入部 14a 之輸出端 Q 或 NQ 與內部電路 14b 之連

接，係利用將輸出端 Q 或 NQ 與內部電路 14b 之輸入端子之間電氣性地連接的第 2 接觸部 (Via 部) 之形成所獲得，而第 1 接觸部和第 2 接觸部以同一步驟形成。藉此，即使記憶資料在記憶單元  $M_{ij}$  之汲極連接位元線  $BL_j$  之步驟中被決定或經變更，亦可以在同一步驟中進行邏輯之變更與記憶單元  $M_{ij}$  之汲極和位元線  $BL_j$  的連接。其結果為，可以減少連接記憶單元  $M_{ij}$  之汲極和位元線  $BL_j$  的接觸部。

(產業上之可利用性)

本發明之半導體裝置具有使遮罩 ROM 之記憶單元與位元線之連接減少的手法，且有效地作為防止由於製造處理之佈線多層化和微細化所造成之產率的降低之手法。另外，具有在測試時固定感測放大器之輸入的手法，在遮罩 ROM 之記憶資料和記憶單元與位元線的連接關係上之確認亦非常有用。

## 【圖式簡單說明】

圖 1 表示本發明第 1 實施例之半導體裝置的構造。

圖 2 為表示本發明第 1 實施例之半導體裝置之動作的時序圖。

圖 3 表示本發明第 2 實施例之半導體裝置的構造。

圖 4 為表示本發明第 2 實施例之半導體裝置之動作的時序圖。

圖 5 表示本發明第 3 實施例之半導體裝置的構造。

圖 6 為表示本發明第 3 實施例之半導體裝置之動作的時序圖。

圖 7 表示本發明第 4 實施例之半導體裝置的構造。

圖 8 表示本發明第 5 實施例之半導體裝置的構造。

圖 9 表示習知半導體裝置之構造。

圖 10 為表示習知半導體裝置之動作的時序圖。

## 【主要元件符號說明】

1	記憶單元陣列
2	行解碼器
3	感測放大器
4	充電用電晶體
5	閃鎖電路
6	輸出緩衝電路
7	充電信號控制電路
8	放電用電晶體
9	行信號控制電路
10	字線控制電路
11	遮罩 ROM
12	緩衝電路
13	資料處理電路
14	資料處理電路
14a	輸入部
14b	內部電路
BL <sub>j</sub>	位元線
C <sub>j</sub>	N 型 MOS 電晶體
CL <sub>j</sub>	行選擇信號
D	輸入端
LCLK	閃鎖控制信號
M <sub>ij</sub>	記憶單元
NLCLK	閃鎖控制信號

# 200529240

OUT	輸出端子
PCLK	充電控制信號
PCLKA	充電控制信號
Q、NQ	輸出端
RESET	閘極輸入信號
TEST	測試控制信號
WLi	字線選擇信號

## 五、中文發明摘要：

藉由切換連接到輸出緩衝電路之門鎖電路之輸出端和反轉輸出端，而變化資料之“0”或“1”與記憶單元之汲極連接或不連接到位元線的關係。另外，利用測試控制信號TEST將感測放大器之輸入固定在接地電位，藉以確認輸出緩衝電路之輸出在「L」時為正邏輯，在「H」時為負邏輯。

## 六、英文發明摘要：

An output end and an inverted output end of a latch circuit that is connected to an output buffer circuit are switched with each other, and thereby, the relationship between the data of “0” or “1” and the drain of a memory cell is connected or not connected to a bit line is changed. In addition, an input of a sense amplifier is fixed at the grounding potential by means of a test control signal, and thereby, positive logic is confirmed in the case where the output of the output buffer circuit is “L”, and negative logic is confirmed in the case where the output of the output buffer circuit is “H”.

## 十、申請專利範圍：

1. 一種半導體裝置，其特徵為，具備有：複數之位元線；複數之字線，被配置成分別與上述位元線交錯；複數之記憶單元電晶體，被配置在上述複數之位元線與上述複數之字線之各個交錯點，各個之閘極連接到上述字線，並記憶因汲極與上述位元線連接或非連接而不同之資料；字線選擇電路，係從上述複數之字線中選擇一根之字線；位元線選擇電路，係從上述複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與上述字線選擇電路所選擇之字線和上述位元線選擇電路所選擇之位元線對應的上述記憶單元電晶體之資料，而判定藉由上述位元線選擇電路所選擇之位元線的位準；資料保持電路，係將上述感測放大器之輸出進行輸入並具有正邏輯和負邏輯之 2 個輸出端子和輸出電路，其輸入端子連接到上述資料保持電路之 2 個輸出端子中的任一方之輸出端子。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述記憶單元電晶體之汲極和上述位元線之連接/非連接，係藉由電氣性地連接上述汲極與上述位元線之間的第 1 接觸部之形成/非形成所形成，上述資料保持電路之一方之輸出端子和上述輸出電路之輸入端子的連接，係藉由電氣性地連接上述一方之輸出端子與上述輸出電路之輸入端子之間的第 2 接觸部之形成所形成，上述第 1 接觸部和上述第 2 接觸部為利用同一步驟所形成。

3. 如申請專利範圍第 1 項之半導體裝置，其中，設有測

試端子，當在上述測試端子輸入測試信號時，將上述感測放大器之輸入固定在接地電位或電源電位。

4. 如申請專利範圍第 1 項之半導體裝置，其中，

設有充電電路，係藉由將連接到上述感測放大器之輸入的第 1 節點充電成為電源電位，而從上述第 1 節點經由上述位元線選擇電路，將上述位元線選擇電路所選擇之位元線充電成為電源電位；

且設有：測試端子；與控制電路，係當有測試信號被輸入到上述測試端子時，則禁止藉由上述充電電路進行上述第 1 節點的充電，同時將連接到上述感測放大器之輸入的上述第 1 節點固定在接地電位。

5. 如申請專利範圍第 1 項之半導體裝置，其中，

設有充電電路，係藉由將連接到上述感測放大器之輸入的第 1 節點充電成為電源電位，而從上述第 1 節點經由上述位元線選擇電路，將上述位元線選擇電路所選擇之位元線充電成為電源電位；

且設有：測試端子；與控制電路，係當有測試信號被輸入到上述測試端子時，則禁止藉由上述位元線選擇電路進行上述位元線之選擇。

6. 如申請專利範圍第 1 項之半導體裝置，其中，

設有充電電路，係藉由將連接到上述感測放大器之輸入的第 1 節點充電成為電源電位，而從上述第 1 節點經由上述位元線選擇電路，將上述位元線選擇電路所選擇之位元線充電成為電源電位；

且設有：測試端子；與控制電路，係當有測試信號被輸入到上述測試端子時，禁止藉由上述字線選擇電路進行上述字線之選擇。

7. 一種半導體裝置，其特徵為，具備有：

記憶部，具有：複數之位元線；複數之字線，被配置成分別與上述位元線交錯；複數之記憶單元電晶體，被配置在上述複數之位元線與上述複數之字線之各個交錯點，各個之閘極連接到上述字線，並記憶因汲極與上述位元線連接或非連接而不同之資料；字線選擇電路，係從上述複數之字線中選擇一根之字線；位元線選擇電路，係從上述複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與上述字線選擇電路所選擇之字線和上述位元線選擇電路所選擇之位元線對應的上述記憶單元電晶體之資料，而判定藉由上述位元線選擇電路所選擇之位元線的位準；資料保持電路，係輸入上述感測放大器之輸出；輸出電路，係輸入上述資料保持電路之輸出；

緩衝電路，係輸入上述記憶部之上述輸出電路的輸出並具有正邏輯和負邏輯之 2 個輸出端子；

資料處理電路，係使輸入端子連接到上述緩衝電路之 2 個輸出端子中之任一方的輸出端子。

8. 如申請專利範圍第 7 項之半導體裝置，其中，上述記憶單元電晶體之汲極和上述位元線之連接/非連接，係藉由電氣性地連接上述汲極與上述位元線之間的第 1 接觸部之形成/非形成所形成，上述緩衝電路之一方之輸出端子和上

述資料處理電路之輸入端子的連接，係藉由電氣性地連接上述一方之輸出端子與上述資料處理電路之輸入端子之間的第2接觸部之形成所形成，上述第1接觸部和上述第2接觸部為利用同一步驟所形成。

9. 一種半導體裝置，其特徵為，具備有：

記憶部，具有：複數之位元線；複數之字線，被配置成分別與上述位元線交錯；複數之記憶單元電晶體，被配置在上述複數之位元線與上述複數之字線之各個交錯點，各個之間極連接到上述字線，並記憶因汲極與上述位元線連接或非連接而不同之資料；字線選擇電路，係從上述複數之字線中選擇一根之字線；位元線選擇電路，係從上述複數之位元線中選擇一根之位元線；感測放大器，係用於讀出與上述字線選擇電路所選擇之字線和上述位元線選擇電路所選擇之位元線對應的上述記憶單元電晶體之資料，而判定藉由上述位元線選擇電路所選擇之位元線的位準；資料保持電路，係輸入上述感測放大器之輸出；輸出電路，係輸入上述資料保持電路之輸出；

資料處理部，其構成包含有：輸入電路，係將上述記憶部之上述輸出電路之輸出進行輸入，並具有正邏輯和負邏輯之2個輸出端子；資料處理電路，其輸入端子連接到上述輸入電路之2個輸出端子中之任一方的輸出端子。

10. 如申請專利範圍第9項之半導體裝置，其中，上述記憶單元電晶體之汲極和上述位元線的連接/非連接，係藉由電氣性地連接上述汲極與上述位元線之間的第1接觸部之

形成/非形成所形成，上述資料處理部之上述輸入電路之一方之輸出端子與上述資料處理電路之輸入端子的連接，係藉由電氣性地連接上述一方之輸出端子與上述資料處理電路之輸入端子之間的第 2 接觸部之形成所形成，上述第 1 接觸部和上述第 2 接觸部為利用同一步驟所形成。

十一、圖式：



1

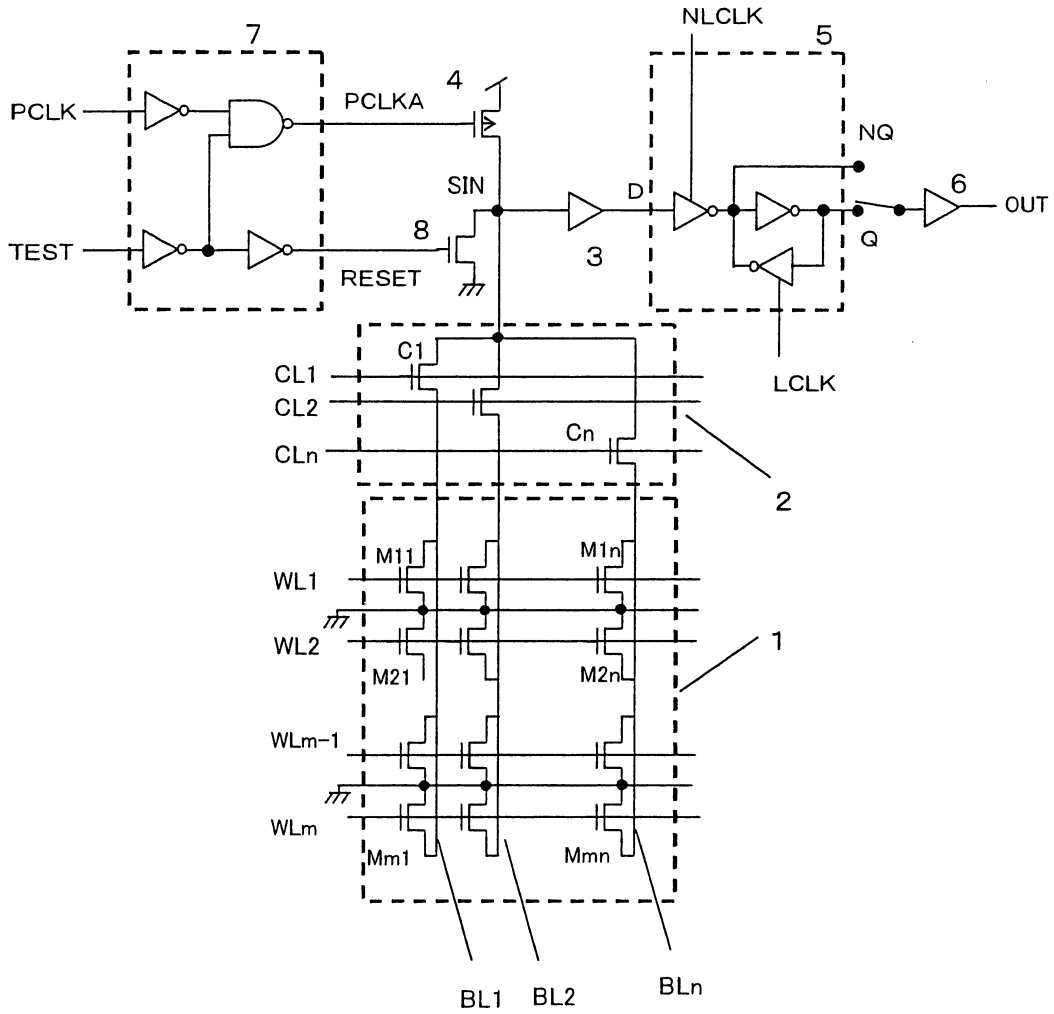
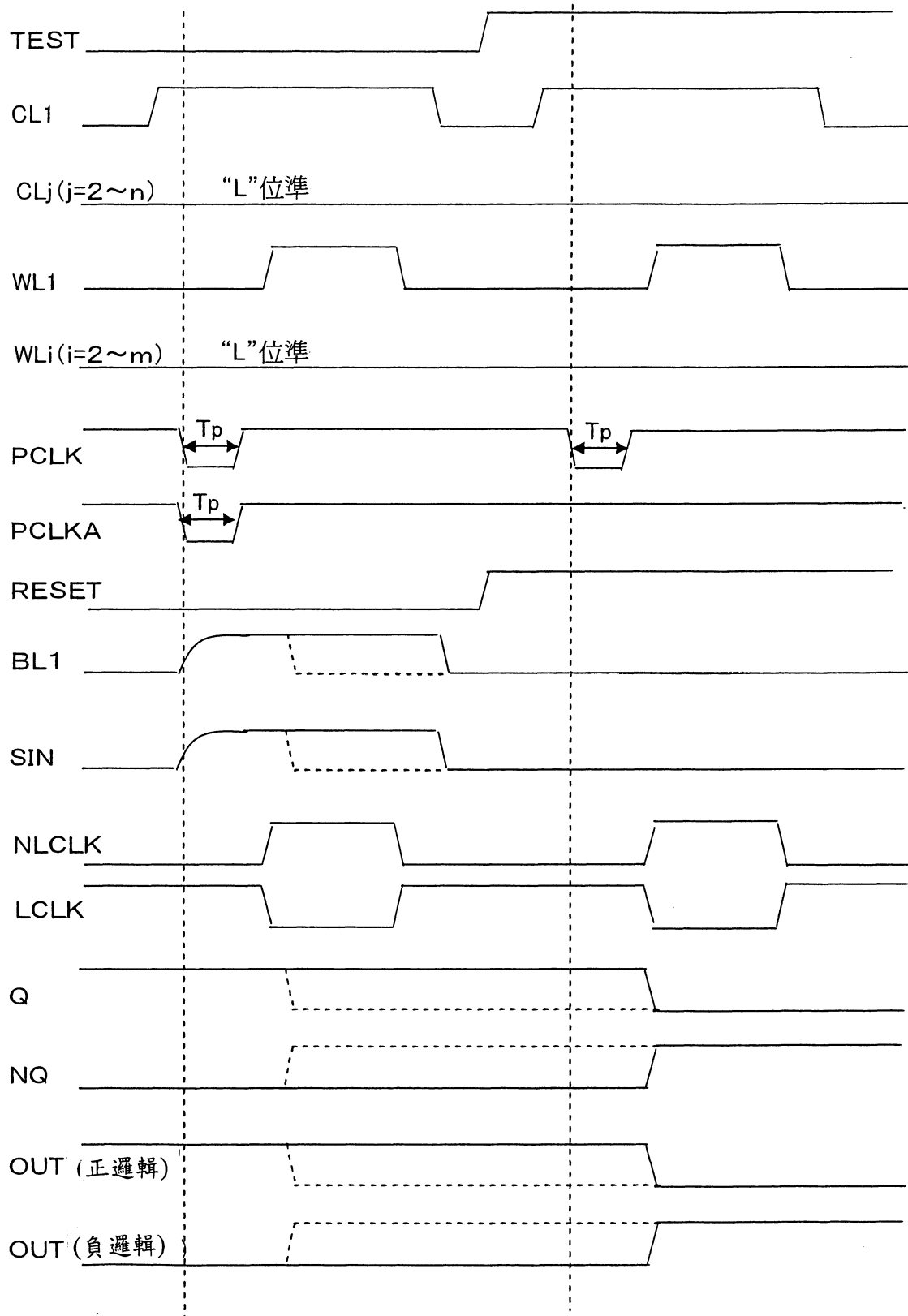


圖 2



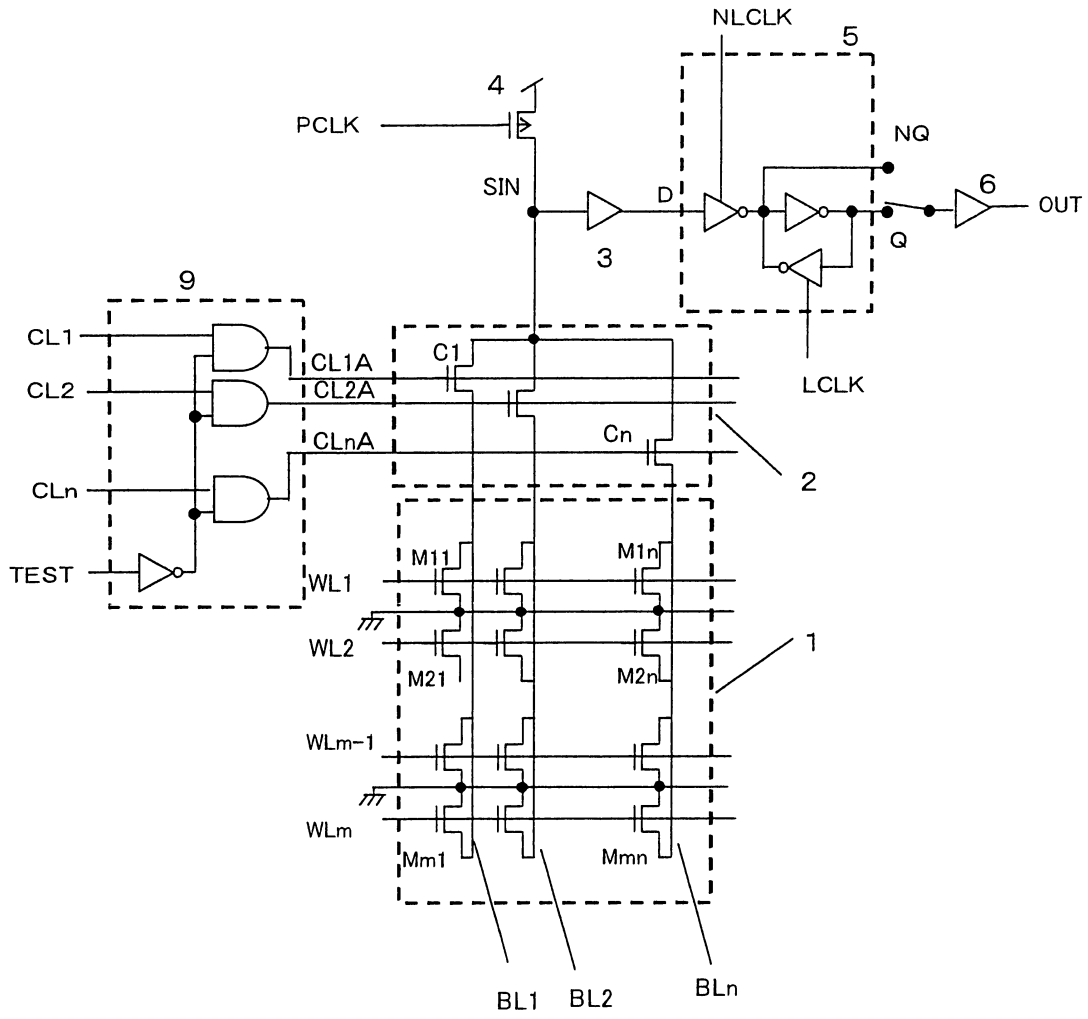
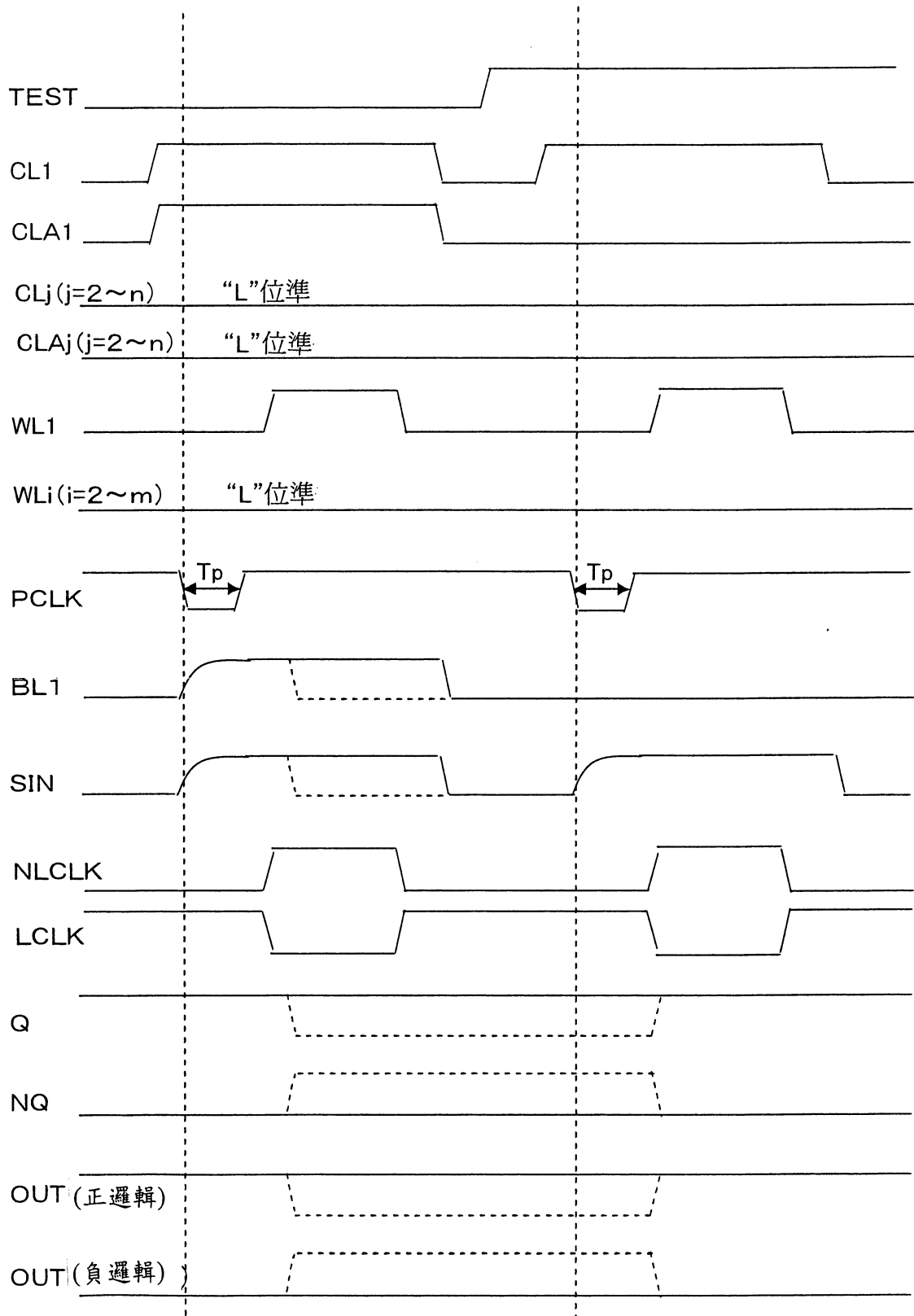


圖 4



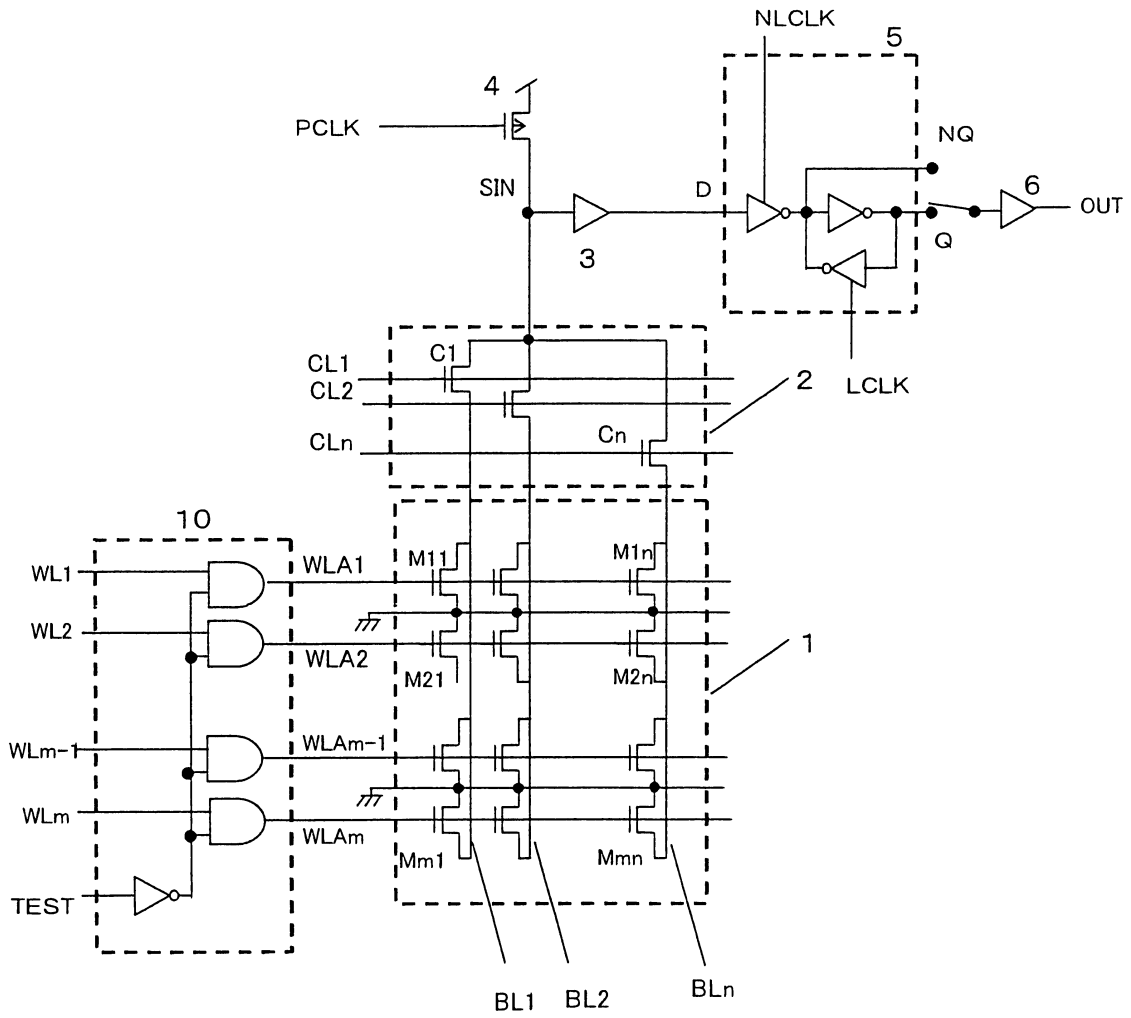
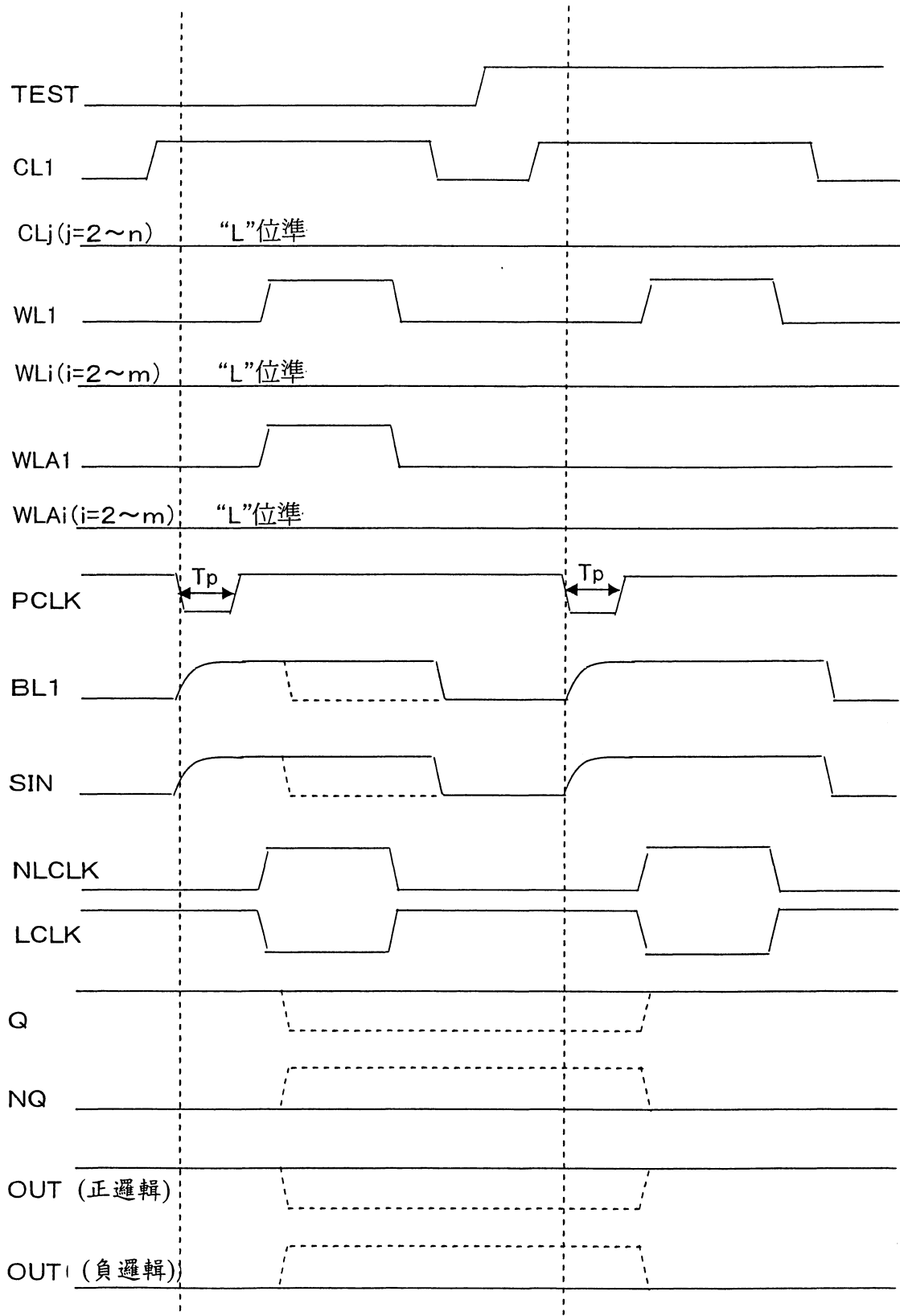


圖 6



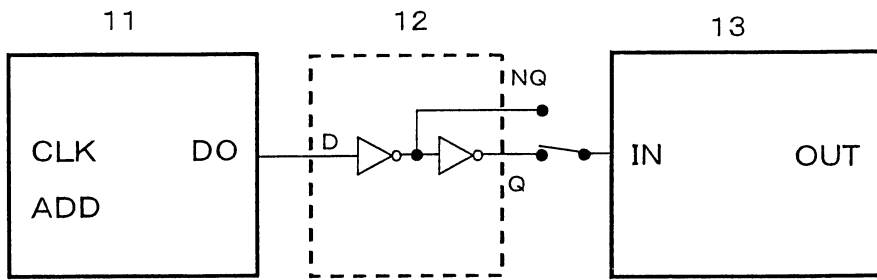
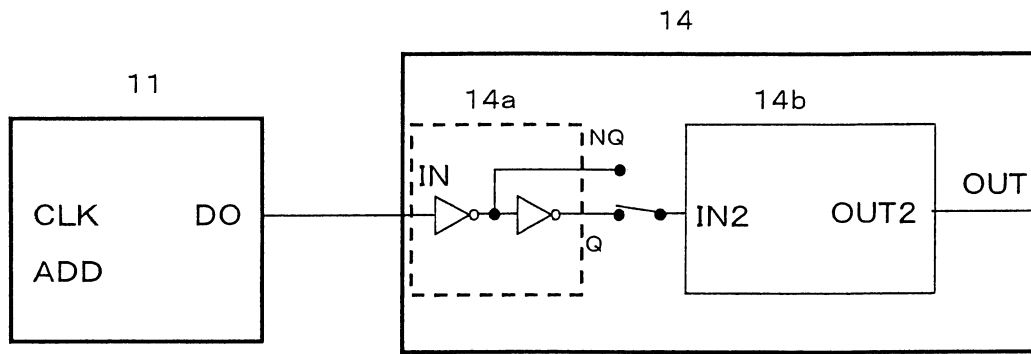


圖 8



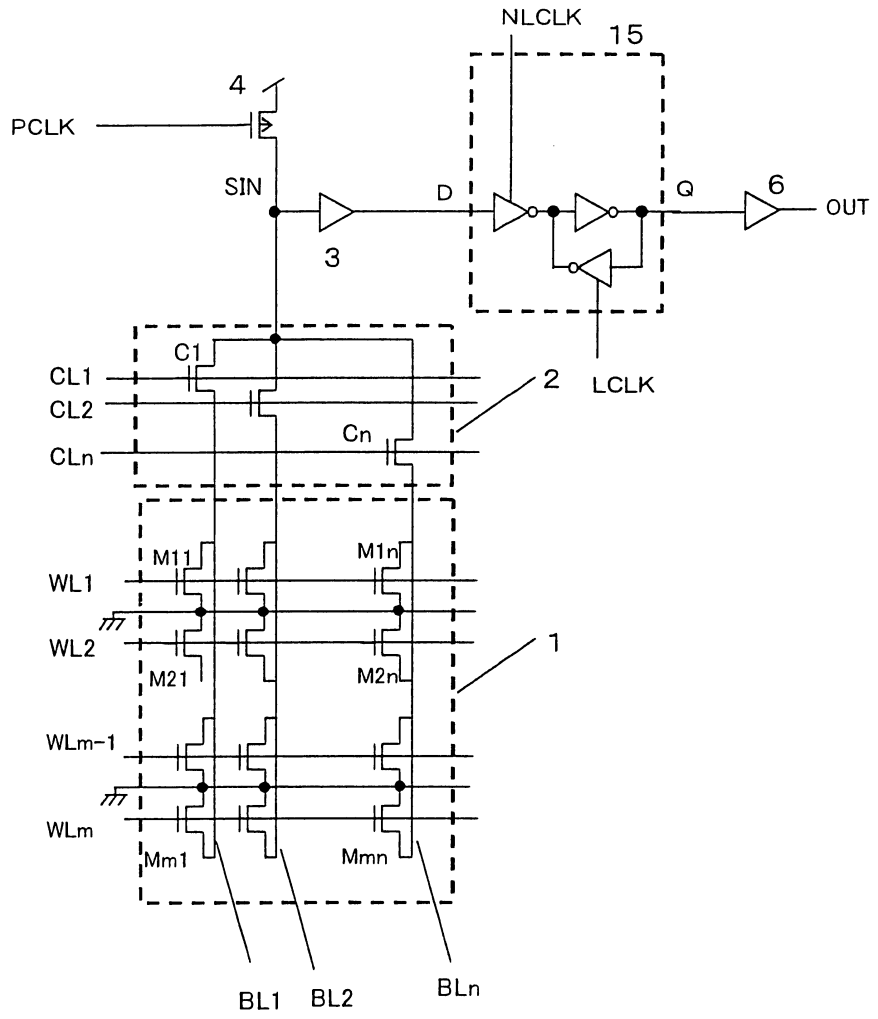
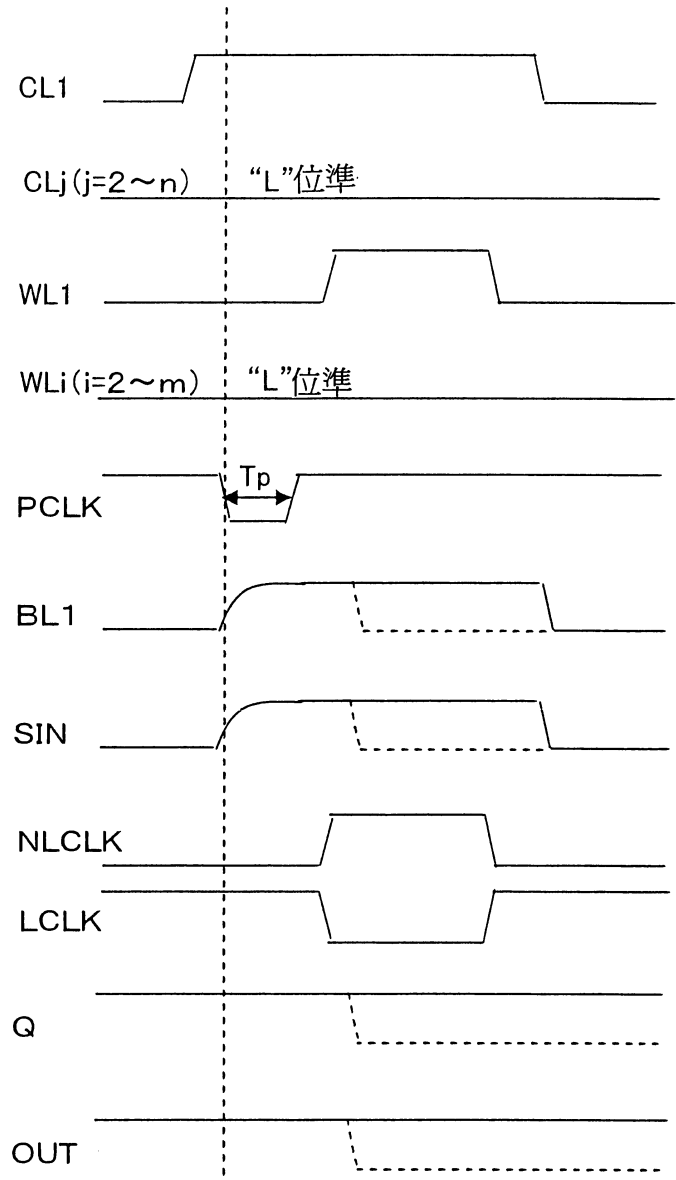


図 10



## 七、指定代表圖：

(一)本案指定代表圖為：第 ( 1 ) 圖。

(二)本代表圖之元件符號簡單說明：

1	記憶單元陣列	2	行解碼器
3	感測放大器	4	充電用電晶體
5	門鎖電路	6	輸出緩衝電路
7	充電信號控制電路	8	放電用電晶體
LCLK	門鎖控制信號	NLCLK	門鎖控制信號
PCLK	充電控制信號	Q、NQ	輸出端
RESET	閘極輸入信號	PCLKA	充電控制信號
Cj	N型MOS電晶體	Mij	記憶單元
CLj	行選擇信號	WLi	字線選擇信號
BLj	位元線	OUT	輸出端子
TEST	測試控制信號		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無