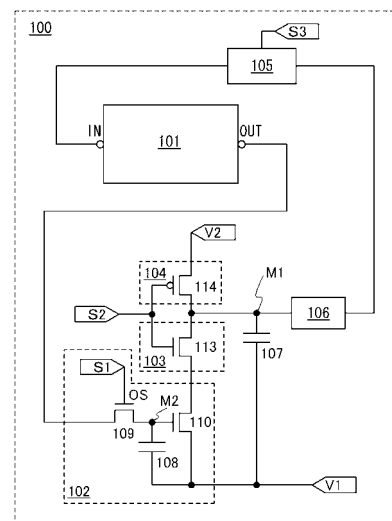




【特許請求の範囲】

【請求項 1】

レジスタを有する信号処理回路であって、
前記レジスタは、
第 1 の記憶回路と、第 2 の記憶回路と、を有し、
前記第 1 の記憶回路は、2 つのインバータを有し、
前記第 2 の記憶回路は、容量素子と、第 1 のトランジスタと、第 2 のトランジスタと、
を有し、
前記第 1 のトランジスタは、チャンネルが酸化物半導体に形成されるトランジスタであり、
前記第 2 のトランジスタは、チャンネルがシリコンに形成されるトランジスタであり、
前記第 1 の記憶回路に保持されたデータは、前記第 1 のトランジスタを介して前記容量素子の一对の電極のうち的一方と、前記第 2 のトランジスタのゲートと、に入力され、
前記第 2 のトランジスタのソースまたはドレインの一方は、前記第 1 の記憶回路と電気的に接続されることを特徴とする信号処理回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

電源を切っても記憶している論理状態が消えない不揮発性の記憶装置、及びそれを用いた信号処理回路に関する。また、当該記憶装置及び当該信号処理回路の駆動方法に関する。更に当該信号処理回路を用いた電子機器に関する。

20

【背景技術】

【0002】

中央演算処理装置（CPU：Central Processing Unit）などの信号処理回路は、その用途によって多種多様な構成を有しているが、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタ、キャッシュメモリなど、各種の記憶装置が設けられている。レジスタは、演算処理やプログラムの実行状態の保持などのために一時的にデータを保持する役割を担っている。また、キャッシュメモリは、演算回路とメインメモリの間に介在し、低速なメインメモリへのアクセスを減らして演算処理を高速化させることを目的として設けられている。

30

【0003】

レジスタやキャッシュメモリ等の記憶装置は、メインメモリよりも高速でデータの書き込みを行う必要がある。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとしてSRAM（Static Random Access Memory）等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電位の供給が途絶えるとデータを消失してしまう揮発性の記憶装置が用いられている。

【0004】

消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源電圧の供給を一時的に停止するという方法が提案されている。その方法では、レジスタ、キャッシュメモリ等の揮発性の記憶装置の周辺に不揮発性の記憶装置を配置し、上記データをその不揮発性の記憶装置に一時的に記憶させる。こうして、信号処理回路において電源電位の供給を停止する間も、レジスタ、キャッシュメモリ等はデータを保持する（例えば、特許文献 1 参照）。

40

【0005】

また、信号処理回路において長時間の電源電圧の供給停止を行う際には、電源電圧の供給停止の前に、揮発性の記憶装置内のデータをハードディスク、フラッシュメモリ等の外部記憶装置に移すことで、データの消失を防ぐこともできる。

【先行技術文献】

【特許文献】

【0006】

50

【特許文献1】特開平10-078836号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

信号処理回路において電源電圧の供給を停止する間、揮発性の記憶装置の周辺に配置した不揮発性の記憶装置へ揮発性の記憶装置のデータを記憶させる方法では、これらの不揮発性の記憶装置として主に磁気素子や強誘電体が用いられているため、信号処理回路の作製工程が複雑である。

【0008】

また、信号処理回路において電源電圧の供給を停止する間、外部記憶装置に揮発性の記憶装置のデータを記憶させる方法では、外部記憶装置から揮発性の記憶装置にデータを戻すのには時間を要する。よって、外部記憶装置によるデータのバックアップは、消費電力の低減を目的とした短時間の電源停止には適さない。

【0009】

上述の課題に鑑み、本発明は、複雑な作製工程を必要とせず、消費電力を抑えることができる信号処理回路、当該信号処理回路の駆動方法の提供を目的の一つとする。特に、短時間の電源停止により消費電力を抑えることができる信号処理回路、当該信号処理回路の駆動方法の提供を目的の一つとする。

【課題を解決するための手段】

【0010】

(記憶素子の構成の一態様)

本発明の記憶素子の構成の一態様は、以下のとおりである。

【0011】

(記憶素子の構成1)

第1の記憶回路と、第2の記憶回路と、第1のスイッチと、第2のスイッチと、第3のスイッチと、を有し、第1の記憶回路は、電源電圧が供給されている期間のみデータを保持し、第2の記憶回路は、第1の容量素子と、第1のトランジスタと、第2のトランジスタと、を有する記憶素子であって、以下の構成を特徴とする。

【0012】

第1のトランジスタは、チャンネルが酸化物半導体層に形成されるトランジスタである。ここで、チャンネルが酸化物半導体層に形成される第1のトランジスタとして、リーク電流(オフ電流)が極めて小さい、エンハンスメント型(ノーマリオフ型)のnチャンネル型のトランジスタを用いる。そして、記憶素子への電源電圧の供給が停止した際、第1のトランジスタのゲートには接地電位(0V)が入力され続ける構成とする。例えば、第1のトランジスタのゲートが抵抗等の負荷を介して接地される構成とする。第1のトランジスタのソースとドレインの一方は、第1の容量素子の一对の電極のうちの一方、及び第2のトランジスタのゲートと電氣的に接続される。第2のトランジスタのソースとドレインの一方は、第1の電源線に電氣的に接続され、他方は、第1のスイッチの第1の端子と電氣的に接続される。第1のスイッチの第2の端子は第2のスイッチの第1の端子と電氣的に接続される。第2のスイッチの第2の端子は第2の電源線と電氣的に接続される。

【0013】

第1のトランジスタのゲートには、第1の制御信号が入力される。第1のスイッチ及び第2のスイッチは、第1の制御信号とは異なる第2の制御信号によって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。第3のスイッチは、第1の制御信号及び第2の制御信号とは異なる第3の制御信号によって第1の端子と第2の端子の間の導通状態または非導通状態を選択される。

【0014】

第1のトランジスタのソースとドレインの他方には、第1の記憶回路に保持されたデータに対応する信号が入力され、第1のスイッチの第2の端子から出力される信号、または

10

20

30

40

50

その反転信号が、第 1 の端子と第 2 の端子間が導通状態となった第 3 のスイッチを介して第 1 の記憶回路に入力される。

【0015】

本発明の記憶素子の構成の別の態様は、以下のとおりである。

【0016】

(記憶素子の構成 2)

第 1 の記憶回路と、第 2 の記憶回路と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、入力された信号の位相を反転させて出力する論理素子（以下、位相反転素子と呼ぶ）と、を有し、第 1 の記憶回路は、電源電圧が供給されている期間のみデータを保持し、第 2 の記憶回路は、第 1 の容量素子と、第 1 のトランジスタと、第 2 のトランジスタと、を有する記憶素子であって、以下の構成を特徴とする。

10

【0017】

第 1 のトランジスタは、チャンネルが酸化物半導体層に形成されるトランジスタである。ここで、チャンネルが酸化物半導体層に形成される第 1 のトランジスタとして、リーク電流（オフ電流）が極めて小さい、エンハンスメント型（ノーマリオフ型）の n チャンネル型のトランジスタを用いる。そして、記憶素子への電源電圧の供給が停止した際、第 1 のトランジスタのゲートには接地電位（0 V）が入力され続ける構成とする。例えば、第 1 のトランジスタのゲートが抵抗等の負荷を介して接地される構成とする。第 1 のトランジスタのソースとドレインの一方は、第 1 の容量素子の一对の電極のうちの一方、及び第 2 のトランジスタのゲートと電気的に接続される。第 2 のトランジスタのソースとドレインの一方は、第 1 の電源線に電気的に接続され、他方は、第 1 のスイッチの第 1 の端子と電気的に接続される。第 1 のスイッチの第 2 の端子は第 2 のスイッチの第 1 の端子と電気的に接続される。第 2 のスイッチの第 2 の端子は第 2 の電源線と電気的に接続される。第 1 のスイッチの第 2 の端子と、第 2 のスイッチの第 1 の端子と、位相反転素子の入力端子と、は電気的に接続される。

20

【0018】

第 1 のトランジスタのゲートには、第 1 の制御信号が入力される。第 1 のスイッチ及び第 2 のスイッチは、第 1 の制御信号とは異なる第 2 の制御信号によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。第 3 のスイッチは、第 1 の制御信号及び第 2 の制御信号とは異なる第 3 の制御信号によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択される。

30

【0019】

第 1 のトランジスタのソースとドレインの他方には、第 1 の記憶回路に保持されたデータに対応する信号が入力され、位相反転素子から出力される信号、またはその反転信号が、第 1 の端子と第 2 の端子間が導通状態となった第 3 のスイッチを介して第 1 の記憶回路に入力される。

【0020】

上記（記憶素子の構成 2）において、位相反転素子には、第 1 の電源線に入力される電位と、第 2 の電源線に入力される電位との電位差に相当する電圧が、電源電圧として供給されていてもよい。

40

【0021】

上記（記憶素子の構成 2）において、記憶素子は、第 2 の容量素子を更に有し、位相反転素子の入力端子には、第 2 の容量素子の一对の電極のうちの一方が電気的に接続されていてもよい。第 2 の容量素子の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位または高電源電位が入力される構成とすることができる。第 2 の容量素子の一对の電極のうちの他方は、第 1 の電源線と電気的に接続されていてもよい。

【0022】

上記（記憶素子の構成 1）または（記憶素子の構成 2）において、第 1 のスイッチは、

50

一導電型のトランジスタを用いて構成され、第2のスイッチは、一導電型とは異なる導電型のトランジスタを用いて構成することができる。ここで、本明細書中では、スイッチとしてトランジスタを用いる場合には、スイッチの第1の端子はトランジスタのソースとドレインの一方に対応し、スイッチの第2の端子はトランジスタのソースとドレインの他方に対応し、スイッチはトランジスタのゲートに入力される制御信号によって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタのオン状態またはオフ状態）が選択されるものとする。

【0023】

上記（記憶素子の構成1）または（記憶素子の構成2）において、第3のスイッチは、トランジスタを用いて構成することができる。当該トランジスタはnチャネル型トランジスタであってもよいし、pチャネル型トランジスタであってもよい。また、nチャネル型トランジスタとpチャネル型トランジスタを組み合わせ用いてもよい。例えば、第3のスイッチは、アナログスイッチとすることができる。

10

【0024】

上記（記憶素子の構成1）または（記憶素子の構成2）において、第1の容量素子の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位または高電源電位が入力される構成とすることができる。第1の容量素子の一对の電極のうちの他方は、第1の電源線と電気的に接続されていてもよい。

【0025】

上記（記憶素子の構成1）または（記憶素子の構成2）において、第1の記憶回路には、第1の電源線に入力される電位と、第2の電源線に入力される電位との電位差に相当する電圧が、電源電圧として供給されていてもよい。第1の記憶回路に電源電圧が供給されない期間では、第1の電源線に入力される電位と第2の電源線に入力される電位の電位差を（実質的に）無くすることができる。

20

【0026】

上記（記憶素子の構成1）または（記憶素子の構成2）において、第1のトランジスタは、酸化物半導体層を挟んで上下に2つのゲートを有するトランジスタとすることができる。一方のゲートに第1の制御信号を入力し、他方のゲートには、第4の制御信号を入力することができる。第4の制御信号は、一定の電位の信号であってもよい。一定の電位は、第1の電源線または第2の電源線に与えられる電位であってもよい。なお、2つのゲートを電気的に接続し、第1の制御信号を入力してもよい。他方のゲートに入力する信号によって、第1のトランジスタのしきい値電圧等を制御することが可能である。また、第1のトランジスタのオフ電流を更に低減することも可能である。

30

【0027】

上記（記憶素子の構成1）または（記憶素子の構成2）において、記憶素子に用いられるトランジスタのうち、第1のトランジスタ以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子に用いられるトランジスタ全てを、チャンネルが酸化物半導体層に形成されるトランジスタとすることもできる。または、記憶素子に用いられるトランジスタのうちのいずれか、及び第1のトランジスタは、チャンネルが酸化物半導体層に形成されるトランジスタであり、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることもできる。

40

【0028】

上記（記憶素子の構成1）または（記憶素子の構成2）において、第1の記憶回路は、第1の位相反転素子及び第2の位相反転素子を有し、第1の位相反転素子の入力端子は第2の位相反転素子の出力端子と電気的に接続され、第2の位相反転素子の入力端子は第1の位相反転素子の出力端子と電気的に接続された構成を用いることができる。第1の位相反転素子及び第2の位相反転素子は、それぞれ電源電位が供給されている期間のみ、入力された信号に対応する信号を出力する。位相反転素子としては、例えばインバータやクロ

50

ックドインバータ等を用いることができる。なおこれに限定されず、第1の記憶回路は、公知のラッチ回路や、フリップフロップ回路等の揮発性のメモリを自由に用いることができる。

【0029】

(記憶素子の駆動方法)

上記記憶素子において、電源電圧の供給の後、データの保持時における消費電力を削減するために電源電圧の供給を停止し、再び電源電圧を供給する場合の駆動方法は以下のようすることができる。

【0030】

(通常動作)

記憶素子へ電源電圧が供給されている間は、第1の記憶回路がデータを保持する。この際、第3の制御信号によって、第3のスイッチの第1の端子と第2の端子の間は非導通状態とされる。なお、第1のスイッチ及び第2のスイッチの第1の端子と第2の端子の間の状態(導通状態、非導通状態)はどちらの状態であってもよい。即ち、第2の制御信号はハイレベル電位であってもローレベル電位であってもよい。また、第1のトランジスタの状態(オン状態、オフ状態)はどちらの状態であってもよい。即ち、第1の制御信号はハイレベル電位であってもローレベル電位であってもよい。

【0031】

(電源電圧供給停止前の動作)

記憶素子への電源電圧の供給の停止をする前に、第1の制御信号によって、第1のトランジスタをオン状態とする。こうして、第1の記憶回路に保持されたデータに対応する信号が、第1のトランジスタを介して第2のトランジスタのゲートに入力される。第2のトランジスタのゲートに入力された信号は、第1の容量素子によって保持される。その後、第1のトランジスタをオフ状態とする。こうして、第1の記憶回路に保持されたデータに対応する信号が第2の記憶回路に保持される。この際、第3の制御信号によって、第3のスイッチの第1の端子と第2の端子の間は非導通状態とされる。なお、第1のスイッチ及び第2のスイッチの第1の端子と第2の端子の間の状態(導通状態、非導通状態)はどちらの状態であってもよい。

【0032】

(電源電圧供給停止の動作)

上記動作の後、記憶素子への電源電圧の供給を停止する。記憶素子への電源電圧の供給が停止した後においても、第1の容量素子によって第1の記憶回路に保持されていたデータに対応する信号が保持される。ここで、第1のトランジスタとして、リーク電流(オフ電流)が極めて小さい、エンハンスメント型(ノーマリオフ型)のnチャネル型のトランジスタを用い、記憶素子への電源電圧の供給が停止した際、第1のトランジスタのゲートには接地電位(0V)が入力され続ける構成であるため、記憶素子への電源電圧の供給が停止した後も、第1のトランジスタのオフ状態を維持することができ、第1の容量素子によって保持された電位を長期間保つことができる。こうして、記憶素子は電源電圧の供給が停止した後も、データを保持する。

【0033】

(電源電圧供給再開の動作)

記憶素子への電源電圧の供給を再開した後、第2の制御信号によって、第2のスイッチの第1の端子と第2の端子の間を導通状態とし、第1のスイッチの第1の端子と第2の端子の間を非導通状態とする。この際、第1のトランジスタはオフ状態のままである。また、第3のスイッチの第1の端子と第2の端子の間は非導通状態である。こうして、第1のスイッチの第2の端子及び第2のスイッチの第1の端子に、電源電圧供給時において第2の電源線に与えられる電位が入力される。そのため、第1のスイッチの第2の端子及び第2のスイッチの第1の端子の電位を、第2の電源線の電位にする(以下、プリチャージ動作と呼ぶ)ことができる。

【0034】

上記プリチャージ動作の後、第2の制御信号によって、第1のスイッチの第1の端子と第2の端子の間を導通状態とし、第2のスイッチの第1の端子と第2の端子の間を非導通状態とする。この際、第1のトランジスタはオフ状態のままである。また、第3のスイッチの第1の端子と第2の端子の間は非導通状態である。すると、第1の容量素子に保持された信号に応じて、第1のスイッチの第2の端子及び第2のスイッチの第1の端子の電位が定まる。当該電位は、電源電圧供給時において第1の電源線に与えられる電位、または、電源電圧供給時において第2の電源線に与えられる電位となる。

【0035】

その後、第3の制御信号によって、第3のスイッチの第1の端子と第2の端子の間を導通状態とすることによって、第1のスイッチの第2の端子及び第2のスイッチの第1の端子の電位に対応する信号、またはその反転信号を、第1の記憶回路に入力することができる。こうして、第1の記憶回路は、記憶素子への電源電圧の供給停止前に保持していたデータを再び保持することができる。

【0036】

以上が、記憶素子の駆動方法の説明である。

【0037】

(信号処理回路)

本発明の記憶装置の一態様は、上記記憶素子を一または複数用いて構成された記憶装置とすることができる。また、本発明の信号処理回路の一態様は、当該記憶装置を用いた信号処理回路とすることができる。例えば、信号処理回路が有するレジスタ、キャッシュメモリ等の記憶装置に上記記憶素子を用いる。

【0038】

さらに、信号処理回路は、上記記憶装置に加え、記憶装置とデータのやり取りを行う演算回路等の各種論理回路を有してもよい。そして、記憶装置へ電源電圧の供給を停止すると共に、当該記憶装置とデータのやり取りを行う演算回路への電源電圧の供給を停止するようにしても良い。

【0039】

そして、上記記憶装置は、記憶素子への電源電圧の供給を制御するスイッチング素子を有していても良い。また、演算回路への電源電圧の供給を停止する場合には、演算回路は、電源電圧の供給を制御するスイッチング素子を有していても良い。

【発明の効果】

【0040】

記憶素子に電源電圧が供給されない間は、揮発性のメモリに相当する第1の記憶回路に記憶されていたデータを、第2の記憶回路に設けられた第1の容量素子によって保持することができる。

【0041】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタを第1のトランジスタとして用いることによって、記憶素子に電源電圧が供給されない間も第1の容量素子に保持された信号は長期間にわたり保たれる。こうして、記憶素子は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0042】

また、第2の記憶回路において、第1の容量素子によって保持された信号は第2のトランジスタのゲートに入力される。そのため、記憶素子への電源電圧の供給が再開された後、第1の容量素子によって保持された信号を、第2のトランジスタの状態(オン状態、またはオフ状態)に変換して、第2の記憶回路から読み出すことができる。それ故、第1の容量素子に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

10

20

30

40

50

【0043】

このような記憶素子を、信号処理回路が有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、信号処理回路全体、もしくは信号処理回路を構成する一または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる信号処理回路、消費電力を抑えることができる当該信号処理回路の駆動方法を提供することができる。

【図面の簡単な説明】

【0044】

10

【図1】記憶素子の回路図。

【図2】記憶素子の動作を示すタイミングチャート。

【図3】記憶装置の構成を示す図。

【図4】信号処理回路のブロック図。

【図5】記憶装置を用いたCPUのブロック図。

【図6】記憶素子の作製工程を示す図。

【図7】記憶素子の作製工程を示す図。

【図8】記憶素子の作製工程を示す図。

【図9】記憶素子の構成を示す断面図。

【図10】酸化物半導体層にチャンネルが形成されるトランジスタの構成を示す断面図。

20

【図11】記憶装置の構成を示す断面図。

【図12】記憶装置の構成を示す断面図。

【図13】携帯用の電子機器のブロック図。

【図14】メモリ回路のブロック図。

【図15】電子書籍のブロック図。

【図16】酸化物材料の構造を説明する図。

【図17】酸化物材料の構造を説明する図。

【図18】酸化物材料の構造を説明する図。

【図19】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図20】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

30

。【図21】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。【図22】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図

。【図23】計算に用いたトランジスタの断面構造を説明する図。

【図24】酸化物半導体膜を用いたトランジスタ特性のグラフ。

【図25】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図26】試料2のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。

【図27】試料Aおよび試料BのXRDスペクトルを示す図。

40

【図28】トランジスタのオフ電流と測定時基板温度との関係を示す図。

【図29】 I_d および電界効果移動度の V_g 依存性を示す図。

【図30】しきい値電圧および電界効果移動度と基板温度との関係を示す図。

【図31】トランジスタの構成を表す図。

【図32】トランジスタの構成を表す図。

【発明を実施するための形態】

【0045】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発

50

明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0046】

なお、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れかわることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れかえて用いることができるものとする。

【0047】

「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限はない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

10

【0048】

回路図上は独立している構成要素どうしが電氣的に接続しているように図示されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0049】

「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

20

【0050】

図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0051】

「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものである。

【0052】

(実施の形態1)

信号処理回路は記憶装置を有し、記憶装置は1ビットのデータを記憶することができる記憶素子を、単数または複数有する。

30

【0053】

なお、CPU、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、FPGA (Field Programmable Gate Array) 等のLSI (Large Scale Integrated Circuit) 等が、本発明の信号処理回路の範疇に含まれる。

【0054】

(記憶素子の構成)

図1に、記憶素子の回路図の一例を示す。記憶素子100は、記憶回路101と、記憶回路102と、スイッチ103と、スイッチ104と、スイッチ105と、位相反転素子106と、容量素子107と、を有する。記憶回路101は、電源電圧が供給されている期間のみデータを保持する。記憶回路102は、容量素子108と、トランジスタ109と、トランジスタ110と、を有する。

40

【0055】

なお、記憶素子100は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子をさらに有していても良い。

【0056】

トランジスタ109は、チャネルが酸化物半導体層に形成されるトランジスタである。

50

図1において、トランジスタ109は酸化物半導体層にチャネルが形成されるトランジスタであることを示すためにOSの符号を付す。ここで、チャネルが酸化物半導体層に形成されるトランジスタ109として、リーク電流（オフ電流）が極めて小さい、エンハンスメント型（ノーマリオフ型）のnチャネル型のトランジスタを用いる。そして、記憶素子100への電源電圧の供給が停止した際、トランジスタ109のゲートには接地電位（0V）が入力され続ける構成とする。例えば、トランジスタ109のゲートが抵抗等の負荷を介して接地される構成とする。

【0057】

図1では、スイッチ103は、一導電型（例えば、nチャネル型）のトランジスタ113を用いて構成され、スイッチ104は、一導電型とは異なる導電型（例えば、pチャネル型）のトランジスタ114を用いて構成した例を示す。ここで、スイッチ103の第1の端子はトランジスタ113のソースとドレインの一方に対応し、スイッチ103の第2の端子はトランジスタ113のソースとドレインの他方に対応し、スイッチ103はトランジスタ113のゲートに入力される制御信号S2によって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ113のオン状態またはオフ状態）が選択される。スイッチ104の第1の端子はトランジスタ114のソースとドレインの一方に対応し、スイッチ104の第2の端子はトランジスタ114のソースとドレインの他方に対応し、スイッチ104はトランジスタ114のゲートに入力される制御信号S2によって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ114のオン状態またはオフ状態）が選択される。

【0058】

トランジスタ109のソースとドレインの一方は、容量素子108の一对の電極のうちの一方、及びトランジスタ110のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ110のソースとドレインの一方は、電位V1が与えられる電源線に電氣的に接続され、他方は、スイッチ103の第1の端子（トランジスタ113のソースとドレインの一方）と電氣的に接続される。スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）はスイッチ104の第1の端子（トランジスタ114のソースとドレインの一方）と電氣的に接続される。スイッチ104の第2の端子（トランジスタ114のソースとドレインの他方）は電位V2が与えられる電源線と電氣的に接続される。スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）と、スイッチ104の第1の端子（トランジスタ114のソースとドレインの一方）と、位相反転素子106の入力端子と、容量素子107の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子107の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（接地電位等）または高電源電位が入力される構成とすることができる。容量素子107の一对の電極のうちの他方は、電位V1が与えられる電源線と電氣的に接続されていてもよい。容量素子108の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（接地電位等）または高電源電位が入力される構成とすることができる。容量素子108の一对の電極のうちの他方は、電位V1が与えられる電源線と電氣的に接続されていてもよい。図1では、容量素子107の一对の電極のうちの他方、及び容量素子108の一对の電極のうちの他方は、電位V1が与えられる電源線と電氣的に接続されている例を示す。

【0059】

なお、容量素子107は、トランジスタの寄生容量等を積極的に利用することによって省略することも可能である。容量素子108は、トランジスタの寄生容量等を積極的に利用することによって省略することも可能である。

【0060】

トランジスタ109のゲートには、制御信号S1が入力される。スイッチ103及びスイッチ104は、制御信号S1とは異なる制御信号S2によって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子

の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。スイッチ105は、制御信号S1及び制御信号S2とは異なる制御信号S3によって第1の端子と第2の端子の間の導通状態または非導通状態を選択される。

【0061】

トランジスタ109のソースとドレインの他方には、記憶回路101に保持されたデータに対応する信号が入力される。図1では、記憶回路101の出力端子（図1中、OUTと記載）から出力された信号が、トランジスタ109のソースとドレインの他方に入力される例を示した。スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）から出力される信号は、位相反転素子106によってその位相が反転された反転信号となり、制御信号S3によって第1の端子と第2の端子間が導通状態となったスイッチ105を介して記憶回路101に入力される。

10

【0062】

なお、図1では、スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）から出力される信号は、位相反転素子106及びスイッチ105を介して記憶回路101の入力端子（図1中、INと記載）に入力する例をしめしたがこれに限定されない。スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）から出力される信号が、位相を反転させられることなく、記憶回路101に入力されてもよい。例えば、記憶回路101内に、入力端子から入力された信号の位相が反転した信号が保持されるノードが存在する場合に、スイッチ103の第2の端子（トランジスタ113のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

20

【0063】

図1において、電位V1と電位V2の電位差に相当する電圧が、電源電圧として記憶素子100に供給されている。記憶回路101には電位V1と電位V2の電位差に相当する電圧が、電源電圧として供給されていてもよい。記憶回路101に電源電圧が供給されない期間では、電位V1と電位V2の電位差を（実質的に）無くすることができる。例えば、電位V1と電位V2を共に接地電位とすることができる。

【0064】

なお、スイッチ105は、トランジスタを用いて構成することができる。当該トランジスタはnチャネル型トランジスタであってもよいし、pチャネル型トランジスタであってもよい。また、nチャネル型トランジスタとpチャネル型トランジスタを組み合わせ用いてもよい。例えば、スイッチ105は、アナログスイッチとすることができる。

30

【0065】

図1において、トランジスタ109は、酸化物半導体層を挟んで上下に2つのゲートを有するトランジスタとすることもできる。一方のゲートに制御信号S1を入力し、他方のゲートには、制御信号S4を入力することができる。制御信号S4は、一定の電位の信号であってもよい。一定の電位は、電位V1や電位V2であってもよい。なお、酸化物半導体層を挟んで上下に設けられた2つのゲートを電氣的に接続し、制御信号S1を入力してもよい。トランジスタ109の他方のゲートに入力される信号によって、トランジスタ109のしきい値電圧を制御することができる。例えば、トランジスタ109のオフ電流を更に低減することもできる。

40

【0066】

図1において、記憶素子100に用いられるトランジスタのうち、トランジスタ109以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子100に用いられるトランジスタ全てを、チャンネルが酸化物半導体層に形成されるトランジスタとすることもできる。または、記憶素子100は、トランジスタ109以外にも、チャンネルが酸化物半導体層に形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板にチャンネルが形成されるトランジスタとすることもできる。

50

【0067】

酸化物半導層には、In-Ga-Zn系の酸化物半導体材料を用いることができる。また、酸化物半導体以外の半導体は、非晶質、微結晶、多結晶、または単結晶とすることができる。シリコンまたはゲルマニウムとすることができる。高純度化された酸化物半導体層にチャネルが形成されるトランジスタは、そのオフ電流密度を $100\text{ zA}/\mu\text{m}$ 以下、好ましくは $10\text{ zA}/\mu\text{m}$ 以下、更に好ましくは $1\text{ zA}/\mu\text{m}$ 以下にすることができる。よって、このオフ電流が、結晶性を有するシリコンを用いたトランジスタのオフ電流に比べて著しく低い。その結果、トランジスタ109がオフ状態である時、ノードM1の電位、即ちトランジスタ110のゲートの電位を長期間にわたり保持することができる。

【0068】

なお、上記において、酸化物半導体材料の代わりに酸化物半導体材料と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップEgが3eVより大きい半導体材料）などを適用しても良い。

【0069】

図1における記憶回路101は、第1の位相反転素子及び第2の位相反転素子を有し、第1の位相反転素子の入力端子は第2の位相反転素子の出力端子と電気的に接続され、第2の位相反転素子の入力端子は第1の位相反転素子の出力端子と電気的に接続された構成を用いることができる。第1の位相反転素子及び第2の位相反転素子は、それぞれ電源電位が供給されている期間のみ、入力された信号に対応する信号を出力する。

【0070】

また、位相反転素子としては、例えばインバータやクロックドインバータ等を用いることができる。

【0071】

以上が、記憶素子100の構成の説明である。次いで、この駆動方法について説明する。

【0072】

（記憶素子の駆動方法）

記憶素子100において、電源電圧の供給の後、データの保持時における消費電力を削減するために電源電圧の供給を停止し、再び電源電圧を供給する場合の駆動方法は次のようにすることができる。駆動方法について、図2のタイミングチャートを参照して説明する。図2のタイミングチャートにおいて、101は記憶回路101に保持されているデータを示し、S1は制御信号S1の電位を示し、S2は制御信号S2の電位を示し、S3は制御信号S3の電位を示し、V1は電位V1を示し、V2は電位V2を示す。電位V1と電位V2の電位差Vが0のときは、電源電圧が供給されていない場合に相当する。M1はノードM1の電位を示し、M2はノードM2の電位を示す。

【0073】

なお、以下に示す駆動方法では、図1に示した構成において、スイッチ103をnチャネル型トランジスタとし、スイッチ104をpチャネル型トランジスタとして、制御信号S2がハイレベル電位の場合に、スイッチ103の第1の端子と第2の端子の間が導通状態となり、且つスイッチ104の第1の端子と第2の端子の間が非導通状態となり、制御信号S2がローレベル電位の場合に、スイッチ103の第1の端子と第2の端子の間が非導通状態となり、且つスイッチ104の第1の端子と第2の端子の間が導通状態となる例を示す。また、スイッチ105は、制御信号S3がハイレベル電位の場合に第1の端子と第2の端子の間が導通状態となり、制御信号S3がローレベル電位の場合に第1の端子と第2の端子の間が非導通状態となる例を示す。また、トランジスタ109をnチャネル型トランジスタとして、制御信号S1がハイレベル電位の場合に、トランジスタ109がオン状態となり、制御信号S1がローレベル電位の場合に、トランジスタ109がオフ状態となる例を示す。

【0074】

しかしながら、本発明の駆動方法はこれに限定されず、以下の説明における、スイッチ103、スイッチ104、スイッチ105、トランジスタ109の状態が同じとなるように、各制御信号の電位を定めることができる。

【0075】

また、電位V1を低電源電位（以下、VSSと表記）とし、電位V2を高電源電位（以下、VDDと表記）とVSSとで切り替える場合の例を示す。VSSは例えば接地電位とすることができる。なお、本発明の駆動方法はこれに限定されず、電位V2をVSSとし、電位V1をVDDとVSSとで切り替えてもよい。

【0076】

（通常動作）

10

図2中、期間1の動作について説明する。期間1では、電源電圧が記憶素子100に供給されている。ここで、電位V2はVDDである。記憶素子100へ電源電圧が供給されている間は、記憶回路101がデータ（図2中、dataXと表記）を保持する。この際、制御信号S3をローレベル電位として、スイッチ105の第1の端子と第2の端子の間は非導通状態とされる。なお、スイッチ103及びスイッチ104の第1の端子と第2の端子の間の状態（導通状態、非導通状態）はどちらの状態であってもよい。即ち、制御信号S2はハイレベル電位であってもローレベル電位であってもよい（図2中、Aと表記）。また、トランジスタ109の状態（オン状態、オフ状態）はどちらの状態であってもよい。即ち、制御信号S1はハイレベル電位であってもローレベル電位であってもよい（図2中、Aと表記）。期間1において、ノードM1にはどのような電位であってもよい（図2中、Aと表記）。期間1において、ノードM2にはどのような電位であってもよい（図2中、Aと表記）。期間1の動作を通常動作と呼ぶ。

20

【0077】

（電源電圧供給停止前の動作）

図2中、期間2の動作について説明する。記憶素子100への電源電圧の供給の停止をする前に、制御信号S1をハイレベル電位として、トランジスタ109をオン状態とする。こうして、記憶回路101に保持されたデータ（dataX）に対応する信号が、トランジスタ109を介してトランジスタ110のゲートに入力される。トランジスタ110のゲートに入力された信号は、容量素子108によって保持される。こうして、ノードM2の電位は、記憶回路101に保持されたデータに対応する信号電位（図2中、VXと表記）となる。その後、制御信号S1をローレベル電位としてトランジスタ109をオフ状態とする。こうして、記憶回路101に保持されたデータに対応する信号が記憶回路102に保持される。期間2の間も、制御信号S3によって、スイッチ105の第1の端子と第2の端子の間は非導通状態とされる。スイッチ103及びスイッチ104の第1の端子と第2の端子の間の状態（導通状態、非導通状態）はどちらの状態であってもよい。即ち、制御信号S2はハイレベル電位であってもローレベル電位であってもよい（図2中、Aと表記）。期間2において、ノードM1にはどのような電位であってもよい（図2中、Aと表記）。期間2の動作を電源電圧供給停止前の動作と呼ぶ。

30

【0078】

（電源電圧供給停止の動作）

40

図2中、期間3の動作について説明する。電源電圧供給停止前の動作を行った後、期間3のはじめに、記憶素子100への電源電圧の供給を停止する。電位V2はVSSとなる。電源電圧の供給が停止すると、記憶回路101に保持されていたデータ（dataX）は消える。しかし、記憶素子100への電源電圧の供給が停止した後においても、容量素子108によって記憶回路101に保持されていたデータ（dataX）に対応する信号電位（VX）がノードM2に保持される。ここで、トランジスタ109としてチャネルが酸化物半導体層に形成されるトランジスタを用いている。ここで、トランジスタ109として、リーク電流（オフ電流）が極めて小さい、エンハンスメント型（ノーマリオフ型）のnチャネル型のトランジスタを用い、記憶素子100への電源電圧の供給が停止した際、トランジスタ109のゲートには接地電位（0V）が入力され続ける構成であるため、

50

記憶素子100への電源電圧の供給が停止した後も、トランジスタ109のオフ状態を維持することができ、容量素子108によって保持された電位（ノードM2の電位VX）を長期間保つことができる。こうして、記憶素子100は電源電圧の供給が停止した後も、データ（dataX）を保持する。期間3は、記憶素子100への電源電圧の供給が停止している期間に対応する。

【0079】

（電源電圧供給再開の動作）

図2中、期間4の動作について説明する。記憶素子への電源電圧の供給を再開し、電位V2をVDDにした後、制御信号S2をローレベル電位として、スイッチ104の第1の端子と第2の端子の間を導通状態とし、スイッチ103の第1の端子と第2の端子の間を非導通状態とする。この際、制御信号S1はローレベル電位であり、トランジスタ109はオフ状態のままである。また、制御信号S3はローレベル電位であり、スイッチ105の第1の端子と第2の端子の間は非導通状態である。こうして、スイッチ103の第2の端子及びスイッチ104の第1の端子に、電源電圧供給時における電位V2、即ちVDDが入力される。そのため、スイッチ103の第2の端子及びスイッチ104の第1の端子の電位（ノードM1の電位）を、一定の電位（例えば、VDD）にする（以下、プリチャージ動作と呼ぶ）ことができる。ノードM1の電位は、容量素子107によって保持される。

【0080】

上記プリチャージ動作の後、期間5において、制御信号S2をハイレベル電位とすることによって、スイッチ103の第1の端子と第2の端子の間を導通状態とし、スイッチ104の第1の端子と第2の端子の間を非導通状態とする。この際、制御信号S1はローレベル電位のままであり、トランジスタ109はオフ状態のままである。また、制御信号S3はローレベル電位であり、スイッチ105の第1の端子と第2の端子の間は非導通状態である。容量素子108に保持された信号（ノードM2の電位VX）に応じて、トランジスタ110のオン状態またはオフ状態が選択され、スイッチ103の第2の端子及びスイッチ104の第1の端子の電位、即ちノードM1の電位が定まる。トランジスタ110がオン状態の場合、ノードM1には電位V1（例えば、VSS）が入力される。一方、トランジスタ110がオフ状態の場合には、ノードM1の電位は、上記プリチャージ動作によって定められた一定の電位（例えば、VDD）のまま維持される。こうして、トランジスタ110のオン状態またはオフ状態に対応して、ノードM1の電位はVDDまたはVSSとなる。例えば、記憶回路101に保持されていた信号が「1」であり、ハイレベルの電位（VDD）に対応する場合、ノードM1の電位は、信号「0」に対応するローレベルの電位（VSS）となる。一方、記憶回路101に保持されていた信号が「0」であり、ローレベルの電位（VSS）に対応する場合、ノードM1の電位は、信号「1」に対応するハイレベルの電位（VDD）となる。つまり、記憶回路101に記憶されていた信号の反転信号がノードM1に保持されることとなる。図2において、この電位をVXbと表記する。つまり、期間2において記憶回路101から入力されたデータ（dataX）に対応する信号が、ノードM1の電位（VXb）に変換される。

【0081】

その後、期間6において、制御信号S3をハイレベル電位として、スイッチ105の第1の端子と第2の端子の間を導通状態とする。この際、制御信号S2はハイレベル電位のままである。また、制御信号S1はローレベル電位のままであり、トランジスタ109はオフ状態のままである。すると、スイッチ103の第2の端子及びスイッチ104の第1の端子の電位（ノードM1の電位（VXb））に対応する信号を、位相反転素子106を介して反転信号とし、当該反転信号を記憶回路101に入力することができる。こうして、記憶回路101は、記憶素子100への電源電圧の供給停止前に保持していたデータ（dataX）を再び保持することができる。

【0082】

また、ノードM1の電位は、期間4におけるプリチャージ動作によって一定の電位（図

10

20

30

40

50

2では、VDD)にされた後、期間5において、データ(d a t a X)に対応する電位V X bとなる。プリチャージ動作を行っているため、ノードM1の電位が所定の電位V X bに定まるまでの時間を短くすることができる。こうして、電源電圧供給再開後に、記憶回路101が元のデータを保持しなおすまでの時間を短くすることができる。

【0083】

以上が、記憶素子の駆動方法の説明である。

【0084】

本発明の記憶素子及びその駆動方法では、記憶素子100に電源電圧が供給されない間は、揮発性のメモリに相当する記憶回路101に記憶されていたデータを、記憶回路102に設けられた容量素子108によって保持することができる。

10

【0085】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ109として用いることによって、記憶素子100に電源電圧が供給されない間も容量素子108に保持された信号は長期間にわたり保たれる。こうして、記憶素子100は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0086】

また、スイッチ103及びスイッチ104を設けることによって、上記プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、記憶回路101が元のデータを保持しなおすまでの時間を短くすることができる。

20

【0087】

また、記憶回路102において、容量素子108によって保持された信号はトランジスタ110のゲートに入力される。そのため、記憶素子100への電源電圧の供給が再開された後、容量素子108によって保持された信号を、トランジスタ110の状態(オン状態、またはオフ状態)に変換して、記憶回路102から読み出すことができる。それ故、容量素子108に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0088】

このような記憶素子100を、信号処理回路が有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、信号処理回路全体、もしくは信号処理回路を構成する一または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる信号処理回路、消費電力を抑えることができる当該信号処理回路の駆動方法を提供することができる。

30

【0089】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0090】

(実施の形態2)

本実施の形態では、実施の形態1で示した記憶素子を複数用いた記憶装置の構成について説明する。

40

【0091】

図3(A)に、本実施の形態における記憶装置の構成を一例として示す。図3(A)に示す記憶装置は、スイッチング素子401と、記憶素子402を複数有する記憶素子群403とを有している。具体的に、各記憶素子402には、実施の形態1に記載されている構成を有する記憶素子100を用いることができる。記憶素子群403が有する各記憶素子402には、スイッチング素子401を介して、ハイレベルの電源電位VDDが供給されている。さらに、記憶素子群403が有する各記憶素子402には、信号INの電位と

50

、ローレベルの電源電位 V_{SS} の電位が与えられている。

【0092】

図3(A)では、スイッチング素子401として、トランジスタを用いており、該トランジスタは、そのゲート電極に与えられる制御信号 $SigA$ によりスイッチングが制御される。

【0093】

なお、図3(A)では、スイッチング素子401がトランジスタを一つだけ有する構成を示しているが、本発明はこの構成に限定されない。本発明の一態様では、スイッチング素子401が、トランジスタを複数有していても良い。スイッチング素子401が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に電氣的に接続されていても良いし、直列に電氣的に接続されていても良いし、直列と並列が組み合わされて電氣的に接続されていても良い。

10

【0094】

また、図3(A)では、スイッチング素子401により、記憶素子群403が有する各記憶素子402への、ハイレベルの電源電位 V_{DD} の供給が制御されているが、スイッチング素子401により、ローレベルの電源電位 V_{SS} の供給が制御されていても良い。図3(B)に、記憶素子群403が有する各記憶素子402に、スイッチング素子401を介して、ローレベルの電源電位 V_{SS} が供給されている記憶装置の一例を示す。スイッチング素子401により、記憶素子群403が有する各記憶素子402への、ローレベルの電源電位 V_{SS} の供給を制御することができる。

20

【0095】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0096】

(実施の形態3)

本実施の形態では、実施の形態1で示した記憶素子や、実施の形態2で示した記憶装置を用いた信号処理回路の構成について説明する。

【0097】

図4に、本発明の一態様に係る信号処理回路の一例を示す。信号処理回路は、一または複数の演算回路と、一または複数の記憶装置とを少なくとも有する。具体的に、図4に示す信号処理回路150は、演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156、電源制御回路157を有する。

30

【0098】

演算回路151、演算回路152は、単純な論理演算を行う論理回路をはじめ、加算器、乗算器、さらには各種演算回路などを含む。そして、記憶装置153は、演算回路151における演算処理の際に、データを一時的に保持するレジスタとして機能する。記憶装置154は、演算回路152における演算処理の際に、データを一時的に保持するレジスタとして機能する。

【0099】

また、記憶装置155はメインメモリとして用いることができ、制御装置156が実行するプログラムをデータとして記憶する、或いは演算回路151、演算回路152からのデータを記憶することができる。

40

【0100】

制御装置156は、信号処理回路150が有する演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155の動作を統括的に制御する回路である。なお、図4では、制御装置156が信号処理回路150の一部である構成を示しているが、制御装置156は信号処理回路150の外部に設けられていても良い。

【0101】

実施の形態1で示した記憶素子や、実施の形態2で示した記憶装置を記憶装置153、記憶装置154、記憶装置155に用いることで、記憶装置153、記憶装置154、記憶装置155への電源電圧の供給を停止しても、データを保持することができる。よって

50

、信号処理回路150全体への電源電圧の供給を停止し、消費電力を抑えることができる。或いは、記憶装置153、記憶装置154、または記憶装置155のいずれか一つまたは複数への電源電圧の供給を停止し、信号処理回路150の消費電力を抑えることができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

【0102】

また、記憶装置への電源電圧の供給が停止されるのに合わせて、当該記憶装置とデータのやり取りを行う演算回路または制御回路への、電源電圧の供給を停止するようにしても良い。例えば、演算回路151と記憶装置153において、動作が行われない場合、演算回路151及び記憶装置153への電源電圧の供給を停止するようにしても良い。

10

【0103】

また、電源制御回路157は、信号処理回路150が有する演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156へ供給する電源電圧の大きさを制御する。そして、電源電圧の供給を停止する場合、電源電圧の供給を停止するためのスイッチング素子は、電源制御回路157に設けられていても良いし、演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156のそれぞれに設けられていても良い。後者の場合、電源制御回路157は、必ずしも本発明の信号処理回路に設ける必要はない。

【0104】

なお、メインメモリである記憶装置155と、演算回路151、演算回路152、制御装置156の間に、キャッシュメモリとして機能する記憶装置を設けても良い。キャッシュメモリを設けることで、低速なメインメモリへのアクセスを減らして演算処理などの信号処理を高速化させることができる。キャッシュメモリとして機能する記憶装置にも、上述した記憶素子を用いることで、信号処理回路150の消費電力を抑えることができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

20

【0105】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0106】

(実施の形態4)

本実施の形態では、本発明の一態様に係る信号処理回路の一つである、CPUの構成について説明する。

30

【0107】

図5に、本実施の形態のCPUの構成を示す。図5に示すCPUは、基板9900上に、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Timing・Controller9905、Register9906、Register・Controller9907、Bus・I/F9908、書き換え可能なROM9909、ROM・I/F9920と、を主に有している。なお、ALUはArithmetic logic unitであり、Bus・I/Fはバスインターフェースであり、ROM・I/FはROMインターフェースである。ROM9909及びROM・I/F9920は、別チップに設けても良い。勿論、図5に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

40

【0108】

Bus・I/F9908を介してCPUに入力された命令は、Instruction・Decoder9903に入力され、デコードされた後、ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905に入力される。

【0109】

50

ALU・Controller 9902、Interrupt・Controller 9904、Register・Controller 9907、Timing・Controller 9905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU・Controller 9902は、ALU 9901の動作を制御するための信号を生成する。また、Interrupt・Controller 9904は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register・Controller 9907は、Register 9906のアドレスを生成し、CPUの状態に応じてRegister 9906の読み出しや書き込みを行なう。

【0110】

またTiming・Controller 9905は、ALU 9901、ALU・Controller 9902、Instruction・Decoder 9903、Interrupt・Controller 9904、Register・Controller 9907の動作のタイミングを制御する信号を生成する。例えばTiming・Controller 9905は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0111】

本実施の形態のCPUでは、Register 9906に、上記実施の形態で示した構成を有する記憶素子が設けられている。Register・Controller 9907は、ALU 9901からの指示に従い、Register 9906が有する記憶素子において、記憶回路101によるデータの保持を行うか、記憶回路102によるデータの保持を行うかを選択する。位相反転素子の帰還ループによるデータの保持が選択されている場合、Register 9906内の記憶素子への電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、Register 9906内の記憶素子への電源電圧の供給を停止することができる。電源停止に関しては、図3に示すように、記憶素子群と、電源電位VDDまたは電源電位VSSの与えられているノード間に、スイッチング素子を設けることにより行うことができる。

【0112】

この様にして、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUを停止することができ、それにより消費電力を低減することができる。

【0113】

本実施の形態では、CPUを例に挙げて説明したが、本発明の信号処理回路はCPUに限定されず、マイクロプロセッサ、画像処理回路、DSP、FPGA等のLSIにも応用可能である。

【0114】

本実施の形態は、上記実施の形態と組み合わせて実施することが可能である。

【0115】

(実施の形態5)

図1に示した記憶素子100において、トランジスタ110のチャネルがシリコンに形成される場合における、トランジスタ110と、チャネルが酸化物半導体層に形成されるトランジスタ109と、容量素子108とを例に挙げて、記憶素子100の作製方法について説明する。なお、記憶素子100に含まれるその他の素子も、トランジスタ109、トランジスタ110、容量素子108と同様に作製することができる。

【0116】

図6(A)に示すように、基板700上に絶縁膜701と、単結晶の半導体基板から分離された半導体膜702とを形成する。

10

20

30

40

50

【0117】

基板700として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板700には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。

【0118】

また、本実施の形態では、半導体膜702が単結晶のシリコンである場合を例に挙げて、以下、トランジスタ110の作製方法について説明する。なお、具体的な単結晶の半導体膜702の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜701が形成された基板700とを、間に当該絶縁膜701が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板700とを重ね合わせた後、ボンド基板と基板700の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜701とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。その結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板700の歪み点を越えない温度とする。

【0119】

なお、本実施の形態では、単結晶の半導体膜702を用いる例について説明しているが、本発明はこの構成に限定されない。例えば、絶縁膜701上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプ加熱結晶化法、触媒元素を用いる結晶化法、950℃程度の高温加熱法を組み合わせた結晶化法を用いても良い。

【0120】

次に、図6(B)に示すように、半導体膜702上にゲート絶縁膜703を形成する。

【0121】

ゲート絶縁膜703は、高密度プラズマ処理、熱処理などを行うことにより半導体膜702の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えばHe、Ar、Kr、Xeなどの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)や窒素ラジカル(NHラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することにより、1~20nm、望ましくは5~10nmの絶縁膜が半導体膜に接するように形成できる。例えば、亜酸化窒素(N_2O)をArで1~3倍(流量比)に希釈して、10~30Paの圧力にて3~5kWのマイクロ波(2.45GHz)電力を印加して半導体膜702の表面を酸化若しくは窒化させる。この処理により1nm~10nm(好ましくは2nm~6nm)の絶縁膜を形成する。更に亜酸化窒素(N_2O)とシラン(SiH_4)を導入し、10~30Paの圧力にて3~5kWのマイクロ波(2.45GHz)電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート

絶縁膜を形成することができる。

【0122】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲート絶縁膜703と半導体膜702との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜702を直接酸化又は窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

10

【0123】

また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート (HfSi_xO_y ($x > 0$, $y > 0$))、窒素が添加されたハフニウムアルミネート (HfAl_xO_y ($x > 0$, $y > 0$)) 等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜703を形成しても良い。

【0124】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

20

【0125】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。

【0126】

次に、図6(B)に示すように、ゲート絶縁膜703上にマスク705を形成する。その後、図6(C)に示すように、マスク705を用いてエッチング加工することによって、半導体層772及びゲート絶縁層773を形成する。

30

【0127】

半導体層772には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型の導電性を付与する不純物元素、若しくはリン、砒素などのn型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、エッチング加工する前の半導体膜702に対して行っても良いし、エッチング加工後に形成された半導体層772に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、エッチング加工前の半導体膜702に対して、又はエッチング加工により形成された半導体層772に対しても行っても良い。

40

【0128】

次いで、マスク705を除去した後、図6(C)に示すように、ゲート電極707を形成する。

【0129】

ゲート電極707は、導電膜を形成した後、該導電膜を所定の形状にエッチング加工することで、形成することができる。上記導電膜の形成にはCVD法、スパッタリング法、蒸着法、スピンコート法等を用いることができる。また、導電膜は、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に

50

導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0130】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されていても良い。

【0131】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。

【0132】

3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0133】

また、ゲート電極707に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸化窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0134】

なお、マスクを用いずに、液滴吐出法を用いて選択的にゲート電極707を形成しても良い。液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出又は噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0135】

また、ゲート電極707は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパー形状を有するようにエッチングすることができる。また、テーパー形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

【0136】

次に、図6(D)に示すように、ゲート電極707をマスクとして一導電性を付与する不純物元素を半導体層772に添加することで、ゲート電極707と重なるチャネル形成領域710と、チャネル形成領域710を間に挟む一対の不純物領域709とが、半導体層772に形成される。

【0137】

本実施の形態では、半導体層772にp型を付与する不純物元素(例えばボロン)を添加する場合を例に挙げる。

【0138】

次いで、図7(A)に示すように、ゲート絶縁層773、ゲート電極707を覆うように、絶縁膜712、絶縁膜713を形成する。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜71

10

20

30

40

50

3に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0139】

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0140】

次いで、図7(B)に示すように、絶縁膜712及び絶縁膜713にCMP(化学的機械研磨)処理やエッチング処理を行うことにより、ゲート電極707の表面を露出させる。なお、後に形成されるトランジスタ109の特性を向上させるために、絶縁膜712、絶縁膜713の表面は可能な限り平坦にしておくことが好ましい。

【0141】

以上の工程により、トランジスタ110を形成することができる。

【0142】

次いで、トランジスタ109の作製方法について説明する。まず、図7(C)に示すように、絶縁膜712又は絶縁膜713上に酸化物半導体層716を形成する。

【0143】

酸化物半導体層716は、絶縁膜712及び絶縁膜713上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0144】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜712及び絶縁膜713の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0145】

酸化物半導体膜を構成する材料(酸化物半導体)としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体膜を用いて形成されるトランジスタの電気特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム(Ga)を含むことが好ましい。また、スタビライザーとしてスズ(Sn)を含むことが好ましい。また、スタビライザーとしてハフニウム(Hf)を含むことが好ましい。また、スタビライザーとしてアルミニウム(Al)を含むことが好ましい。

【0146】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

【0147】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物、 In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（ IGZO とも表記する）、 In-Al-Zn 系酸化物、 In-Sn-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物、 In-Hf-Zn 系酸化物、 In-La-Zn 系酸化物、 In-Ce-Zn 系酸化物、 In-Pr-Zn 系酸化物、 In-Nd-Zn 系酸化物、 In-Sm-Zn 系酸化物、 In-Eu-Zn 系酸化物、 In-Gd-Zn 系酸化物、 In-Tb-Zn 系酸化物、 In-Dy-Zn 系酸化物、 In-Ho-Zn 系酸化物、 In-Er-Zn 系酸化物、 In-Tm-Zn 系酸化物、 In-Yb-Zn 系酸化物、 In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、 In-Hf-Ga-Zn 系酸化物、 In-Al-Ga-Zn 系酸化物、 In-Sn-Al-Zn 系酸化物、 In-Sn-Hf-Zn 系酸化物、 In-Hf-Al-Zn 系酸化物を用いることができる。

10

【0148】

なお、ここで、例えば、 In-Ga-Zn 系酸化物とは、 In と Ga と Zn を含む酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素を含んでいてもよい。

【0149】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

20

【0150】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) あるいは $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) の原子数比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) の原子数比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

30

【0151】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0152】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$) である酸化物の組成が、原子数比が $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$) の酸化物の組成の近傍であるとは、 a 、 b 、 c が、 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ を満たすことを言い、 r は、例えば、 0.05 とすればよい。他の酸化物でも同様である。

40

【0153】

また、酸化物半導体膜は、アモルファス（非晶質）であってもよいし、結晶性を有していてもよい。

【0154】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0155】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表

50

面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ（ Ra ）が1 nm以下、好ましくは0.3 nm以下、より好ましくは0.1 nm以下の表面上に形成するとよい。

【0156】

なお、 Ra は、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0157】

【数1】

10

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0158】

なお、上記において、 S_0 は、測定面（座標（ x_1, y_1 ）（ x_1, y_2 ）（ x_2, y_1 ）（ x_2, y_2 ）で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡（AFM：Atomic Force Microscope）にて評価可能である。

20

【0159】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30 nmのIn-Ga-Zn系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、各金属の組成比がIn：Ga：Zn＝1：1：0.5、In：Ga：Zn＝1：1：1、又はIn：Ga：Zn＝1：1：2であるターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0160】

30

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体膜を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0161】

成膜条件の一例としては、基板とターゲットの間との距離を100 mm、圧力0.6 Pa、直流（DC）電源0.5 kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

【0162】

また、スパッタリング装置の処理室のリークレートを 1×10^{-10} Pa・m³/秒以下とすることで、スパッタリング法による成膜途中における酸化物半導体膜への、アルカ

50

リ金属、水素化物等の不純物の混入を低減することができる。また、排気系として上述した吸着型の真空ポンプを用いることで、排気系からのアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等の不純物の逆流を低減することができる。

【0163】

また、ターゲットの純度を、99.99%以上とすることで、酸化物半導体膜に混入するアルカリ金属、水素原子、水素分子、水、水酸基、または水素化物等を低減することができる。また、当該ターゲットを用いることで、酸化物半導体膜において、リチウム、ナトリウム、カリウム等のアルカリ金属の濃度を低減することができる。

【0164】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁膜712及び絶縁膜713までが形成された基板700を予備加熱し、基板700に吸着した水分又は水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われるゲート絶縁膜721の成膜前に、導電膜719、導電膜720まで形成した基板700にも同様に行ってもよい。

【0165】

なお、酸化物半導体層716を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0166】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0167】

ウェットエッチングに用いるエッチング液として、リン酸と酢酸と硝酸を混ぜた溶液、クエン酸やシュウ酸などの有機酸を用いることができる。本実施の形態では、ITO-07N（関東化学社製）を用いる。

【0168】

酸化物半導体層716を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0169】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層716及び絶縁膜712及び絶縁膜713の表面に付着しているレジスト残渣などを除去することが好ましい。

【0170】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分又は水素（水酸基を含む）が多量に含まれていることがある。水分又は水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分又は水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体層716に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、

10

20

30

40

50

酸素ガス雰囲気下、又は超乾燥エア（CRDS（キャビティリングダウンレーザ一分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55℃）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、酸化物半導体層716に加熱処理を施す。

【0171】

酸化物半導体層716に加熱処理を施すことで、酸化物半導体層716中の水分又は水素を脱離させることができる。具体的には、250℃以上750℃以下、好ましくは400℃以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500℃、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化又は脱水素化が行えるため、ガラス基板の歪点を越える温度でも処理することができる。

10

【0172】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0173】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導又は熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、又は窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0174】

加熱処理においては、窒素、又はヘリウム、ネオン、アルゴン等の希ガスに、水分又は水素などが含まれないことが好ましい。又は、加熱処理装置に導入する窒素、又はヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0175】

なお、酸化物半導体は不純物に対して鈍感であり、膜中にはかなりの金属不純物が含まれていても問題がなく、ナトリウムのようなアルカリ金属が多量に含まれる廉価なソーダ石灰ガラスも使えると指摘されている（神谷、野村、細野、「アモルファス酸化物半導体の物性とデバイス開発の現状」、固体物理、2009年9月号、Vol. 44、pp. 621-633.）。しかし、このような指摘は適切でない。アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうちNaは、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、Naは、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの特性の劣化が起こり、加えて、特性のばらつきも生じる。この不純物によりもたらされるトランジスタの特性の劣化と、特性のばらつきは、酸化物半導体層中の水素濃度が十分に低い場合において顕著に現れる。従って、酸化物半導体層中の水素濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{17} / \text{cm}^3$ 以下である場合には、上記不純物の濃度を低減することが望ましい。具体的に、二次イオン質量分析法によるNa濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、Li濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

30

40

50

【0176】

以上の工程により、酸化物半導体層716中の水素の濃度を低減することができる。

【0177】

なお、酸化物半導体層は、アモルファス（非晶質）であってもよいし、結晶性を有していてもよい。後者の場合、単結晶でもよいし、多結晶でもよいし、一部分が結晶性を有する構成でもよいし、アモルファス中に結晶性を有する部分を含む構造でもよいし、非アモルファスでもよい。例えば、酸化物半導体層として、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる（c軸を中心に回転した）結晶を（CAAC：C Axis Aligned Crystalともいう。）を含む酸化物を用いることができる。

10

【0178】

CAACを含む酸化物を用いた酸化物半導体膜は、スパッタリング法によっても作製することができる。スパッタリング法によってCAACを得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようにすることと、当該結晶を種として結晶が成長されるようにすることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、150mm～200mm程度）、基板加熱温度を100℃～500℃、好適には200℃～400℃、さらに好適には250℃～300℃にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

20

【0179】

CAACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0180】

CAACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

30

【0181】

CAACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CAACを構成する個々の結晶部分のc軸は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）に揃っていてもよい。または、CAACを構成する個々の結晶部分のab面の法線は一定の方向（例えば、CAACを支持する基板面、CAACの表面などに垂直な方向）を向いていてもよい。

【0182】

CAACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

40

【0183】

このようなCAACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0184】

CAACに含まれる結晶構造の一例について図16乃至図18を用いて詳細に説明する。なお、特に断りがない限り、図16乃至図18は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。また、図16において、丸で囲まれたOは4配位のOを示し、

50

二重丸で囲まれた O は 3 配位の O を示す。

【0185】

図 16 (A) に、1 個の 6 配位の In と、 In に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図 16 (A) の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図 16 (A) の上半分および下半分にはそれぞれ 3 個ずつ 4 配位の O がある。図 16 (A) に示す小グループは電荷が 0 である。

【0186】

図 16 (B) に、1 個の 5 配位の Ga と、 Ga に近接の 3 個の 3 配位の酸素原子（以下 3 配位の O）と、近接の 2 個の 4 配位の O と、を有する構造を示す。3 配位の O は、いずれも ab 面に存在する。図 16 (B) の上半分および下半分にはそれぞれ 1 個ずつ 4 配位の O がある。また、 In も 5 配位をとるため、図 16 (B) に示す構造をとりうる。図 16 (B) に示す小グループは電荷が 0 である。

【0187】

図 16 (C) に、1 個の 4 配位の Zn と、 Zn に近接の 4 個の 4 配位の O と、を有する構造を示す。図 16 (C) の上半分には 1 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。または、図 16 (C) の上半分に 3 個の 4 配位の O があり、下半分に 1 個の 4 配位の O があってもよい。図 16 (C) に示す小グループは電荷が 0 である。

【0188】

図 16 (D) に、1 個の 6 配位の Sn と、 Sn に近接の 6 個の 4 配位の O と、を有する構造を示す。図 16 (D) の上半分には 3 個の 4 配位の O があり、下半分には 3 個の 4 配位の O がある。図 16 (D) に示す小グループは電荷が +1 となる。

【0189】

図 16 (E) に、2 個の Zn を含む小グループを示す。図 16 (E) の上半分には 1 個の 4 配位の O があり、下半分には 1 個の 4 配位の O がある。図 16 (E) に示す小グループは電荷が -1 となる。

【0190】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0191】

ここで、これらの小グループ同士が結合する規則について説明する。図 16 (A) に示す 6 配位の In の上半分の 3 個の O は、下方向にそれぞれ 3 個の近接 In を有し、下半分の 3 個の O は、上方向にそれぞれ 3 個の近接 In を有する。図 16 (B) に示す 5 配位の Ga の上半分の 1 個の O は下方向に 1 個の近接 Ga を有し、下半分の 1 個の O は上方向に 1 個の近接 Ga を有する。図 16 (C) に示す 4 配位の Zn の上半分の 1 個の O は下方向に 1 個の近接 Zn を有し、下半分の 3 個の O は上方向にそれぞれ 3 個の近接 Zn を有する。この様に、金属原子の上方向の 4 配位の O の数と、その O の下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の 4 配位の O の数と、その O の上方向にある近接金属原子の数は等しい。O は 4 配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は 4 になる。従って、金属原子の上方向にある 4 配位の O の数と、別の金属原子の下方向にある 4 配位の O の数との和が 4 個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6 配位の金属原子（ In または Sn ）が下半分の 4 配位の O を介して結合する場合、4 配位の O が 3 個であるため、5 配位の金属原子（ Ga または In ）または 4 配位の金属原子（ Zn ）のいずれかと結合することになる。

【0192】

これらの配位数を有する金属原子は、 c 軸方向において、4 配位の O を介して結合する。また、このほかにも、層構造の合計の電荷が 0 となるように複数の小グループが結合して中グループを構成する。

【0193】

10

20

30

40

50

図17 (A) に、 In-Sn-Zn 系の酸化物の層構造を構成する中グループのモデル図を示す。図17 (B) に、3つの中グループで構成される大グループを示す。なお、図17 (C) は、図17 (B) の層構造をc軸方向から観察した場合の原子配列を示す。

【0194】

図17 (A) においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図17 (A) において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図17 (A) において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

10

【0195】

図17 (A) において、 In-Sn-Zn 系の酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

20

【0196】

ここで、3配位のOおよび4配位のOの場合、結合1本当当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In (6配位または5配位)、Zn (4配位)、Sn (5配位または6配位) の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図16 (E) に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。

30

【0197】

具体的には、図17 (B) に示した大グループが繰り返されることで、 In-Sn-Zn 系の酸化物の結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$) を得ることができる。なお、得られる In-Sn-Zn 系の酸化物の層構造は、 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m は0または自然数。) とする組成式で表すことができる。

【0198】

また、このほかにも、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物や、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する。)、 In-Al-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物や、 In-Hf-Zn 系酸化物、 In-La-Zn 系酸化物、 In-Ce-Zn 系酸化物、 In-Pr-Zn 系酸化物、 In-Nd-Zn 系酸化物、 In-Sm-Zn 系酸化物、 In-Eu-Zn 系酸化物、 In-Gd-Zn 系酸化物、 In-Tb-Zn 系酸化物、 In-Dy-Zn 系酸化物、 In-Ho-Zn 系酸化物、 In-Er-Zn 系酸化物、 In-Tm-Zn 系酸化物、 In-Yb-Zn 系酸化物、 In-Lu-Zn 系酸化物や、二元系金属の酸化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物や、 In-Ga 系酸化物、などを用いた場合も同様である。

40

【0199】

例えば、図18 (A) に、 In-Ga-Zn 系の酸化物の層構造を構成する中グループのモデル図を示す。

【0200】

50

図18(A)において、In-Ga-Zn系の酸化物の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0201】

図18(B)に3つの中グループで構成される大グループを示す。なお、図18(C)は、図18(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0202】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0203】

また、In-Ga-Zn系の酸化物の層構造を構成する中グループは、図18(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0204】

次いで、図8(A)に示すように、ゲート電極707と接し、なおかつ酸化物半導体層716とも接する導電膜719と、酸化物半導体層716と接する導電膜720とを形成する。導電膜719及び導電膜720は、ソース電極又はドレイン電極として機能する。

【0205】

具体的に、導電膜719及び導電膜720は、ゲート電極707を覆うようにスパッタ法や真空蒸着法で導電膜を形成した後、該導電膜を所定の形状にエッチング加工することで、形成することができる。

【0206】

導電膜719及び導電膜720となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

【0207】

また、導電膜719及び導電膜720となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、Cu-Mg-Al合金、Mo-Ti合金、Ti、Mo、は、酸化膜との密着性が高い。よって、下層にCu-Mg-Al合金、Mo-Ti合金、Ti、或いはMoで構成される導電膜、上層にCuで構成される導電膜を積層し、上記積層された導電膜を導電膜719及び導電膜720に用いることで、酸化膜である絶縁膜と、導電膜719及び導電膜720との密着性を高めることができる。

【0208】

また、導電膜719及び導電膜720となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

10

20

30

40

50

【0209】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0210】

なお、導電膜のエッチングの際に、酸化物半導体層716がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、酸化物半導体層716の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0211】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、31重量%の過酸化水素水と、28重量%のアンモニア水と水とを、体積比5：2：2で混合したアンモニア過水を用いる。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【0212】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことで更に形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0213】

また、酸化物半導体層716と、ソース電極又はドレイン電極として機能する導電膜719及び導電膜720との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【0214】

例えば、酸化物導電膜を形成する場合、酸化物導電膜を形成するためのエッチング加工と、導電膜719及び導電膜720を形成するためのエッチング加工とを一括で行うようにしても良い。

【0215】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層716と導電膜719及び導電膜720の間の抵抗を下げることができるので、トランジスタの高速動作を実現させることができる。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。

【0216】

次いで、 N_2O 、 N_2 、又はArなどのガスを用いたプラズマ処理を行うようにしても良い。このプラズマ処理によって露出している酸化物半導体層の表面に付着した水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0217】

なお、プラズマ処理を行った後、図8（B）に示すように、導電膜719及び導電膜720と、酸化物半導体層716とを覆うように、ゲート絶縁膜721を形成する。そして、ゲート絶縁膜721上において、酸化物半導体層716と重なる位置にゲート電極722を形成し、導電膜719と重なる位置に導電膜723を形成する。

【0218】

ゲート絶縁膜721は、ゲート絶縁膜703と同様の材料、同様の積層構造を用いて形

10

20

30

40

50

成することが可能である。なお、ゲート絶縁膜 721 は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜 721 に水素が含まれると、その水素が酸化物半導体層 716 へ侵入し、又は水素が酸化物半導体層 716 中の酸素を引き抜き、酸化物半導体層 716 が低抵抗化（*n* 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜 721 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜 721 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層 716 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜 719 及び導電膜 720 及び酸化物半導体層 716 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層 716 内、ゲート絶縁膜 721 内、或いは、酸化物半導体層 716 と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層 716 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接酸化物半導体層 716 に接するのを防ぐことができる。

【0219】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、ゲート絶縁膜 721 を形成する。成膜時の基板温度は、室温以上 300 °C 以下とすればよく、本実施の形態では 100 °C とする。

【0220】

なお、ゲート絶縁膜 721 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、又は希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 °C 以上 400 °C 以下、例えば 250 °C 以上 350 °C 以下で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 250 °C、1 時間の加熱処理を行う。或いは、導電膜 719 及び導電膜 720 を形成する前に、水分又は水素を低減させるための酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間の RTA 処理を行っても良い。酸素を含むゲート絶縁膜 721 が設けられた後に、加熱処理が施されることによって、酸化物半導体層 716 に対して行った先の加熱処理により、酸化物半導体層 716 に酸素欠損が発生していたとしても、ゲート絶縁膜 721 から酸化物半導体層 716 に酸素が供与される。そして、酸化物半導体層 716 に酸素が供与されることで、酸化物半導体層 716 において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。酸化物半導体層 716 には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、酸化物半導体層 716 を *i* 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、ゲート絶縁膜 721 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層 716 を *i* 型に近づけることができる。

【0221】

また、酸素雰囲気下で酸化物半導体層 716 に加熱処理を施すことで、酸化物半導体に酸素を添加し、酸化物半導体層 716 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 °C 以上 350 °C 未満、好ましくは 150 °C 以上 250 °C 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。又は、加熱処理装置に導入する酸素ガスの純度を、6 N（99.9999%）以上、好ましくは 7 N（99.99999%）以上、（即ち酸素中の

不純物濃度を1 ppm以下、好ましくは0.1 ppm以下)とすることが好ましい。

【0222】

或いは、イオン注入法又はイオンドーピング法などを用いて、酸化物半導体層716に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45 GHzのマイクロ波でプラズマ化した酸素を酸化物半導体層716に添加すれば良い。

【0223】

また、ゲート電極722及び導電膜723は、ゲート絶縁膜721上に導電膜を形成した後、該導電膜をエッチング加工することで形成することができる。ゲート電極722及び導電膜723は、ゲート電極707、或いは導電膜719及び導電膜720と同様の材料を用いて形成することが可能である。

10

【0224】

ゲート電極722及び導電膜723の膜厚は、10 nm～400 nm、好ましくは100 nm～200 nmとする。本実施の形態では、タングステンターゲットを用いたスパッタ法により150 nmのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状にエッチング加工することで、ゲート電極722及び導電膜723を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソマスクを使用しないため、製造コストを低減できる。

【0225】

以上の工程により、トランジスタ109が形成される。

【0226】

なお、ゲート絶縁膜721を間に挟んで導電膜719と導電膜723とが重なる部分が、容量素子108に相当する。

20

【0227】

また、トランジスタ109はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極を有することで、チャンネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0228】

なお、酸化物半導体層716に接する絶縁膜(本実施の形態においては、ゲート絶縁膜721が該当する。)は、第13族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

30

【0229】

第13族元素を含む絶縁材料とは、絶縁材料に一又は複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

【0230】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

40

【0231】

50

また、酸化物半導体層 716 に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

【0232】

例えば、酸化物半導体層 716 に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) とすることができる。

10

【0233】

また、酸化物半導体層 716 に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) とすることができる。

【0234】

また、酸化物半導体層 716 に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_XAl_{2-X}O_{3+\alpha}$ ($0 < X < 2$ 、 $0 < \alpha < 1$) とすることができる。

【0235】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層を i 型化又は i 型に限りなく近くすることができる。

20

【0236】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層 716 に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層 716 に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層 716 を挟む構成とすることで、上記効果をより高めることができる。

30

【0237】

また、酸化物半導体層 716 の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとし、他方を組成が Al_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化アルミニウムとしても良い。

【0238】

また、酸化物半導体層 716 に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層 716 の上層に組成が Ga_2O_X ($X = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_XAl_{2-X}O_{3+\alpha}$ ($0 < X < 2$ 、 $0 < \alpha < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、酸化物半導体層 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

40

【0239】

次に、図 8 (C) に示すように、ゲート絶縁膜 721、導電膜 723、ゲート電極 72

50

2を覆うように、絶縁膜724を形成する。絶縁膜724は、PVD法やCVD法などを用いて形成することができる。また、酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁膜724には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁膜724の誘電率を低くすることにより、配線や電極などの間に生じる寄生容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁膜724を単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

【0240】

次に、ゲート絶縁膜721、絶縁膜724に開口部725を形成し、導電膜720の一部を露出させる。その後、絶縁膜724上に、上記開口部725において導電膜720と接する配線726を形成する。

【0241】

配線726は、PVD法や、CVD法を用いて導電膜を形成した後、当該導電膜をエッチング加工することによって形成される。また、導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、又はこれらを複数組み合わせた材料を用いてもよい。

【0242】

より具体的には、例えば、絶縁膜724の開口を含む領域にPVD法によりチタン膜を薄く形成し、PVD法によりチタン膜を薄く（5nm程度）形成した後に、開口部725に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは導電膜720）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【0243】

次に、配線726を覆うように絶縁膜727を形成する。上述した一連の工程により、記憶素子を作製することができる。

【0244】

なお、上記作製方法では、ソース電極及びドレイン電極として機能する導電膜719及び導電膜720が、酸化物半導体層716の後に形成されている。よって、図8（B）に示すように、上記作製方法によって得られるトランジスタ109は、導電膜719及び導電膜720が、酸化物半導体層716の上に形成されている。しかし、トランジスタ109は、ソース電極及びドレイン電極として機能する導電膜が、酸化物半導体層716の下、すなわち、酸化物半導体層716と絶縁膜712及び絶縁膜713の間に設けられていても良い。

【0245】

図9に、ソース電極及びドレイン電極として機能する導電膜719及び導電膜720が、酸化物半導体層716と絶縁膜712及び絶縁膜713の間に設けられている場合の、トランジスタ109の断面図を示す。図9に示すトランジスタ109は、絶縁膜713を形成した後に導電膜719及び導電膜720の形成を行い、次いで酸化物半導体層716の形成を行うことで、得ることができる。

【0246】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0247】

（実施の形態6）

本実施の形態では、実施の形態5とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。

【0248】

図10(A)に示すトランジスタ901は、絶縁膜902上に形成された、活性層として機能する酸化物半導体層903と、酸化物半導体層903上に形成されたソース電極904及びドレイン電極905と、酸化物半導体層903、ソース電極904及びドレイン電極905上のゲート絶縁膜906と、ゲート絶縁膜906上において酸化物半導体層903と重なる位置に設けられたゲート電極907とを有する。

【0249】

図10(A)に示すトランジスタ901は、ゲート電極907が酸化物半導体層903の上に形成されているトップゲート型であり、なおかつ、ソース電極904及びドレイン電極905が酸化物半導体層903の上に形成されているトップコンタクト型である。そして、トランジスタ901は、ソース電極904及びドレイン電極905と、ゲート電極907とが重なっていない。すなわち、ソース電極904及びドレイン電極905とゲート電極907との間には、ゲート絶縁膜906の膜厚よりも大きい間隔が設けられている。よって、トランジスタ901は、ソース電極904及びドレイン電極905とゲート電極907との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0250】

また、酸化物半導体層903は、ゲート電極907が形成された後に酸化物半導体層903にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域908を有する。また、酸化物半導体層903のうち、ゲート絶縁膜906を間に挟んでゲート電極907と重なる領域がチャンネル形成領域909である。酸化物半導体層903では、一対の高濃度領域908の間にチャンネル形成領域909が設けられている。高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。

【0251】

例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0252】

n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層903中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体層903に設けることで、ソース電極904とドレイン電極905の間の抵抗を下げることができる。

【0253】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層903に用いた場合、窒素を添加した後、300℃以上600℃以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極904とドレイン電極905の間の抵抗を下げることもできる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極904とドレイン電極905の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atoms%以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0254】

また、酸化物半導体層903は、CAACを含む酸化物を用いて構成されていても良い。酸化物半導体層903がCAACを含む酸化物を用いて構成されている場合、非晶質の場合に比べて酸化物半導体層903の導電率を高めることができるので、ソース電極904とドレイン電極905の間の抵抗を下げることもできる。

【0255】

そして、ソース電極 904 とドレイン電極 905 の間の抵抗を下げることで、トランジスタ 901 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 901 の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0256】

図 10 (B) に示すトランジスタ 911 は、絶縁膜 912 上に形成されたソース電極 914 及びドレイン電極 915 と、ソース電極 914 及びドレイン電極 915 上に形成された活性層として機能する酸化物半導体層 913 と、酸化物半導体層 913、ソース電極 914 及びドレイン電極 915 上のゲート絶縁膜 916 と、ゲート絶縁膜 916 上において酸化物半導体層 913 と重なる位置に設けられたゲート電極 917 とを有する。

10

【0257】

図 10 (B) に示すトランジスタ 911 は、ゲート電極 917 が酸化物半導体層 913 の上に形成されているトップゲート型であり、なおかつ、ソース電極 914 及びドレイン電極 915 が酸化物半導体層 913 の下に形成されているボトムコンタクト型である。そして、トランジスタ 911 は、トランジスタ 901 と同様に、ソース電極 914 及びドレイン電極 915 と、ゲート電極 917 とが重なっていないので、ソース電極 914 及びドレイン電極 915 とゲート電極 917 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0258】

また、酸化物半導体層 913 は、ゲート電極 917 が形成された後に酸化物半導体層 913 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 918 を有する。また、酸化物半導体層 913 のうち、ゲート絶縁膜 916 を間に挟んでゲート電極 917 と重なる領域がチャネル形成領域 919 である。酸化物半導体層 913 では、一対の高濃度領域 918 の間にチャネル形成領域 919 が設けられている。

20

【0259】

高濃度領域 918 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 918 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0260】

例えば、窒素をドーパントとして用いた場合、高濃度領域 918 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

30

【0261】

n 型の導電性を付与するドーパントが添加されている高濃度領域 918 は、酸化物半導体層 913 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 918 を酸化物半導体層 913 に設けることで、ソース電極 914 とドレイン電極 915 の間の抵抗を下げるることができる。

【0262】

また、In-Ga-Zn 系酸化物半導体を酸化物半導体層 913 に用いた場合、窒素を添加した後、300℃以上600℃以下程度で加熱処理を施すことにより、高濃度領域 918 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域 918 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 918 の導電性を高め、ソース電極 914 とドレイン電極 915 の間の抵抗を下げるることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 914 とドレイン電極 915 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 918 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

40

【0263】

また、酸化物半導体層 913 は、CAAC を含む酸化物を用いて構成されていても良い

50

。酸化物半導体層 913 が C A A C を含む酸化物を用いて構成されている場合、非晶質の場合に比べて酸化物半導体層 913 の導電率を高めることができるので、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることができる。

【0264】

そして、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることで、トランジスタ 911 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 911 の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0265】

図 10 (C) に示すトランジスタ 921 は、絶縁膜 922 上に形成された、活性層として機能する酸化物半導体層 923 と、酸化物半導体層 923 上に形成されたソース電極 924 及びドレイン電極 925 と、酸化物半導体層 923、ソース電極 924 及びドレイン電極 925 上のゲート絶縁膜 926 と、ゲート絶縁膜 926 上において酸化物半導体層 923 と重なる位置に設けられたゲート電極 927 とを有する。さらに、トランジスタ 921 は、ゲート電極 927 の側部に設けられた、絶縁膜で形成された側壁絶縁物 930 を有する。

【0266】

図 10 (C) に示すトランジスタ 921 は、ゲート電極 927 が酸化物半導体層 923 の上に形成されているトップゲート型であり、なおかつ、ソース電極 924 及びドレイン電極 925 が酸化物半導体層 923 の上に形成されているトップコンタクト型である。そして、トランジスタ 921 は、トランジスタ 901 と同様に、ソース電極 924 及びドレイン電極 925 と、ゲート電極 927 とが重なっていないので、ソース電極 924 及びドレイン電極 925 とゲート電極 927 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0267】

また、酸化物半導体層 923 は、ゲート電極 927 が形成された後に酸化物半導体層 923 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 928 と、一対の低濃度領域 929 とを有する。また、酸化物半導体層 923 のうち、ゲート絶縁膜 926 を間に挟んでゲート電極 927 と重なる領域がチャネル形成領域 931 である。酸化物半導体層 923 では、一対の高濃度領域 928 の間に一対の低濃度領域 929 が設けられ、一対の低濃度領域 929 の間にチャネル形成領域 931 が設けられている。そして、一対の低濃度領域 929 は、酸化物半導体層 923 中の、ゲート絶縁膜 926 を間に挟んで側壁絶縁物 930 と重なる領域に設けられている。

【0268】

高濃度領域 928 及び低濃度領域 929 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 928 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0269】

例えば、窒素をドーパントとして用いた場合、高濃度領域 928 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域 929 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0270】

n 型の導電性を付与するドーパントが添加されている高濃度領域 928 は、酸化物半導体層 923 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 928 を酸化物半導体層 923 に設けることで、ソース電極 924 とドレイン電極 925 の間の抵抗を下げるができる。また、低濃度領域 929 をチャネル形成領域 931 と高濃度領域 928 の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

10

20

30

40

50

【0271】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層923に用いた場合、窒素を添加した後、300℃以上600℃以下程度で加熱処理を施すことにより、高濃度領域928中の酸化物半導体はウルツ鉱型の結晶構造を有ようになる。またさらに、低濃度領域929も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域928中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域928の導電性を高め、ソース電極924とドレイン電極925の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極924とドレイン電極925の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域928中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7 atoms %以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0272】

また、酸化物半導体層923は、CAACを含む酸化物を用いて構成されていても良い。酸化物半導体層923がCAACを含む酸化物を用いて構成されている場合、非晶質の場合に比べて酸化物半導体層923の導電率を高めることができるので、ソース電極924とドレイン電極925の間の抵抗を下げるができる。

【0273】

そして、ソース電極924とドレイン電極925の間の抵抗を下げることで、トランジスタ921の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ921の微細化により、当該トランジスタを用いたメモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0274】

図10(D)に示すトランジスタ941は、絶縁膜942上に形成されたソース電極944及びドレイン電極945と、ソース電極944及びドレイン電極945上に形成された活性層として機能する酸化物半導体層943と、酸化物半導体層943、ソース電極944及びドレイン電極945上のゲート絶縁膜946と、ゲート絶縁膜946上において酸化物半導体層943と重なる位置に設けられたゲート電極947とを有する。さらに、トランジスタ941は、ゲート電極947の側部に設けられた、絶縁膜で形成された側壁絶縁物950を有する。

【0275】

図10(D)に示すトランジスタ941は、ゲート電極947が酸化物半導体層943の上に形成されているトップゲート型であり、なおかつ、ソース電極944及びドレイン電極945が酸化物半導体層943の下に形成されているボトムコンタクト型である。そして、トランジスタ941は、トランジスタ901と同様に、ソース電極944及びドレイン電極945と、ゲート電極947とが重なっていないので、ソース電極944及びドレイン電極945とゲート電極947との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0276】

また、酸化物半導体層943は、ゲート電極947が形成された後に酸化物半導体層943にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域948と、一対の低濃度領域949とを有する。また、酸化物半導体層943のうち、ゲート絶縁膜946を間に挟んでゲート電極947と重なる領域がチャネル形成領域951である。酸化物半導体層943では、一対の高濃度領域948の間に一対の低濃度領域949が設けられ、一対の低濃度領域949の間にチャネル形成領域951が設けられている。そして、一対の低濃度領域949は、酸化物半導体層943中の、ゲート絶縁膜946を間に挟んで側壁絶縁物950と重なる領域に設けられている。

【0277】

高濃度領域948及び低濃度領域949は、上述した、トランジスタ901が有する高

10

20

30

40

50

濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 948 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0278】

例えば、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域 949 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0279】

n 型の導電性を付与するドーパントが添加されている高濃度領域 948 は、酸化物半導体層 943 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 948 を酸化物半導体層 943 に設けることで、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。また、低濃度領域 949 をチャネル形成領域 951 と高濃度領域 948 の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0280】

また、In-Ga-Zn 系酸化物半導体を酸化物半導体層 943 に用いた場合、窒素を添加した後、 300°C 以上 600°C 以下程度で加熱処理を施すことにより、高濃度領域 948 中の酸化物半導体はウルツ鉱型の結晶構造を有ようになる。またさらに、低濃度領域 949 も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域 948 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 948 の導電性を高め、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 944 とドレイン電極 945 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0281】

また、酸化物半導体層 943 は、CAAC を含む酸化物を用いて構成されていても良い。酸化物半導体層 943 が CAAC を含む酸化物を用いて構成されている場合、非晶質の場合に比べて酸化物半導体層 943 の導電率を高めることができるので、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。

【0282】

そして、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることで、トランジスタ 941 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 941 の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0283】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al., "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504-507, 2010.)。

【0284】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある

。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまふ。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0285】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0286】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャンネル長を200nm以下とする場合には、短チャンネル効果を防止する上で、チャンネル形成領域となる部分の酸化物半導体層の厚さは20nm以下、好ましくは10nm以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0287】

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0288】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0289】

(実施の形態7)

本実施の形態では、実施の形態5、実施の形態6とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、酸化物半導体層を構成する酸化物半導体は、In、Sn、及びZnを含む酸化物半導体(In-Sn-Zn系酸化物半導体)を用いてもよいし、他の実施の形態において説明した他の酸化物半導体を用いてもよい。

【0290】

図31は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図31(A)にトランジスタの上面図を示す。また、図31(B)に図31(A)の一点鎖線A-Bに対応する断面A-Bを示す。

【0291】

図31(B)に示すトランジスタは、基板1100と、基板1100上に設けられた下地絶縁膜1102と、下地絶縁膜1102の周辺に設けられた保護絶縁膜1104と、下地絶縁膜1102及び保護絶縁膜1104上に設けられた高抵抗領域1106a及び低抵抗領域1106bを有する酸化物半導体層1106と、酸化物半導体層1106上に設けられたゲート絶縁膜1108と、ゲート絶縁膜1108を介して酸化物半導体層1106と重畳して設けられたゲート電極1110と、ゲート電極1110の側面と接して設けられた側壁絶縁膜1112と、少なくとも低抵抗領域1106bと接して設けられた一対の電極1114と、少なくとも酸化物半導体層1106、ゲート電極1110及び一対の電極1114を覆って設けられた層間絶縁膜1116と、層間絶縁膜1116に設けられた開口部を介して少なくとも一対の電極1114の一方と接続して設けられた配線1118と、を有する。

【0292】

なお、図示しないが、層間絶縁膜1116及び配線1118を覆って設けられた保護膜を有する構造としてもよい。保護膜を設けることで、層間絶縁膜1116の表面伝導に起因して生じる微小リーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

10

20

30

40

50

【0293】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することができる。

【0294】

(実施の形態8)

本実施の形態では、実施の形態5乃至実施の形態7とは異なる構造を有した、酸化物半導体層を用いたトランジスタについて説明する。なお、本実施の形態では酸化物半導体層を構成する酸化物半導体として、In、Sn、及びZnを含む酸化物半導体(In-Sn-Zn系酸化物半導体)を用いた場合について説明するが、他の実施の形態において説明した他の酸化物半導体を用いることもできる。

【0295】

図32は、本実施の形態で作製したトランジスタの構造を示す上面図および断面図である。図32(A)はトランジスタの上面図である。また、図32(B)は図32(A)の一点鎖線A-Bに対応する断面図である。

【0296】

図32(B)に示すトランジスタは、基板1200と、基板1200上に設けられた下地絶縁膜1202と、下地絶縁膜1202上に設けられた酸化物半導体層1206と、酸化物半導体層1206と接する一対の電極1214と、酸化物半導体層1206および一対の電極1214上に設けられたゲート絶縁膜1208と、ゲート絶縁膜1208を介して酸化物半導体層1206と重畳して設けられたゲート電極1210と、ゲート絶縁膜1208およびゲート電極1210を覆って設けられた層間絶縁膜1216と、層間絶縁膜1216に設けられた開口部を介して一対の電極1214と接続する配線1218と、層間絶縁膜1216および配線1218を覆って設けられた保護膜1220と、を有する。

【0297】

基板1200としてはガラス基板を、下地絶縁膜1202としては酸化シリコン膜を、酸化物半導体層1206としてはIn-Sn-Zn系の酸化膜を、一対の電極1214としてはタングステン膜を、ゲート絶縁膜1208としては酸化シリコン膜を、ゲート電極1210としては窒化 tantalum 膜とタングステン膜との積層構造を、層間絶縁膜1216としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線1218としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜1220としてはポリイミド膜を、それぞれ用いた。

【0298】

なお、図32(A)に示す構造のトランジスタにおいて、ゲート電極1210と一対の電極1214との重畳する幅を L_{ov} と呼ぶ。同様に、酸化物半導体層1206に対する一対の電極1214のはみ出しを dW と呼ぶ。

【0299】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【0300】

(実施の形態9)

本実施の形態では、記憶装置の構造の一形態について説明する。

【0301】

図11及び図12は、記憶装置の断面図である。図11及び図12に示す記憶装置は上部に、多層に形成された複数の記憶素子を有し、下部に論理回路3004を有する。複数の記憶素子のうち、記憶素子3170aと、記憶素子3170bを代表で示す。記憶素子3170a及び記憶素子3170bとしては、例えば、上記に実施の形態において説明した記憶回路102と同様の構成とすることもできる。

【0302】

なお、記憶素子3170aに含まれるトランジスタ3171aを代表で示す。記憶素子3170bに含まれるトランジスタ3171bを代表で示す。トランジスタ3171a及びトランジスタ3171bは、酸化物半導体層にチャネル形成領域を有する。酸化物半導体層にチャネル形成領域が形成されるトランジスタの構成については、その他の実施の形

10

20

30

40

50

態において説明した構成と同様であるため、説明は省略する。

【0303】

トランジスタ3171aのソース電極及びドレイン電極と同じ層に形成された電極3501aは、電極3502aによって、電極3003aと電氣的に接続されている。トランジスタ3171bのソース電極及びドレイン電極と同じ層に形成された電極3501cは、電極3502cによって、電極3003cと電氣的に接続されている。

【0304】

また、論理回路3004は、酸化物半導体以外の半導体材料をチャネル形成領域として用いたトランジスタ3001を有する。トランジスタ3001は、半導体材料（例えば、シリコンなど）を含む基板3000に素子分離絶縁膜3106を設け、素子分離絶縁膜3106に囲まれた領域にチャネル形成領域となる領域を形成することによって得られるトランジスタとすることができる。なお、トランジスタ3001は、絶縁表面上に形成されたシリコン膜等の半導体膜や、SOI基板のシリコン膜にチャネル形成領域が形成されるトランジスタであってもよい。トランジスタ3001の構成については、公知の構成を用いることが可能であるため、説明は省略する。

【0305】

トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間には、配線3100a及び配線3100bが形成されている。配線3100aとトランジスタ3001が形成された層との間には、絶縁膜3140aが設けられ、配線3100aと配線3100bとの間には、絶縁膜3141aが設けられ、配線3100bとトランジスタ3171aが形成された層との間には、絶縁膜3142aが設けられている。

【0306】

同様に、トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間には、配線3100c及び配線3100dが形成されている。配線3100cとトランジスタ3171aが形成された層との間には、絶縁膜3140bが設けられ、配線3100cと配線3100dとの間には、絶縁膜3141bが設けられ、配線3100dとトランジスタ3171bが形成された層との間には、絶縁膜3142bが設けられている。

【0307】

絶縁膜3140a、絶縁膜3141a、絶縁膜3142a、絶縁膜3140b、絶縁膜3141b、絶縁膜3142bは、層間絶縁膜として機能し、その表面は平坦化された構成とすることができる。

【0308】

配線3100a、配線3100b、配線3100c、配線3100dによって、記憶素子間の電氣的接続や、論理回路3004と記憶素子との電氣的接続等を行うことができる。

【0309】

論理回路3004に含まれる電極3303は、上部に設けられた回路と電氣的に接続することができる。

【0310】

例えば、図11に示すように、電極3505によって電極3303は配線3100aと電氣的に接続することができる。配線3100aは、電極3503aによって電極3501bと電氣的に接続することができる。こうして、配線3100a及び電極3303を、トランジスタ3171aのソースまたはドレインと電氣的に接続することができる。また、電極3501bは、電極3502bによって、電極3003bと電氣的に接続することができる。電極3003bは、電極3503bによって配線3100cと電氣的に接続することができる。

【0311】

図11では、電極3303とトランジスタ3171aとの電氣的接続は、配線3100aを介して行われる例を示したがこれに限定されない。電極3303とトランジスタ31

10

20

30

40

50

71aとの電氣的接続は、配線3100bを介して行われてもよいし、配線3100aと配線3100bの両方を介して行われてもよい。また、図12に示すように、電極3303とトランジスタ3171aとの電氣的接続は、配線3100aも配線3100bも介さず行われてもよい。図12では、電極3303は、電極3503によって、電極3003bと電氣的に接続されている。電極3003bは、トランジスタ3171aのソースまたはドレインと電氣的に接続される。こうして、電極3303とトランジスタ3171aとの電氣的接続をとることができる。

【0312】

なお、図11及び図12では、2つの記憶素子（記憶素子3170aと、記憶素子3170b）が積層された構成を例として示したが、積層する記憶素子の数はこれに限定されない。

10

【0313】

また、図11及び図12では、トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間には、配線3100aが形成された配線層と、配線3100bが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

【0314】

また、図11及び図12では、トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間には、配線3100cが形成された配線層と、配線3100dが形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

20

【0315】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0316】

（実施の形態10）

本実施の形態では、上述の実施の形態で説明したトランジスタの電界効果移動度について説明する。

30

【0317】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

【0318】

40

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

【0319】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0320】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度であ

50

る。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。

【0321】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0322】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さとして差し支えない。線形領域におけるドレイン電流 I_d は、以下のようになる。

【0323】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0324】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L=W=10\mu m$ である。また、 V_d はドレイン電圧（ソースとドレイン間の電圧）である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0325】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0326】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $\ln(I_d/V_g)$ 、横軸を $1/V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの I_d-V_g 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム(In)、スズ(Sn)、亜鉛(Zn)の比率が、 $In:Sn:Zn=1:1:1$ のものでは欠陥密度 N は $1 \times 10^{12}/cm^2$ 程度である。

【0327】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2/Vs$ が導出される。欠陥のあるIn-Sn-Zn系の酸化物で測定される移動度は $40 cm^2/Vs$ 程度である。しかし、半導体内部および半導体と絶縁層との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2/Vs$ となると予想できる。

【0328】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0329】

【数 6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0330】

ここで、Dはゲート方向の電界、B、Gは定数である。B及びGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。 10

【0331】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図19に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0332】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長及びチャネル幅はともに10 μm 、ドレイン電圧 V_d は0.1Vである。 20

【0333】

図19で示されるように、ゲート電圧 V_g が1V強で移動度100 cm^2/Vs 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

【0334】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図20乃至図22に示す。なお、計算に用いたトランジスタの断面構造を図23に示す。図23に示すトランジスタは酸化物半導体層に n^+ の導電性を呈する半導体領域1303a及び半導体領域1303cを有する。半導体領域1303a及び半導体領域1303cの抵抗率は $2 \times 10^{-3} \Omega\text{cm}$ とする。 30

【0335】

図23（A）に示すトランジスタは、下地絶縁膜1301と、下地絶縁膜1301に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物1302の上に形成される。トランジスタは半導体領域1303a、半導体領域1303cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域1303bと、ゲート電極1305を有する。ゲート電極1305の幅を33nmとする。 40

【0336】

ゲート電極1305と半導体領域1303bの間には、ゲート絶縁層1304を有し、また、ゲート電極1305の両側面には側壁絶縁物1306a及び側壁絶縁物1306b、ゲート電極1305の上部には、ゲート電極1305と他の配線との短絡を防止するための絶縁物1307を有する。側壁絶縁物の幅は5nmとする。また、半導体領域1303a及び半導体領域1303cに接して、ソース1308a及びドレイン1308bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0337】

図23（B）に示すトランジスタは、下地絶縁膜1301と、酸化アルミニウムよりなる埋め込み絶縁物1302の上に形成され、半導体領域1303a、半導体領域1303 50

cと、それらに挟まれた真性の半導体領域1303bと、幅33nmのゲート電極1305とゲート絶縁層1304と側壁絶縁物1306a及び側壁絶縁物1306bと絶縁物1307とソース1308a及びドレイン1308bを有する点で図23(A)に示すトランジスタと同じである。

【0338】

図23(A)に示すトランジスタと図23(B)に示すトランジスタの相違点は、側壁絶縁物1306a及び側壁絶縁物1306bの下の半導体領域の導電型である。図23(A)に示すトランジスタでは、側壁絶縁物1306a及び側壁絶縁物1306bの下の半導体領域は n^+ の導電型を呈する半導体領域1303a及び半導体領域1303cであるが、図23(B)に示すトランジスタでは、真性の半導体領域1303bである。すなわち、図23(B)に示す半導体層において、半導体領域1303a(半導体領域1303c)とゲート電極1305がLoffだけ重ならない領域ができています。この領域をオフセット領域といい、その幅Loffをオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物1306a(側壁絶縁物1306b)の幅と同じである。

【0339】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図20は、図23(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)及び移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧 V_d (ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧 V_d を+0.1Vとして計算したものである。

【0340】

図20(A)はゲート絶縁膜の厚さを15nmとしたものであり、図20(B)は10nmとしたものであり、図20(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化が無い。

【0341】

図21は、図23(B)に示される構造のトランジスタで、オフセット長Loffを5nmとしたもののドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 V_d を+1Vとし、移動度 μ はドレイン電圧 V_d を+0.1Vとして計算したものである。図21(A)はゲート絶縁膜の厚さを15nmとしたものであり、図21(B)は10nmとしたものであり、図21(C)は5nmとしたものである。

【0342】

また、図22は、図23(B)に示される構造のトランジスタで、オフセット長Loffを15nmとしたもののドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 V_d を+1Vとし、移動度 μ はドレイン電圧 V_d を+0.1Vとして計算したものである。図22(A)はゲート絶縁膜の厚さを15nmとしたものであり、図22(B)は10nmとしたものであり、図22(C)は5nmとしたものである。

【0343】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0344】

なお、移動度 μ のピークは、図20では $80\text{ cm}^2/\text{Vs}$ 程度であるが、図21では $60\text{ cm}^2/\text{Vs}$ 程度、図22では $40\text{ cm}^2/\text{Vs}$ 程度と、オフセット長Loffが増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長Loffの増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【0345】

(実施の形態 11)

本実施の形態では、In、Sn、及びZnを主成分として含む酸化物半導体膜（In-Sn-Zn系酸化物半導体膜の一例）をチャネル形成領域に用いたトランジスタについて説明する。

【0346】

In、Sn、及びZnを主成分として含む酸化物半導体膜をチャネル形成領域に用いたトランジスタは、酸化物半導体膜を形成する際に基板を加熱した状態で成膜すること、または酸化物半導体膜の成膜後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5 atomic %以上含まれる元素をいう。

【0347】

In、Sn、及びZnを主成分として含む酸化物半導体膜の形成する際に、基板を意図的に加熱した状態で成膜することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0348】

例えば、図24(A)～(C)は、In、Sn、及びZnを主成分として含み、チャネル長Lが3 μm、チャネル幅Wが10 μmである酸化物半導体膜と、厚さ100 nmのゲート絶縁膜を用いたトランジスタの電気特性を示す図である。なお、V_dは10 Vとした。

【0349】

図24(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成したときのトランジスタ特性を示す図である。このとき電界効果移動度μは18.8 cm²/V secが得られている。一方、基板を意図的に加熱してIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図24(B)は基板を200℃に加熱してIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度μは32.2 cm²/V secが得られている。

【0350】

電界効果移動度は、In、Sn、及びZnを主成分として含む酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図24(C)は、In、Sn、及びZnを主成分として含む酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は34.5 cm²/V secが得られている。

【0351】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が実現できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には100 cm²/V secを超える電界効果移動度を実現することも可能になると推定される。

【0352】

また、In、Sn、及びZnを主成分として含む酸化物半導体膜に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0353】

基板を意図的に加熱して成膜すること、及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In 、 Sn 、及び Zn を主成分として含む酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図 24 (A) と図 24 (B) の対比からも確認することができる。

【0354】

なお、しきい値電圧は In 、 Sn 及び Zn の比率を変えることによっても制御することが可能であり、組成比として $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を実現することができる。また、ターゲットの組成比を $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を実現することができる。

【0355】

意図的な基板加熱温度若しくは熱処理温度は、 150°C 以上、好ましくは 200°C 以上、より好ましくは 400°C 以上であり、より高温で成膜する、または熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0356】

また、意図的に基板を加熱した成膜、及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 $2\text{MV}/\text{cm}$ 、 150°C 、1 時間印加の条件において、ドリフトがそれぞれ $\pm 1.5\text{V}$ 未満、好ましくは 1.0V 未満を得ることができる。

【0357】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料 1 と、 650°C の加熱処理を行った試料 2 のトランジスタに対して BT 試験を行った。

【0358】

まず基板温度を 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を 0.1V とした。次に、ゲート絶縁膜に印加される電界強度が $2\text{MV}/\text{cm}$ となるように V_g に 20V を印加し、そのまま 1 時間保持した。次に、 V_g を 0V とした。次に、基板温度 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラス BT 試験と呼ぶ。

【0359】

同様に、まず基板温度を 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150°C とし、 V_d を 0.1V とした。次に、ゲート絶縁膜に印加される電界強度が $-2\text{MV}/\text{cm}$ となるように V_g に -20V を印加し、そのまま 1 時間保持した。次に、 V_g を 0V とした。次に、基板温度 25°C とし、 V_d を 10V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナス BT 試験と呼ぶ。

【0360】

試料 1 のプラス BT 試験の結果を図 25 (A) に、マイナス BT 試験の結果を図 25 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 26 (A) に、マイナス BT 試験の結果を図 26 (B) に示す。

【0361】

試料 1 のプラス BT 試験及びマイナス BT 試験によるしきい値電圧の変動は、それぞれ 1.80V 及び 0.42V であった。また、試料 2 のプラス BT 試験及びマイナス BT 試験によるしきい値電圧の変動は、それぞれ 0.79V 及び 0.76V であった。試料 1 及び試料 2 のいずれも、BT 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0362】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行ってもよい。最初に脱水化・

10

20

30

40

50

脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用してもよい。

【0363】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

10

【0364】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることで、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650°C の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0365】

実際に、 In-Sn-Zn 系の酸化膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

20

【0366】

XRD分析を行った試料として、試料A及び試料Bを用意した。以下に試料A及び試料Bの作製方法を説明する。

【0367】

まず、脱水素化処理済みの石英基板上に In-Sn-Zn 系の酸化膜を 100nm の厚さで成膜した。

【0368】

In-Sn-Zn 系の酸化膜は、スパッタリング装置を用い、酸素雰囲気中で電力を 100W (DC)として成膜した。ターゲットは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 〔原子数比〕の In-Sn-Zn-O ターゲットを用いた。なお、成膜時の基板加熱温度は 200°C とした。このようにして作製した試料を試料Aとした。

30

【0369】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を 650°C の温度で行った。加熱処理は、はじめに窒素雰囲気中で1時間の加熱処理を行い、温度を下げずに酸素雰囲気ですらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0370】

図27に試料A及び試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、 2θ が 35deg 近傍及び $37\text{deg} \sim 38\text{deg}$ に結晶由来のピークが観測された。

40

【0371】

このように、 In 、 Sn 、及び Zn を主成分として含む酸化物半導体は、成膜時に意図的に加熱すること、及び／又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0372】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにする効果、または膜中から除去する効果がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化され

50

ることによりオフ電流を $1 \text{ a A} / \mu \text{ m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャンネル幅 $1 \mu \text{ m}$ あたりの電流値を示す。

【0373】

図28に、トランジスタのオフ電流と、オフ電流測定時の基板温度（絶対温度）の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に 1000 を掛けた数値（ $1000 / T$ ）を横軸としている。図28に示すように、基板温度が 125°C の場合には $1 \text{ a A} / \mu \text{ m}$ （ $1 \times 10^{-18} \text{ A} / \mu \text{ m}$ ）以下、 85°C の場合には $100 \text{ z A} / \mu \text{ m}$ （ $1 \times 10^{-19} \text{ A} / \mu \text{ m}$ ）以下、室温（ 27°C ）の場合には $1 \text{ z A} / \mu \text{ m}$ （ $1 \times 10^{-21} \text{ A} / \mu \text{ m}$ ）以下にすることができる。好ましくは、 125°C において $0.1 \text{ a A} / \mu \text{ m}$ （ $1 \times 10^{-19} \text{ A} / \mu \text{ m}$ ）以下に、 85°C において $10 \text{ z A} / \mu \text{ m}$ （ $1 \times 10^{-20} \text{ A} / \mu \text{ m}$ ）以下に、室温において $0.1 \text{ z A} / \mu \text{ m}$ （ $1 \times 10^{-22} \text{ A} / \mu \text{ m}$ ）以下にすることができる。

【0374】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 -70°C 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 In 、 Sn 、及び Zn を主成分として含む酸化物半導体は熱処理によって膜中の水分を除去することができるが、 In 、 Ga 、及び Zn を主成分として含む酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0375】

また、酸化物半導体膜成膜後に 650°C の加熱処理を行った試料Bのトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【0376】

測定に用いたトランジスタは、チャンネル長 L が $3 \mu \text{ m}$ 、チャンネル幅 W が $10 \mu \text{ m}$ 、 L_{ov} が $0 \mu \text{ m}$ 、 dW が $0 \mu \text{ m}$ である。なお、 V_d は 10 V とした。なお、基板温度は -40°C 、 -25°C 、 25°C 、 75°C 、 125°C 及び 150°C で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅を L_{ov} と呼び、酸化物半導体膜に対する一対の電極のはみ出しを dW と呼ぶ。

【0377】

図29に、 I_d （実線）及び電界効果移動度（点線）の V_g 依存性を示す。また、図30（A）に基板温度としきい値電圧の関係を、図30（B）に基板温度と電界効果移動度の関係を示す。

【0378】

図30（A）より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は $-40^\circ \text{C} \sim 150^\circ \text{C}$ で $1.09 \text{ V} \sim -0.23 \text{ V}$ であった。

【0379】

また、図30（B）より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は $-40^\circ \text{C} \sim 150^\circ \text{C}$ で $36 \text{ cm}^2 / \text{Vs} \sim 32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0380】

上記のような In 、 Sn 、及び Zn を主成分として含む酸化物半導体をチャンネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ a A} / \mu \text{ m}$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vs}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vs}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vs}$ 以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ のFETで、ゲート電圧 2.7 V 、ドレイン電圧 1.0 V のとき $12 \mu \text{ A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような

特性であれば、S i 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0381】

本実施の形態は、上記実施の形態と適宜組み合わせ実施することができる。

【実施例1】

【0382】

本発明の一態様に係る信号処理回路を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。また、オフ電流が低いトランジスタを用いることで、オフ電流の高さをカバーするための冗長な回路設計が不要となるため、信号処理回路の集積度を高めることができ、信号処理回路を高機能化させることができる。

【0383】

本発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

【0384】

本発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0385】

図13は、携帯用の電子機器のブロック図である。図13に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。CPU427に上記実施の形態で示した信号処理回路を採用することによって、消費電力を低減することができる。また、一般的にメモリ回路432はSRAMまたはDRAMで構成されているが、メモリ回路432に上記実施の形態で示した記憶装置を採用することによって、消費電力を低減することが可能になる。

【0386】

図14に、メモリ回路432の構成をブロック図で示す。メモリ回路432は、記憶装置442、記憶装置443、スイッチ444、スイッチ445、及びメモリコントローラ441を有している。

【0387】

まず、ある画像データが、携帯用の電子機器において受信されるか、またはアプリケーションプロセッサ426によって形成される。この画像データは、スイッチ444を介して記憶装置442に記憶される。そして、スイッチ444を介して出力された画像データは、ディスプレイコントローラ431を介してディスプレイ433に送られる。ディスプレイ433が、画像データを用いて画像の表示を行う。

【0388】

静止画のように、表示される画像に変更がなければ、通常30Hz～60Hz程度の周期で、記憶装置442から読み出された画像データが、スイッチ445を介して、ディスプレイコントローラ431に送られ続ける。ユーザーが画面に表示されている画像を書き換える操作を行ったとき、アプリケーションプロセッサ426は、新たな画像データを形成し、その画像データはスイッチ444を介して記憶装置443に記憶される。この新たな画像データの記憶装置443への記憶が行われている間にも、記憶装置442からスイッチ445を介して定期的に画像データが読み出される。

【0389】

記憶装置443への新たな画像データの記憶が完了すると、次のフレーム期間より、記憶装置443に記憶された新しい画像データが読み出され、スイッチ445、ディスプレイコントローラ431を介して、ディスプレイ433に上記画像データが送られる。ディスプレイ433では、送られてきた新しい画像データを用いて、画像の表示を行う。

10

【0390】

この画像データの読み出しは、さらに次の新しい画像データが記憶装置442に記憶されるまで、継続される。このように、記憶装置442、記憶装置443が交互に画像データの書き込みと読み出しを行い、ディスプレイ433は画像の表示を行う。

【0391】

記憶装置442、記憶装置443はそれぞれ別の記憶装置には限定されず、1つの記憶装置が有するメモリ領域を、分割して使用してもよい。これらの記憶装置に上記実施の形態で示した記憶装置を採用することによって、消費電力を低減することが可能になる。

20

【0392】

図15は電子書籍のブロック図である。電子書籍はバッテリー451、電源回路452、マイクロプロセッサ453、フラッシュメモリ454、音声回路455、キーボード456、メモリ回路457、タッチパネル458、ディスプレイ459、ディスプレイコントローラ460によって構成される。上記実施の形態で示した信号処理回路をマイクロプロセッサ453に採用することで、消費電力を低減することが可能になる。また、上記実施の形態で示した記憶装置をメモリ回路457に採用することで、消費電力を低減することが可能になる。

【0393】

例えば、ユーザーが、書籍データ中の特定の箇所において、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどにより、当該箇所とそれ以外の箇所との違いを明確にするハイライト機能を利用する場合、書籍データのうちユーザーが指定した箇所のデータを記憶する必要がある。メモリ回路457は、上記データを一時的に記憶する機能を持つ。なお、上記データを長期に渡って保存する場合には、フラッシュメモリ454に上記データをコピーしておいても良い。

30

【0394】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

【0395】

100	記憶素子
101	記憶回路
102	記憶回路
103	スイッチ
104	スイッチ
105	スイッチ
106	位相反転素子
107	容量素子
108	容量素子
109	トランジスタ
110	トランジスタ

40

50

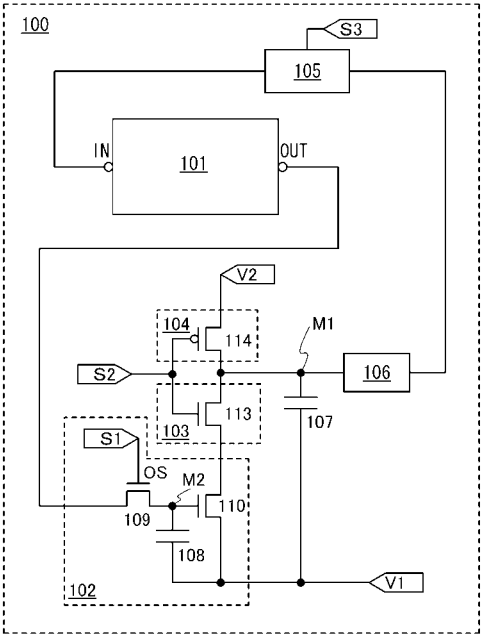
1 1 3	トランジスタ	
1 1 4	トランジスタ	
1 5 0	信号処理回路	
1 5 1	演算回路	
1 5 2	演算回路	
1 5 3	記憶装置	
1 5 4	記憶装置	
1 5 5	記憶装置	
1 5 6	制御装置	
1 5 7	電源制御回路	10
4 0 1	スイッチング素子	
4 0 2	記憶素子	
4 0 3	記憶素子群	
4 2 1	R F 回路	
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	20
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	30
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 4 1	メモリコントローラ	
4 4 2	記憶装置	
4 4 3	記憶装置	
4 4 4	スイッチ	
4 4 5	スイッチ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	40
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	
4 5 8	タッチパネル	
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	50

7 0 3	ゲート絶縁膜	
7 0 5	マスク	
7 0 7	ゲート電極	
7 0 9	不純物領域	
7 1 0	チャネル形成領域	
7 1 2	絶縁膜	
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	
7 1 9	導電膜	
7 2 0	導電膜	10
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 2 3	導電膜	
7 2 4	絶縁膜	
7 2 5	開口部	
7 2 6	配線	
7 2 7	絶縁膜	
7 7 2	半導体層	
7 7 3	ゲート絶縁層	
9 0 1	トランジスタ	20
9 0 2	絶縁膜	
9 0 3	酸化物半導体層	
9 0 4	ソース電極	
9 0 5	ドレイン電極	
9 0 6	ゲート絶縁膜	
9 0 7	ゲート電極	
9 0 8	高濃度領域	
9 0 9	チャネル形成領域	
9 1 1	トランジスタ	
9 1 2	絶縁膜	30
9 1 3	酸化物半導体層	
9 1 4	ソース電極	
9 1 5	ドレイン電極	
9 1 6	ゲート絶縁膜	
9 1 7	ゲート電極	
9 1 8	高濃度領域	
9 1 9	チャネル形成領域	
9 2 1	トランジスタ	
9 2 2	絶縁膜	
9 2 3	酸化物半導体層	40
9 2 4	ソース電極	
9 2 5	ドレイン電極	
9 2 6	ゲート絶縁膜	
9 2 7	ゲート電極	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	側壁絶縁物	
9 3 1	チャネル形成領域	
9 4 1	トランジスタ	
9 4 2	絶縁膜	50

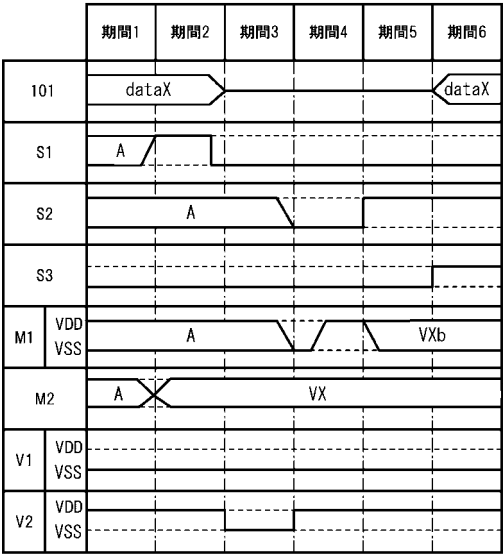
9 4 3	酸化物半導体層	
9 4 4	ソース電極	
9 4 5	ドレイン電極	
9 4 6	ゲート絶縁膜	
9 4 7	ゲート電極	
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	側壁絶縁物	
9 5 1	チャネル形成領域	
1 1 0 0	基板	10
1 1 0 2	絶縁膜	
1 1 0 4	絶縁膜	
1 1 0 6	酸化物半導体層	
1 1 0 6 a	高抵抗領域	
1 1 0 6 b	低抵抗領域	
1 1 0 8	ゲート絶縁膜	
1 1 1 0	ゲート電極	
1 1 1 2	絶縁膜	
1 1 1 4	電極	
1 1 1 6	絶縁膜	20
1 1 1 8	配線	
1 2 0 0	基板	
1 2 0 2	絶縁膜	
1 2 0 6	酸化物半導体層	
1 2 0 8	ゲート絶縁膜	
1 2 1 0	ゲート電極	
1 2 1 4	電極	
1 2 1 6	絶縁膜	
1 2 1 8	配線	
1 2 2 0	保護膜	30
1 3 0 1	絶縁膜	
1 3 0 2	埋め込み絶縁物	
1 3 0 3 a	半導体領域	
1 3 0 3 b	半導体領域	
1 3 0 3 c	半導体領域	
1 3 0 4	ゲート絶縁層	
1 3 0 5	ゲート電極	
1 3 0 6 a	側壁絶縁物	
1 3 0 6 b	側壁絶縁物	
1 3 0 7	絶縁物	40
1 3 0 8 a	ソース	
1 3 0 8 b	ドレイン	
3 0 0 0	基板	
3 0 0 1	トランジスタ	
3 0 0 4	論理回路	
3 1 0 6	素子分離絶縁膜	
3 3 0 3	電極	
3 5 0 3	電極	
3 5 0 5	電極	
3 0 0 3 a	電極	50

3 0 0 3 b	電 極	
3 0 0 3 c	電 極	
3 1 0 0 a	配 線	
3 1 0 0 b	配 線	
3 1 0 0 c	配 線	
3 1 0 0 d	配 線	
3 1 4 0 a	絶 縁 膜	
3 1 4 0 b	絶 縁 膜	
3 1 4 1 a	絶 縁 膜	
3 1 4 1 b	絶 縁 膜	10
3 1 4 2 a	絶 縁 膜	
3 1 4 2 b	絶 縁 膜	
3 1 7 0 a	記 憶 素 子	
3 1 7 0 b	記 憶 素 子	
3 1 7 1 a	ト ラ ン ジ ス タ	
3 1 7 1 b	ト ラ ン ジ ス タ	
3 5 0 1 a	電 極	
3 5 0 1 b	電 極	
3 5 0 1 c	電 極	
3 5 0 2 a	電 極	20
3 5 0 2 b	電 極	
3 5 0 2 c	電 極	
3 5 0 3 a	電 極	
3 5 0 3 b	電 極	
9 9 0 0	基 板	
9 9 0 1	A L U	
9 9 0 2	A L U ・ C o n t r o l l e r	
9 9 0 3	I n s t r u c t i o n ・ D e c o d e r	
9 9 0 4	I n t e r r u p t ・ C o n t r o l l e r	
9 9 0 5	T i m i n g ・ C o n t r o l l e r	30
9 9 0 6	R e g i s t e r	
9 9 0 7	R e g i s t e r ・ C o n t r o l l e r	
9 9 0 8	B u s ・ I / F	
9 9 0 9	R O M	
9 9 2 0	R O M ・ I / F	

【図 1】

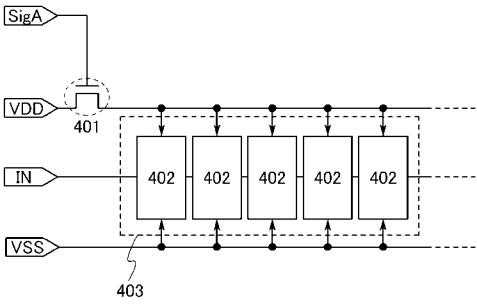


【図 2】

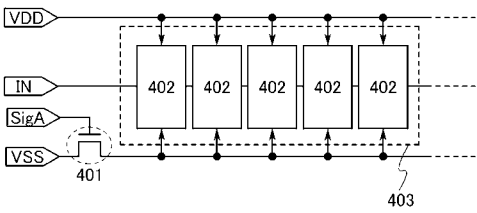


【図 3】

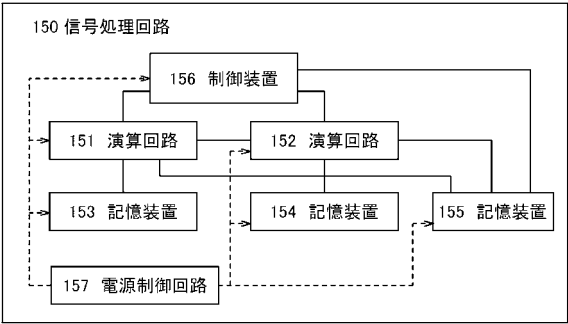
(A)



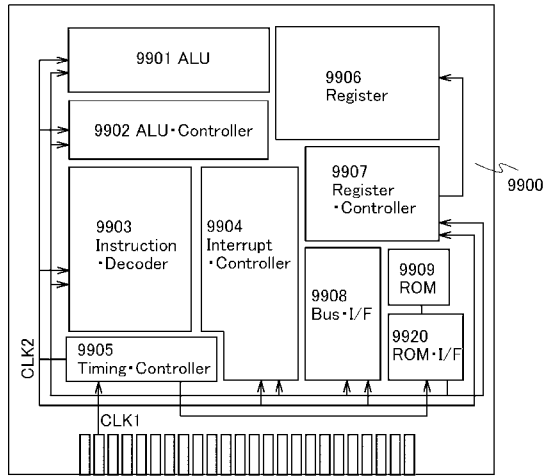
(B)



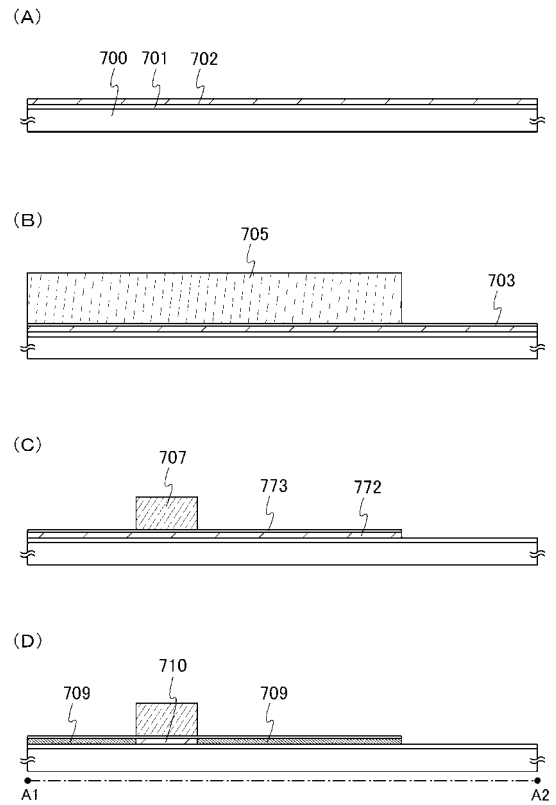
【図 4】



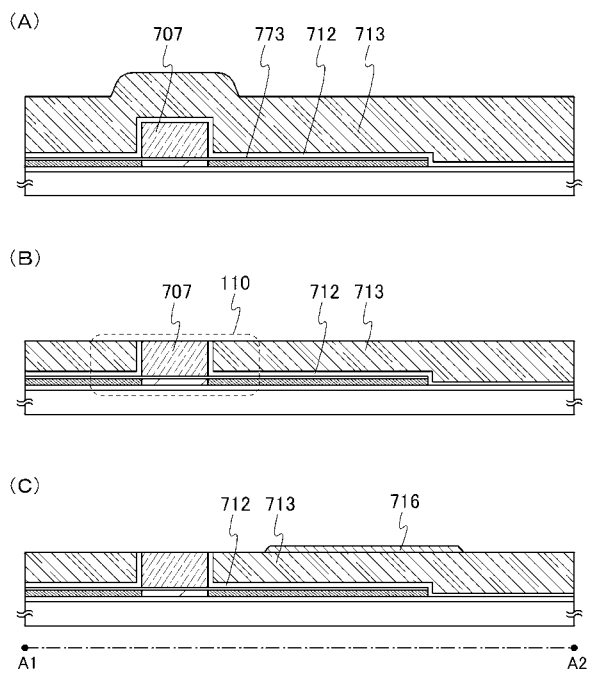
【図 5】



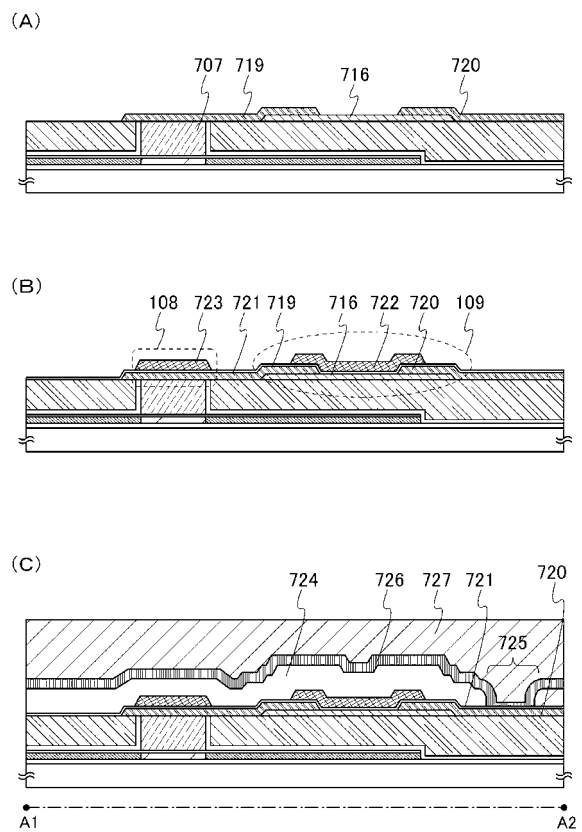
【図 6】



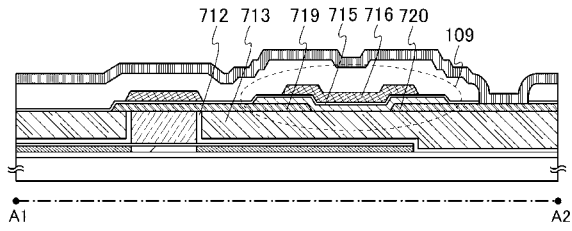
【図 7】



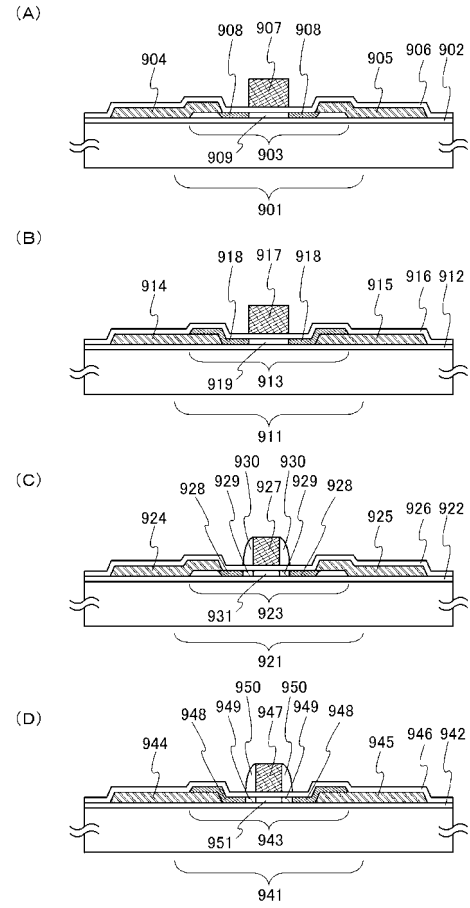
【図 8】



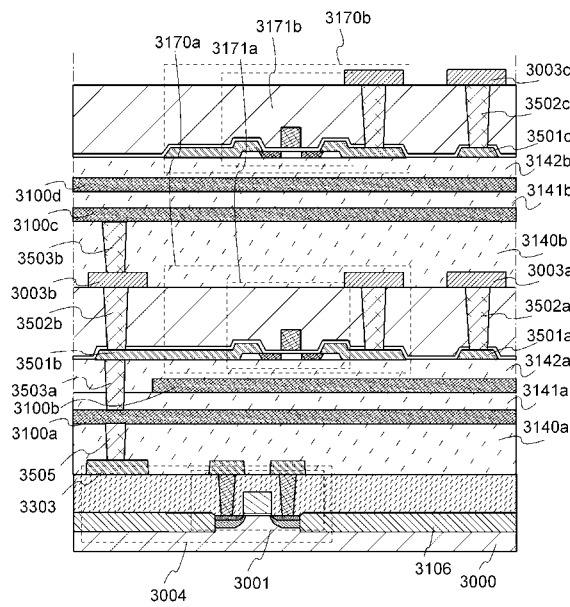
【図 9】



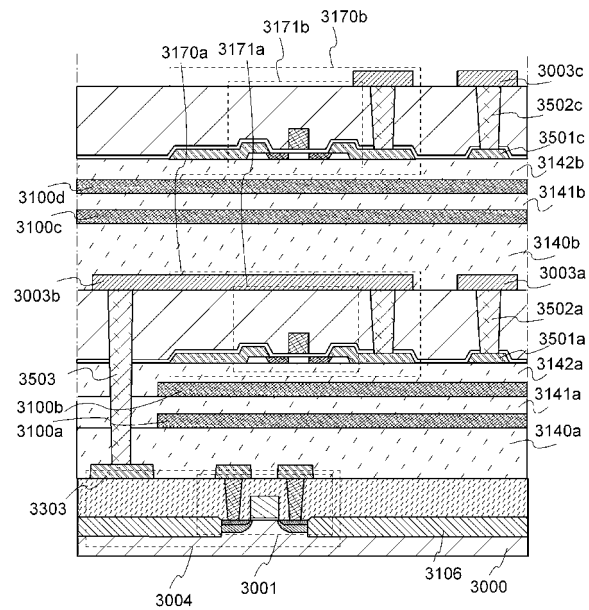
【図 10】



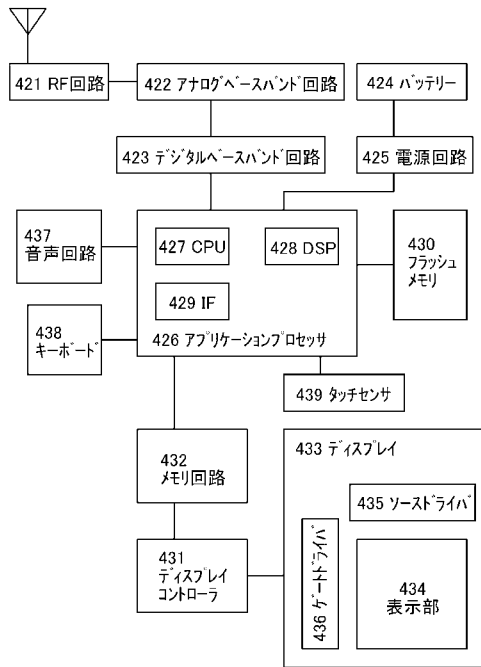
【図 11】



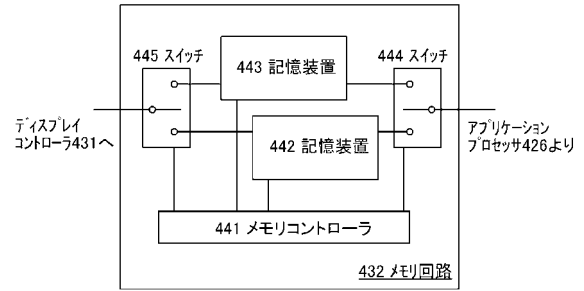
【図 12】



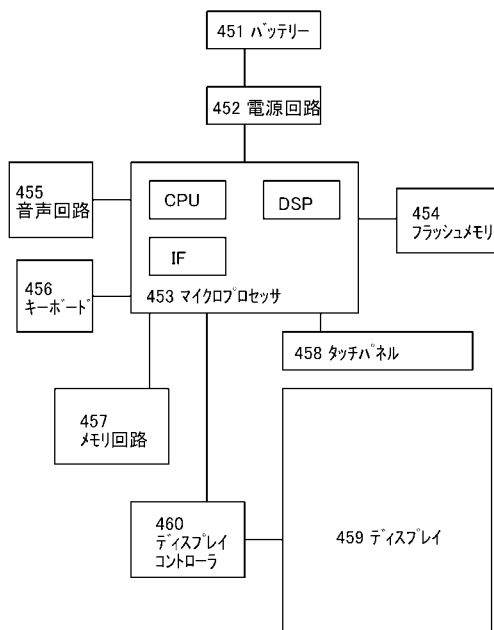
【図 13】



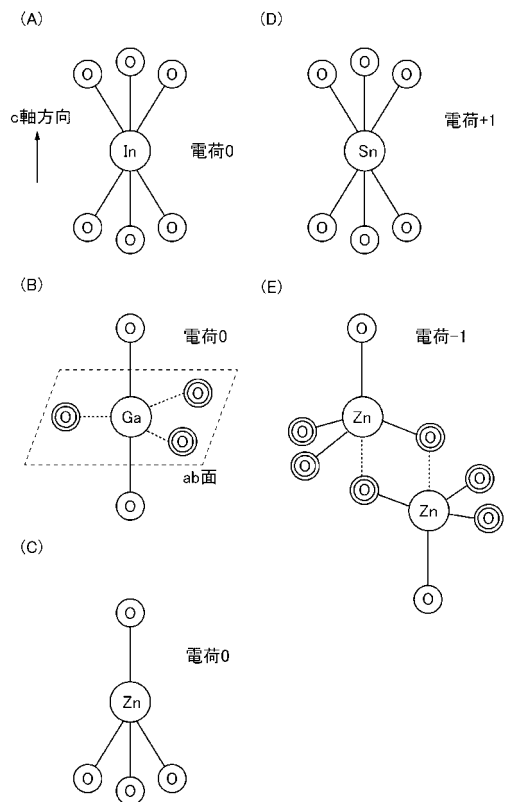
【図 14】



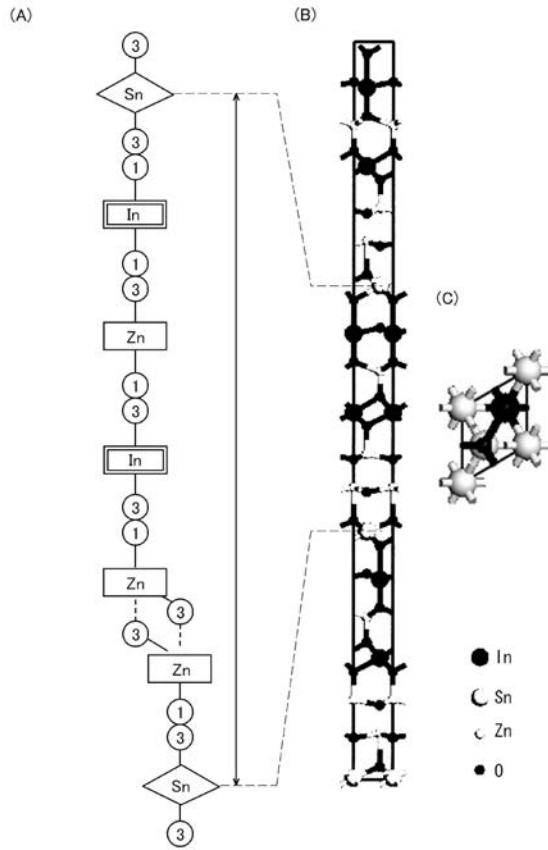
【図 15】



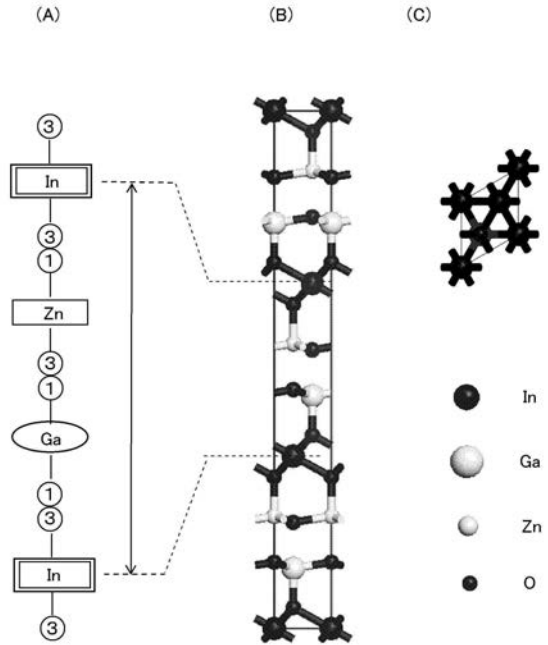
【図 16】



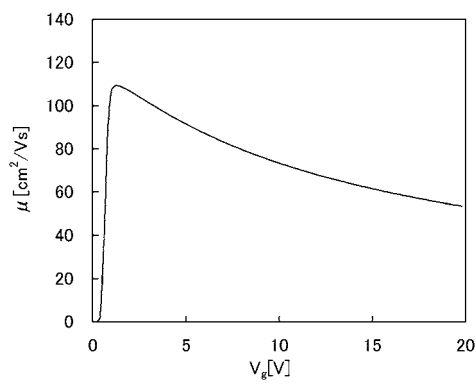
【図 17】



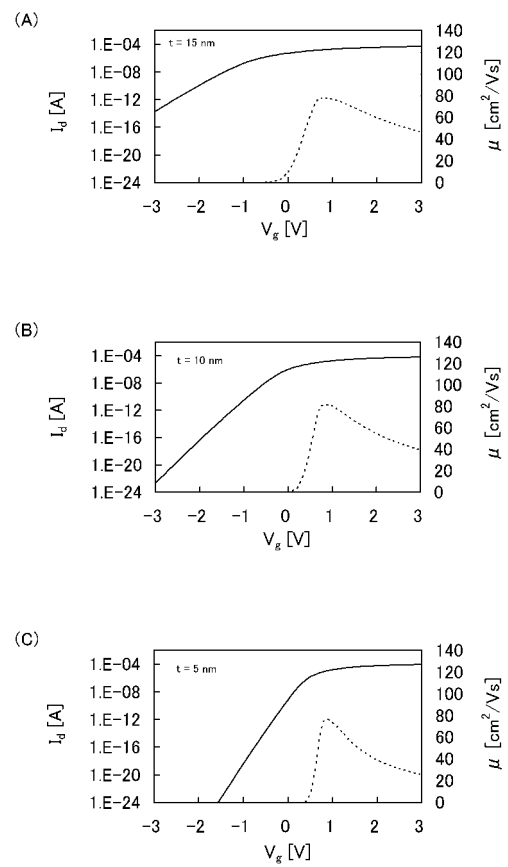
【図 18】



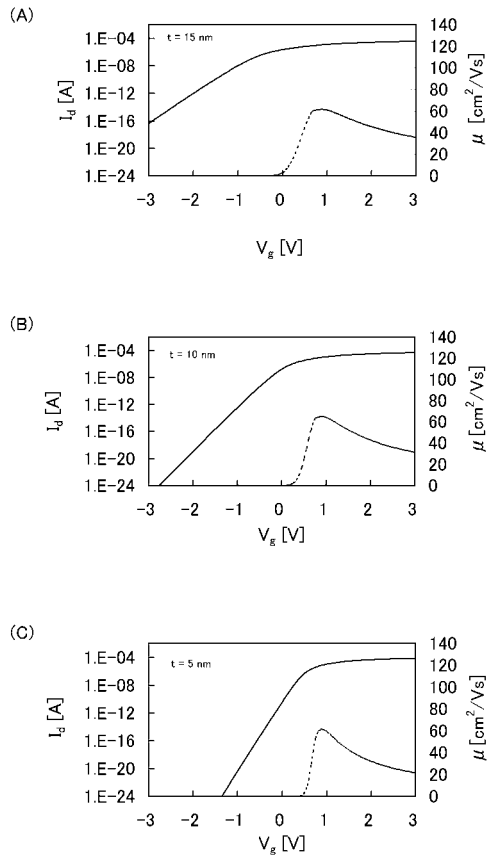
【図 19】



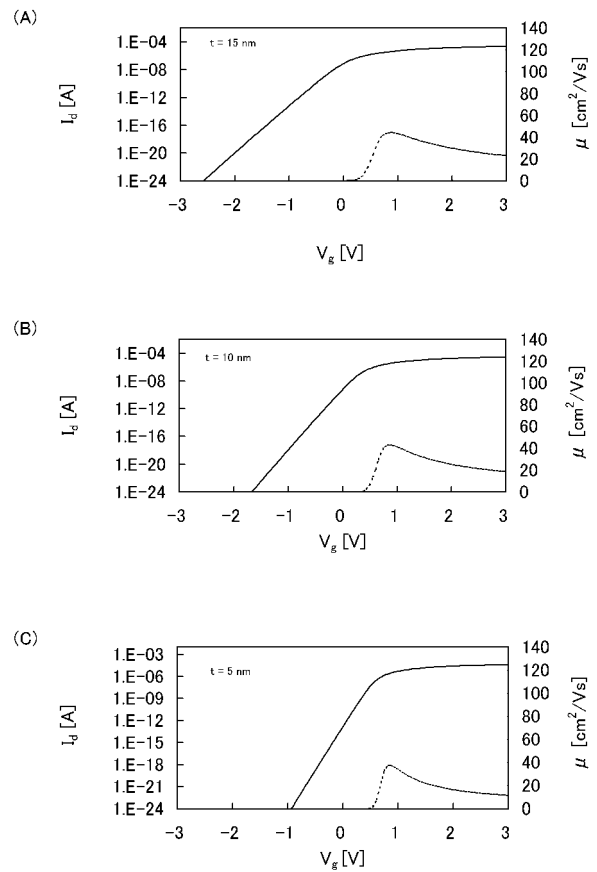
【図 20】



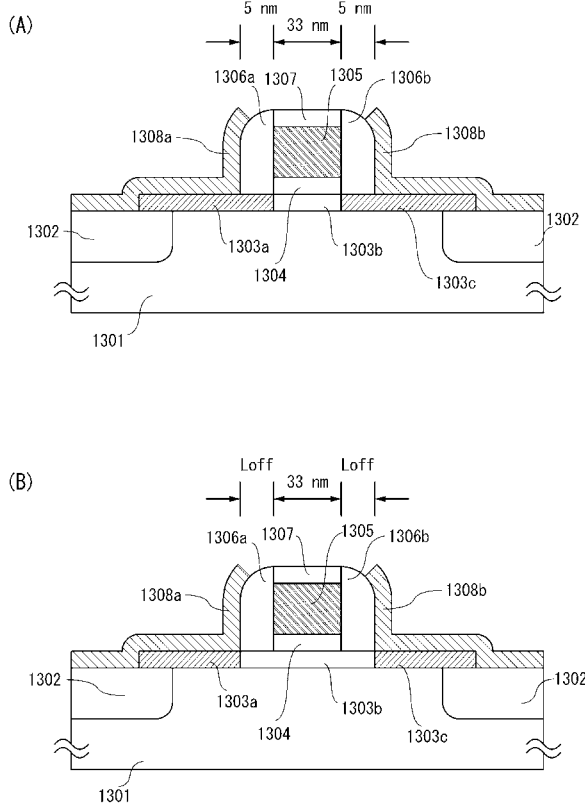
【図 2 1】



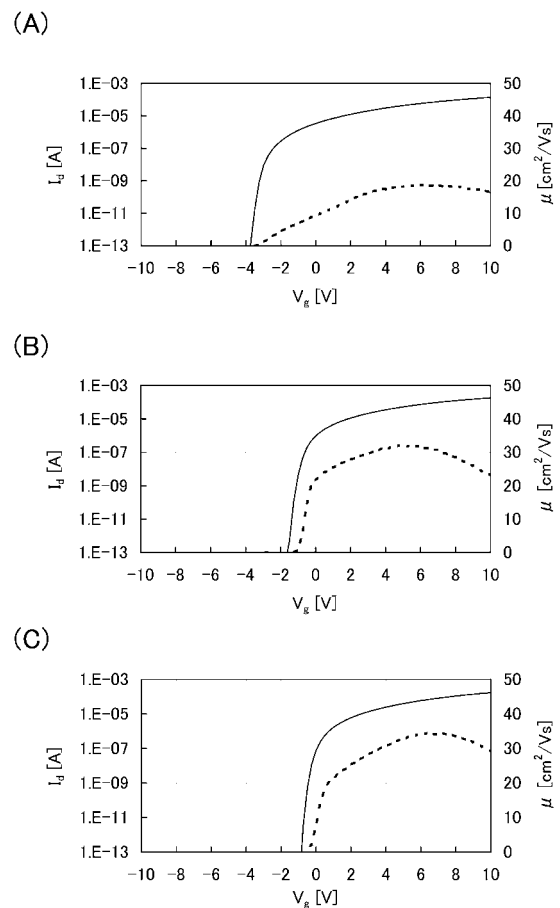
【図 2 2】



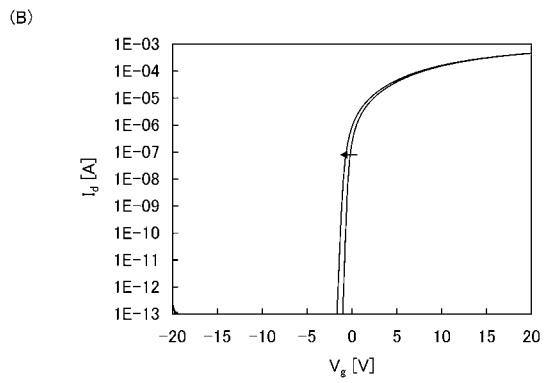
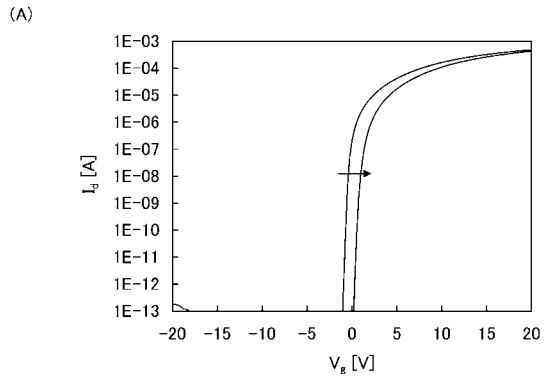
【図 2 3】



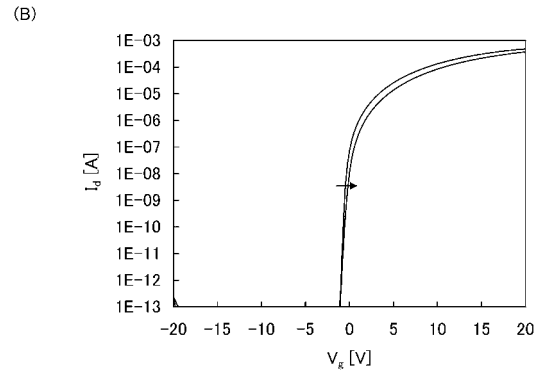
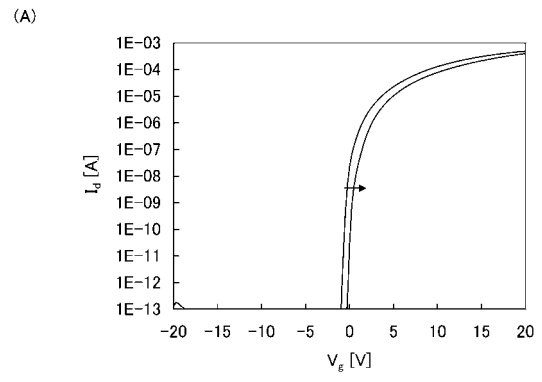
【図 2 4】



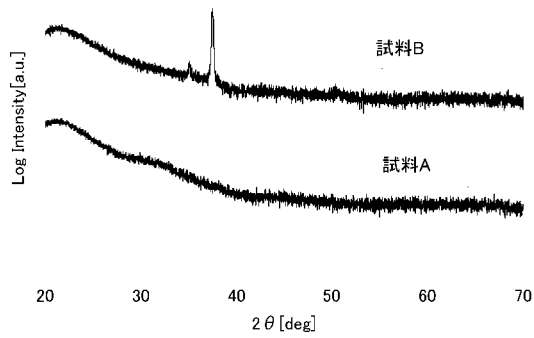
【図 25】



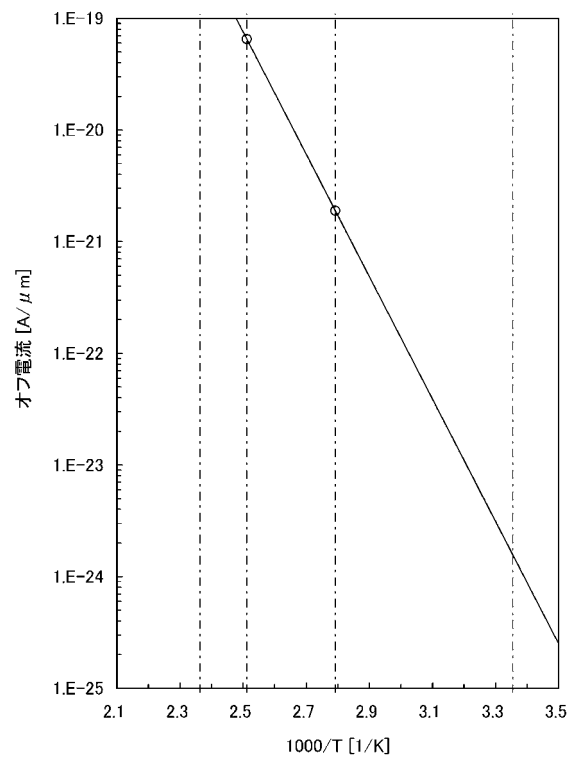
【図 26】



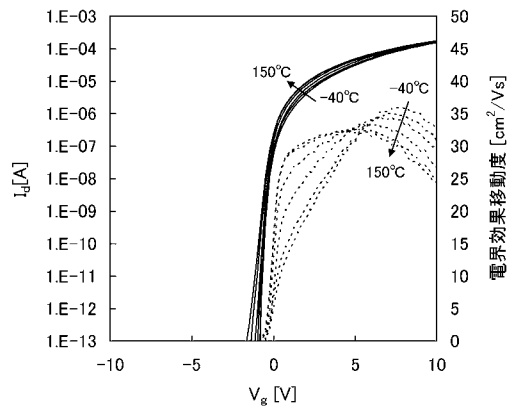
【図 27】



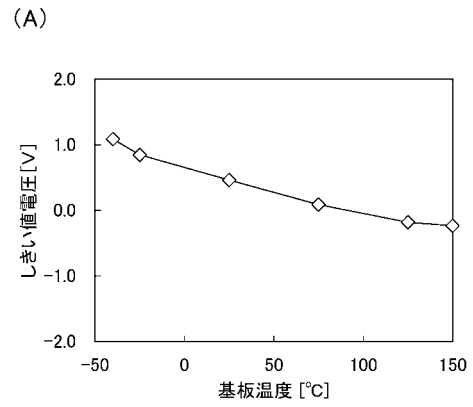
【図 28】



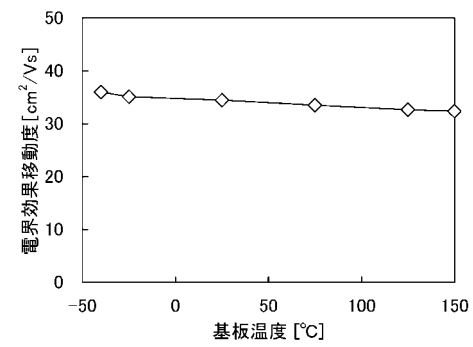
【図 29】



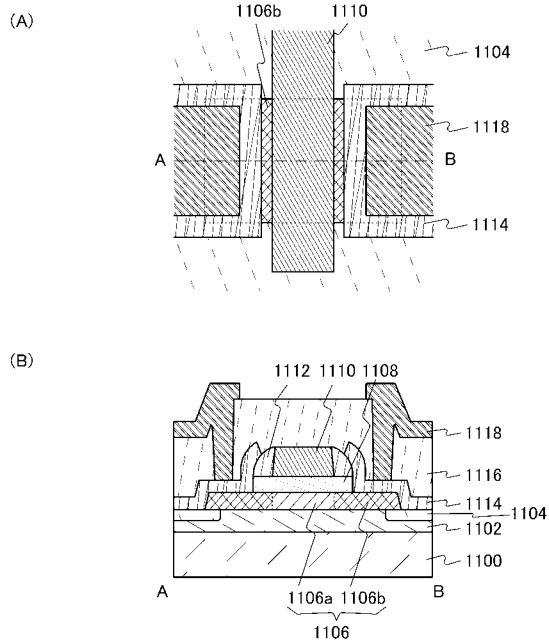
【図 30】



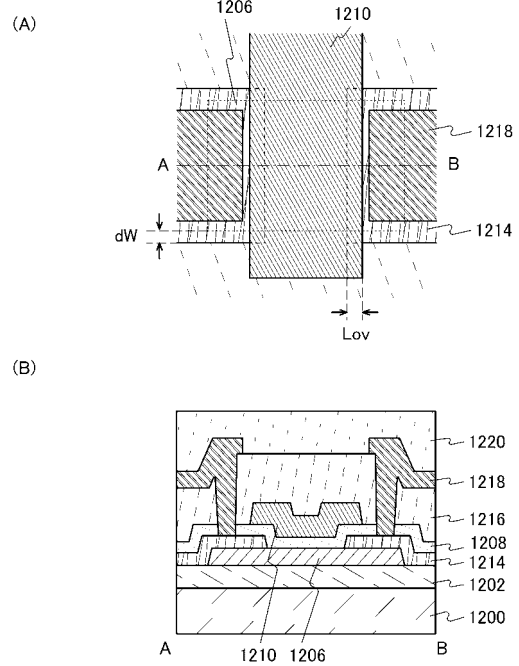
(B)



【図 31】



【図 32】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 27/08 (2006.01)	H 0 1 L	29/78	6 1 8 B			
H 0 1 L 29/786 (2006.01)	H 0 1 L	29/78	6 1 3 B			
G 1 1 C 11/412 (2006.01)	H 0 1 L	27/08	1 0 2 H			
	G 1 1 C	11/40	3 0 1			

F ターム (参考)	5F048	AA01	AB01	AB03	AC01	AC03	AC10	BA01	BA14	BA16	BA19
		BA20	BB02	BB06	BB08	BB09	BB11	BB12	BB13	BB14	BC06
		BC18	BD02	BD04	BF02	BF06	BF07	BF12	BF15	BF16	BF17
		BG13	CB02	CB03	CB04	CB10	DA24				
	5F083	AD01	AD02	AD21	AD69	GA05	HA02	JA02	JA03	JA04	JA05
		JA06	JA19	JA35	JA36	JA37	JA39	JA40	JA42	JA44	JA56
		JA58	MA06	MA16	MA19	NA01	PR05	PR22	PR33	PR34	PR40
	5F110	AA09	BB03	BB04	BB05	BB11	CC01	CC02	CC05	CC06	DD01
		DD02	DD03	DD06	DD07	DD12	DD13	DD14	DD15	DD17	DD21
		EE01	EE02	EE03	EE04	EE05	EE06	EE07	EE09	EE12	EE14
		EE15	EE23	EE30	EE31	EE42	EE43	EE44	EE45	FF01	FF02
		FF03	FF04	FF05	FF06	FF09	FF22	FF26	FF28	FF29	FF30
		FF36	GG01	GG02	GG06	GG12	GG13	GG14	GG15	GG17	GG22
		GG25	GG28	GG29	GG32	GG33	GG34	GG35	GG43	GG57	GG58
		HJ01	HJ02	HJ04	HJ13	HK01	HK02	HK03	HK04	HK06	HK07
		HK18	HK21	HK22	HK32	HK33	HK41	HK42	HM02	HM13	HM14
		HM15	NN03	NN22	NN23	NN24	NN27	NN28	NN34	NN35	NN72
		NN74	NN78	PP01	PP02	PP03	PP10	PP34	QQ02	QQ04	QQ05
		QQ17	QQ19								
	5J034	AB03	AB15	CB02							