

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月22日(22.08.2024)



(10) 国際公開番号

WO 2024/171683 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/06 (2006.01)
H01L 21/28 (2006.01) H01L 29/12 (2006.01)
H01L 21/3205 (2006.01) H01L 29/417 (2006.01)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/768 (2006.01) H01L 29/49 (2006.01)
H01L 21/8234 (2006.01) H01L 29/739 (2006.01)
H01L 23/532 (2006.01) H01L 29/861 (2006.01)
H01L 27/06 (2006.01) H01L 29/868 (2006.01)
H01L 27/088 (2006.01)

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).

(72) 発明者: 窪内 源宜 (KUBOUCHI Motoyoshi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人 R Y U K A 国際特許事務所 (RYUKA & PARTNERS); 〒1631522 東京都新宿区西新宿 1 - 6 - 1 新宿エルタワー 2 2 階 Tokyo (JP).

(21) 国際出願番号: PCT/JP2024/000848

(22) 国際出願日: 2024年1月15日(15.01.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

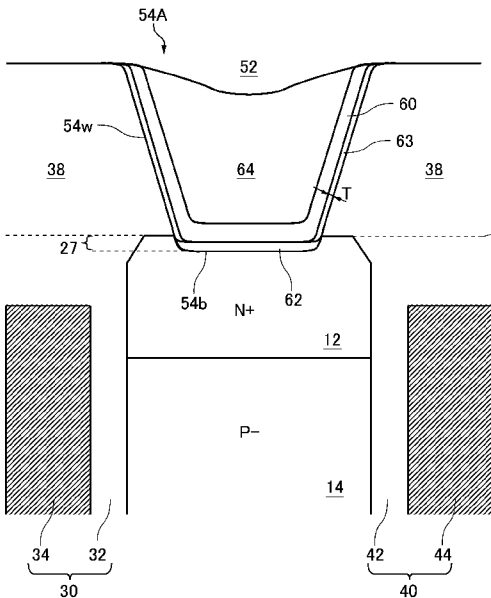
(30) 優先権データ:

特願 2023-020798 2023年2月14日(14.02.2023) JP
特願 2023-130511 2023年8月9日(09.08.2023) JP

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device having a MOS gate structure, the semiconductor device comprising: a base layer provided on the front surface of a semiconductor substrate or above the semiconductor substrate; an interlayer insulating film provided above the base layer; a contact hole provided in the interlayer insulating film and reaching the base layer from the upper surface of the interlayer insulating film; a first alloy layer provided on the bottom part of the contact hole; and a second alloy layer provided on the side wall of the contact hole. Further provided is a semiconductor device manufacturing method comprising: a step for forming an initial polycrystalline film and a first initial metal film on the inner wall of the contact hole; and a step for heating the semiconductor substrate to form a first alloy layer on the bottom part of the contact hole, and to form a second alloy layer on the side wall of the contact hole.



PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: MOSゲート構造を備える半導体装置であって、半導体基板のおもて面または前記半導体基板の上方に設けられた下地層と、前記下地層の上方に設けられた層間絶縁膜と、前記層間絶縁膜に設けられ、前記層間絶縁膜の上面から前記下地層に達するコンタクトホールと、前記コンタクトホールの底部に設けられた第1合金層と、前記コンタクトホールの側壁に設けられた第2合金層と、を備える半導体装置を提供する。また、前記コンタクトホールの内壁に、初期多結晶膜および第1初期金属膜を成膜する段階と、前記半導体基板を加熱することにより、前記コンタクトホールの底部に第1合金層を形成し、前記コンタクトホールの側壁に第2合金層を形成する段階と、を備える半導体装置の製造方法を提供する。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 特許文献 1 には、「コンタクトホール」に「シリサイド層」を設けた半導体装置が記載されている。

[先行技術文献]

[特許文献]

特許文献 1 特開 2 0 0 3 - 3 1 8 3 9 6 号公報

解決しようとする課題

[0003] 半導体装置のおもて面側において信頼性を向上することが好ましい。

一般的開示

[0004] 本発明の第 1 の態様においては、MOS ゲート構造を備える半導体装置であって、半導体基板のおもて面または前記半導体基板の上方に設けられた下地層と、前記下地層の上方に設けられた層間絶縁膜と、前記層間絶縁膜に設けられ、前記層間絶縁膜の上面から前記下地層に達する第 1 コンタクトホールと、前記コンタクトホールの底部に設けられた第 1 合金層と、前記コンタクトホールの側壁に設けられた第 2 合金層と、を備える半導体装置を提供する。

[0005] 前記第 1 合金層は、前記第 1 コンタクトホールの内部に堆積された多結晶を反応させた合金層を含んでよい。

[0006] 前記第 2 合金層は、前記第 1 コンタクトホールの内部に堆積された多結晶を反応させた合金層であってよい。

[0007] 前記第 2 合金層の厚みは、 $0.01\mu\text{m}$ 以上、 $0.2\mu\text{m}$ 以下であってよい。

[0008] 半導体装置は、前記コンタクトホール内において、前記第 1 合金層および

前記第2合金層の内側に設けられた第1バリアメタル層を備えてよい。

[0009] 前記第1バリアメタル層は層を有してよい。

[0010] 半導体装置は、前記第1コンタクトホール内において、前記第1バリアメタル層と接して設けられたタングステンのプラグ層を備えてよい。

[0011] 前記半導体基板は、トランジスタ部およびダイオード部を有してよい。

[0012] 前記層間絶縁膜は、更に、前記層間絶縁膜の上面から前記下地層に達する第2コンタクトホールを有してよく、前記第2コンタクトホールは側壁に前記第2合金層を有さなくてよい。

[0013] 半導体装置は、前記第1合金層と接して設けられた不純物導入多結晶層を備えてよい。

[0014] 半導体装置は、前記第1合金層の下面と前記下地層との間に少なくとも設けられた不純物導入多結晶層を備えてよく、前記下地層と、前記不純物導入多結晶層の導電型が一致してよい。

[0015] 前記第2コンタクトホールの側壁において前記層間絶縁膜と接して第2バリアメタル層が設けられてよい。

[0016] 前記半導体基板は、前記第1コンタクトホールの下方において、前記下地層に設けられた凹部を有し、前記第1合金層は、前記凹部内に設けられてよい。

[0017] 前記半導体基板は、前記半導体基板のおもて面側に、ライフタイムキラーを含むライフタイム制御領域を少なくとも一部有してよい。

[0018] 前記半導体基板は、トランジスタ部およびダイオード部を有し、前記トランジスタ部は、前記ダイオード部から離間する主領域と、前記主領域と前記ダイオード部との間の境界領域を有し、前記ライフタイム制御領域は、前記ダイオード部および前記境界領域に設けられてよい。

[0019] 本発明の第2の態様においては、半導体基板のおもて面に、MOSゲート構造を形成する段階と、前記半導体基板のおもて面または前記半導体基板の上方に設けられた下地層の上方に層間絶縁膜を形成する段階と、前記下地層の上方において、前記層間絶縁膜に前記層間絶縁膜の上面から前記下地層に

達する第1コンタクトホールを形成する段階と、前記コンタクトホールの内壁に、初期多結晶膜および第1初期金属膜を成膜する段階と、前記半導体基板を加熱することにより、前記第1コンタクトホールの底部に第1合金層を形成し、前記第1コンタクトホールの側壁に第2合金層を形成する段階と、を備える半導体装置の製造方法を提供する。

[0020] 前記初期多結晶膜は、前記第1初期金属膜を成膜する前に成膜されてよい。

[0021] 前記初期多結晶膜は、前記第1初期金属膜を成膜した後に成膜されてよい。

[0022] 半導体装置の製造方法は、前記第1合金層および前記第2合金層上に第1バリアメタル層を形成する段階を備えてよい。

[0023] 半導体装置の製造方法は、前記半導体基板を加熱する前に、第2初期金属膜を成膜する段階を備えてよい。

[0024] 本発明の第3の態様においては、MOSゲート構造を備える半導体装置であって、半導体基板のおもて面または前記半導体基板の上方に設けられた下地層と、前記下地層の上方に設けられた層間絶縁膜と、前記層間絶縁膜に設けられ、前記層間絶縁膜の上面から前記下地層に達する第2コンタクトホールと、前記第2コンタクトホールの底部に設けられた第3合金層と、前記層間絶縁膜の上面に設けられた第2合金層と、を備える半導体装置を提供する。

[0025] 前記第3合金層は、前記下地層を反応させた合金層を含んでよい。

[0026] 前記第2コンタクトホールの側壁において前記層間絶縁膜と接して第2バリアメタル層が設けられていてよい。

[0027] 前記第2バリアメタル層は、前記第2コンタクトホールの側壁において前記層間絶縁膜と接するTi層と、前記Ti層に積層されたTiN層と、を有してよい。

[0028] 半導体装置は、前記第3合金層の上面に設けられた第1バリアメタル層を備えてよい。

- [0029] 前記第1バリアメタル層は、前記第3合金層上に設けられたTiN層を有してよい。
- [0030] 半導体装置は、前記第2合金層の上面に設けられた第1バリアメタル層を備えてよい。
- [0031] 前記第1バリアメタル層は、前記第2合金層上に設けられたTiN層を有してよい。
- [0032] 本発明の第4の態様においては、半導体基板のおもて面に、MOSゲート構造を形成する段階と、前記半導体基板のおもて面または前記半導体基板の上方に設けられた下地層の上方に層間絶縁膜を形成する段階と、前記層間絶縁膜の上面に初期多結晶膜を成膜する段階と、前記層間絶縁膜に前記層間絶縁膜の上面から前記下地層に達する第2コンタクトホールを形成する段階と、前記第2コンタクトホールの内壁および前記初期多結晶膜の上面に、第1金属膜を成膜する段階と、前記半導体基板を加熱することにより、前記第2コンタクトホールの底部に第3合金層を形成し、前記層間絶縁膜の上面に第2合金層を形成する段階と、を備える半導体装置の製造方法を提供する。
- [0033] 半導体装置の製造方法は、前記第1初期金属膜上に、第2初期金属膜を成膜する段階を備えてよい。
- [0034] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0035] [図1A]半導体装置100の上面図の一例を示す。
- [図1B]図1Aにおけるa-a'断面の一例を示す。
- [図2A]半導体装置100の変形例の上面図を示す。
- [図2B]半導体装置100の変形例の上面図を示す。
- [図2C]半導体装置100の変形例のb-b'断面を示す。
- [図3A]半導体装置100の断面の拡大図である。
- [図3B]半導体装置100の断面の拡大図である。
- [図3C]半導体装置100の断面の拡大図である。

- [図3D]半導体装置 100 の断面の拡大図である。
- [図4A]半導体装置 100 の断面の拡大図である。
- [図4B]半導体装置 100 の断面の拡大図である。
- [図4C]半導体装置 100 の断面の拡大図である。
- [図5A]半導体装置 100 の断面の拡大図である。
- [図5B]半導体装置 100 の断面の拡大図である。
- [図6]半導体装置 100 の断面の拡大図である。
- [図7]図 2 B における b - b' 断面の一例を示す。
- [図8]図 2 B における b - b' 断面の他の一例を示す。
- [図9]半導体装置 100 の製造工程の一例を示すフローチャートである。
- [図10A]半導体装置 100 の製造工程の一例を示す図である。
- [図10B]半導体装置 100 の製造工程の一例を示す図である。
- [図10C]半導体装置 100 の製造工程の一例を示す図である。
- [図11A]半導体装置 100 の変形例の断面の拡大図である。
- [図11B]半導体装置 100 の変形例の断面の拡大図である。
- [図11C]半導体装置 100 の変形例の断面の拡大図である。
- [図11D]半導体装置 100 の変形例の断面の拡大図である。
- [図12]半導体装置 100 の変形例の断面の拡大図である。
- [図13A]半導体装置 200 の断面の拡大図である。
- [図13B]半導体装置 200 の断面の拡大図である。
- [図14]半導体装置 200 の製造工程の一例を示すフローチャートである。
- [図15A]半導体装置 200 の製造工程の一例を示す図である。
- [図15B]半導体装置 200 の製造工程の一例を示す図である。
- [図15C]半導体装置 200 の製造工程の一例を示す図である。
- [図16A]半導体装置 200 の変形例の断面の拡大図である。
- [図16B]半導体装置 200 の変形例の断面の拡大図である。
- [図16C]半導体装置 200 の変形例の断面の拡大図である。

発明を実施するための形態

- [0036] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。
- [0037] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。
- [0038] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。
- [0039] 本明細書では、半導体基板の上面および下面に平行な直交軸をX軸およびY軸とする。また、半導体基板の上面および下面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。
- [0040] 本明細書においてP+型またはN+型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P-型またはN-型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。
- [0041] 図1Aは、半導体装置100の上面図の一例を示す。本例の半導体装置100は、トランジスタ部70を備える半導体チップである。半導体装置100は、半導体基板10にMOSゲート構造を有する半導体素子であれば、トランジスタに限定されない。
- [0042] トランジスタ部70は、半導体基板10の裏面側に設けられたコレクタ領

域 2 2 を半導体基板 1 0 の上面に投影した領域である。コレクタ領域 2 2 については後述する。トランジスタ部 7 0 は、I G B T 等のトランジスタを含む。本例では、トランジスタ部 7 0 は I G B T である。なお、トランジスタ部 7 0 は、M O S F E T 等の他のトランジスタであってもよい。

[0043] 本図においては、半導体装置 1 0 0 の活性部周辺の領域を示しており、他の領域を省略している。例えば、本例の半導体装置 1 0 0 の Y 軸方向の負側の領域には、エッジ終端構造部が設けられてよい。エッジ終端構造部は、半導体基板 1 0 の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。なお、本例では、便宜上、Y 軸方向の負側のエッジについて説明するものの、半導体装置 1 0 0 の他のエッジについても同様である。

[0044] 半導体基板 1 0 は、半導体材料で形成された基板である。半導体基板 1 0 は、シリコン基板であってよく、炭化シリコン基板であってよい。半導体基板 1 0 は、G a N 等の I I I - V 化合物、G a ₂ O₃、あるいは、C などであってもよい。本例の半導体基板 1 0 は、シリコン基板である。なお、本明細書で単に上面視と称した場合、半導体基板 1 0 の上面側から見ることを意味している。半導体基板 1 0 は、後述の通り、おもて面 2 1 および裏面 2 3 を有する。

[0045] 本例の半導体装置 1 0 0 は、半導体基板 1 0 のおもて面 2 1 において、ゲートトレンチ部 4 0 と、ダミートレンチ部 3 0 と、エミッタ領域 1 2 と、ベース領域 1 4 と、コンタクト領域 1 5 と、ウェル領域 1 7 とを備える。また、本例の半導体装置 1 0 0 は、半導体基板 1 0 のおもて面 2 1 の上方に設けられたエミッタ電極 5 2 およびゲート金属層 5 0 を備える。エミッタ電極 5 2 およびゲート金属層 5 0 は、おもて面側金属層の一例である。ゲートトレンチ部 4 0 は、半導体装置 1 0 0 が備える M O S ゲート構造の一例である。なお、本例の半導体装置 1 0 0 は、M O S ゲート構造を備えるトランジスタであるが、M O S ゲート構造を備えるダイオードであってもよい。

[0046] エミッタ電極 5 2 は、ゲートトレンチ部 4 0、ダミートレンチ部 3 0、エ

ミッタ領域 12、ベース領域 14、コンタクト領域 15 およびウェル領域 17 の上方に設けられている。また、ゲート金属層 50 は、接続部 25 およびウェル領域 17 の上方に設けられている。

[0047] エミッタ電極 52 およびゲート金属層 50 は、金属を含む材料で形成される。エミッタ電極 52 の少なくとも一部の領域は、アルミニウム (Al) や銅 (Cu) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。ゲート金属層 50 の少なくとも一部の領域は、アルミニウム (Al) や銅 (Cu) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。エミッタ電極 52 およびゲート金属層 50 は、互いに分離して設けられている。

[0048] エミッタ電極 52 およびゲート金属層 50 は、層間絶縁膜 38 を挟んで、半導体基板 10 の上方に設けられる。層間絶縁膜 38 は、図 1A では省略されている。層間絶縁膜 38 には、コンタクトホール 54、コンタクトホール 55 およびコンタクトホール 56 が貫通して設けられている。

[0049] コンタクトホール 55 は、ゲート金属層 50 とトランジスタ部 70 内のゲート導電部とを接続部 25 を介して電氣的に接続する。コンタクトホール 55 の内部には、タングステンや銅等で形成されたプラグ層が設けられてもよい。プラグ層については後述する。

[0050] コンタクトホール 56 は、エミッタ電極 52 とダミートレンチ部 30 内のダミー導電部とを接続する。コンタクトホール 56 の内部には、タングステンや銅等で形成されたプラグ層が設けられてもよい。

[0051] 接続部 25 は、エミッタ電極 52 またはゲート金属層 50 等のおもて面側金属層と接続される。一例において、接続部 25 は、ゲート金属層 50 とゲート導電部との間に設けられる。本例の接続部 25 は、X 軸方向に延伸して設けられ、ゲート導電部と電氣的に接続されてよい。接続部 25 は、エミッタ電極 52 とダミー導電部との間にも設けられてよい。本例では、エミッタ

電極 5 2 とダミー導電部との間に接続部 2 5 が設けられていない。接続部 2 5 は、不純物がドーピングされたポリシリコン等の、導電性を有する材料である。本例の接続部 2 5 は、N 型の不純物がドーピングされたポリシリコン (N+) である。接続部 2 5 は、酸化膜等の絶縁膜等を介して、半導体基板 1 0 のおもて面 2 1 の上方に設けられている。

[0052] ゲートトレンチ部 4 0 は、半導体基板 1 0 のおもて面 2 1 側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ゲートトレンチ部 4 0 は、予め定められた配列方向 (本例では X 軸方向) に沿って予め定められた間隔で配列される。本例のゲートトレンチ部 4 0 は、半導体基板 1 0 のおもて面 2 1 に平行であって配列方向と垂直な延伸方向 (本例では Y 軸方向) に沿って延伸する 2 つの延伸部分 4 1 と、2 つの延伸部分 4 1 を接続する接続部分 4 3 を有してよい。

[0053] 接続部分 4 3 は、少なくとも一部が曲線状に形成されることが好ましい。ゲートトレンチ部 4 0 の 2 つの延伸部分 4 1 の端部を接続することで、延伸部分 4 1 の端部における電界集中を緩和できる。ゲートトレンチ部 4 0 の接続部分 4 3 において、接続部 2 5 を介して、ゲート金属層 5 0 がゲート導電部と電氣的に接続されてよい。他の例では、接続部 2 5 を設けずに、延伸部分 4 1 または接続部分 4 3 の直上にコンタクトホール 5 5 を設けて、ゲート金属層 5 0 とゲート導電部を接続してもよい。あるいは、図 1 A の範囲内ではゲート金属層 5 0 を設けずに、図 1 A の範囲外で、ゲート金属層 5 0 または後述するゲートパッドと接続部 2 5 をコンタクトホール 5 5 によって接続してもよい。

[0054] ダミートレンチ部 3 0 は、半導体基板 1 0 のおもて面 2 1 側において、予め定められた延伸方向に延伸した複数のトレンチ部の一例である。ダミートレンチ部 3 0 は、エミッタ電極 5 2 と電氣的に接続されたトレンチ部である。ダミートレンチ部 3 0 は、ゲートトレンチ部 4 0 と同様に、予め定められた配列方向 (本例では X 軸方向) に沿って予め定められた間隔で配列される。本例のダミートレンチ部 3 0 は、半導体基板 1 0 のおもて面 2 1 において

「」字形状を有するが、ゲートトレンチ部40と同様に、半導体基板10のおもて面21において「」字形状を有してよい。すなわち、ダミートレンチ部30は、延伸方向に沿って延伸する2つの延伸部分と、2つの延伸部分を接続する接続部分を有してよい。

[0055] 本例のトランジスタ部70は、2つのゲートトレンチ部40と2つのダミートレンチ部30を繰り返し配列させた構造を有する。すなわち、本例のトランジスタ部70は、1:1の比率でゲートトレンチ部40とダミートレンチ部30を有している。例えば、トランジスタ部70は、2本の延伸部分41の間に1本のダミートレンチ部30を有する。

[0056] 但し、ゲートトレンチ部40とダミートレンチ部30の比率は本例に限定されない。ゲートトレンチ部40の比率がダミートレンチ部30の比率よりも大きくてよく、ダミートレンチ部30の比率がゲートトレンチ部40の比率よりも大きくてよい。ゲートトレンチ部40とダミートレンチ部30の比率は、2:3であってもよく、2:4であってもよい。また、トランジスタ部70は、全てのトレンチ部をゲートトレンチ部40として、ダミートレンチ部30を有さなくてもよい。他の例では、トレンチ部は離散に設けられてもよい。更に他の例では、トレンチ部は活性部120において交差部を有してもよい。トレンチ部が離散するとは、上面視で例えば延伸部分を有さない円形のトレンチ部が離散的に設けられた状態であってよい。この場合、トレンチ部の上面視での形状は、四角形、六角形など、あるいは、その他の形状であってもよい。あるいは、延伸部分が一周して繋がったトレンチ部が離散的に設けられた状態であってよい。また、それぞれのトレンチの部の上面視での配列は、四角形、六角形などであってよい。トレンチ部が活性部120において交差部を有するとは、トレンチ内部の導電体が電氣的に繋がった状態であってもよい。

[0057] ウェル領域17は、後述するドリフト領域18よりも半導体基板10のおもて面21側に設けられた第2導電型の領域である。ウェル領域17は、活性部120の周辺側に設けられるウェル領域の一例である。活性部120に

については後述する。ウェル領域 17 は、一例として P + 型である。ウェル領域 17 は、ゲート金属層 50 が設けられる側の活性領域の端部から、予め定められた範囲に設けられている。ウェル領域 17 の拡散深さは、ゲートトレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてよい。ゲートトレンチ部 40 およびダミートレンチ部 30 の、ゲート金属層 50 側の一部の領域は、ウェル領域 17 に設けられている。ゲートトレンチ部 40 およびダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 17 に覆われてよい。

[0058] コンタクトホール 54 は、トランジスタ部 70 において、エミッタ領域 12 およびコンタクト領域 15 の各領域の上方に設けられている。コンタクトホール 54 は、Y 軸方向両端に設けられたウェル領域 17 の上方には設けられていない。このように、層間絶縁膜には、1 または複数のコンタクトホール 54 が設けられている。1 または複数のコンタクトホール 54 は、延伸方向に延伸して設けられてよい。

[0059] メサ部 71 は、半導体基板 10 のおもて面 21 と平行な面内において、トレンチ部に隣接して設けられたメサ部である。メサ部とは、隣り合う 2 つのトレンチ部に挟まれた半導体基板 10 の部分であって、半導体基板 10 のおもて面 21 から、各トレンチ部の最も深い底部の深さまでの部分であってよい。各トレンチ部の延伸部分を 1 つのトレンチ部としてよい。すなわち、2 つの延伸部分に挟まれる領域をメサ部としてよい。

[0060] メサ部 71 は、トランジスタ部 70 において、ダミートレンチ部 30 またはゲートトレンチ部 40 の少なくとも 1 つに隣接して設けられる。メサ部 71 は、半導体基板 10 のおもて面 21 において、ウェル領域 17 と、エミッタ領域 12 と、ベース領域 14 と、コンタクト領域 15 とを有する。本例では、メサ部 71 では、エミッタ領域 12 およびコンタクト領域 15 が延伸方向において交互に設けられている。他の例では、メサ部 71 では、エミッタ領域 12 はトレンチ部に接して配置され、コンタクト領域 15 はエミッタ領域 12 と接しトレンチ部から離間して配置されてもよい。

- [0061] ベース領域 14 は、半導体基板 10 のおもて面 21 側に設けられた第 2 導電型の領域である。ベース領域 14 は、一例として P 型である。ベース領域 14 は、半導体基板 10 のおもて面 21 において、メサ部 71 の Y 軸方向における両端部に設けられてよい。なお、図 1 A は、当該ベース領域 14 の Y 軸方向の一方の端部のみを示している。
- [0062] エミッタ領域 12 は、ドリフト領域 18 よりもドーピング濃度の高い第 1 導電型の領域である。本例のエミッタ領域 12 は、一例として N+ 型である。エミッタ領域 12 のドーパントの一例はヒ素 (As) である。エミッタ領域 12 は、メサ部 71 のおもて面 21 において、ゲートトレンチ部 40 と接して設けられる。エミッタ領域 12 は、メサ部 71 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に延伸して設けられてよい。エミッタ領域 12 は、コンタクトホール 54 の下方にも設けられている。
- [0063] また、エミッタ領域 12 は、ダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例のエミッタ領域 12 は、ダミートレンチ部 30 と接している。
- [0064] コンタクト領域 15 は、ベース領域 14 の上方に設けられ、ベース領域 14 よりもドーピング濃度の高い第 2 導電型の領域である。本例のコンタクト領域 15 は、一例として P+ 型である。本例のコンタクト領域 15 は、メサ部 71 のおもて面 21 に設けられている。コンタクト領域 15 は、メサ部 71 を挟んだ 2 本のトレンチ部の一方から他方まで、X 軸方向に設けられてよい。コンタクト領域 15 は、ゲートトレンチ部 40 またはダミートレンチ部 30 と接してもよいし、接しなくてもよい。本例のコンタクト領域 15 は、ダミートレンチ部 30 およびゲートトレンチ部 40 と接する。コンタクト領域 15 は、コンタクトホール 54 の下方にも設けられている。
- [0065] 図 1 B は、図 1 A における a-a' 断面の一例を示す。a-a' 断面は、トランジスタ部 70 において、エミッタ領域 12 を通過する XZ 面である。本例の半導体装置 100 は、a-a' 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。コレクタ電極

24は、半導体基板10の裏面23と接して設けられた裏面側金属層の一例である。エミッタ電極52は、半導体基板10および層間絶縁膜38の上方に設けられている。

[0066] ドリフト領域18は、半導体基板10に設けられた第1導電型の領域である。本例のドリフト領域18は、一例としてN型である。ドリフト領域18は、半導体基板10において他のドーピング領域が形成されずに残存した領域であってよい。すなわち、ドリフト領域18のドーピング濃度は半導体基板10のドーピング濃度であってよい。

[0067] バッファ領域20は、ドリフト領域18よりも半導体基板10の裏面23側に設けられた第1導電型の領域である。本例のバッファ領域20は、一例としてN型である。バッファ領域20のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。バッファ領域20は、ベース領域14の下面側から広がる空乏層が、第2導電型のコレクタ領域22に到達することを防ぐフィールドストップ層として機能してよい。なお、バッファ領域20は、省略されてよい。

[0068] コレクタ領域22は、トランジスタ部70において、バッファ領域20の下方に設けられている。コレクタ領域22は、第2導電型を有する。本例のコレクタ領域22は、一例としてP+型である。

[0069] コレクタ電極24は、半導体基板10の裏面23に設けられている。コレクタ電極24は、金属等の導電材料で形成される。コレクタ電極24の材料は、エミッタ電極52の材料と同一であってもよく、異なってもよい。

[0070] ベース領域14は、ドリフト領域18の上方に設けられる第2導電型の領域である。ベース領域14は、ゲートトレンチ部40に接して設けられている。ベース領域14は、ダミートレンチ部30に接して設けられてよい。

[0071] エミッタ領域12は、ベース領域14の上方に設けられている。エミッタ領域12は、ベース領域14とおもて面21との間に設けられている。エミッタ領域12は、ゲートトレンチ部40と接して設けられる。エミッタ領域12は、ダミートレンチ部30と接してもよいし、接しなくてもよい。

- [0072] 蓄積領域16は、ドリフト領域18よりも半導体基板10のおもて面21側に設けられた第1導電型の領域である。本例の蓄積領域16は、一例としてN+型である。但し、蓄積領域16が設けられなくてもよい。
- [0073] 蓄積領域16は、ゲートトレンチ部40に接して設けられている。蓄積領域16は、ダミートレンチ部30に接してもよいし、接しなくてもよい。蓄積領域16のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。蓄積領域16のイオン注入のドーズ量は、 $1.0 \times 10^{12} \text{ cm}^{-2}$ 以上、 $1.0 \times 10^{13} \text{ cm}^{-2}$ 以下であってよい。また、蓄積領域16のイオン注入ドーズ量は、 $3.0 \times 10^{12} \text{ cm}^{-2}$ 以上、 $6.0 \times 10^{12} \text{ cm}^{-2}$ 以下であってよい。蓄積領域16を設けることで、キャリア注入促進効果（IE効果）を高めて、トランジスタ部70のオン電圧を低減できる。
- [0074] 1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、おもて面21に設けられている。各トレンチ部は、おもて面21からドリフト領域18まで設けられる。エミッタ領域12、ベース領域14、コンタクト領域15および蓄積領域16の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域18に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したもの、トレンチ部がドーピング領域を貫通したものに含まれる。
- [0075] ゲートトレンチ部40は、おもて面21に形成されたゲートトレンチ、ゲート絶縁膜42およびゲート導電部44を有する。ゲート絶縁膜42は、ゲートトレンチの内壁を覆って設けられている。ゲート絶縁膜42は、ゲートトレンチの内壁の半導体を酸化または窒化して形成されてよい。ゲート導電部44は、ゲートトレンチの内部においてゲート絶縁膜42よりも内側に設けられている。ゲート絶縁膜42は、ゲート導電部44と半導体基板10とを絶縁する。ゲート導電部44は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部40は、おもて面21において層間絶縁膜38により覆

われる。ゲート導電部44の上端はおもて面21と同じ高さであってもよく、おもて面21よりも下方に位置していてもよく、おもて面21よりも上方に位置していてもよい。

[0076] ゲート導電部44は、半導体基板10の深さ方向において、ゲート絶縁膜42を挟んでメサ部71側で隣接するベース領域14と対向する領域を含む。ゲート導電部44に所定の電圧が印加されると、ベース領域14のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャンネルが形成される。

[0077] ダミートレンチ部30は、ゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、おもて面21側に形成されたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って設けられている。ダミー導電部34は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜32よりも内側に形成される。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミートレンチ部30は、おもて面21において層間絶縁膜38により覆われてよい。ダミー導電部34の上端はおもて面21と同じ高さであってもよく、おもて面21よりも下方に位置していてもよく、おもて面21よりも上方に位置していてもよい。

[0078] 層間絶縁膜38は、半導体基板10のおもて面21の上方に設けられている。本例の層間絶縁膜38は、半導体基板10のおもて面21と接して設けられている。層間絶縁膜38の上方には、エミッタ電極52が設けられている。層間絶縁膜38には、エミッタ電極52と半導体基板10とを電氣的に接続するための1または複数のコンタクトホール54が設けられている。コンタクトホール55およびコンタクトホール56も同様に、層間絶縁膜38を貫通して設けられてよい。層間絶縁膜38の膜厚は、例えば1.0 μm であるが、これに限定されない。

[0079] 層間絶縁膜38は、シリコン酸化膜であってよい。層間絶縁膜38は、BPSG (Boro-phospho Silicate Glass) 膜で

あってもよいし、BSG (borosilicate glass) 膜であ
ってもよいし、PSG (Phosphosilicate glass) 膜
であってもよい。層間絶縁膜 38 は、高温シリコン酸化 (HTO: High
Temperature Oxide) 膜を含んでもよい。

[0080] 裏面側ライフタイム制御領域 151 は、トランジスタ部 70 に設けられて
よい。但し、裏面側ライフタイム制御領域 151 は、省略されてよい。裏面
側ライフタイム制御領域 151 は、半導体基板 10 の内部に不純物を注入す
ること等により意図的にライフタイムキラーが形成された領域である。一例
において、裏面側ライフタイム制御領域 151 は、半導体基板 10 にヘリウ
ムを注入することで形成される。裏面側ライフタイム制御領域 151 は、プ
ロトンの注入によって形成されてもよい。裏面側ライフタイム制御領域 15
1 を設けることにより、ターンオフ時間を低減し、テイル電流を抑制するこ
とにより、スイッチング時の損失を低減することができる。

[0081] ライフタイムキラーは、キャリアの再結合中心である。ライフタイムキラ
ーは、格子欠陥であってよい。例えば、ライフタイムキラーは、空孔、複空
孔、これらと半導体基板 10 を構成する元素との複合欠陥、または転位であ
ってよい。また、ライフタイムキラーは、ヘリウム、ネオンなどの希ガス元
素、または、白金などの金属元素などでもよい。格子欠陥の形成には電子線
、プロトンが用いられてよい。

[0082] ライフタイムキラー濃度とは、キャリアの再結合中心濃度である。ライ
フタイムキラー濃度は、格子欠陥の濃度であってよい。例えばライフタイムキ
ラー濃度とは、空孔、複空孔などの空孔濃度であってよく、これらの空孔と
半導体基板 10 を構成する元素との複合欠陥濃度であってよく、または転位
濃度であってよい。また、ライフタイムキラー濃度とは、ヘリウム、ネオン
などの希ガス元素の化学濃度としてもよく、または、白金などの金属元素の
化学濃度としてもよい。

[0083] 裏面側ライフタイム制御領域 151 は、半導体基板 10 の深さ方向におい
て、半導体基板 10 の中心よりも裏面 23 側に設けられる。本例の裏面側ラ

ライフタイム制御領域 151 は、バッファ領域 20 に設けられている。本例の裏面側ライフタイム制御領域 151 は、XY 平面において半導体基板 10 の全面に設けられており、マスクを使用せずに形成できる。裏面側ライフタイム制御領域 151 は、XY 平面において半導体基板 10 の一部に設けられてもよい。裏面側ライフタイム制御領域 151 を形成するための不純物のドーズ量は、 $0.5 \text{ E} + 10 \text{ cm}^{-2}$ 以上、 $1.0 \text{ E} + 14 \text{ cm}^{-2}$ 以下であっても、 $5.0 \text{ E} + 10 \text{ cm}^{-2}$ 以上、 $1.0 \text{ E} + 13 \text{ cm}^{-2}$ 以下であってもよい。

[0084] 裏面側ライフタイム制御領域 151 は、半導体基板 10 の裏面 23 側からの注入により形成されてよい。これにより、半導体基板 10 のおもて面 21 側への影響を回避しやすくなる。例えば、裏面側ライフタイム制御領域 151 は、半導体基板 10 の裏面 23 側からヘリウムまたはプロトンを照射することにより形成される。ここで、裏面側ライフタイム制御領域 151 が半導体基板 10 のおもて面 21 側からの注入により形成されているか、半導体基板 10 の裏面 23 側からの注入により形成されているかは、SR 法またはリーク電流の測定によって、おもて面 21 側の状態を取得することで判断できる。

[0085] 図 2A は、半導体装置 100 の変形例の上面図を示す。本例においては、半導体装置 100 の一部の部材だけを示しており、一部の部材は省略している。

[0086] 半導体基板 10 は、上面視において端辺 102 を有する。本例の半導体基板 10 は、上面視において互いに向かい合う 2 組の端辺 102 を有する。本例においては、X 軸および Y 軸は、いずれかの端辺 102 と平行である。

[0087] 半導体基板 10 には活性部 120 が設けられている。活性部 120 は、半導体装置 100 が動作した場合に半導体基板 10 のおもて面 21 と裏面 23 との間で、深さ方向に主電流が流れる領域である。活性部 120 の上方には、エミッタ電極 52 が設けられているが本図では省略している。

[0088] 活性部 120 には、IGBT 等のトランジスタ素子を含むトランジスタ部 70 と、還流ダイオード (FWD) 等のダイオード素子を含むダイオード部

８０の少なくとも一方が設けられている。図２Ａの例では、トランジスタ部７０およびダイオード部８０は、半導体基板１０のおもて面２１における所定の配列方向（本例ではＸ軸方向）に沿って、交互に配置されている。他の例では、活性部１２０には、トランジスタ部７０およびダイオード部８０の一方だけが設けられていてもよい。

[0089] 本例においては、トランジスタ部７０が配置される領域には記号「I」を付し、ダイオード部８０が配置される領域には記号「F」を付している。トランジスタ部７０およびダイオード部８０は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部７０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。同様に、ダイオード部８０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。トランジスタ部７０およびダイオード部８０の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0090] ダイオード部８０は、半導体基板１０の裏面２３側に設けられたカソード領域８２を半導体基板１０のおもて面２１に投影した領域である。カソード領域８２については後述する。半導体基板１０の裏面２３において、カソード領域８２以外の領域には、Ｐ＋型のコレクタ領域２２が設けられてよい。本明細書では、ダイオード部８０を、後述するゲート配線までＹ軸方向に延長した延長領域８５も、ダイオード部８０に含める場合がある。延長領域８５の裏面２３には、コレクタ領域２２が設けられてよい。

[0091] 半導体装置１００は、半導体基板１０の上方に１つ以上のパッドを有してよい。本例の半導体装置１００は、ゲートパッド１１２を有している。半導体装置１００は、アノードパッドおよびカソードパッド等のパッドを有してもよい。各パッドは、端辺１０２の近傍に配置されている。端辺１０２の近傍とは、上面視における端辺１０２と、エミッタ電極５２との間の領域を指す。半導体装置１００の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

[0092] ゲートパッド１１２には、ゲート電位が印加される。ゲートパッド１１２

は、活性部120のゲートトレンチ部40のゲート導電部44に電氣的に接続される。半導体装置100は、ゲートパッド112とゲートトレンチ部40とを接続するゲート配線を備える。図2Aにおいては、ゲート配線に斜線のハッチングを付している。

[0093] 本例のゲート配線は、外周ゲート配線130と、活性部間ゲート配線131とを有している。ゲート配線はゲート金属層50および接続部25のいずれか一方、あるいは、両方を適宜組み合わせで構成されてよい。外周ゲート配線130と、活性部間ゲート配線131は同じ構成であってよく、異なる構成であってもよい。外周ゲート配線130は、上面視において活性部120と半導体基板10の端辺102との間に配置されている。本例の外周ゲート配線130は、上面視において活性部120を囲んでいる。上面視において外周ゲート配線130に囲まれた領域を活性部120としてもよい。また、外周ゲート配線130は、ゲートパッド112と接続されている。外周ゲート配線130は、半導体基板10の上方に配置されている。外周ゲート配線130は、ゲート金属層50および接続部25により構成されてよい。

[0094] 活性部間ゲート配線131は、複数の活性部120の間に設けられている。図2Aにおいては、Y軸方向に2つの活性部120が並んで配置されている。半導体基板10の内部の複数の活性部120の間に活性部間ゲート配線131を設けることで、半導体基板10の各領域について、ゲートパッド112からの配線長のバラツキを低減できる。

[0095] 活性部間ゲート配線131は、活性部120のゲートトレンチ部と接続される。活性部間ゲート配線131は、半導体基板10の上方に配置されている。本例の活性部間ゲート配線131は、ゲート金属層50および接続部25により構成されている。ゲート金属層50は、アルミニウム等を含む金属層であってよい。

[0096] 活性部間ゲート配線131は、外周ゲート配線130と接続されてよい。本例の活性部間ゲート配線131は、Y軸方向の略中央で一方の外周ゲート配線130から他方の外周ゲート配線130まで、活性部120を横切るよ

うに、X軸方向に延伸して設けられている。活性部間ゲート配線131により活性部120が分割されている場合、それぞれの分割領域において、トランジスタ部70およびダイオード部80がX軸方向に交互に配置されてよい。

[0097] エッジ終端構造部140は、半導体基板10のおもて面21に設けられている。エッジ終端構造部140は、上面視において、活性部120と端辺102との間に設けられている。本例のエッジ終端構造部140は、外周ゲート配線130と端辺102との間に配置されている。エッジ終端構造部140は、半導体基板10のおもて面21側の電界集中を緩和する。エッジ終端構造部140は、活性部120を囲んで環状に設けられたガードリング、フィールドプレートおよびリサフのうちの少なくとも一つを備えていてよい。

[0098] 図2Bは、半導体装置100の変形例の上面図を示す。本例の半導体装置100は、トランジスタ部70およびダイオード部80を備える。本図は、図2Aにおける領域Aの上面の拡大図である。

[0099] 本例の半導体装置100は、半導体基板10のおもて面21側の内部に設けられたゲートトレンチ部40、ダミートレンチ部30、エミッタ領域12、ベース領域14、コンタクト領域15およびウェル領域17を備える。ゲートトレンチ部40およびダミートレンチ部30は、それぞれがトレンチ部の一例である。

[0100] 本例のダミートレンチ部30は、ゲートトレンチ部40と同様に、半導体基板10のおもて面21においてU字形状を有してよい。すなわち、ダミートレンチ部30は、延伸方向に沿って延伸する2つの延伸部分31と、2つの延伸部分31を接続する接続部分33を有してよい。

[0101] 本例の半導体装置100は、半導体基板10のおもて面21の上方に設けられたエミッタ電極52およびゲート金属層50を備える。エミッタ電極52およびゲート金属層50は、互いに分離して設けられている。本例のトランジスタ部70は、トランジスタ部70とダイオード部80との境界に位置

する境界領域 90 を含む。トランジスタ部 70 の境界領域 90 以外の領域、すなわち、ダイオード部 80 から離間する領域を主領域と称してもよい。

[0102] 境界領域 90 は、トランジスタ部 70 の主領域とダイオード部 80 との間に設けられ、ダイオード部 80 と隣接する領域である。境界領域 90 は、半導体基板 10 のおもて面 21 においてコンタクト領域 15 を有する。一例において、境界領域 90 のトレンチ部は、ゲートトレンチ部 40 およびダミートレンチ部 30 を含む。本例の境界領域 90 は、X 軸方向における両端がダミートレンチ部 30 となるように配置されているが、他の例では、X 軸方向における一端がダミートレンチ部 30、もう一端がゲートトレンチ部 40 となるように配置されてよい。

[0103] コンタクトホール 54 は、ダイオード部 80 において、ベース領域 14 の上方に設けられる。コンタクトホール 54 は、境界領域 90 において、コンタクト領域 15 の上方に設けられる。いずれのコンタクトホール 54 も、Y 軸方向両端に設けられたウェル領域 17 の上方には設けられていない。

[0104] メサ部 91 は、境界領域 90 に設けられている。メサ部 91 は、半導体基板 10 のおもて面 21 において、トランジスタ部 70 の主領域と同様にエミッタ領域 12 およびコンタクト領域 15 を有する。境界領域 90 は、トランジスタ部 70 とダイオード部 80 の構造を両立するために、主領域とは異なる緩衝構造を有してよい。緩衝構造の一例としては、最もダイオード部 80 側のメサ部 91 は、エミッタ領域 12 を有さなくてよい。また、複数のメサ部 91 にわたって、半導体基板 10 のおもて面 21 において、ベース領域 14 が露出しているてもよい。本例のメサ部 91 は、Y 軸方向の負側において、ベース領域 14 およびウェル領域 17 を有する。

[0105] メサ部 81 は、ダイオード部 80 において、隣り合うダミートレンチ部 30 に挟まれた領域に設けられる。メサ部 81 は、半導体基板 10 のおもて面 21 において、ベース領域 14 を有する。本例のメサ部 81 は、Y 軸方向の負側においてウェル領域 17 を有する。

[0106] エミッタ領域 12 は、メサ部 71 に設けられているが、メサ部 81 および

最もダイオード部 80 側のメサ部 91 には設けられなくてよい。コンタクト領域 15 は、メサ部 71 およびメサ部 91 に設けられているが、メサ部 81 には設けられなくてよい。

- [0107] 図 2C は、半導体装置 100 の変形例の b-b' 断面を示す。本図は、図 2B の b-b' 断面に相当する。本例の半導体装置 100 は、裏面側ライフタイム制御領域 151 およびおもて面側ライフタイム制御領域 152 を備える。但し、半導体装置 100 は、裏面側ライフタイム制御領域 151 またはおもて面側ライフタイム制御領域 152 の一方を備えなくてもよい。本例の半導体装置 100 は、バッファ領域 20 の下面側、すなわち半導体基板 10 の裏面 23 側に、コレクタ領域 22 およびカソード領域 82 を備える。
- [0108] エミッタ領域 12 は、メサ部 71 において、ベース領域 14 の上方に設けられている。エミッタ領域 12 は、メサ部 71 において、ゲートトレンチ部 40 に接して設けられている。他の断面において、エミッタ領域 12 は、メサ部 71 のおもて面 21 に設けられてよい。
- [0109] コンタクト領域 15 は、メサ部 91 において、ベース領域 14 の上方に設けられている。コンタクト領域 15 は、メサ部 91 において、ダミートレンチ部 30 に接して設けられている。他の断面において、コンタクト領域 15 は、メサ部 71 のおもて面 21 に設けられてよい。
- [0110] 蓄積領域 16 は、トランジスタ部 70 およびダイオード部 80 に設けられている。本例の蓄積領域 16 は、トランジスタ部 70 およびダイオード部 80 の全面に設けられている。但し、蓄積領域 16 は、ダイオード部 80 に設けられなくてもよい。
- [0111] カソード領域 82 は、ダイオード部 80 において、バッファ領域 20 の下方に設けられている。コレクタ領域 22 とカソード領域 82 との境界は、トランジスタ部 70 とダイオード部 80 との境界である。すなわち、本例の境界領域 90 の下方には、コレクタ領域 22 が設けられている。
- [0112] 裏面側ライフタイム制御領域 151 は、トランジスタ部 70 およびダイオード部 80 の両方に設けられている。これにより、本例の半導体装置 100

は、ダイオード部 80 におけるリカバリーを速めて、スイッチング損失をさらに改善できる。裏面側ライフタイム制御領域 151 は、他の実施例の裏面側ライフタイム制御領域 151 と同様の方法により形成されてよい。

[0113] おもて面側ライフタイム制御領域 152 は、半導体基板 10 の深さ方向において、半導体基板 10 の中心よりもおもて面 21 側に設けられている。本例のおもて面側ライフタイム制御領域 152 は、ドリフト領域 18 に設けられている。おもて面側ライフタイム制御領域 152 は、トランジスタ部 70 およびダイオード部 80 の両方に設けられている。おもて面側ライフタイム制御領域 152 は、ダイオード部 80 および境界領域 90 に設けられ、トランジスタ部 70 の一部には設けられなくてもよい。他の例ではおもて面側ライフタイム制御領域 152 は、トランジスタ部 70 の全面にも設けられてもよく、トランジスタ部 70 の全面で設けられていなくてもよく、ダイオード部 80 の一部または全面で設けられていなくてもよい。おもて面側ライフタイム制御領域 152 は、ダイオード部 80 のベース領域 14 およびトランジスタ部 70 のコンタクト領域 15 からの正孔注入を抑制して、逆回復損失を低減できる。

[0114] おもて面側ライフタイム制御領域 152 は、裏面側ライフタイム制御領域 151 の形成方法のうち、任意の方法で形成されてよい。裏面側ライフタイム制御領域 151 およびおもて面側ライフタイム制御領域 152 を形成するための元素およびドーズ量などは、同一であっても異なってもよい。電子線照射による場合など、半導体基板 10 の Z 軸方向の全域でライフタイムを調整する場合も、おもて面側ライフタイム制御領域 152 の形成例とみなしてよい。

[0115] 本例のおもて面側ライフタイム制御領域 152 は、ダイオード部 80 から境界領域 90 に延伸して設けられている。おもて面側ライフタイム制御領域 152 は、半導体基板 10 のおもて面 21 からの照射により形成されてよい。おもて面側ライフタイム制御領域 152 は、半導体基板 10 の裏面 23 側からの照射により形成されてもよい。本例のおもて面側ライフタイム制御領

域 1 5 2 は、ゲートトレンチ部 4 0 の下方に設けられている。おもて面側ライフタイム制御領域 1 5 2 を形成するための粒子線等が半導体装置 1 0 0 の MOS ゲート構造を通過することで、ゲート酸化膜と半導体基板との界面において欠陥が生じる場合がある。

[0116] 半導体装置 1 0 0 は、電力の制御等を行うためのパワー半導体装置であってよい。本例の半導体装置 1 0 0 は、半導体基板 1 0 の裏面 2 3 側に裏面側金属層を備える縦型半導体構造を有してよい。

[0117] なお、本例では、半導体装置 1 0 0 として、トレンチゲート構造の R C - I G B T を例示して説明している。但し、半導体装置 1 0 0 は、プレーナゲート構造の半導体装置であってもよいし、ダイオード等の他の半導体装置であってもよい。半導体装置 1 0 0 は、N チャネルの MOS F E T を備えてもよいし、P チャネルの MOS F E T を備えてもよい。

[0118] 図 3 A は、半導体装置 1 0 0 の断面の拡大図である。本例では、コンタクトホール 5 4 A の近傍における断面の拡大図を示す。コンタクトホール 5 4 A は、コンタクトホール 5 4 の一例である。本例の断面は、半導体基板 1 0 のおもて面 2 1 においてエミッタ領域 1 2 を通過する X Z 断面である。コンタクトホール 5 4 A (コンタクトホール 5 4) は、底部 5 4 b および側壁 5 4 w を有する。コンタクトホール 5 4 A には、第 1 バリアメタル層 6 0 と、第 1 合金層 6 2 と、第 2 合金層 6 3 と、プラグ層 6 4 とが設けられている。コンタクトホール 5 4 A は、第 1 コンタクトホールの一例である。

[0119] なお、本明細書においては、便宜上、コンタクトホール 5 4 の内壁のうち、半導体基板 1 0 のおもて面 2 1 よりも上方を側壁 5 4 w、半導体基板 1 0 のおもて面 2 1 よりも下方を底部 5 4 b とする。また、本明細書において、コンタクトホール 5 4 を用いて、コンタクトホールの近傍の構造を説明する場合があるが、コンタクトホール 5 5 およびコンタクトホール 5 6 等の他のコンタクトホールについても同様の構造が適用されてもよい。すなわち、第 1 バリアメタル層 6 0、第 1 合金層 6 2、第 2 合金層 6 3 およびプラグ層 6 4 は、コンタクトホール 5 5 およびコンタクトホール 5 6 等の他のコンタク

トホールに設けられてもよい。

[0120] 第1合金層62は、コンタクトホール54Aの底部54bを覆って設けられている。本例の第1合金層62は、多結晶を反応させた合金層である。第1合金層62を設けることにより、良好な接触が得られる。例えば、第1合金層62は、コンタクトホール54Aの底部54bに成膜されたポリシリコンである初期多結晶膜およびチタン(Ti)である第1初期金属膜をアニールすることによって形成されたTiSi₂である。

[0121] 第2合金層63は、コンタクトホール54Aの側壁54wを覆って設けられている。本例の第2合金層63は、第1合金層62と同様に、多結晶を反応させた合金層である。例えば、第2合金層63は、コンタクトホール54Aの側壁54wに成膜されたポリシリコンである初期多結晶膜およびチタン(Ti)である第1初期金属膜をアニールすることによって形成されたTiSi₂である。第1合金層62および第2合金層63は、同一の成膜およびアニール工程によって形成されてよい。

[0122] 第2合金層63は、下端において第1合金層62と連続していてよい。すなわち、コンタクトホール54Aの内壁は、第1合金層62および第2合金層63によって覆われていてよい。なお、図面において、第1合金層62および第2合金層63は、明確に区別して示されているが、これは便宜上のことに過ぎない。同一工程で一体的に形成された合金層のうち、コンタクトホール54の底部54b上の部分を第1合金層62、側壁54w上の部分を第2合金層63と称してよい。

[0123] 本例の第2合金層63の厚みTは、0.01μm以上、0.2μm以下である。ここで、第2合金層63の厚みTは、コンタクトホール54Aの側壁54wに垂直な方向における距離であり、最も厚い位置での膜厚であってよい。

[0124] 第1バリアメタル層60は、コンタクトホール54Aにおいて、第1合金層62および第2合金層63の内側に設けられている。第1バリアメタル層60は、チタン(Ti)、コバルト(Co)、マグネシウム(Mg)、バナ

ジウム（V）、ランタン（La）、パラジウム（Pd）、タンタル（Ta）またはジルコニウム（Zr）の少なくとも1つを含む。本例の第1バリアメタル層60は、第2初期金属膜としてスパッタにより形成されたTiN、また、スパッタにより形成されたTiNをアニール工程で処理したものである。第1バリアメタル層60は、第1合金層62および第2合金層63と同一のアニール工程によって形成されてよい。また、第1バリアメタル層60は、第1初期金属膜として成膜されたTi膜がそのまま残存した層やアニール工程により窒化した層を含んでもよい。

[0125] プラグ層64は、コンタクトホール54Aにおいて、第1バリアメタル層60と接して設けられている。例えば、プラグ層64の材料は、タングステンである。良好な埋め込み性を有するタングステンを用いることにより、おもて面素子構造を微細化することができる。また、第1バリアメタル層60を設けることにより、プラグ層64の成膜時のガスによって、層間絶縁膜38、第1合金層62および第2合金層63が侵食されるのを回避することができる。

[0126] コンタクトホール54Aの底部54bは、半導体基板10のおもて面21よりも下方に設けられてよい。すなわち、半導体基板10は、コンタクトホール54Aの下方において、エミッタ領域12に設けられた凹部27を有しており、第1合金層62は、凹部27内に收容されるように設けられてよい。エミッタ領域12は半導体基板10のおもて面21または半導体基板10の上方に設けられた下地層の一例である。この例では、下地層の上面は、おもて面21と同じ高さに位置している。下地層の上面は、おもて面21と同じ高さに位置してよく、おもて面21より下方に位置してもよく、おもて面21より上方に位置してもよい。下地層の上面がおもて面21より下方に位置する例として、後述するようにメサ部のトレンチコンタクト部65のプラグ領域19、ゲート導電部44やダミー導電部34などがあってよい。下地層の上面がおもて面21より上方に位置する例として、後述するように接続部25など、また、感温ダイオードやエッジ終端構造部140のフィールド

プレートなどがあってよい。第1合金層62の上面は、凹部27内から突出してよい、すなわち、半導体基板10のおもて面21よりも上方に位置してもよい。

[0127] 層間絶縁膜38は、コンタクトホール54Aを有し、半導体基板10の上方に設けられている。層間絶縁膜38は、おもて面21の上方に設けられた1層の絶縁膜を有するが、積層された複数の絶縁膜を有してもよい。層間絶縁膜38は、BPSG等のシリコン酸化膜であってよい。

[0128] ここで、ライフタイム制御領域を形成するための電子線および粒子線等がMOSゲート構造を通過すると、MOSゲート構造の酸化膜と半導体層との界面近傍に欠陥が発生する場合がある。そして、MOSゲート構造の近傍に水素吸蔵効果のあるTiなどの金属が存在すると、ゲート部に拡散する水素を吸蔵して、MOSゲート構造のダングリングボンドの水素終端を阻害して、閾値電圧が変動する場合がある。従来、コンタクトホールの底部に設けられるシリサイド層は、Tiなどの第1初期金属膜が半導体基板のシリコンと結合して形成されるので、シリサイド層の上面および下面側に、水素吸蔵効果のある未反応の第1初期金属膜が残存する場合がある。また、コンタクトホールの側面には、第1初期金属膜と反応する半導体基板の元素が存在しないため、未反応の第1初期金属膜が残存する場合がある。

[0129] 本例の半導体装置100は、第1合金層62および第2合金層63を形成するために成膜された初期多結晶膜が第1初期金属膜と結合することにより、水素吸蔵効果のある第1初期金属膜が残存することを防止すること、または、残存量を低下させることができる。これにより、水素吸蔵効果の影響を抑制して、MOSゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。

[0130] なお、ライフタイム制御領域を形成するための電子線および粒子線は、半導体基板10のおもて面21側から照射する場合にMOSゲート構造への影響が大きくなるが、半導体基板10の裏面23側から照射する場合にもMOSゲート構造へ影響し得る。よって、半導体装置100は、裏面23側から

照射する場合にもMOSゲート構造のダメージを回復して、閾値電圧の変動を抑制できる。なお、半導体基板10の裏面23側から粒子線等を照射する場合、加速電圧が大きくなり装置が大型化するところ、本例の半導体装置100では、おもて面21から粒子線等を照射する影響を抑制できるので、より小型の装置でライフタイム制御領域を形成することができる。

[0131] なお、第1初期金属膜は初期多結晶膜とすべてが反応せずに、そのまま、あるいはアニール時の雰囲気と反応した生成物の状態で、第2合金層63の上面、または、下面に残っていてもよく、第1バリアメタル層60の一部を構成してもよい。第1初期金属膜を初期多結晶膜の上に成膜する場合は、第1初期金属膜が第2合金層63の上面に残存しうる。初期多結晶膜を第1初期金属膜の上に成膜する場合は、第1初期金属膜が第2合金層63の下面に残存しうる。コンタクトホール54Aの底部54bにおいても同様である。このように、第1初期金属膜が残存する場合にも、初期多結晶膜が第1初期金属膜と結合することにより、水素吸蔵効果のある第1初期金属膜を減少させることができ、閾値電圧の変動を抑制することができる。

[0132] 第1初期金属膜が第2合金層63の上面に残存する場合、または、第1初期金属膜が第1合金層62の上面に残存する場合は、半導体装置100の断面のエミッタ領域12を通過する拡大図は、図3Aに示すようになって、第1初期金属膜に由来する層は第2初期金属膜に由来する層と積層されて第1バリアメタル層60の一部をなしてよい。

[0133] 一方、第1初期金属膜が第2合金層63の下面に残存する場合は、半導体装置100の断面のエミッタ領域12を通過する拡大図は図3Bに示すようになる。コンタクトホールの側壁54wにおいては、上面側から、第2初期金属膜に由来する第1バリアメタル層60、初期多結晶膜と第1初期金属膜が反応して形成された第2合金層63、第1初期金属膜に由来する第1バリアメタル層60が形成されている。同様に、コンタクトホールの底部54bにおいては、上面側から、第2初期金属膜に由来する第1バリアメタル層60、初期多結晶膜と第1初期金属膜が反応して形成された第1合金層62、

第1初期金属膜に由来する第1バリアメタル層60、メサ部71のシリコンと第1初期金属膜が反応して形成された第1合金層62が形成されてよい。積層構造はコンタクトホール54wと底部54bのどちらか、またはいずれにも形成されてもよい。

[0134] 図3B以降に示す例中の第1バリアメタル層60においても図3Bと同様に、コンタクトホール54w、または、後述するように層間絶縁膜38の上面において、第2合金層63の下面に第1初期金属膜に由来する層が形成されている場合があってもよい。また、コンタクトホール54bにおいて、第1バリアメタル層60は、第1合金層62、または、後述する第3合金層68と互いに層をなす場合があってもよい。

[0135] また、第2合金層63は、図3Cに示すようにコンタクトホール54Aの外部の層間絶縁膜38の上面にも形成されていてもよい。層間絶縁膜38の上面の第2合金層63は、コンタクトホール54Aの側壁54wに成膜された第2合金層63と一体的に形成されてよい。コンタクトホール54Aの外部の層間絶縁膜38の上面には、第2合金層63の上面に第1バリアメタル層60が形成されていなくてもよい。コンタクトホール54Aの側壁54wの第2合金層63の上面に成膜された第1バリアメタル層60と一体的に形成した後、層間絶縁膜38の上面のみ第1バリアメタル層60をエッチバックすることで、本例に示すコンタクトホール54Aが作製される。図3C以降に示す例においても、コンタクトホールの外部の層間絶縁膜38の上面に第2合金層63が形成されていない例で説明されている場合には、本例同様に層間絶縁膜38の上面に第2合金層63が形成されていてもよい。

[0136] 図3Dは、半導体装置100の断面の拡大図である。本例の断面は、半導体基板10のおもて面21においてコンタクト領域15を通過する点で図3Aの断面と相違する。本例では、図3Aと相違する点について特に説明する。

[0137] コンタクトホール54Aの下方には、コンタクト領域15よりもドーピング濃度が高いP+型のプラグ領域19が設けられてよい。プラグ領域19は

半導体基板 10 のおもて面 21 または半導体基板 10 の上方に設けられた下地層の一例である。プラグ領域 19 は、コンタクトホール 54 A の下方であって、コンタクト領域 15 の上方に設けられてよい。プラグ領域 19 の下端は、コンタクト領域 15 の下端よりも浅く設けられてよい。コンタクトホール 54 A を介して、コンタクト領域 15 およびプラグ領域 19 から正孔が引き抜かれる。プラグ領域 19 は、コンタクトホール 54 A の第 1 バリアメタル層 60 とコンタクト領域 15 との接触抵抗を改善することにより、ラッチアップ耐量を向上させる。

[0138] プラグ領域 19 は、コンタクトホール 54 A の下方であって、ベース領域 14 の上方に設けられてもよい。プラグ領域 19 は、メサ部 71 およびメサ部 91 に設けられてよい。プラグ領域 19 は、コンタクトホール 54 A の下方であって、エミッタ領域 12 の上方には設けられてなくてよい。この場合、プラグ領域 19 は、メサ部 71 およびメサ部 91 において、エミッタ領域 12 とコンタクト領域 15 の繰り返し構造に対応して、コンタクトホール 54 A に沿って離散的に設けられてよい。

[0139] メサ部 81 にコンタクトホール 54 A が設けられる場合、コンタクトホール 54 A の下方にプラグ領域 19 は設けられる。これにより、ベース領域 14 と第 1 合金層 62 との接触抵抗が改善される。なお、コンタクト領域 15、ベース領域 14 の全域でプラグ領域 19 が設けられておらず、部分的、離散的に設けられていてもよい。プラグ領域 19 の形成されない箇所においてはコンタクト領域 15 またはベース領域 14 は半導体基板 10 のおもて面 21 または半導体基板 10 の上方に設けられた下地層の一例であってよい。このことにより、プラグ領域 19 の形成されていない領域で、ダイオード部 80 の導通時に、半導体基板 10 への正孔注入を抑制する。メサ部 81 にコンタクトホール 54 A が設けられる場合には、コンタクトホールの側壁 54 w において第 2 合金層 63 が、底部 54 b において第 1 合金層 62 が設けられ、第 1 バリアメタル層 60 に含まれる Ti 層が除去、あるいは減少することで、メサ部 71 およびメサ部 91 の閾値の変動を抑制することができる。

[0140] 図4 Aは、半導体装置100の断面の拡大図である。本例では、コンタクトホール54 Aの近傍における断面の拡大図を示す。本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。本例では、コンタクトホール54 Aにおいて、第2合金層63の下面に不純物導入多結晶層66が設けられている点で図3 Aの実施例と相違する。

[0141] 本例の不純物導入多結晶層66は、第1合金層62の下面、すなわち、底部54 bと第1合金層62との間に挟まれて設けられている。不純物導入多結晶層66は、第2合金層63の下面、すなわち、側壁54 wと第2合金層63との間にも設けられている。第2合金層63が層間絶縁膜38の上面にも形成されている場合には、不純物導入多結晶層66は、層間絶縁膜38の上面においても第2合金層63の下面にも設けられてよい。

[0142] 不純物導入多結晶層66は、第1合金層62の下面に設けられて、第2合金層63の下面には設けられていなくてもよい。不純物導入多結晶層66は、第1合金層62の下面に設けられず、第2合金層63の下面に設けられていてもよい。不純物導入多結晶層66は、第1合金層62および第2合金層63の下面に部分的に設けられていてもよい。

[0143] 不純物導入多結晶層66は、第1合金層62および第2合金層63を形成するために成膜された初期多結晶膜が第1初期金属膜と結合せずに残存した場合に、残存した初期多結晶膜に不純物を導入することにより形成される。不純物は成膜時にドーピングされてもよく、成膜後のイオン注入によって導入されてもよい。不純物導入多結晶層66 Nは、不純物導入多結晶層66の一例である。エミッタ領域12の上方に設けられた不純物導入多結晶層66 Nは、N型である。

[0144] 図4 Bは、半導体装置100の断面の拡大図である。本例では、コンタクトホール54 Aの近傍における断面の拡大図を示す。本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。本例では、コンタクトホール54 Aにおいて、第2合金層63の上面に不純物導入多結晶層66 Nが設けられている点で図4 Aの実施例と相違する

。

- [0145] 本例の不純物導入多結晶層 66N は、第 1 合金層 62 の上面、すなわち、第 1 バリアメタル層 60 と第 1 合金層 62 との間に挟まれて設けられている。不純物導入多結晶層 66N は、第 2 合金層 63 の上面、すなわち、第 1 バリアメタル層 60 と第 2 合金層 63 との間にも設けられている。
- [0146] 不純物導入多結晶層 66N は、第 1 合金層 62 および第 2 合金層 63 の上面に設けられている。不純物導入多結晶層 66N は、第 1 合金層 62 の上面に設けられて、第 2 合金層 63 の上面には設けられていなくてもよい。不純物導入多結晶層 66N は、第 1 合金層 62 の上面に設けられず、第 2 合金層 63 の上面に設けられていてもよい。不純物導入多結晶層 66N は、第 1 合金層 62 および第 2 合金層 63 の上面に部分的に設けられていてもよい。
- [0147] 図 4C は、半導体装置 100 の断面の拡大図である。本例の断面は、おもて面 21 においてコンタクト領域 15 を通過する点で図 4A の断面と相違する。不純物導入多結晶層 66P は、不純物導入多結晶層 66 の一例である。コンタクト領域 15 の上方に設けられた不純物導入多結晶層 66P は、P 型である。
- [0148] このように、第 1 合金層 62 の下面に不純物導入多結晶層 66 を設けることにより、残存した初期多結晶膜による抵抗の上昇を抑制し、電荷の移動の妨げとなることを抑制することができる。図 4A、4B、4C では不純物導入多結晶層 66 が第 1 合金層 62 および第 2 合金層 63 の両方の下面または上面側全面に設けられているが、いずれか一方の下面または上面に設けられてもよく、部分的に設けられてもよい。第 1 合金層 62 の下面の不純物導入多結晶層 66 の極性は、エミッタ領域 12 またはコンタクト領域 15 あるいはプラグ領域 19 と接するところでこれらの極性と少なくとも部分的に一致していればよく、第 2 合金層 63 の下面の不純物導入多結晶層 66 の極性と一致していなくてもよい。また、第 2 合金層 63 の下面では初期多結晶膜が残るような場合にも不純物を導入しなくてもよい。
- [0149] 図 5A は、半導体装置 100 の断面の拡大図である。本例では、コンタク

トホール 54B の近傍における断面の拡大図を示す。本例の断面は、半導体基板 10 のおもて面 21 においてエミッタ領域 12 を通過する XZ 断面である。コンタクトホール 54B は、コンタクトホール 54 の一例である。本例では、図 3A～図 4C のコンタクトホール 54A と相違する点について特に説明する。

[0150] コンタクトホール 54B は、第 3 合金層 68 が底部 54b に設けられ、第 2 バリアメタル層 74 が側壁 54w 上に、第 1 バリアメタル層 60 が第 3 合金層 68 上に設けられている。第 3 合金層 68 は、コンタクトホール 54B の側壁 54w には設けられていない。すなわち、コンタクトホール 54B には、コンタクトホール 54A の第 1 合金層 62 に代えて、第 3 合金層 68 が設けられ、第 2 合金層 63 が設けられていない。コンタクトホール 54B は、第 2 コンタクトホールの一例である。

[0151] 第 3 合金層 68 は、Ti などの第 1 初期金属膜をアニールすることにより形成される。本例においては下地層の一例であるエミッタ領域 15 と第 1 初期金属膜とが反応して第 3 合金層 68 が形成される。本例の第 3 合金層 68 は、第 1 初期金属膜としてコンタクトホール 54B の底部 54b に成膜された Ti が半導体基板 10 のシリコンと結合して形成された $TiSi_2$ である。

[0152] 本例の第 2 バリアメタル層 74 は、第 1 初期金属膜としてコンタクトホール 54B の側壁 54w に成膜された第 1 初期金属膜の Ti 膜上に、スパッタにより第 2 初期金属膜として TiN 膜が形成された積層構造であってよい。また、第 1 初期金属膜の Ti を窒素雰囲気中でアニールすることによって形成された TiN 膜上を含んでいてもよい。コンタクトホール 54B では、特に、側壁 54w で、水素吸蔵効果のある未反応の第 1 初期金属膜が残存する割合が高い場合がある。したがって、コンタクトホール 54B は、残存する未反応の第 1 初期金属膜が閾値電圧に影響を及ぼさない領域、範囲、程度に設けられてよい。

[0153] 図 5B は、半導体装置 100 の断面の拡大図である。本例では、コンタクトホール 54B の近傍における断面の拡大図を示す。本例の断面は、半導体

基板 10 のおもて面 21 においてコンタクト領域 15 を通過する点で図 5 A の断面と相違する。本例では、図 5 A と相違する点について特に説明する。

[0154] 図 3 D および図 4 C のコンタクトホール 54 A と同様に、コンタクトホール 54 B の下方には、コンタクト領域 15 よりもドーピング濃度が高い P + 型のプラグ領域 19 が設けられてよい。本例においては下地層の一例であるプラグ領域 19 と第 1 初期金属膜とが反応して第 3 合金層 68 が形成される。

[0155] ダイオード部 80 において、プラグ領域 19 が形成されたメサ部 81 には、コンタクトホール 54 B が設けられてよい。上述したように、コンタクトホール 54 B には、第 1 合金層 62 および第 2 合金層 63 に代えて、第 3 合金層 68 が設けられている。コンタクトホール 54 B には、初期多結晶膜が成膜されないので、チタンはメサ部 81 のシリコンとのみ反応して第 3 合金層 68 が形成される。そのため、チタンが初期多結晶膜と反応して第 1 合金層 62 が形成される場合に比べ、ドーピング濃度が高い P + 型のプラグ領域 19 が減少する。そのため、プラグ領域 19 が形成されたメサ部 81 にコンタクトホール 54 B を設けることにより、プラグ領域 19 からの正孔注入を抑制することができる。なお、プラグ領域 19 が設けられない箇所においては下地層の一例であるコンタクト領域 15、ベース領域 14 と第 1 初期金属膜とが反応して第 3 合金層 68 が形成される。

[0156] 図 6 は、半導体装置 100 の断面の拡大図である。本例では、コンタクトホール 54 A の近傍における断面の拡大図を示す。本例の断面は、半導体基板 10 のおもて面 21 においてコンタクト領域 15 を通過する X Z 断面である。本例では、図 3 A ~ 図 4 C のコンタクトホール 54 A と相違する点について特に説明する。

[0157] 本例のコンタクトホール 54 A は、半導体基板 10 のおもて面 21 から深さ方向に延伸して設けられたトレンチコンタクト部 65 を有する。すなわち、コンタクトホール 54 A は、層間絶縁膜 38 の上面から半導体基板 10 のおもて面 21 まで延伸する領域と、半導体基板 10 のおもて面 21 から深さ

方向に延伸する領域（トレンチコンタクト部 65）とを有する。コンタクトホール 54 A の底部 54 b は、トレンチコンタクト部 65 の下端であり、コンタクトホール 54 A の側壁 54 w は、コンタクトホール 54 A の内壁のうち、層間絶縁膜 38 の上面から半導体基板 10 のおもて面 21 までの領域であり、底部 54 b は、トレンチコンタクト部 65 の内壁である。

[0158] 本例のトレンチコンタクト部 65 の下端は、コンタクト領域 15 の下端よりも浅い。トレンチコンタクト部 65 の下端は、コンタクト領域 15 の下端よりも深くてもよい。本例のトレンチコンタクト部 65 の下端は、ゲート導電部 44 の上端よりも浅い。トレンチコンタクト部 65 の下端は、ゲート導電部 44 の上端よりも深くてもよい。

[0159] このように、本例の半導体装置 100 は、トレンチコンタクト部 65 を有するコンタクトホール 54 A を設けることにより、半導体基板 10 との接触面積を増加させ接触抵抗を低減することができ、ベース領域 14 からプラグ層 64 までの距離が短縮されることでの正孔電流についての低抵抗化が可能となる。コンタクトホール 54 A をトランジスタ部 70 に設けることにより、正孔の引き抜きを容易にしてラッチアップを抑制することができる。

[0160] なお、コンタクトホール 54 A がエミッタ領域 12 を通過する断面については、トレンチコンタクト部 65 が設けられている点を除き図 3 A のコンタクトホール 54 A と共通するので、図示を省略する。本例のトレンチコンタクト部 65 の下端は、エミッタ領域 12 の下端よりも浅い。トレンチコンタクト部 65 の下端は、エミッタ領域 12 の下端よりも深くてもよい。本例のトレンチコンタクト部 65 の下端は、ゲート導電部 44 の上端よりも浅い。トレンチコンタクト部 65 の下端は、ゲート導電部 44 の上端よりも深くてもよい。トレンチコンタクト部 65 の下端には、コンタクト領域 15 と共通のプラグ領域 19 が設けられていてもよい。また、トレンチコンタクト部 65 を有する構造はコンタクトホール 54 B に対して適用されてもよい。

[0161] 図 7 は、図 2 B における b-b' 断面の一例を示す。本例の半導体装置 100 は、トランジスタ部 70 およびダイオード部 80 を備える。また、本例の

半導体装置 100 は、裏面側ライフタイム制御領域 151 およびおもて面側ライフタイム制御領域 152 を備える。

[0162] 本例の半導体装置 100 において、トランジスタ部 70 の主領域に設けられたコンタクトホール 54 は、図 5 A および図 5 B に示すコンタクトホール 54 B であり、ダイオード部 80 および境界領域 90 に設けられたコンタクトホール 54 は、図 3 A および図 3 D に示すコンタクトホール 54 A である。コンタクトホール 54 A は、図 4 A ~ 図 4 C に示すもの（不純物導入多結晶層 66 を有する）であってもよい。また、コンタクトホール 54 A およびコンタクトホール 54 B は、図 6 に示すように、トレンチコンタクト部 65 が設けられてもよい。

[0163] すなわち、本例の半導体装置 100 では、おもて面側ライフタイム制御領域 152 が設けられたダイオード部 80 および境界領域 90 にのみコンタクトホール 54 A を設けている。これにより、おもて面側ライフタイム制御領域 152 を形成するための電子線および粒子線が通過する領域においては、水素吸蔵効果のある未反応の第 1 初期金属膜を第 1 合金層および第 2 合金層に置換し、水素吸蔵効果の影響による閾値電圧の変動を抑制することができる。また、境界領域 90 にはドーピング濃度が高い P+ 型のプラグ領域 19 が残るので、ターンオフ時に電流が集中しても正孔が引き抜かれやすく、閾値の低下が完全に抑制されない場合であっても問題ないようにできる。

[0164] 図 8 は、図 2 B における b-b' 断面の他の一例を示す。本例では、図 7 と相違する点について特に説明する。

[0165] 本例の半導体装置 100 において、トランジスタ部 70 の主領域に設けられたコンタクトホール 54 は、図 3 A および図 3 D に示すコンタクトホール 54 A であり、ダイオード部 80 および境界領域 90 に設けられたコンタクトホール 54 は、図 5 A および図 5 B に示すコンタクトホール 54 B である。

[0166] すなわち、本例の半導体装置 100 では、おもて面側ライフタイム制御領域 152 が設けられていないトランジスタ部 70 の主領域にのみコンタクト

ホール54Aを設けている。おもて面側ライフタイム制御領域152が設けられたダイオード部80および境界領域90の面積よりも、おもて面側ライフタイム制御領域152が設けられていないトランジスタ部70の主領域の面積が大きい場合には、このように、面積比率の高いトランジスタ部70の主領域において、水素吸蔵効果のある未反応の第1初期金属膜を第1合金層および第2合金層に置換することにより、水素吸蔵効果の影響による閾値電圧の変動を抑制することができる。

[0167] また、トランジスタ部70の主領域では、コンタクトホール54Aの底部54bに初期多結晶膜が成膜されるので、チタンはメサ部71のシリコンと結合せず、ドーピング濃度が高いP+型のプラグ領域19が残る。そのため、おもて面側ライフタイム制御領域152が設けられずに正孔が溜まりやすいものの、ターンオフ時には正孔が引き抜かれやすくなり、ラッチアップが抑制される。一方、境界領域90では、チタンがメサ部91のシリコンと結合し、ドーピング濃度が高いP+型のプラグ領域19が減少している。そのため、ダイオード動作時に、メサ部91のプラグ領域19およびコンタクト領域15からの正孔注入を抑制することができる。

[0168] なお、図7、8では、おもて面側ライフタイム制御領域152の境界に合わせて、境界領域90およびダイオード部80が同じコンタクトホール54Bを有し、トランジスタ部70の主領域が異なるコンタクトホール54Aを有していたが、それに限られない。それぞれの領域で、コンタクトホール54A、54Bのいずれをどのように設けるかを適宜選択し、水素吸蔵効果のある未反応の第1初期金属膜量を減らして閾値電圧低下の抑制を図ることと、メサ部の正孔の濃度とのバランスをとるようにしてもよい。おもて面側ライフタイム制御領域152の境界と、コンタクトホール54Aおよびコンタクトホール54Bの切り替わりが一致していなくてもよく、おもて面側ライフタイム制御領域152が半導体装置の全面に設けられる場合や、全面で設けられない場合、複数の領域に分かれて設けられる場合にも、コンタクトホール54Aおよびコンタクトホール54Bを、トランジスタ部70、ダイオ

ード部 80 で適宜設けてよい。

[0169] 図 9 は、半導体装置 100 の製造工程の一例を示すフローチャートである。図 10A～図 10C は、半導体装置 100 の製造工程の一例を示す図である。ここでは、図 10A～図 10C に示す各工程の図を適宜参照しつつ、半導体装置 100 の製造工程の一例を説明する。

[0170] ステップ S100 において、半導体基板 10 のおもて面 21 側の素子構造を形成する。ステップ S100 では、おもて面 21 側の素子構造として、ダミートレンチ部 30 およびゲートレンチ部 40 を形成する工程を含んでよい。ステップ S100 は、おもて面 21 側の素子構造として、半導体基板 10 へのイオン注入によって、ベース領域 14、エミッタ領域 12 およびコンタクト領域 15 などを形成する工程を含んでよい。

[0171] ステップ S102 において、半導体基板 10 のおもて面 21 の上方に層間絶縁膜 38 を形成する。層間絶縁膜 38 は、BPSG 等のシリコン酸化膜であってよい。層間絶縁膜 38 は、複数の絶縁膜を積層して形成されてよい。

[0172] ステップ S104 において、層間絶縁膜 38 をエッチングすることによりコンタクトホールを形成する。ここで、半導体基板 10 のおもて面 21 でオーバーエッチングすることにより、凹部 27 が形成される。換言すると、半導体基板 10 のおもて面 21 に到達した後、凹部 27 が形成されるまでエッチングすることにより、十分な寸法のコンタクトホール 54 を形成することができる。更にトレンチコンタクト部 65 を形成してもよい。また、ステップ S104 とステップ S106 の間にプラグ領域 19 を形成してもよい。

[0173] ステップ S104 において、層間絶縁膜 38 に、コンタクトホール 54、コンタクトホール 55、コンタクトホール 56 等のコンタクトホールを形成してよい。ここでは、コンタクトホール 54 として、図 3A および図 3D に示すコンタクトホール 54A を例に説明する。

[0174] ステップ S106 において、コンタクトホール 54A の底部 54b および側壁 54w 上を覆って初期多結晶膜 61 を成膜する。初期多結晶膜 61 は、層間絶縁膜 38 の上面にも成膜されてよい。コンタクトホール 54A の底部

54bにおいて、初期多結晶膜61は凹部27内に形成されてよい、すなわち、コンタクトホール54Aの底部54bに成膜された初期多結晶膜61の上面は、半導体基板10のおもて面21よりも下方にあってよい。初期多結晶膜61は、好ましくは、後述するステップS110後に、第1初期金属膜67がコンタクトホール54Aの側壁54wに残存しないような膜厚で成膜される。

[0175] ステップS108において、コンタクトホール54Aにおいて、初期多結晶膜61上に第1初期金属膜67を成膜する。第1初期金属膜67は、層間絶縁膜38の上方にも成膜されてよい。例えば、第1初期金属膜67は、スパッタで成膜したTi膜である。なお、ステップS106およびステップS108の順序を入れ替え、第1初期金属膜67上に初期多結晶膜61を成膜してもよい。

[0176] ステップS110において、第1初期金属膜67上に第2初期金属膜69を形成する。第2初期金属膜69は、層間絶縁膜38の上面にも成膜されてよい。例えば、第2初期金属膜69は、スパッタで成膜したTiN膜である。ステップS108の第1初期金属膜67と同一の装置で連続して第2初期金属膜69を成膜してもよい。

[0177] ステップS112において半導体基板10を窒素雰囲気中でアニールする。これにより、初期多結晶膜61および第1初期金属膜67が反応し、コンタクトホール54Aの底部54bに第1合金層62が形成され、第1合金層62の上面に接して、第1バリアメタル層60が形成される。コンタクトホール54Aの側壁54wおよび層間絶縁膜38の上面に第2合金層63が形成され、第2合金層63の上面に接して、第1バリアメタル層60が形成される。本例の第1合金層62および第2合金層63は、Tiの第1初期金属膜67がポリシリコンの初期多結晶膜61と反応してシリサイド化することによって形成された $TiSi_2$ である。

[0178] 第1初期金属膜67のTiは、初期多結晶膜61と結合して、第1合金層62および第2合金層63に置換される。第2合金層63の厚みTは、0.

0.1 μm 以上、0.2 μm 以下である。なお、第1初期金属膜67の一部は半導体基板10とも結合して第1合金層62を形成してもよい。

[0179] なお、ステップS112後に、特にコンタクトホール54Aの側壁54wにおいて、未反応の多結晶膜が残存する場合がある。そこで、ステップS106後に、初期多結晶膜61に不純物を注入することにより、あるいは／かつ、ステップS106において、初期多結晶膜61に不純物を導入しながら堆積することにより、図4A～図4Cに示す不純物導入多結晶層66を、第1合金層62と底部54bの間および第2合金層63と側壁54wとの間に形成してもよい。

[0180] 第1バリアメタル層60は第2初期金属膜69であってよい。また、ステップS112のアニールにより、コンタクトホール54Aの底部54b、側壁54wおよび層間絶縁膜38の上面において、初期多結晶膜61と結合しなかった第1初期金属膜67が窒化され、TiN膜が形成されてよく、第1バリアメタル層60の一部を構成してよい。また、コンタクトホール54Aの底部54b、側壁54wおよび層間絶縁膜38の上面に成膜された第1初期金属膜67の一部は、初期多結晶膜61、窒素等と結合することなく残存してよく、第1バリアメタル層60の一部を構成してよい。

[0181] なお、ステップS110を省略し、第1初期金属膜67が窒化したTiN膜のみで第1バリアメタル層60を形成してもよい。アニールで形成されたTiN膜は、スパッタで成膜したTiN膜よりも緻密な構造を有するので、後述するプラグ層64の成膜時のガスから層間絶縁膜38および第1合金層62をより確実に保護することができる。

[0182] 半導体基板10の窒素雰囲気中でのアニールは、ステップS110の後とステップS112とで分けて行われてもよく、前者は、第1合金層62および第2合金層63を形成するため、また、残存した第1初期金属膜67を窒化するためのアニール工程であり、後者は第2初期金属膜69の密着性を高めるためのアニール工程である。それぞれのアニールの条件は、同一であってもよいし、異なってもよい。また、他の例では、前者であるステップ

S 1 1 0 の前のアニール工程のみ行って、後者のステップ S 1 1 0 の後のアニール工程を行わないのでもよい。アニール工程は、プラグ層 6 4 を形成する前に実行されてよい。

[0183] ステップ S 1 1 4 において、プラグ層 6 4 を形成する。本例では、C V D (Chemical Vapor Deposition) 法によりコンタクトホール 5 4 の内部を埋め込み、さらに、層間絶縁膜 3 8 上にも積層されるように、タングステンのプラグ層 6 4 を形成する。

[0184] ステップ S 1 1 6 において、プラグ層 6 4 をエッチバックする。これにより、コンタクトホール 5 4 の外部の不要なタングステン膜が除去されてよい。エッチバックはドライエッチングあるいは CMP (Chemical Mechanical Polishing) で行われてよい。

[0185] 層間絶縁膜 3 8 の上面の第 2 合金層 6 3 および第 1 バリアメタル層 6 0 は、プラグ層 6 4 のエッチバック後に、エッチバックにより除去されてもよい。ステップ S 1 0 8、S 1 1 0、S 1 1 2 の後に層間絶縁膜 3 8 の上面の初期多結晶膜 6 1、第 1 初期金属膜 6 7、第 2 初期金属膜 6 9、第 2 合金層 6 3 および第 1 バリアメタル層 6 0 を除去してもよい。

[0186] なお、ステップ S 1 1 6 を省略して、コンタクトホール 5 4 の外部にプラグ層 6 4 を残してもよい。また、ステップ S 1 1 4、S 1 1 6 を省略して、プラグ層 6 4 が形成されなくてもよい。

[0187] ステップ S 1 1 6 の後、エミッタ電極 5 2 が半導体基板 1 0 の上方に形成されてよい。また、ステップ S 1 1 6 の後、コレクタ電極 2 4 等の裏面 2 3 側の部材が形成されてよい。ステップ S 1 1 6 の後、裏面側ライフタイム制御領域 1 5 1 およびおもて面側ライフタイム制御領域 1 5 2 が形成されてよい。

[0188] 図 1 1 A、図 1 1 B、および図 1 1 C は、半導体装置 1 0 0 の変形例の断面の拡大図である。図 1 1 A、図 1 1 B、および図 1 1 C の例では、第 1 バリアメタル層 6 0 および第 2 合金層 6 3 の構成が、図 3 A ~ 図 4 C と相違する。図 1 1 A、図 1 1 B、および図 1 1 C は、コンタクトホール 5 4 A の近

傍における断面の拡大図を示す。図 1 1 A、図 1 1 B、および図 1 1 C の断面は、半導体基板 1 0 のおもて面 2 1 においてエミッタ領域 1 2 を通過する X Z 断面である。なお、半導体基板 1 0 のおもて面 2 1 においてコンタクト領域 1 5 を通過する X Z 断面は、図 1 1 A、図 1 1 B、および図 1 1 C のエミッタ領域 1 2 に代えてコンタクト領域 1 5 が設けられている点を除き、図 1 1 A、図 1 1 B、および図 1 1 C の X Z 断面と共通するので、図示を省略する。

[0189] 図 1 1 A の例では、第 1 バリアメタル層 6 0 および第 2 合金層 6 3 がコンタクトホール 5 4 A の外部において、層間絶縁膜 3 8 の上方に設けられている点で、図 3 A ~ 図 4 C と相違する。第 2 合金層 6 3 は、コンタクトホール 5 4 A の外部において、層間絶縁膜 3 8 の上面に接して設けられてよい。この第 2 合金層 6 3 は、図 1 0 C のステップ S 1 1 6 において、エッチバックにより除去されず、層間絶縁膜 3 8 の上面に残存したものであってよい。

[0190] 第 1 バリアメタル層 6 0 は、コンタクトホール 5 4 A の外部において、第 2 合金層 6 3 の上面に接して設けられてよい。この第 1 バリアメタル層 6 0 は、図 1 0 C のステップ S 1 1 6 において、エッチバックにより除去されず、層間絶縁膜 3 8 の上方に残存したものであってよい。第 1 バリアメタル層 6 0 が層間絶縁膜 3 8 上にも形成されることで、ワイヤボンドおよび樹脂封止等の実装時における信頼性を向上させることができる。

[0191] 図 1 1 B の例では、プラグ層 6 4 が、コンタクトホール 5 4 A の外部において、層間絶縁膜 3 8 の上方に設けられている点で、図 1 1 A と相違する。プラグ層 6 4 は、コンタクトホール 5 4 A の外部において、層間絶縁膜 3 8 の上方で、第 1 バリアメタル層 6 0 と接して設けられてよい。プラグ層 6 4 が層間絶縁膜の上方にも設けられていることでワイヤボンドおよび樹脂封止等の実装時における信頼性をより向上させることができる。

[0192] 図 1 1 C の例では、コンタクトホール 5 4 A にプラグ層 6 4 が設けられておらず、代わりにエミッタ電極 5 2 が設けられている点で、図 1 1 A と相違する。エミッタ電極 5 2 は、コンタクトホール 5 4 A を介して、半導体基板

10のおもて面21に接続される。メサの幅が広くコンタクトホール54Aの幅を広く設ける場合にはプラグ層64を設けずにエミッタ電極を直接充填することができる。このような場合にも第1バリアメタル層60が層間絶縁膜38上にも形成されることで、ワイヤボンドおよび樹脂封止等の実装時における信頼性を向上させることができる。

[0193] 図11Dの例では、層間絶縁膜38の上面に第1バリアメタル層60および第2合金層63が設けられておらず、代わりに第2バリアメタル層74が設けられている点で、図11Aと相違する。図9、10A~10Cに示した製造工程のステップS106の後に、コンタクトホール54Aの周辺の層間絶縁膜38の上面の初期多結晶膜61を除去することで、層間絶縁膜38の上面に第2バリアメタル層74が形成される。層間絶縁膜38の上面に第1バリアメタル層60よりも第1初期金属膜67の残存量が多い第2バリアメタル層74を設けることで、図11Aに示す例よりも耐イオン性を高めることができる。なお、図11Bのようにプラグ層64を層間絶縁膜38上方に残す場合に間にこのように第2バリアメタル層74を設けてもよく、図11Cのようにプラグ層を形成せずにエミッタ電極がコンタクトホール54A内に埋め込まれる場合に間にこのように第2バリアメタル層74を設けてもよい。

[0194] 図12は、半導体装置100の変形例の断面の拡大図である。本例の半導体装置100は、ゲートトレンチ部40に代えて、プレーナ構造のゲート電極240を有する。本例の断面は、半導体基板10のおもて面21において、ソース電極252、層間絶縁膜38、第1導電型のソース領域212、第2導電型のベース領域214、第2導電型のコンタクト領域215、第2導電型のプラグ領域219およびゲート電極240を通過するXZ断面である。コンタクトホール54Aには、第1バリアメタル層60と、第1合金層62と、第2合金層63とが設けられている。

[0195] 本例の半導体装置100は、プラグ層64を有さなくてよい。プレーナ構造は、トレンチ構造と比較してピッチを広く設けることができるので、コン

タクトホール54A内はソース電極252で充填されていてよい。

[0196] 本例では、図11Cと同様に、コンタクトホール54Aの外部において、層間絶縁膜38の上方に、第1バリアメタル層60および第2合金層63が設けられてよい。なお、他の例では、層間絶縁膜38の上方、または側壁の第2合金層63、第1バリアメタル層60、プラグ層64は、図3Aから図11Bまでに示された図を用いて説明したコンタクトホール54Aのように設けられてもよく、プレーナ構造のゲート電極240ではなくゲートトレンチ部40が設けられていてもよい。

[0197] 図13Aは、半導体装置200の断面の拡大図である。半導体装置200は、コンタクトホール54近傍の構造を除いて半導体装置100と共通の構造を有するので、共通する要素には共通の符号を付し、ここでは相違点を中心に説明する。

[0198] 本例の断面は、半導体基板10のおもて面21においてエミッタ領域12を通過するXZ断面である。コンタクトホール54Bには、第3合金層68と第1バリアメタル層60と第2バリアメタル層74と、プラグ層64とが設けられている。また、層間絶縁膜38の上方には、第2合金層63と、第1バリアメタル層60とが設けられている。

[0199] まず、コンタクトホール54B内の構造を説明する。第3合金層68は、コンタクトホール54Bの底部54bを覆って設けられている。本例の第3合金層68は、第1初期金属膜67としてコンタクトホール54Bの底部54bに成膜されたTiが半導体基板10のシリコンと結合して形成される。第3合金層68を設けることにより、良好な接触が得られる。例えば、第3合金層68は、 $TiSi_2$ である。

[0200] コンタクトホール54Bの側壁54wにおいて、第2バリアメタル層74は、層間絶縁膜38と接して設けられている。第2バリアメタル層74は、第3合金層68を形成するための第1初期金属膜67がコンタクトホール54Bの側壁54wに成膜され、窒素等と結合することなく残存したもの、第2初期金属膜69としてスパッタにより形成されたTiN膜からなる積層構

造であってよい。また、さらに、第1初期金属膜67としてコンタクトホール54Bの側壁54wに成膜されたTiを窒素雰囲気中でアニールすることによって形成されたTiN膜を含んでよい。

[0201] コンタクトホール54Bの底部54bにおいて、第1バリアメタル層60は、第3合金層68に積層して設けられている。第1バリアメタル層60は、第2初期金属膜69としてスパッタにより形成されたTiN膜であってよい。また、さらに、第3合金層68を形成するための第1初期金属膜67がコンタクトホール54Bの底部54bに成膜され、半導体基板10や窒素等と結合することなく残存したもの、第1初期金属膜67としてコンタクトホール54Bの底部54bに成膜されたTiを窒素雰囲気中でアニールすることによって形成されたTiN膜を含んでよい。

[0202] プラグ層64は、コンタクトホール54Bにおいて、第1バリアメタル層60および第2バリアメタル層74と接して設けられている。例えば、プラグ層64の材料は、タングステンである。良好な埋め込み性を有するタングステンを用いることにより、おもて面素子構造を微細化することができる。プラグ層64は、層間絶縁膜38の上方にも設けられてよい。

[0203] コンタクトホール54B内に第1バリアメタル層60および第2バリアメタル層74を設けることにより、プラグ層64の密着性を高めることができる。また、第1バリアメタル層60および第2バリアメタル層74を設けることにより、プラグ層64の成膜時のガスによって、層間絶縁膜38および第3合金層68が侵食されるのを回避することができる。

[0204] 次に、コンタクトホール54B近傍の層間絶縁膜38の上面の構造を説明する。第2合金層63は、層間絶縁膜38の上面に設けられている。本例の第2合金層63は、多結晶を反応させた合金層である。例えば、第2合金層63は、層間絶縁膜38の上面に成膜されたポリシリコンである初期多結晶膜61およびTiである第1初期金属膜67をアニールすることによって形成されたTiSi₂である。第3合金層68および第2合金層63は、同一のアニール工程によって形成されてよい。

- [0205] 第1バリアメタル層60は、第2合金層63に積層して設けられている。
- 第1バリアメタル層60は、第2初期金属膜69としてスパッタにより形成されたTiN膜であってよい。また、さらに、第2合金層63を形成するための第1初期金属膜67が層間絶縁膜38の上面に成膜され、初期多結晶膜61や窒素等と結合することなく残存したもの、第1初期金属膜67として層間絶縁膜38の上面に成膜されたTiを窒素雰囲気中でアニールすることによって形成されたTiN膜を含んでよい。層間絶縁膜38の上面に第1バリアメタル層60を設けることにより、耐イオン透過性を高めることができる。
- [0206] 本例の半導体装置200では、層間絶縁膜38の上方において、第2合金層63を形成するために成膜された初期多結晶膜61が第1初期金属膜67と結合することにより、水素吸蔵効果のある第1初期金属膜67が残存することを防止すること、残存量を低下させることができる。これにより、水素吸蔵効果の影響を抑制して、MOSゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。
- [0207] 図13Bは、半導体装置200の断面の拡大図である。本例の断面は、半導体基板10のおもて面21においてコンタクト領域15を通過する点で図13Aの断面と相違する。本例では、図13Aと相違する点について特に説明する。
- [0208] コンタクトホール54Bの下方には、コンタクト領域15よりもドーピング濃度が高いP+型のプラグ領域19が設けられてよい。プラグ領域19は、コンタクトホール54Bの下方であって、コンタクト領域15の上方に設けられてよい。プラグ領域19の下端は、コンタクト領域15の下端よりも浅く設けられてよい。コンタクトホール54を介して、コンタクト領域15およびプラグ領域19から正孔が引き抜かれる。プラグ領域19は、コンタクトホール54Bの第3合金層68とコンタクト領域15との接触抵抗を改善することにより、ラッチアップ耐量を向上させる。

- [0209] プラグ領域 19 は、コンタクトホール 54 B の下方であって、ベース領域 14 の上方に設けられてもよい。プラグ領域 19 は、メサ部 71 およびメサ部 91 に設けられてよい。プラグ領域 19 は、コンタクトホール 54 の下方であって、エミッタ領域 12 の上方には設けられてなくてよい。この場合、プラグ領域 19 は、メサ部 71 およびメサ部 91 において、エミッタ領域 12 とコンタクト領域 15 の繰り返し構造に対応して、コンタクトホール 54 B に沿って離散的に設けられてよい。
- [0210] メサ部 81 にコンタクトホール 54 B が設けられる場合、コンタクトホール 54 B の下方にプラグ領域 19 は設けられる。これにより、ベース領域 14 と第 1 合金層 62 との接触抵抗が改善される。なお、コンタクト領域 15 、ベース領域 14 の全域でプラグ領域 19 が設けられておらず、部分的、離散的に設けられていてもよい。このことにより、プラグ領域 19 の形成されていない領域で、ダイオード部 80 の導通時に、半導体基板 10 への正孔注入を抑制する。
- [0211] 図 14 は、半導体装置 200 の製造工程の一例を示すフローチャートである。図 15 A ～図 15 C は、半導体装置 200 の製造工程の一例を示す図である。ここでは、図 15 A ～図 15 C に示す各工程の図を適宜参照しつつ、半導体装置 200 の製造工程の一例を説明する。
- [0212] ステップ S200 において、半導体基板 10 のおもて面 21 側の素子構造を形成する。ステップ S200 では、おもて面 21 側の素子構造として、ダミートレンチ部 30 およびゲートレンチ部 40 を形成する工程を含んでよい。ステップ S200 は、おもて面 21 側の素子構造として、半導体基板 10 へのイオン注入によって、ベース領域 14 、エミッタ領域 12 およびコンタクト領域 15 などを形成する工程を含んでよい。
- [0213] ステップ S202 において、半導体基板 10 のおもて面 21 の上方に層間絶縁膜 38 を形成する。層間絶縁膜 38 は、BPSG 等のシリコン酸化膜であってよい。層間絶縁膜 38 は、複数の絶縁膜を積層して形成されてよい。
- [0214] ステップ S204 において、層間絶縁膜 38 の上面に初期多結晶膜 61 を

成膜する。初期多結晶膜 61 は、好ましくは、後述するステップ S 212 後に、第 1 初期金属膜 67 が層間絶縁膜 38 の上面に残存しないような膜厚で成膜される。

[0215] ステップ S 206 において、層間絶縁膜 38 をエッチングすることによりコンタクトホールを形成する。ここで、半導体基板 10 のおもて面 21 でオーバーエッチングすることにより、凹部 27 が形成される。換言すると、半導体基板 10 のおもて面 21 に到達した後、凹部 27 が形成されるまでエッチングすることにより、十分な寸法のコンタクトホール 54B を形成することができる。更にトレンチコンタクト部 65 を形成してもよい。また、ステップ S 206 とステップ S 208 の間にプラグ領域 19 を形成してもよい。

[0216] ステップ S 206 は、ステップ S 204 の後で行われる。すなわち、ステップ S 206 の完了時、コンタクトホール 54B の底部 54b および側壁 54w には半導体基板 10 のシリコンおよび層間絶縁膜 38 がそれぞれ露出しており、初期多結晶膜 61 は、コンタクトホール 54B を囲む層間絶縁膜 38 の上面にのみ残存する。また、ステップ S 206 において、層間絶縁膜 38 に、コンタクトホール 54B、コンタクトホール 55、コンタクトホール 56 等のコンタクトホールを形成してよい。

[0217] ステップ S 208 において、コンタクトホール 54B の内壁および層間絶縁膜 38 の上方に、第 1 初期金属膜 67 を成膜する。例えば、第 1 初期金属膜 67 は、スパッタで成膜した Ti 膜である。第 1 初期金属膜 67 は、コンタクトホール 54B の底部 54b および側壁 54w において、半導体基板 10 のシリコンおよび層間絶縁膜 38 にそれぞれ接して形成される。第 1 初期金属膜 67 は、層間絶縁膜 38 の上方において、初期多結晶膜 61 の上面に接して成膜される。

[0218] ステップ S 210 において、コンタクトホール 54B 内および層間絶縁膜 38 の上方において、第 1 初期金属膜 67 上に第 2 初期金属膜 69 を成膜する。例えば、第 2 初期金属膜 69 は、スパッタで成膜した TiN 膜である。第 2 初期金属膜 69 は、第 1 初期金属膜 67 に積層して形成される。

[0219] ステップS 2 1 2において、半導体基板 1 0を窒素雰囲気中でアニールする。これにより、コンタクトホール 5 4 Bの底部 5 4 bにおいて、半導体基板 1 0のシリコンおよび第 1 初期金属膜 6 7がシリサイド化され、第 3 合金層 6 8が形成される。本例の第 3 合金層 6 8は、 $TiSi_2$ である。コンタクトホール 5 4 Bの底部 5 4 bに成膜された第 1 初期金属膜 6 7は、半導体基板 1 0のシリコンと結合して、第 3 合金層 6 8に置換される。コンタクトホール 5 4 Bの底部 5 4 bには、半導体基板 1 0のおもて面 2 1に接して第 3 合金層 6 8が形成され、第 3 合金層 6 8の上面に接して、第 1 バリアメタル層 6 0が形成される。

[0220] また、ステップS 2 1 2のアニールにより、コンタクトホール 5 4 Bの側壁 5 4 wにおいて、第 1 初期金属膜 6 7が窒化され、 TiN 膜が形成される。また、コンタクトホール 5 4 Bの側壁 5 4 wに成膜された第 1 初期金属膜 6 7の一部は、窒素等と結合することなく残存してよい。コンタクトホール 5 4 Bの側壁 5 4 wには、 Ti 層および TiN 層の積層構造が形成されてよい。 Ti 層は、残存した第 1 初期金属膜 6 7であり、層間絶縁膜 3 8と接して設けられている。 TiN 層は、第 2 初期金属膜 6 9と、第 1 初期金属膜 6 7が窒化した TiN 膜との積層構造であってよい。コンタクトホール 5 4 B内における Ti 層および TiN 層は、第 2 バリアメタル層 7 4の一例である。

[0221] なお、ステップS 2 1 0を省略し、第 1 初期金属膜 6 7が窒化した TiN 膜のみで第 2 バリアメタル層 7 4を形成してもよい。アニールで形成された TiN 膜は、スパッタで成膜した TiN 膜よりも緻密な構造を有するので、後述するプラグ層 6 4の成膜時のガスから層間絶縁膜 3 8および第 3 合金層 6 8をより確実に保護することができる。

[0222] また、ステップS 2 1 2のアニールにより、層間絶縁膜 3 8の上面において、初期多結晶膜 6 1および第 1 初期金属膜 6 7がシリサイド化され、第 2 合金層 6 3が形成される。本例の第 2 合金層 6 3は、 $TiSi_2$ である。層間絶縁膜 3 8の上方において、第 1 初期金属膜 6 7は、初期多結晶膜 6 1と結

合して、第2合金層63に置換される。従って、層間絶縁膜38の上方に、第1初期金属膜67は残存しない、或いは、残存量が少ないので、第1初期金属膜67の水素吸蔵効果による影響を抑制して、MOSゲート構造のダングリングボンドの水素終端を促進することができる。これにより、閾値電圧の変動を抑制することができる。

[0223] また、ステップS212のアニールにより、層間絶縁膜38の上面において、第1バリア金属層60が、第2合金層63に積層して設けられる。第1バリア金属層60は、第2初期金属膜69としてスパッタにより形成されたTiN膜であってよい。また、さらに、第2合金層63を形成するための第1初期金属膜67が層間絶縁膜38の上面に成膜され、初期多結晶膜61や窒素等と結合することなく残存したもの、第1初期金属膜67として層間絶縁膜38の上面に成膜されたTiを窒素雰囲気中でアニールすることによって形成されたTiN膜を含んでよい。層間絶縁膜38の上面に第1バリア金属層60を設けることにより、耐イオン透過性を高めることができる。

[0224] なお、ステップS210の前にも、半導体基板10をアニールしてよい。この場合、アニール工程は、第1初期金属膜67の成膜後および第2初期金属膜69の成膜後の2回に分けて行われてよい。前者は、第3合金層68および第2合金層63を形成するため、また、残存した第1初期金属膜67を窒化するためのアニール工程であり、後者は第2初期金属膜69の密着性を高めるためのアニール工程である。これらのアニールの条件は、同一であってもよいし、異なってもよい。また、他の例では、前者であるステップS210の前のアニール工程のみ行って、後者のS210の後のアニール工程を行わないのでもよい。アニール工程は、プラグ層64を形成する前に実行されてよい。

[0225] ステップS214において、プラグ層64を形成する。本例では、CVD (Chemical Vapor Deposition) 法によりコンタクトホール54Bの内部を埋め込むように、タングステンのプラグ層64を

形成する。上述したように、コンタクトホール54の内壁には第2バリアメタル層74および第1バリアメタル層60が設けられているので、プラグ層64の成膜時のガスによって、層間絶縁膜38および第3合金層68が侵食されるのを回避することができる。

[0226] ステップS216において、プラグ層64をエッチバックする。これにより、コンタクトホール54Bの外部の不要なタングステン膜が除去されてよい。エッチバックはドライエッチングあるいはCMP (Chemical Mechanical Polishing) で行われてよい。なお、ステップS216を省略して、コンタクトホール54Bの外部にプラグ層64を残してもよい。

[0227] ステップS216の後、エミッタ電極52が半導体基板10の上方に形成されてよい。また、ステップS216の後、コレクタ電極24等の裏面23側の部材が形成されてよい。ステップS216の後、裏面側ライフタイム制御領域151およびおもて面側ライフタイム制御領域152が形成されてよい。なお、ステップS216を省略して、コンタクトホール54Bの外部にプラグ層64を残してもよい。また、ステップS214、S216を省略して、プラグ層64が形成されなくてもよい。

[0228] このように、半導体装置200の製造方法によれば、コンタクトホール54B内に、Ti層およびTiN層を有する第2バリアメタル層74および第1バリアメタル層60が形成されるので、耐イオン透過性を高めることができる。また第2バリアメタル層74および第1バリアメタル層60を形成することにより、プラグ層64の成膜時のガスによって、層間絶縁膜38および第3合金層68が侵食されるのを回避することができる。

[0229] また、半導体装置200の製造方法によれば、コンタクトホール54Bの形成前に、層間絶縁膜38の上面に初期多結晶膜61を成膜することにより、層間絶縁膜38の上方に成膜された第1初期金属膜67は、初期多結晶膜61と結合して、第2合金層63に置換される。また、従って、コンタクトホール54内ではTi層を形成して第2バリアメタル層74による耐イオン

透過性を高めつつ、層間絶縁膜 38 の上方からは Ti を除去して、Ti の水素吸蔵効果による影響を抑制し、MOS ゲート構造のダングリングボンドの水素終端を促進しながら、第 1 バリアメタル層 60 により耐イオン透過性を高めることができる。これにより、閾値電圧の変動を抑制することができる。

[0230] 図 16 A、図 16 B、および図 16 C は、半導体装置 200 の変形例の断面の拡大図である。図 16 A、図 16 B、および図 16 C の例では、プラグ層 64 の構成が、図 13 A および図 13 B と相違する。図 16 A、図 16 B、および図 16 C は、コンタクトホール 54 B の近傍における断面の拡大図を示す。

[0231] 図 16 A の断面は、半導体基板 10 のおもて面 21 においてエミッタ領域 12 を通過する XZ 断面である。図 16 A の例では、プラグ層 64 が、コンタクトホール 54 B の外部において、層間絶縁膜 38 の上方に設けられている点で、図 13 A と相違する。プラグ層 64 は、コンタクトホール 54 の外部において、層間絶縁膜 38 の上方で、第 1 バリアメタル層 60 と接して設けられてよい。なお、半導体基板 10 のおもて面 21 においてコンタクト領域 15 を通過する XZ 断面は、図 16 A のエミッタ領域 12 に代えてコンタクト領域 15 が設けられている点を除き、図 16 A の XZ 断面と共通するので、図示を省略する。

[0232] 図 16 B の断面は、半導体基板 10 のおもて面 21 においてエミッタ領域 12 を通過する XZ 断面である。図 16 B の例では、コンタクトホール 54 B にプラグ層 64 が設けられておらず、代わりにエミッタ電極 52 が設けられている点で、図 13 A と相違する。エミッタ電極 52 は、コンタクトホール 54 B を介して、半導体基板 10 のおもて面 21 に接続される。なお、半導体基板 10 のおもて面 21 においてコンタクト領域 15 を通過する XZ 断面は、図 16 B のエミッタ領域 12 に代えてコンタクト領域 15 が設けられている点を除き、図 16 B の XZ 断面と共通するので、図示を省略する。

[0233] 図 16 C の例では、ゲートトレンチ部 40 に代えて、プレーナ構造のゲー

ト電極 240 を有する。本例の断面は、半導体基板 10 のおもて面 21 において、ソース電極 252、層間絶縁膜 38、第 1 導電型のソース領域 212、第 2 導電型のベース領域 214、第 2 導電型のコンタクト領域 215、第 2 導電型のプラグ領域 219 およびゲート電極 240 を通過する XZ 断面である。コンタクトホール 54B には、底部 54b に第 3 合金層 68 と、第 1 バリアメタル層 60 とが、側壁 54w に第 2 バリアメタル層 74 が設けられている。また、層間絶縁膜 38 の上方には、第 2 合金層 63 と、第 1 バリアメタル層 60 とが設けられている。

[0234] 本例の半導体装置 200 は、プラグ層 64 を有さなくてよい。プレーナ構造は、トレンチ構造と比較してピッチを広く設けることができるので、コンタクトホール 54B 内はソース電極 252 で充填されていてよい。なお、他の例では、層間絶縁膜 38 の上方、または側壁の第 2 合金層 63、第 1 バリアメタル層 60、第 2 バリアメタル層 74、プラグ層 64 は、図 13A から図 16A までに示された図を用いて説明したコンタクトホール 54B のように設けられてもよく、プレーナ構造のゲート電極 240 ではなくゲートトレンチ部 40 が設けられていてもよい。

[0235] このように、本例の半導体装置 200 にも、図 13A および図 13B を参照して説明したコンタクトホール 54B 内および層間絶縁膜 38 の上面の構造を適用することができる。

[0236] なお、図 13A および図 13B に示した半導体装置 200 のコンタクトホール 54B は、図 9、図 10A～図 10C に示した半導体装置 100 を作製する製造工程において、ステップ S104 でコンタクトホール 54 を開口してステップ S106 の初期多結晶膜 61 を成膜した後に、コンタクトホール 54B の内部の初期多結晶膜 61 を除去して層間絶縁膜 38 の上面にだけ残し、ステップ S108 以降の工程を行うことでも作製できる。このような製造工程でコンタクトホール 54B を作製する場合、層間絶縁膜 38 の上面全てに初期多結晶膜 61 を残さずに、一部では除去してもよい。例えば、初期多結晶膜 61 の残る境界をコンタクトホール 54B の開口と一致させずに、

層間絶縁膜 38 の上面に、第 2 バリアメタル層 74 と、第 1 バリアメタル層 60 および第 2 合金層 63 との境界があってもよい。このように、コンタクトホール 54 の開口後に成膜した初期多結晶膜 61 を部分的に除去する製造工程によって、コンタクトホール 54 A および 54 B を有する半導体装置 100 を製造してもよい。例えば、図 7 の例では図 3 A に示すコンタクトホール 54 A と、図 5 A に示すコンタクトホール 54 B を有する場合で説明したが、それに限らず、例えば、図 11 A に示すコンタクトホール 54 A と、図 13 A に示すコンタクトホール 54 B、あるいは、層間絶縁膜 38 の上面に第 2 バリアメタル層 74 を有するコンタクトホール 54 B 等を有してもよい。

[0237] また、上記の、コンタクトホール 54 の開口後に成膜した初期多結晶膜 61 を部分的に除去する製造工程によって、コンタクトホール 54 B のみを有する半導体装置 200 を製造してもよい。こうして作製する図 13 A、図 13 B に示すコンタクトホール 54 B のみを有してもよく、他に、図 5 A、図 5 B に示すコンタクトホール 54 B、層間絶縁膜 38 の上面に第 2 バリアメタル層 74 を有するコンタクトホール 54 B 等の異なる構造のコンタクトホール 54 B を有してもよい。

[0238] また、コンタクトホール 54 A とコンタクトホール 54 B を有する半導体装置 100 は、図 9、図 10 A ～図 10 C に示した半導体装置 100 を作製する製造工程において、ステップ S104 でコンタクトホール 54 A を開口し、ステップ S106 の初期多結晶膜 61 の成膜後に、初期多結晶膜 61 が成膜された層間絶縁膜 38 にコンタクトホール 54 B を開口し、ステップ 108 以降を行うことでも作製できる。コンタクトホール 54 B についての作製工程は図 14、図 15 A ～図 15 C に示した半導体装置 200 の製造工程と一致する。このように、途中で初期多結晶膜 61 の除去を行わなくても、コンタクトホール 54 A、54 B を有する半導体装置 100 を製造することができる。すなわち、ステップ S116 の後にエミッタ電極 52 を形成すれば、図 11 A に示すコンタクトホール 54 A と、図 13 A に示すコンタクトホール 54 B を有する半導体装置 100 を、ステップ S116 の後に更に第

1 バリアメタル層 60 と第 2 合金層 63 を除去してエミッタ電極 52 を形成すれば、図 3 A に示すコンタクトホール 54 A と、図 5 A に示すコンタクトホール 54 B を有する半導体装置 100 を、ステップ S 116 を省略してエミッタ電極 52 を形成すれば、図 11 B に示すコンタクトホール 54 A と、図 16 A に示すコンタクトホール 54 B を有する半導体装置 100 を、ステップ S 114 を省略してエミッタ電極 52 を形成すれば、図 11 C に示すコンタクトホール 54 A と、図 16 B に示すコンタクトホール 54 B を有する半導体装置 100 を得ることができる。

[0239] これまでの実施例ではコンタクトホール 54 A の底部 54 b の第 1 合金層 62 はコンタクトホール開口後に成膜した底部 54 b の初期多結晶膜 61 から形成される例を示したが、これに限らない。図 9 および図 10 B に示したステップ S 106 の初期多結晶膜 61 をコンタクトホールの底部 54 b だけ除去し、コンタクトホールの底部 54 b のメサ部のシリコン、すなわち下地層から第 1 合金層 62 を形成してもよい。このような場合にも、コンタクトホールの側壁 54 w に第 2 合金層 63 が形成されることで、コンタクトホールの側壁 54 w で第 1 バリアメタル層 60 の第 1 初期金属膜 67 が除去または薄膜化されることで、閾値の変動を抑制することができる。また、コンタクトホールの底部 54 b を通じてのキャリアの注入については、メサ部のシリコンからシリサイドに変化する量が増え高濃度の領域が減少するので、これまでの実施例で説明したのとは異なる調整をすることができる。

[0240] 一方、これまでの実施例ではコンタクトホール 54 B の底部 54 b の第 3 合金層 68 はコンタクトホールの底部 54 b のメサ部のシリコン、すなわち下地層から形成する例を示したが、これに限らない。図 9 および図 10 B に示したステップ S 106 の初期多結晶膜 61 をコンタクトホールの側壁 54 w で除去し、底部 54 b の初期多結晶膜 61 から第 3 合金層 68 を形成してもよい。このような場合にも、コンタクトホール 54 B の周囲の層間絶縁膜 38 の上面に第 2 合金層 63 を形成する場合には、層間絶縁膜 38 の上面で第 1 バリアメタル層 60 の第 1 初期金属膜 67 が除去または薄膜化されるこ

とで、閾値の変動を抑制することができる。また、コンタクトホール54bを通じてのキャリアの注入については、メサ部のシリコンからシリサイドに変化する量が減って高濃度の領域が残存するので、また、不純物導入多結晶層66を設けることもあるので、これまでの実施例で説明したのとは異なる調整をすることができる。

[0241] また、コンタクトホール55、コンタクトホール56等、活性部120でエミッタ電極52と下地層であるエミッタ領域12、コンタクト領域15、ベース領域14、プラグ領域19等を接続する以外に形成するコンタクトホールにおいてもこれまでの実施例で説明したコンタクトホール54A、コンタクトホール54Bと同様の構造を適用してよい。図1A、図2Bに示すように下地層である接続部25または図1A、図2Bと異なる例であるゲート導電部44上に設けられるコンタクトホール55、図1A、図2Bに示すようにダミー導電部34または図1A、2Bと異なる例である接続部25上に設けられるコンタクトホール56、あるいは不図示の感温ダイオードのポリシリコンダイオードや、エッジ終端構造部140のフィールドプレートやガードリング等の上に設けられるコンタクトホール等でも、層間絶縁膜38の上面やコンタクトホールの側壁で第2合金層63を形成する場合には、第2合金層63に接して設けられる第1バリアメタル層60の第1初期金属膜67が除去または薄膜化されることで、活性部120の閾値の変動を抑制することができる。

[0242] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0243] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また

、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0244] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、17・・・ウェル領域、18・・・ドリフト領域、19・・・プラグ領域、20・・・バッファ領域、21・・・おもて面、22・・・コレクタ領域、23・・・裏面、24・・・コレクタ電極、25・・・接続部、27・・・凹部、30・・・ダミートレンチ部、31・・・延伸部分、32・・・ダミー絶縁膜、33・・・接続部分、34・・・ダミー導電部、38・・・層間絶縁膜、40・・・ゲートトレンチ部、41・・・延伸部分、42・・・ゲート絶縁膜、43・・・接続部分、44・・・ゲート導電部、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、55・・・コンタクトホール、56・・・コンタクトホール、60・・・第1バリア金属層、61・・・初期多結晶膜、62・・・第1合金層、63・・・第2合金層、64・・・プラグ層、65・・・トレンチコンタクト部、66・・・不純物導入多結晶層、67・・・第1初期金属膜、68・・・第3合金層、69・・・第2初期金属膜、70・・・トランジスタ部、71・・・メサ部、74・・・第2バリア金属層、80・・・ダイオード部、81・・・メサ部、82・・・カソード領域、85・・・延長領域、90・・・境界領域、91・・・メサ部、100・・・半導体装置、102・・・端辺、112・・・ゲートパッド、120・・・活性部、130・・・外周ゲート配線、131・・・活性部間ゲート配線、140・・・エッジ終端構造部、151・・・裏面側ライフタイム制御領域、152・・・おもて面側ライフタイム制御領域、212・・・ソース領域、214・・・ベース領域、219・・・プラグ領域、240・・・ゲート電極、252・・・ソース電極

請求の範囲

- [請求項1] MOSゲート構造を備える半導体装置であって、
半導体基板のおもて面または前記半導体基板の上方に設けられた下地層と、
前記下地層の上方に設けられた層間絶縁膜と、
前記層間絶縁膜に設けられ、前記層間絶縁膜の上面から前記下地層に達する第1コンタクトホールと、
前記第1コンタクトホールの底部に設けられた第1合金層と、
前記第1コンタクトホールの側壁に設けられた第2合金層と、
を備える半導体装置。
- [請求項2] 前記第1合金層は、前記第1コンタクトホールの内部に堆積された多結晶を反応させた合金層を含む、
請求項1に記載の半導体装置。
- [請求項3] 前記第2合金層は、前記第1コンタクトホールの内部に堆積された多結晶を反応させた合金層である、
請求項1に記載の半導体装置。
- [請求項4] 前記第2合金層の厚みは、 $0.01\mu\text{m}$ 以上、 $0.2\mu\text{m}$ 以下である、
請求項1に記載の半導体装置。
- [請求項5] 前記第1コンタクトホール内において、前記第1合金層および前記第2合金層の内側に設けられた第1バリアメタル層を備える、
請求項1に記載の半導体装置。
- [請求項6] 前記第1バリアメタル層はTiN層を有する、
請求項5に記載の半導体装置。
- [請求項7] 前記第1コンタクトホール内において、前記第1バリアメタル層と接して設けられたタングステンのプラグ層を備える、
請求項6に記載の半導体装置。
- [請求項8] 前記半導体基板は、トランジスタ部およびダイオード部を有する、

請求項 1 から 7 のいずれか一項に記載の半導体装置。

[請求項9] 前記層間絶縁膜は、更に、前記層間絶縁膜の上面から前記下地層に達する第 2 コンタクトホールを有し、

前記第 2 コンタクトホールは側壁に前記第 2 合金層を有さない、
請求項 1 に記載の半導体装置。

[請求項10] 前記第 1 合金層と接して設けられた不純物導入多結晶層を備える、
請求項 1 に記載の半導体装置。

[請求項11] 前記第 1 合金層の下面と前記下地層との間に少なくとも設けられた不純物導入多結晶層を備え、前記下地層と、前記不純物導入多結晶層の導電型が一致する、

請求項 1 に記載の半導体装置。

[請求項12] 前記第 2 コンタクトホールの側壁において前記層間絶縁膜と接して第 2 バリアメタル層が設けられている、

請求項 9 に記載の半導体装置。

[請求項13] 前記半導体基板は、前記第 1 コンタクトホールの下方において、前記下地層に設けられた凹部を有し、前記第 1 合金層は、前記凹部内に設けられている、

請求項 1 に記載の半導体装置。

[請求項14] 前記半導体基板は、前記半導体基板のおもて面側に、ライフタイムキラを含むライフタイム制御領域を少なくとも一部有する、

請求項 1 に記載の半導体装置。

[請求項15] 前記半導体基板は、トランジスタ部およびダイオード部を有し、前記トランジスタ部は、前記ダイオード部から離間する主領域と、前記主領域と前記ダイオード部との間の境界領域を有し、前記ライフタイム制御領域は、前記ダイオード部および前記境界領域に設けられている、

請求項 1 4 に記載の半導体装置。

[請求項16] 半導体基板のおもて面に、MOS ゲート構造を形成する段階と、

前記半導体基板のおもて面または前記半導体基板の上方に設けられた下地層の上方に層間絶縁膜を形成する段階と、

前記下地層の上方において、前記層間絶縁膜に前記層間絶縁膜の上面から前記下地層に達する第1コンタクトホールを形成する段階と、

前記第1コンタクトホールの内壁に、初期多結晶膜および第1初期金属膜を成膜する段階と、

前記半導体基板を加熱することにより、前記第1コンタクトホールの底部に第1合金層を形成し、前記第1コンタクトホールの側壁に第2合金層を形成する段階と、

を備える半導体装置の製造方法。

[請求項17] 前記初期多結晶膜は、前記第1初期金属膜を成膜する前に成膜される、

請求項16に記載の半導体装置の製造方法。

[請求項18] 前記初期多結晶膜は、前記第1初期金属膜を成膜した後に成膜される、

請求項16に記載の半導体装置の製造方法。

[請求項19] 前記第1合金層および前記第2合金層上に前期第1バリアメタル層を形成する段階を備える、

請求項16に記載の半導体装置の製造方法。

[請求項20] 前記半導体基板を加熱する前に、第2初期金属膜を成膜する段階を備える、

請求項16に記載の半導体装置の製造方法。

[請求項21] MOSゲート構造を備える半導体装置であって、
半導体基板のおもて面または前記半導体基板の上方に設けられた下地層と、

前記下地層の上方に設けられた層間絶縁膜と、

前記層間絶縁膜に設けられ、前記層間絶縁膜の上面から前記下地層に達する第2コンタクトホールと、

前記第2コンタクトホール底部に設けられた第3合金層と、
前記層間絶縁膜上面に設けられた第2合金層と、
を備える半導体装置。

[請求項22] 前記第3合金層は、前記下地層を反応させた合金層を含む、
請求項21に記載の半導体装置。

[請求項23] 前記第2コンタクトホールの側壁において前記層間絶縁膜と接して
第2バリアメタル層が設けられている、
請求項21に記載の半導体装置。

[請求項24] 前記第2バリアメタル層は、
前記第2コンタクトホールの側壁において前記層間絶縁膜と接する
Ti層と、
前記Ti層に積層されたTiN層と、
を有する
請求項23に記載の半導体装置。

[請求項25] 前記第3合金層上面に設けられた第1バリアメタル層を備える、
請求項22に記載の半導体装置。

[請求項26] 前記第1バリアメタル層は、前記第3合金層上に設けられたTiN
層を有する、
請求項25に記載の半導体装置。

[請求項27] 前記第2合金層上面に設けられた第1バリアメタル層を備える、
請求項22に記載の半導体装置。

[請求項28] 前記第1バリアメタル層は、前記第2合金層上に設けられたTiN
層を有する、
請求項27に記載の半導体装置。

[請求項29] 半導体基板のおもて面に、MOSゲート構造を形成する段階と、
前記半導体基板のおもて面または前記半導体基板の上方に設けられ
た下地層の上方に層間絶縁膜を形成する段階と、
前記層間絶縁膜上面に初期多結晶膜を成膜する段階と、

前記層間絶縁膜に前記層間絶縁膜の上面から前記下地層に達する第2コンタクトホールを形成する段階と、

前記第2コンタクトホールの内壁および前記初期多結晶膜の上面に、第1初期金属膜を成膜する段階と、

前記半導体基板を加熱することにより、前記第2コンタクトホールの底部に第3合金層を形成し、前記層間絶縁膜の上面に第2合金層を形成する段階と、

を備える半導体装置の製造方法。

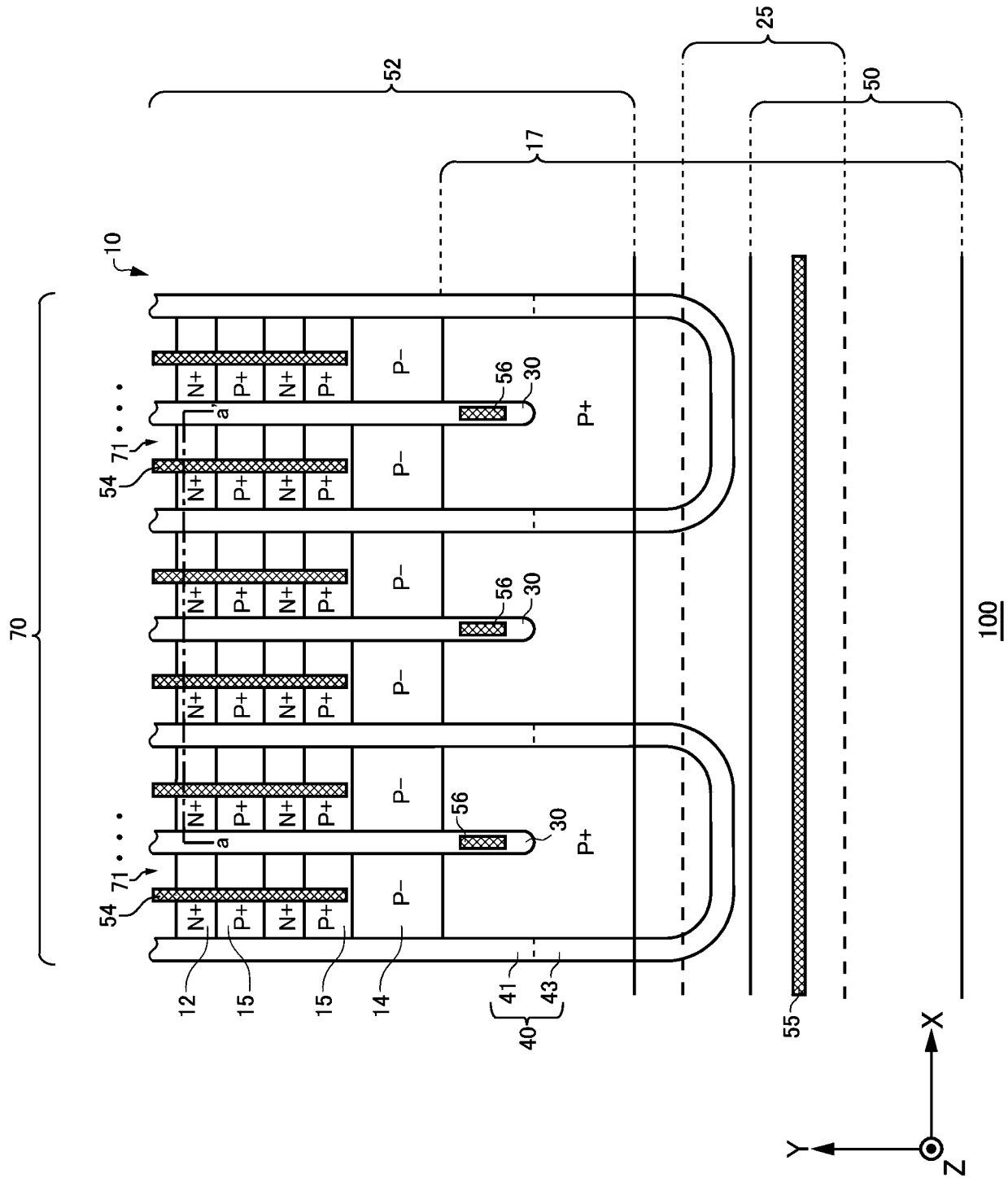
[請求項30]

前記第1初期金属膜上に、第2初期金属膜を成膜する段階を備える

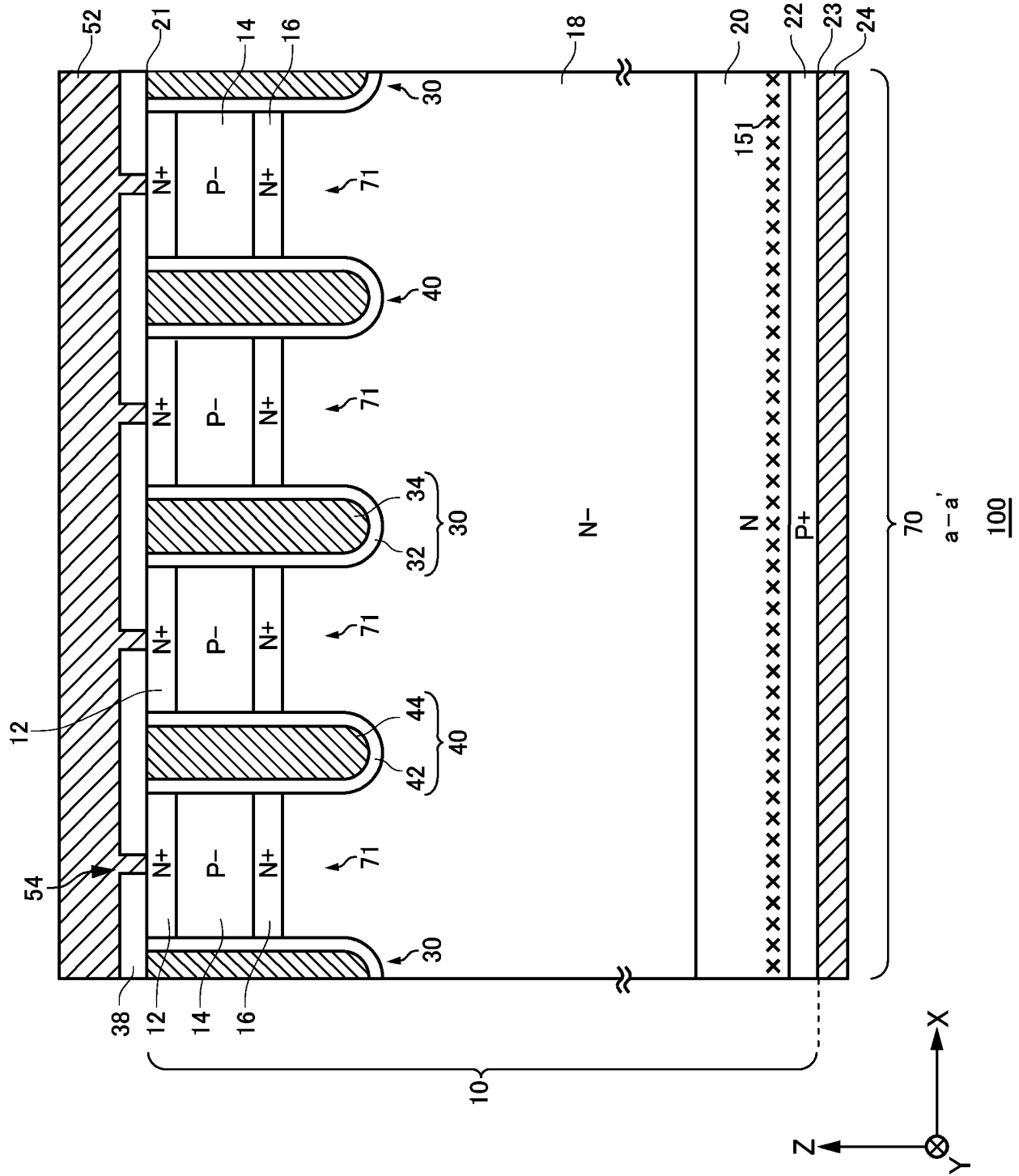
、

請求項29に記載の半導体装置の製造方法。

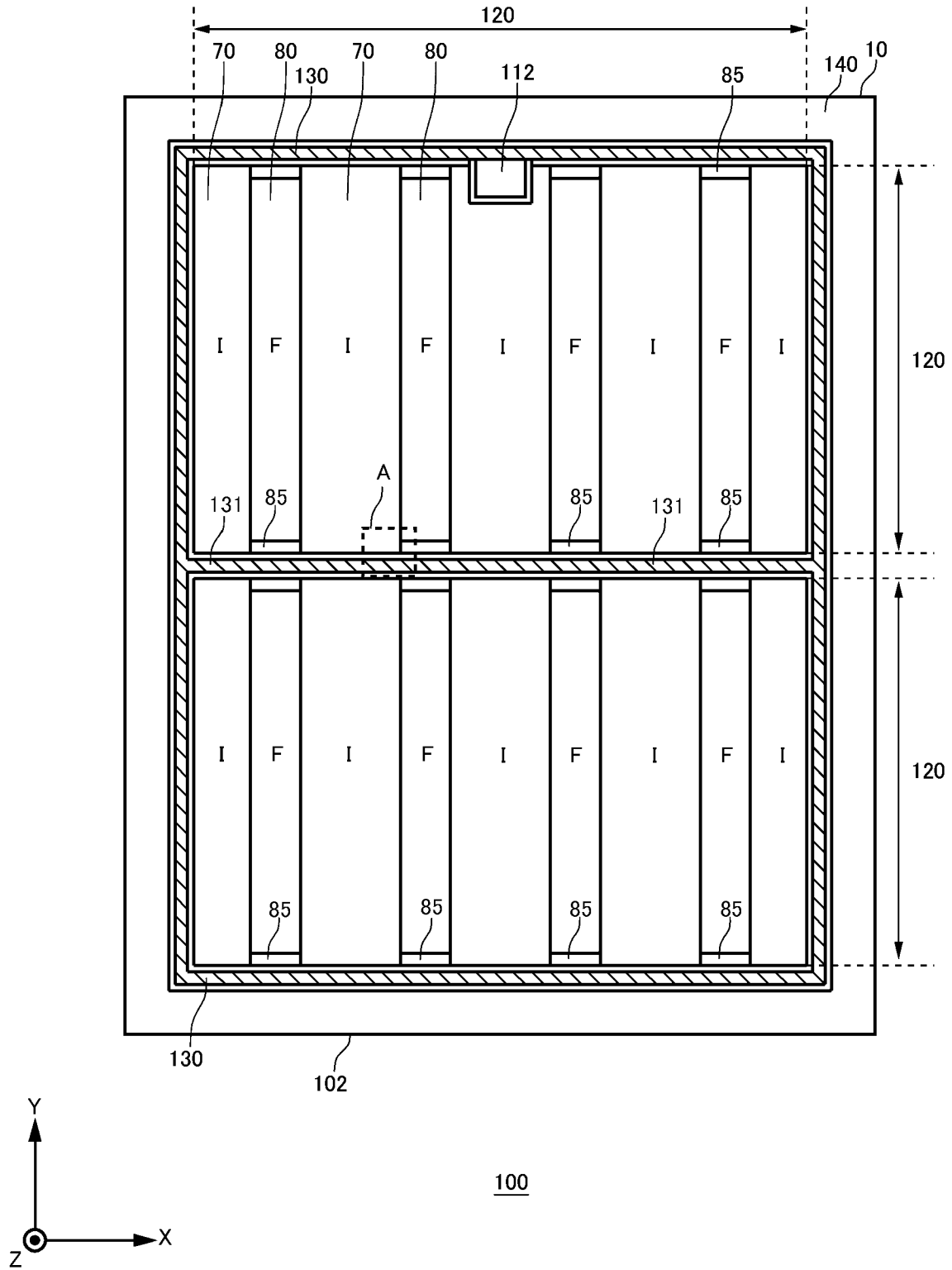
[図1A]



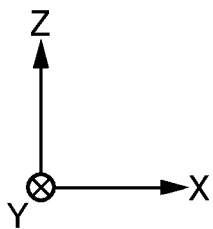
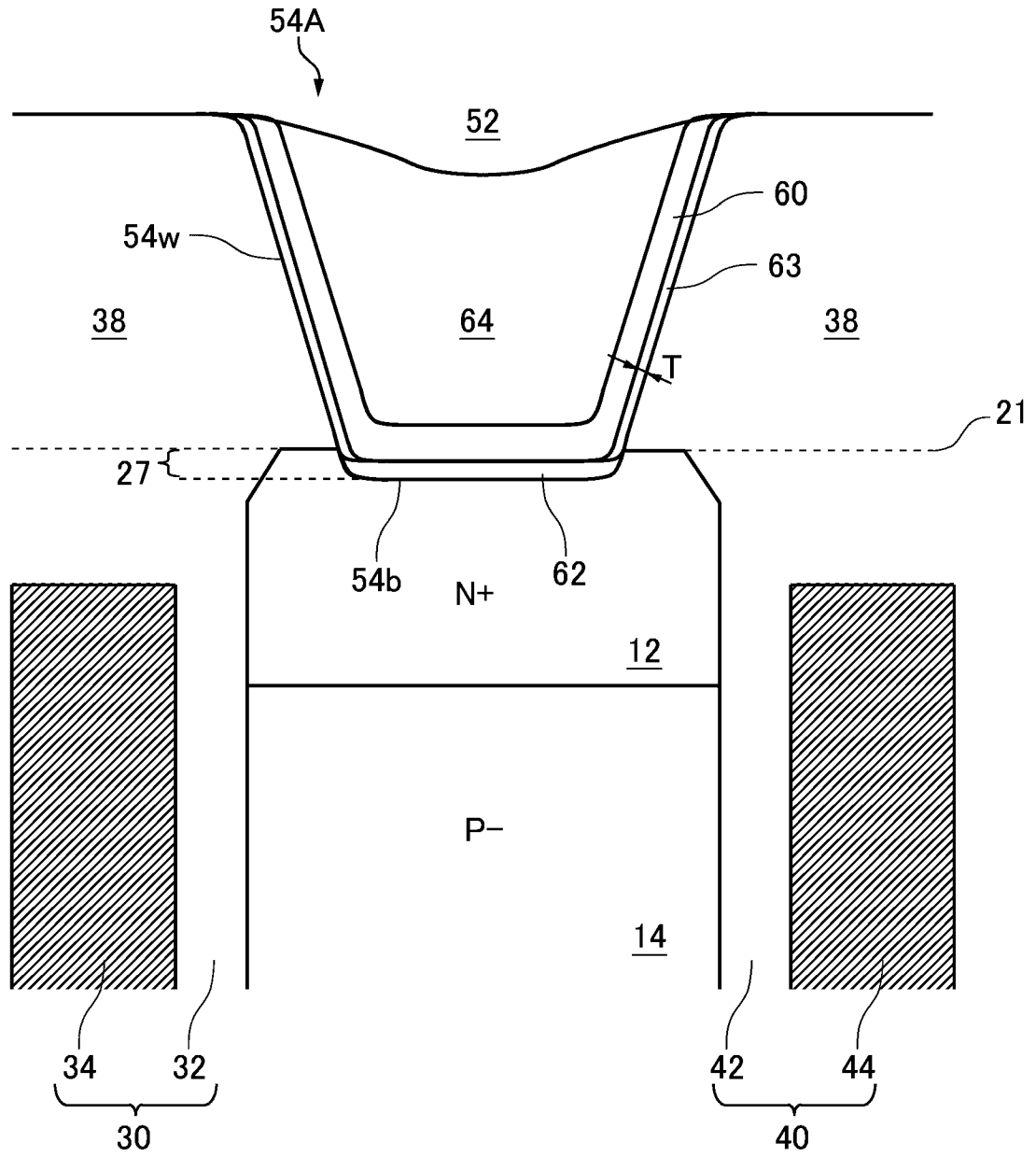
[図1B]



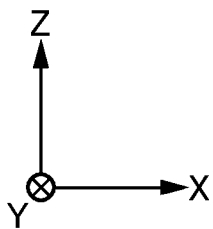
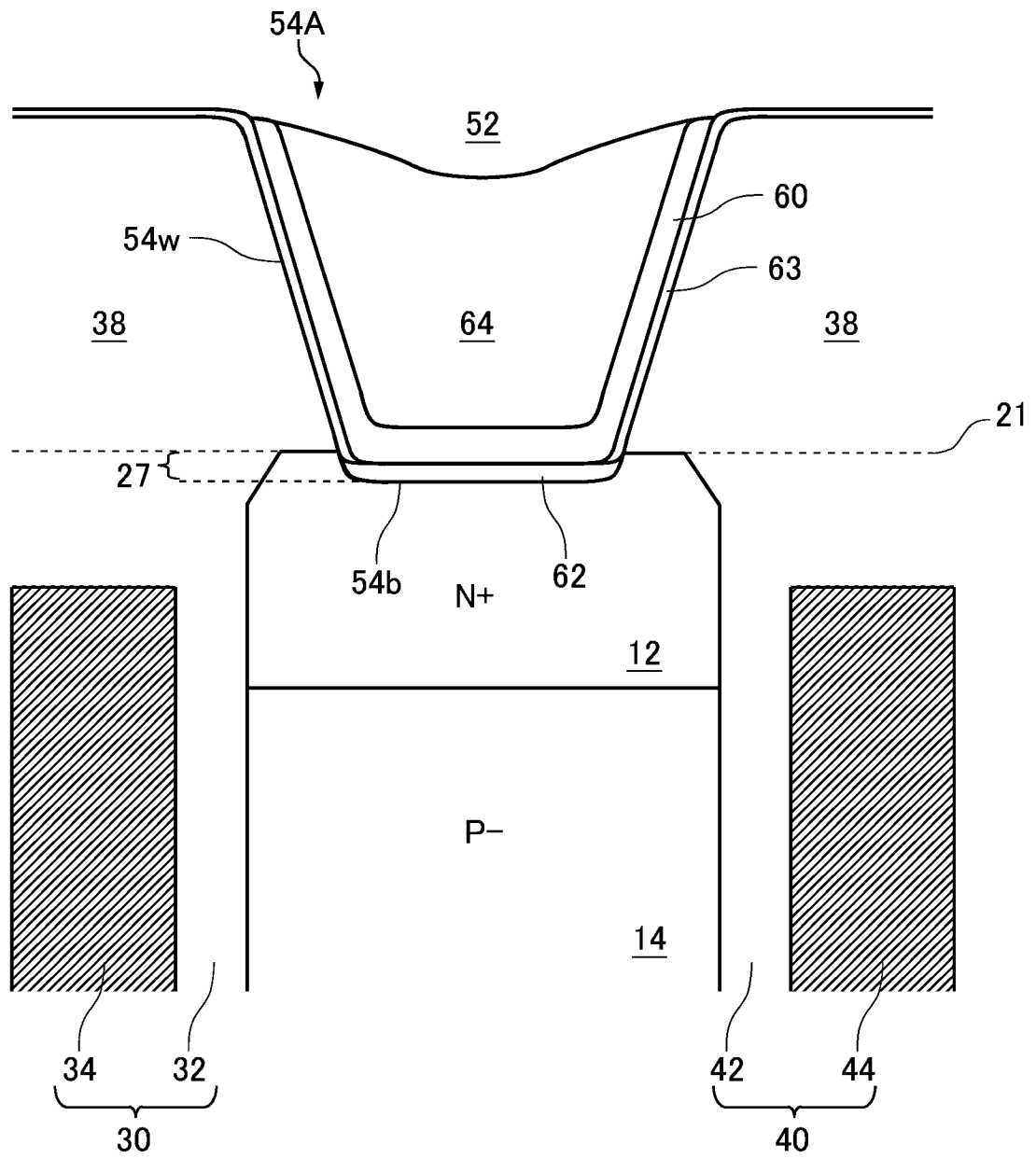
[図2A]



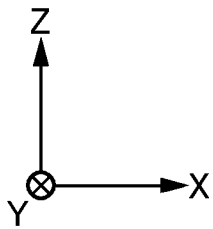
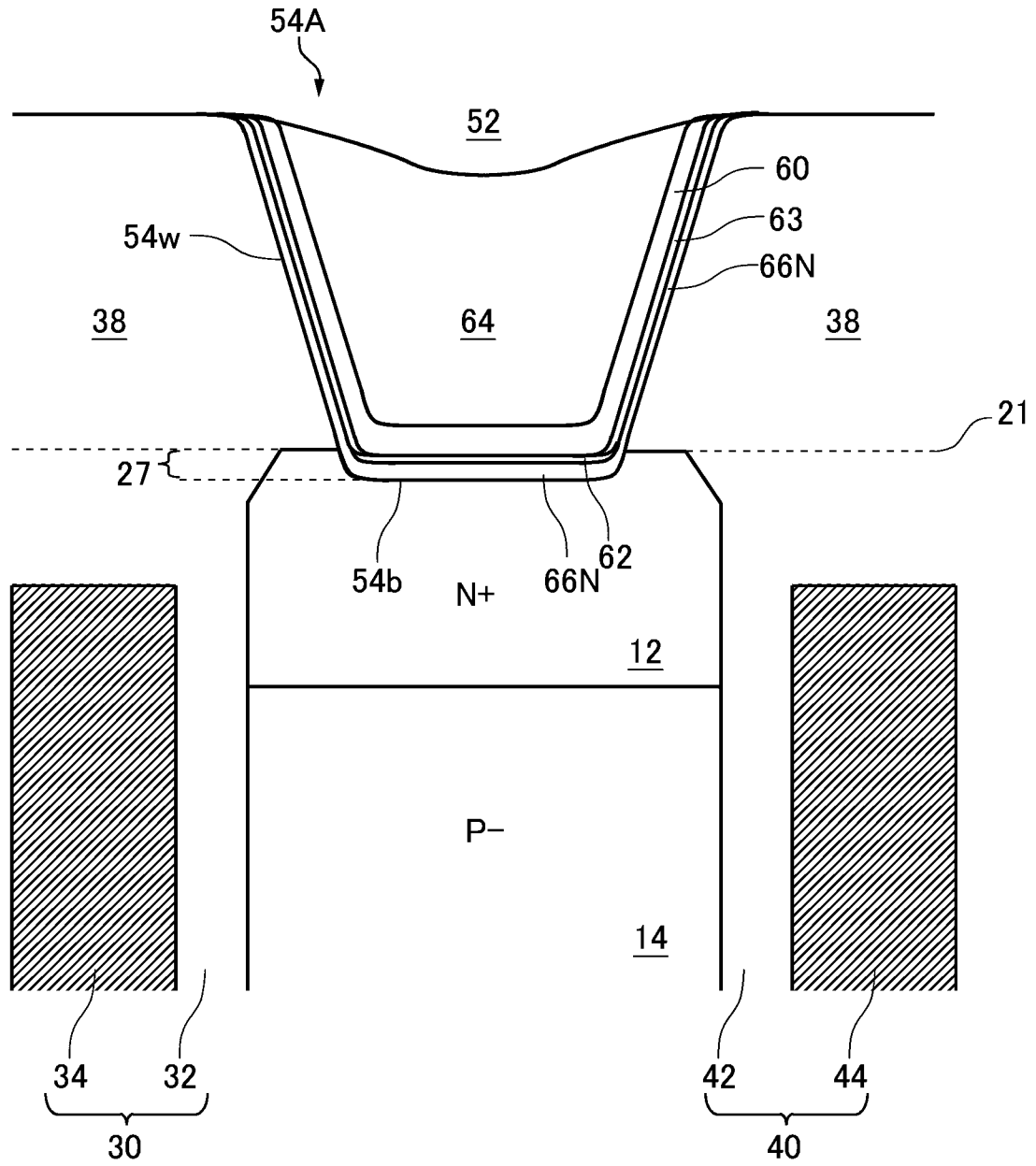
[図3A]



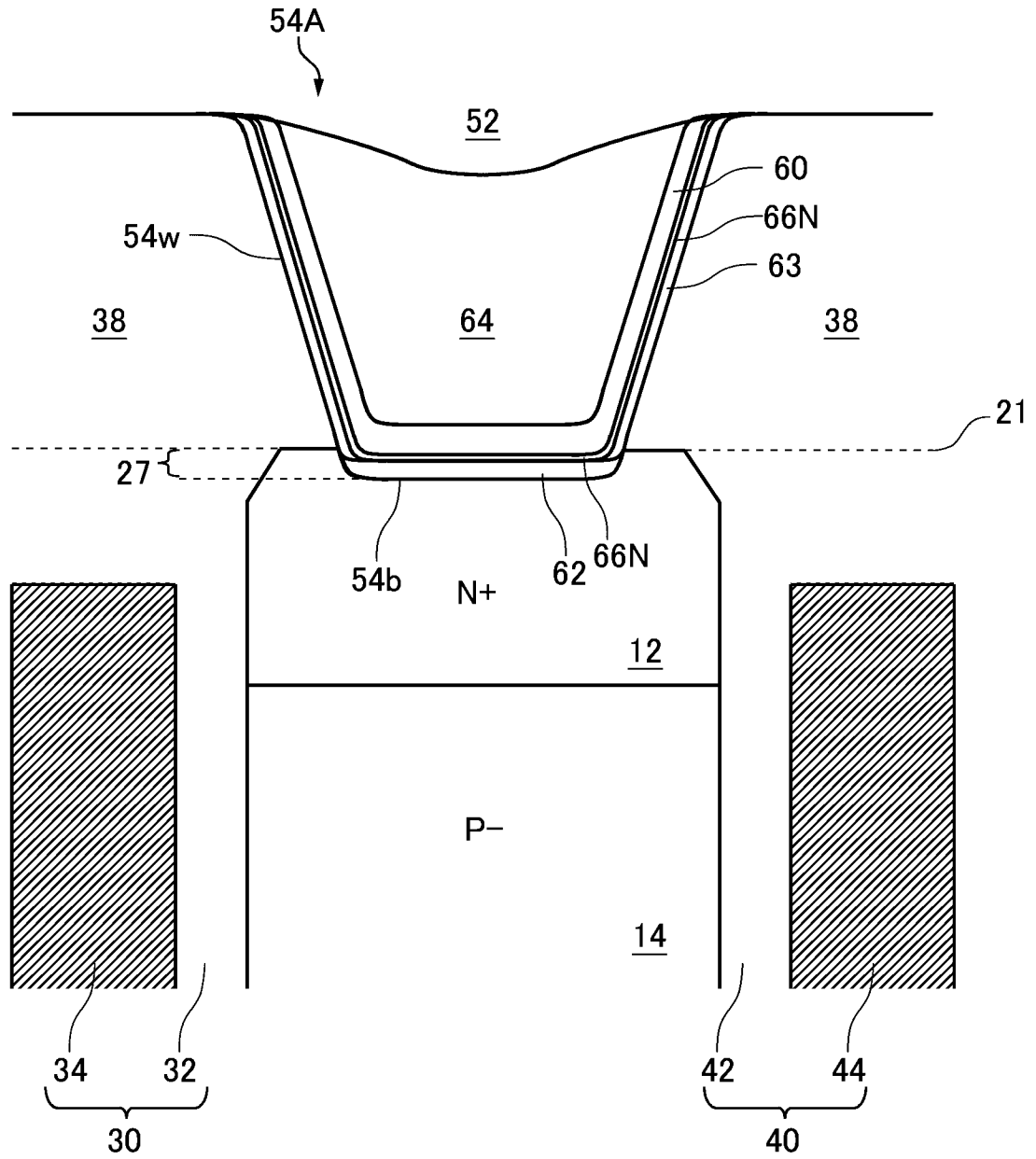
[図3C]



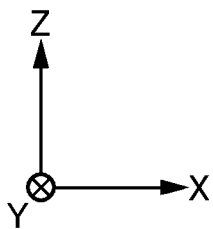
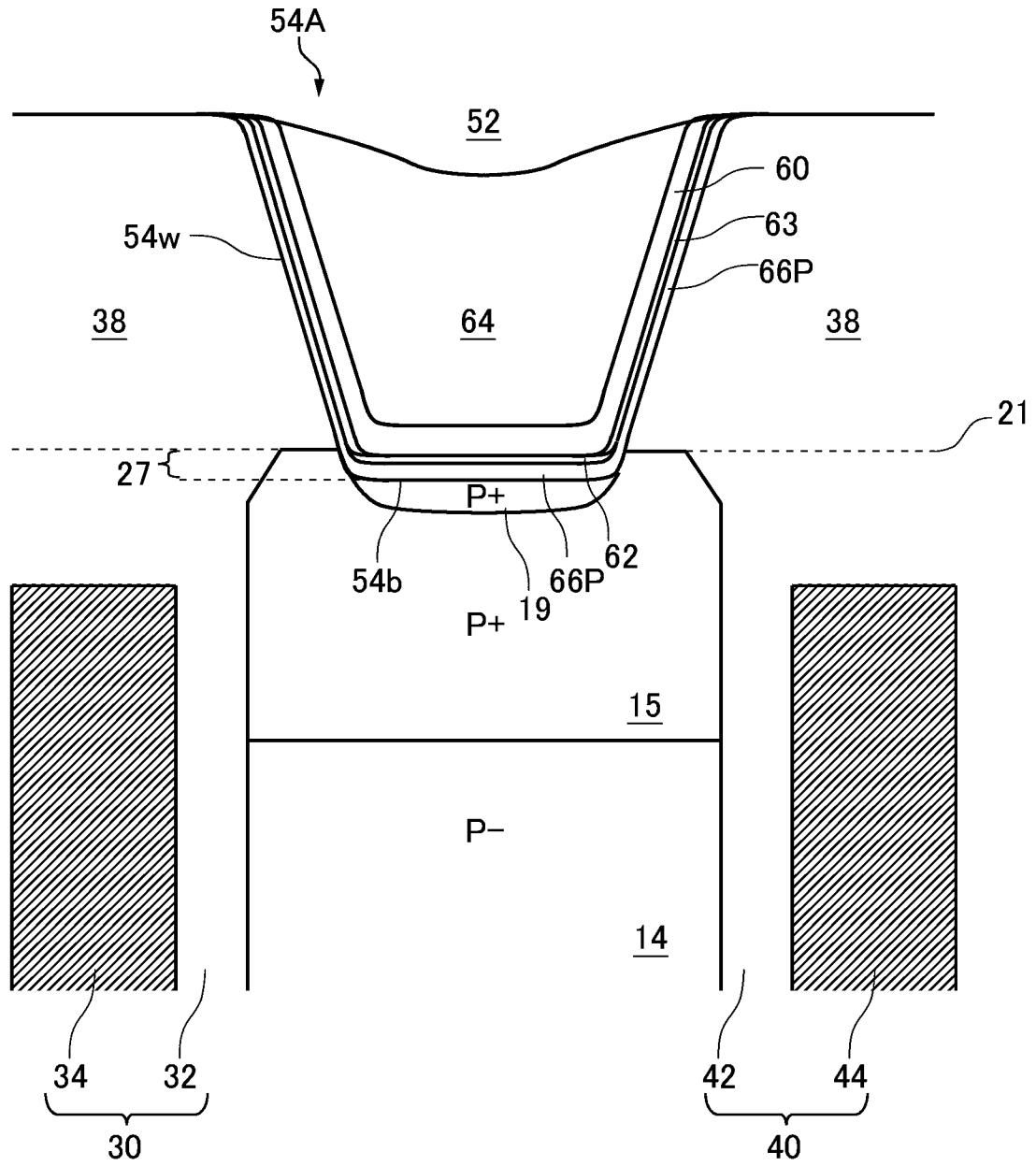
[図4A]



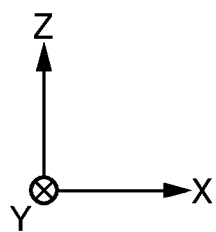
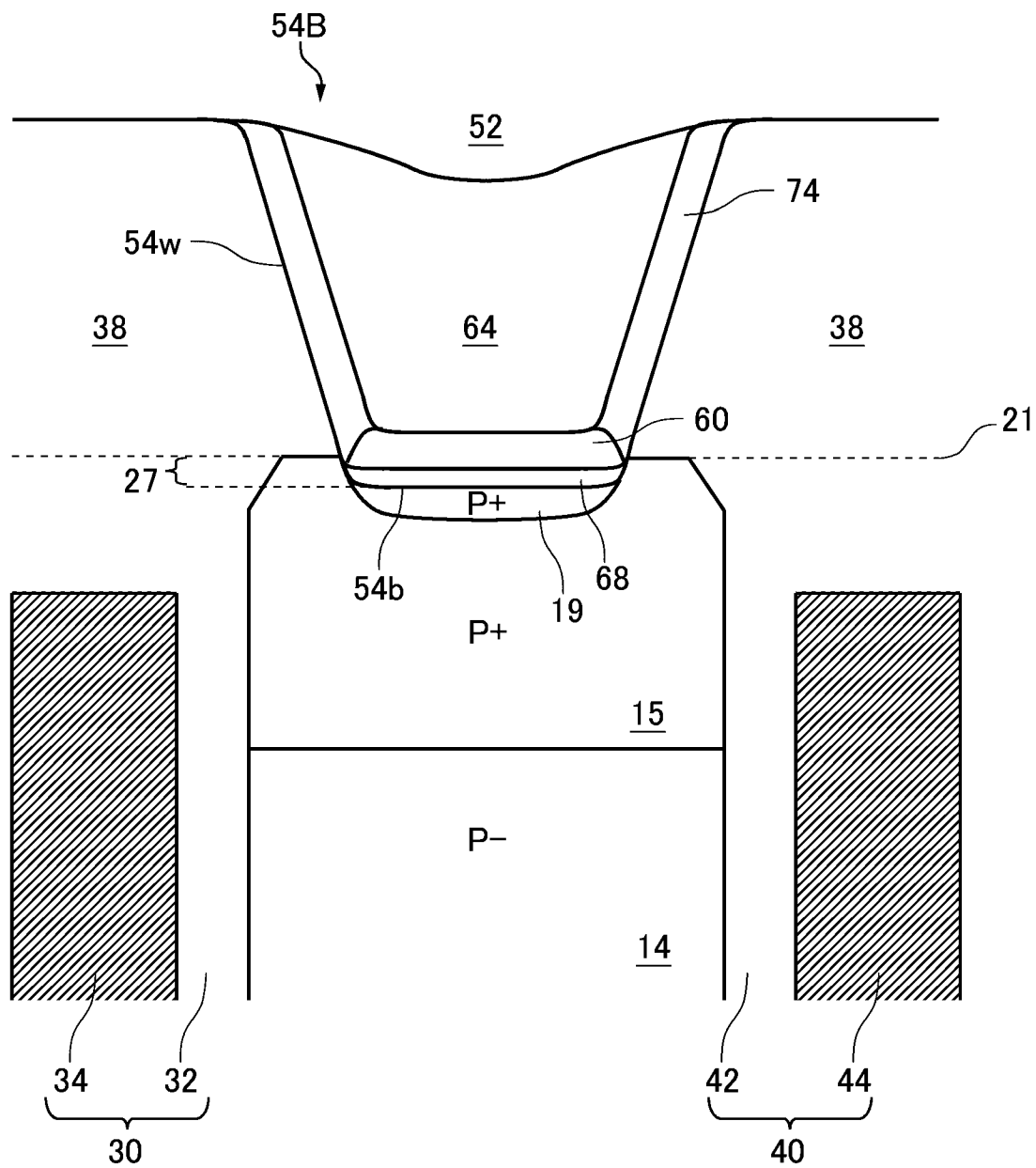
[図4B]



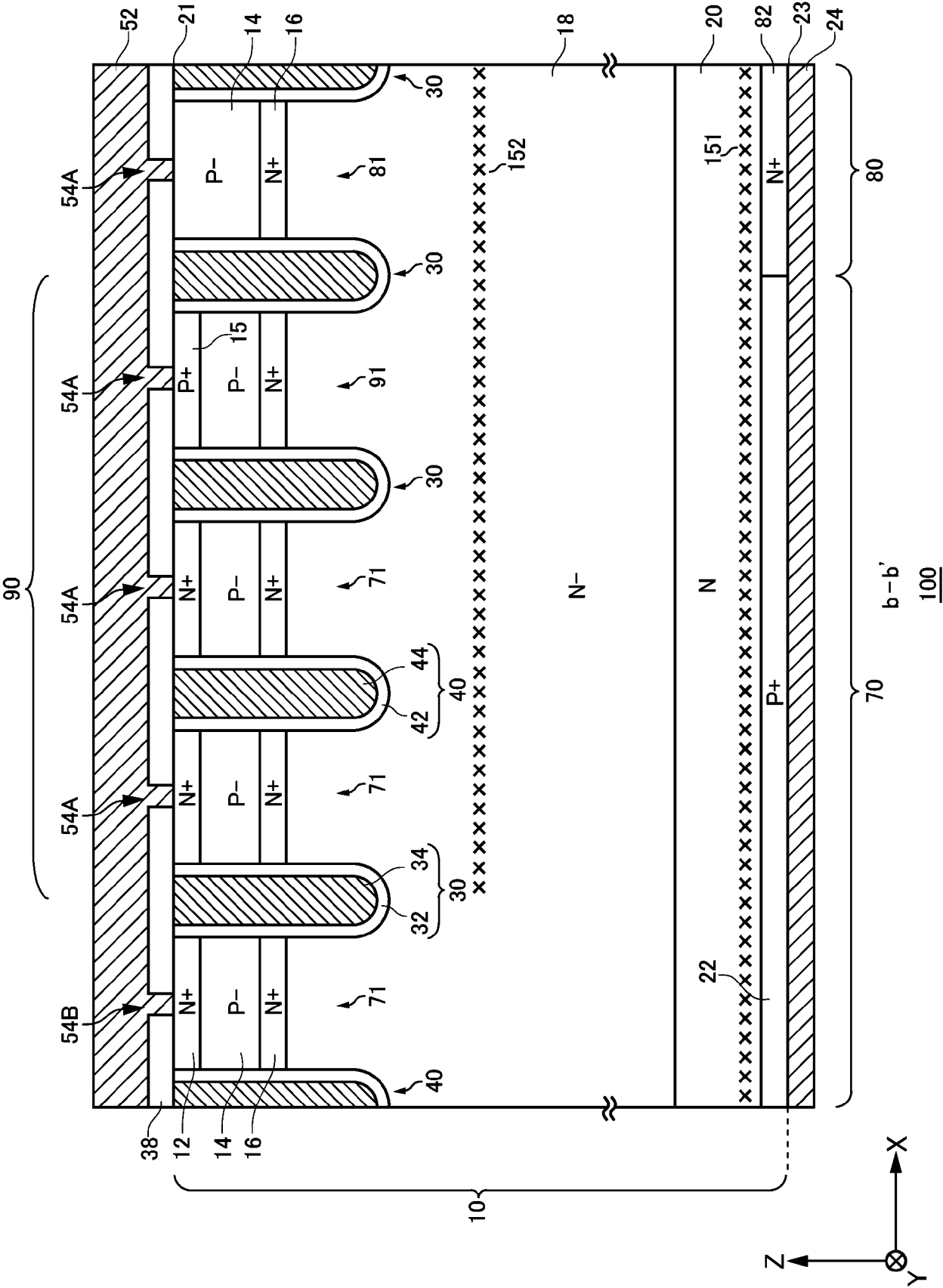
[図4C]



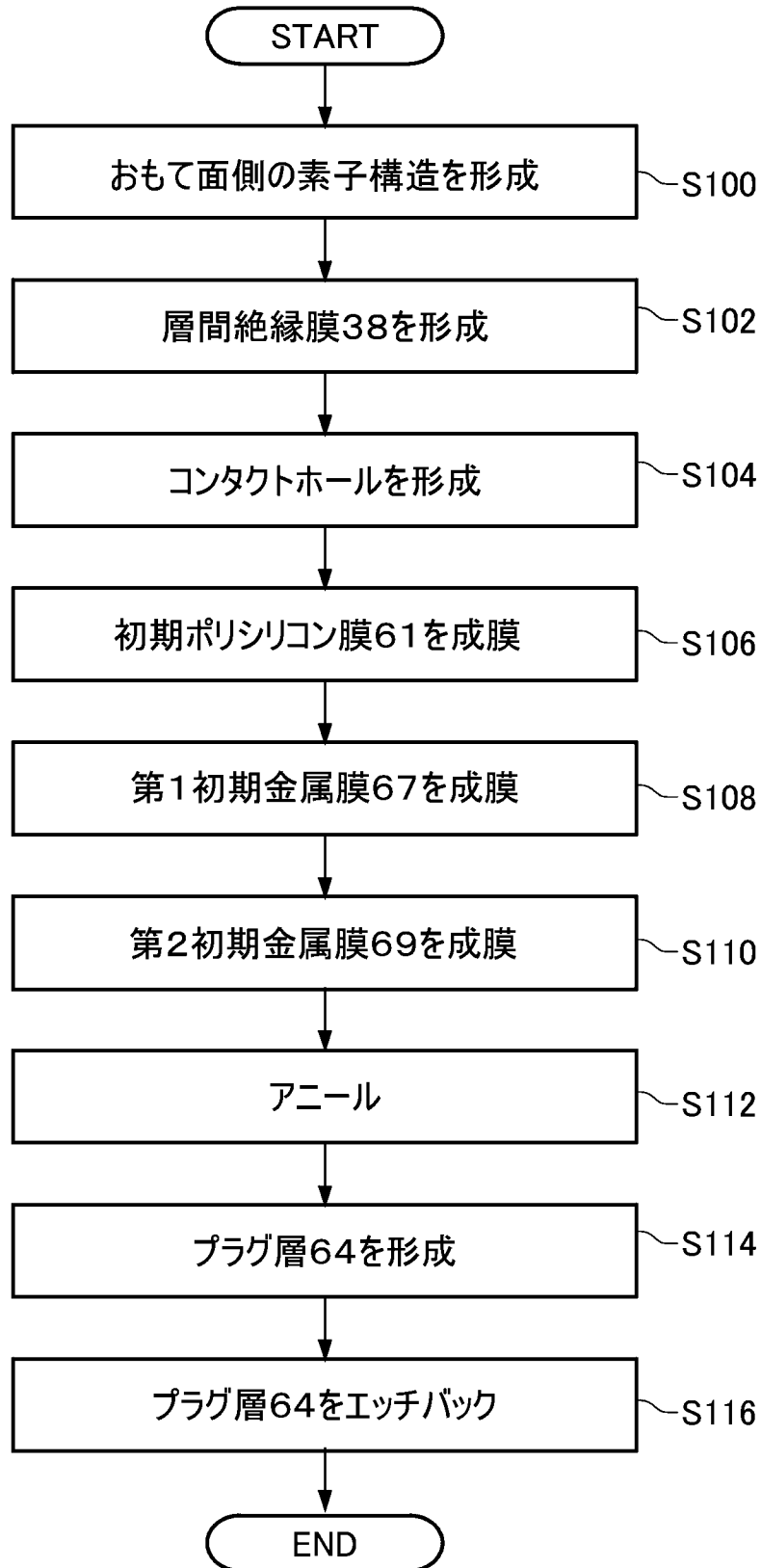
[図5B]



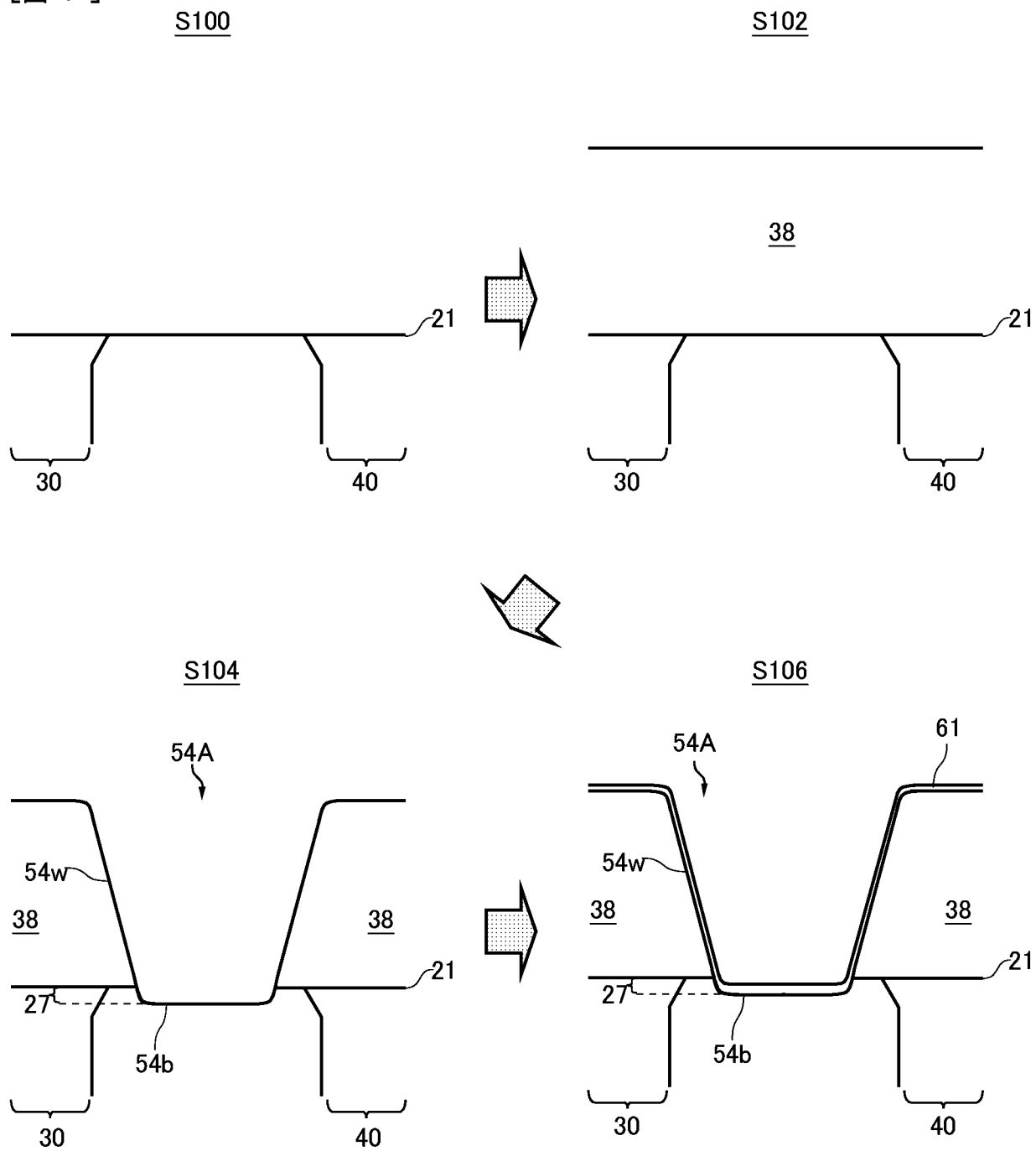
[図7]



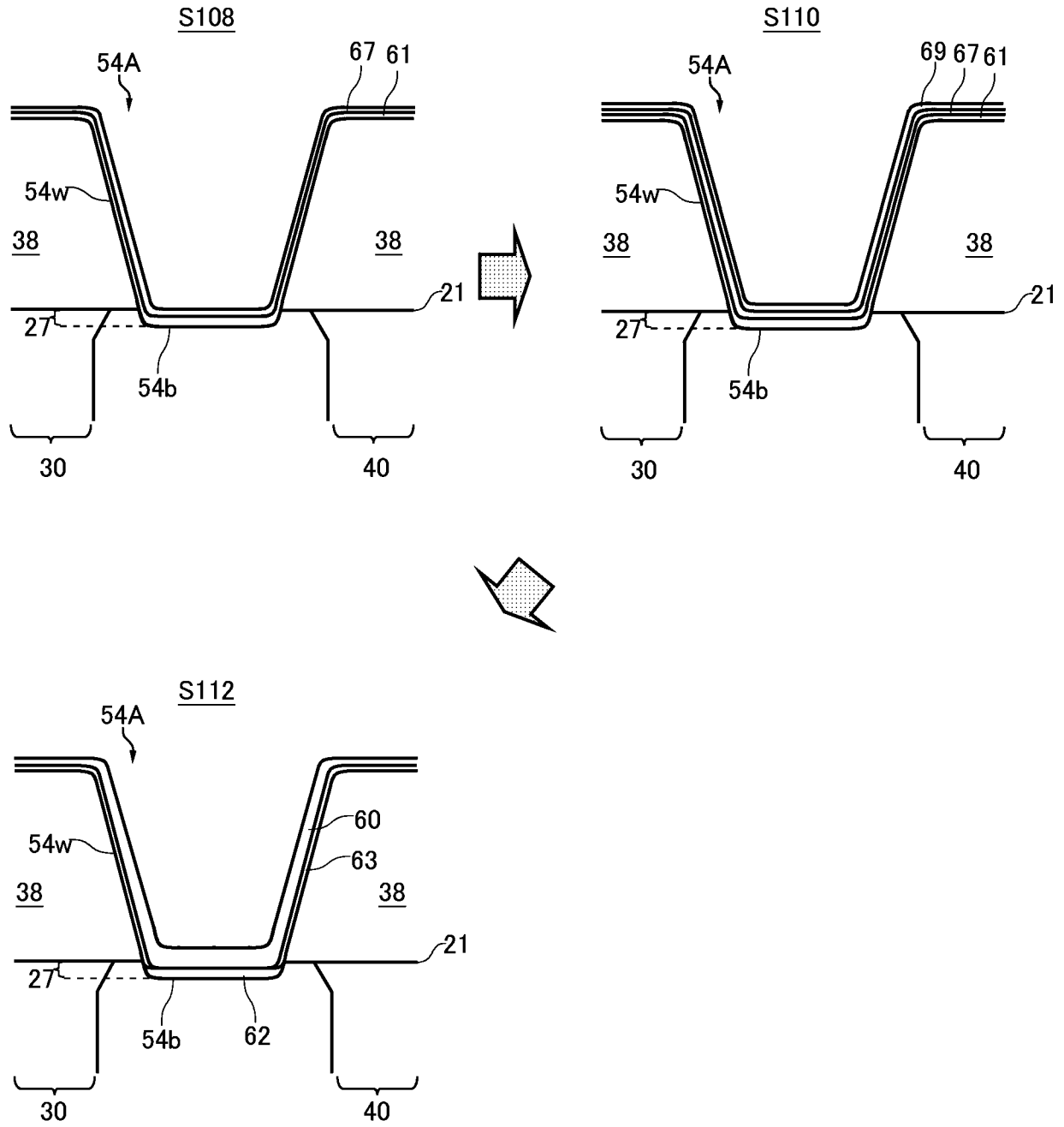
[図9]



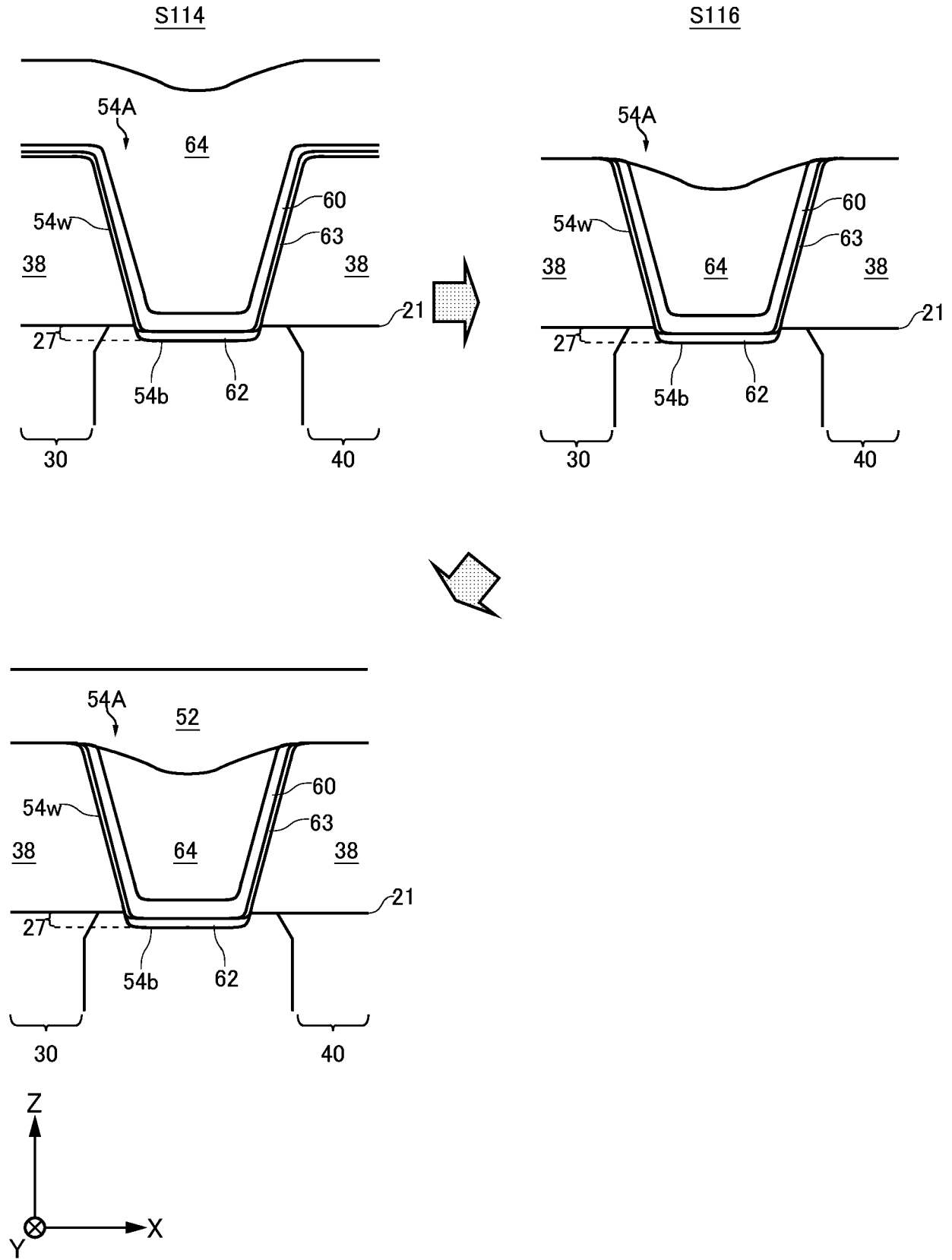
[図10A]



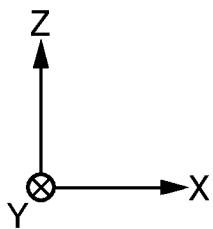
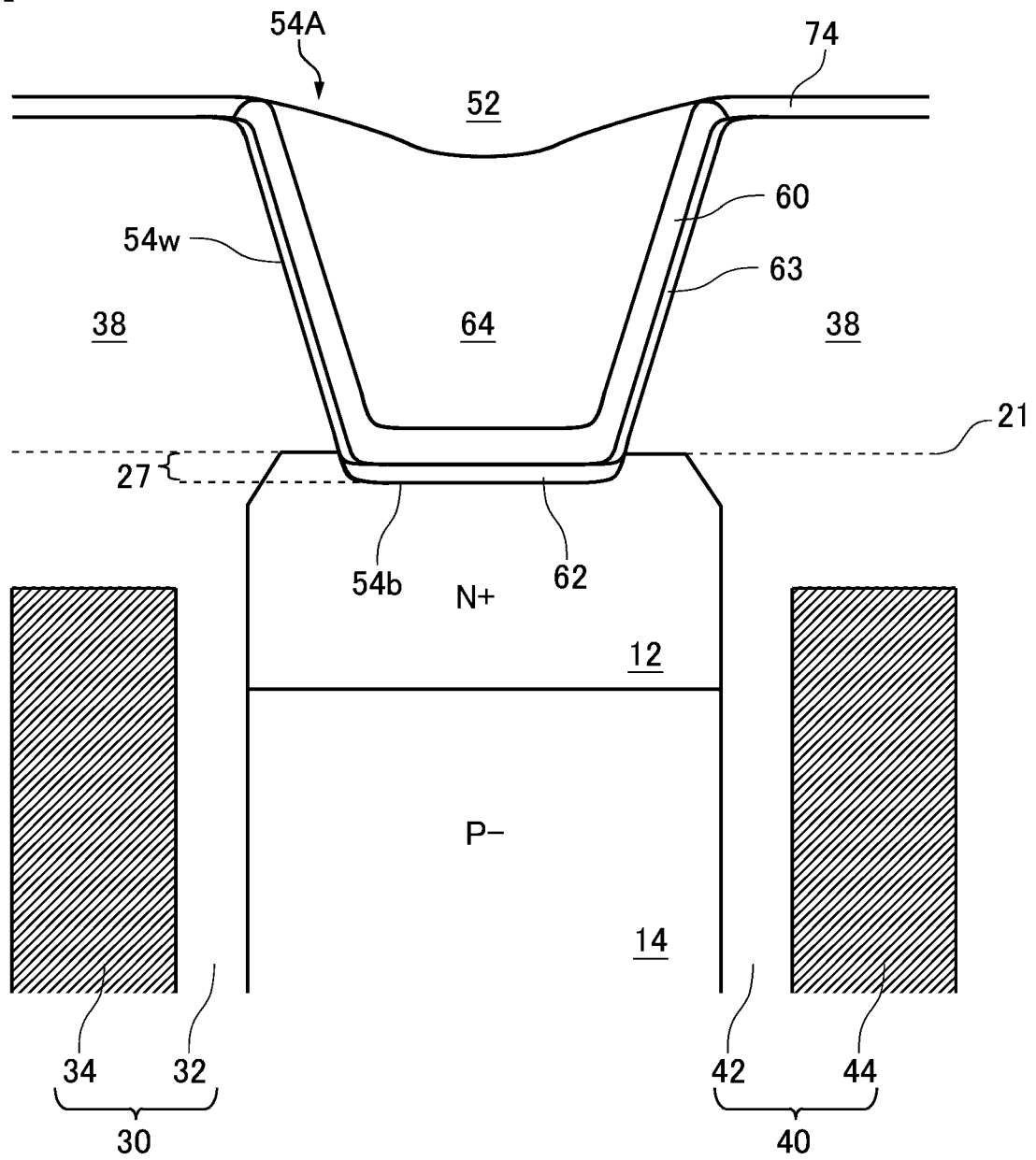
[図10B]

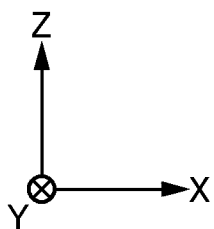


[図10C]

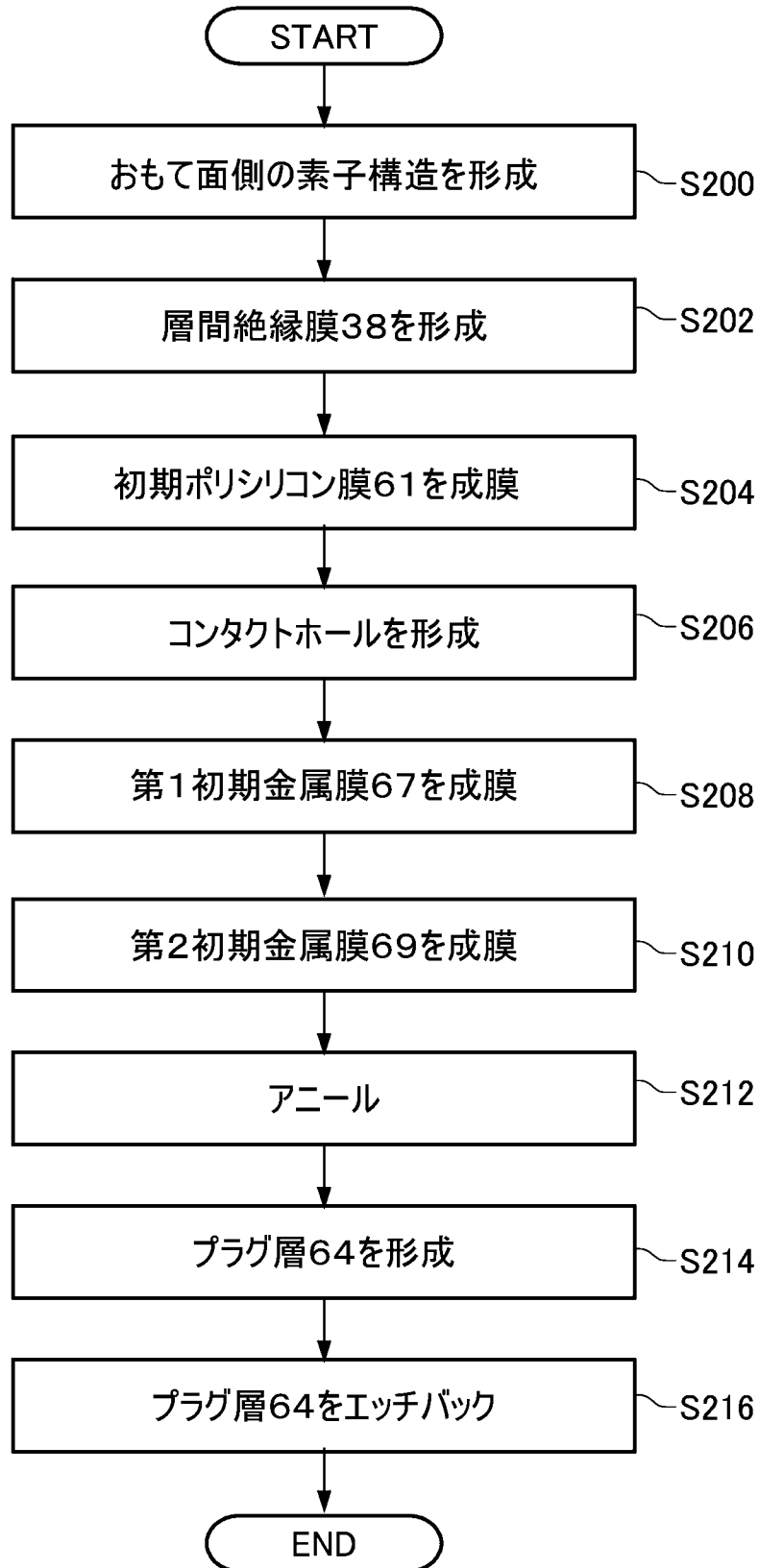


[図11D]

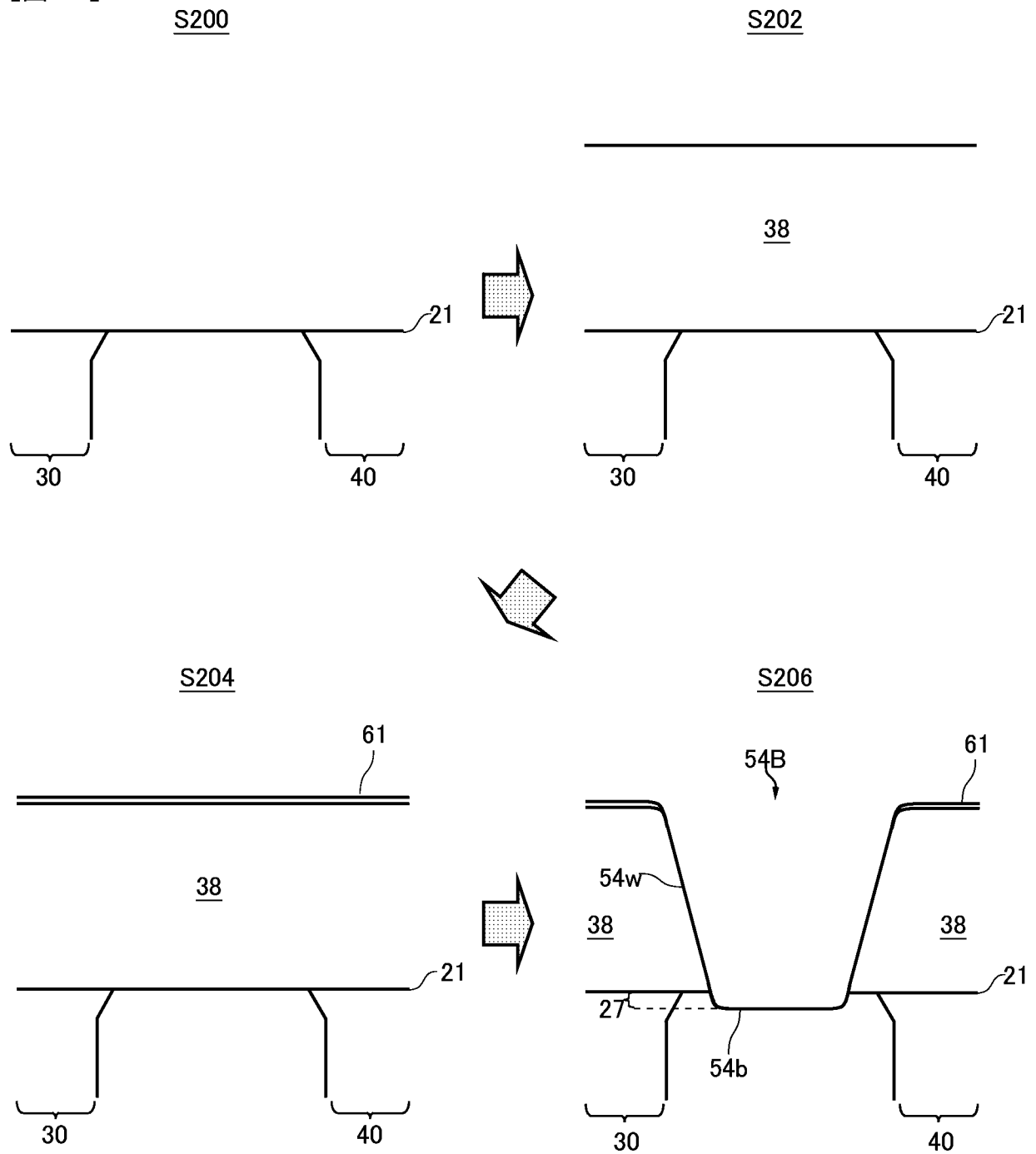




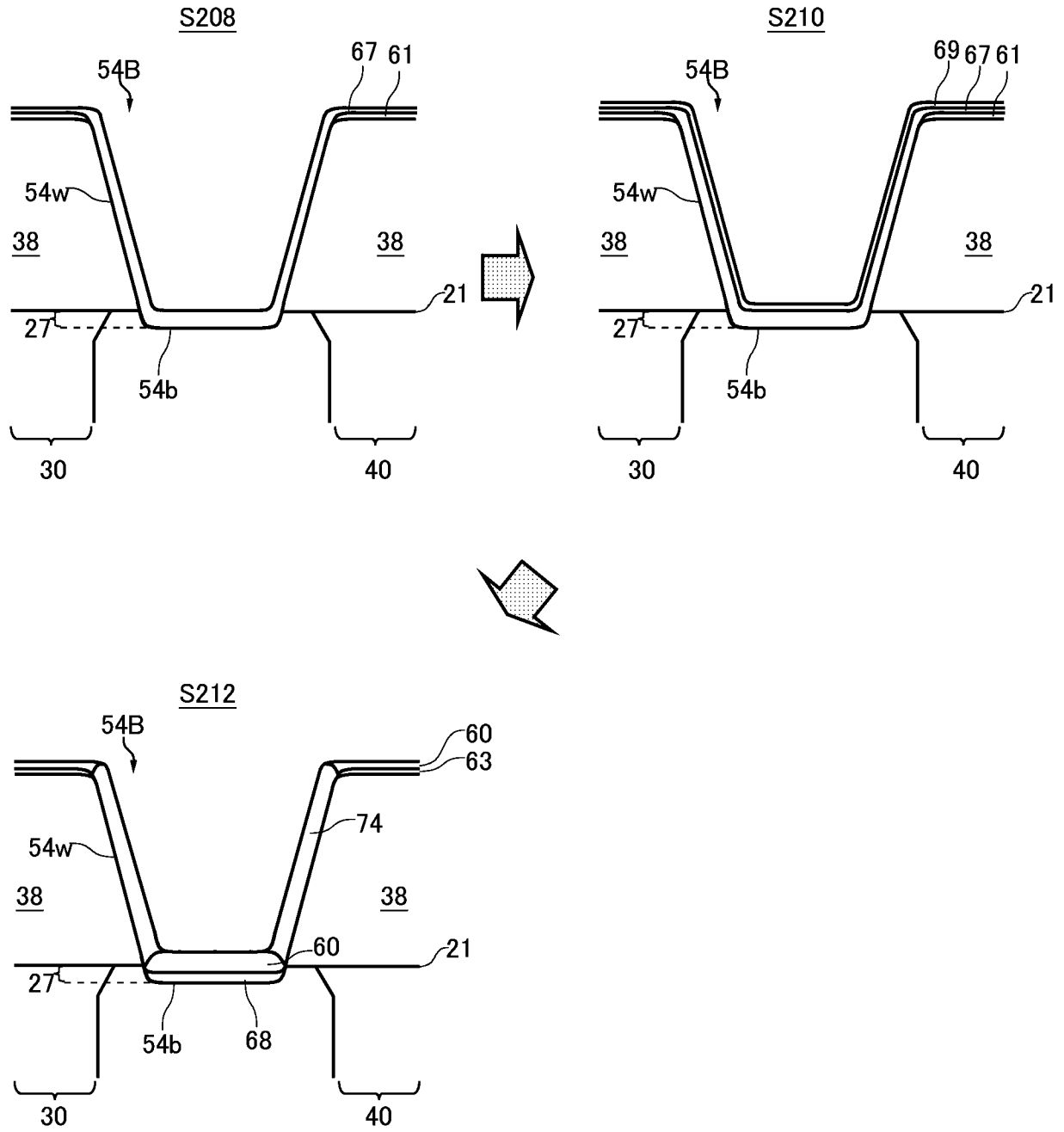
[図14]



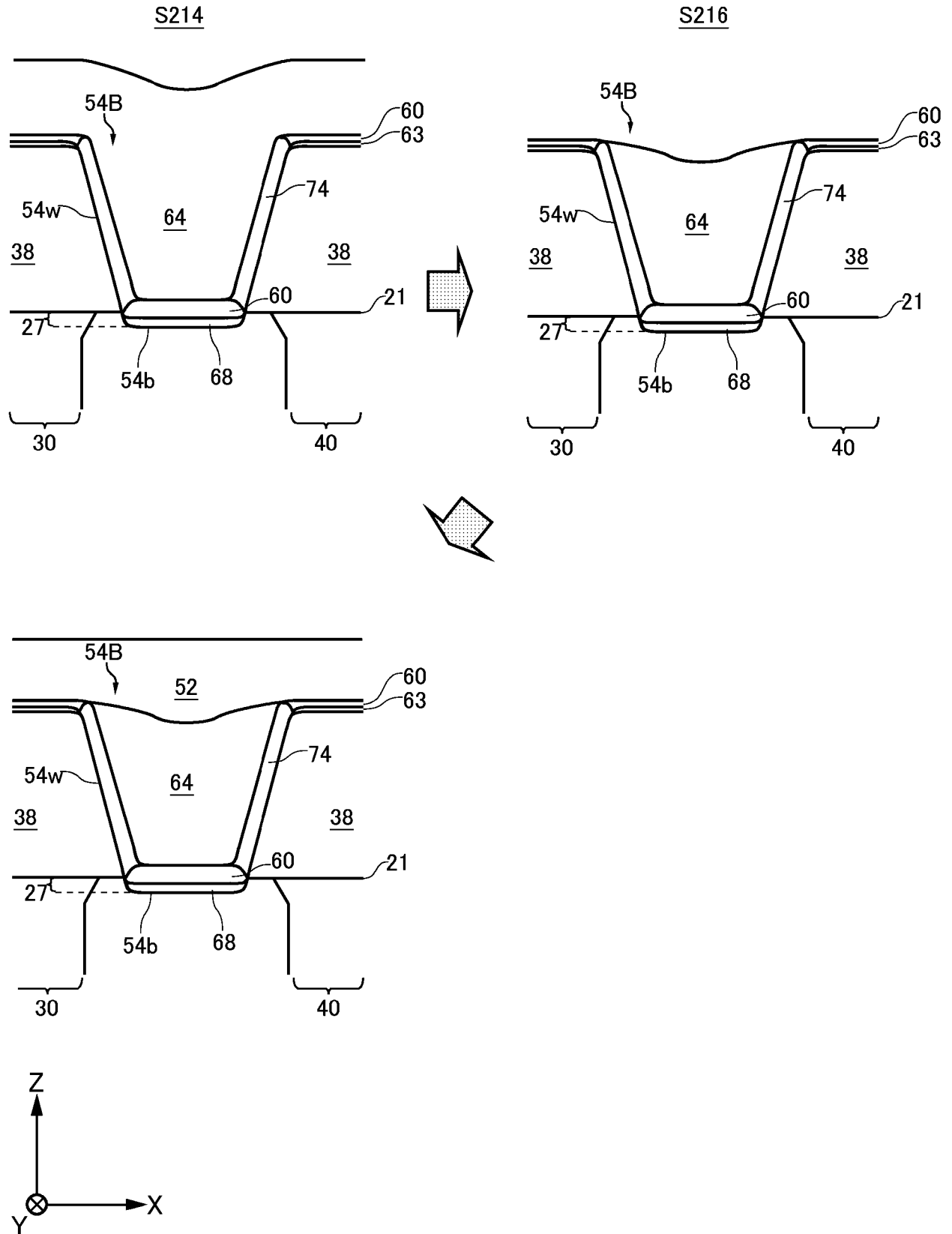
[図15A]



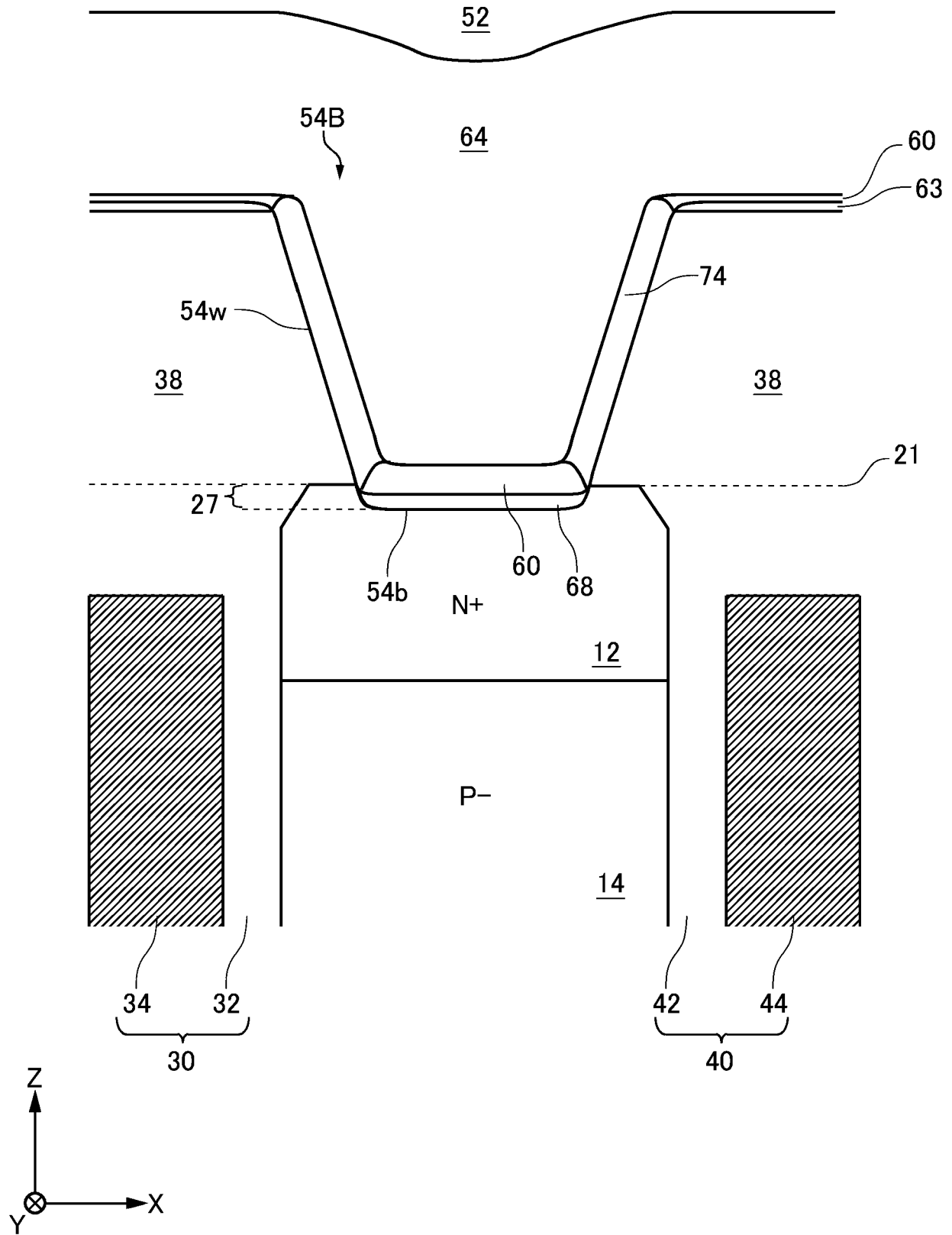
[図15B]



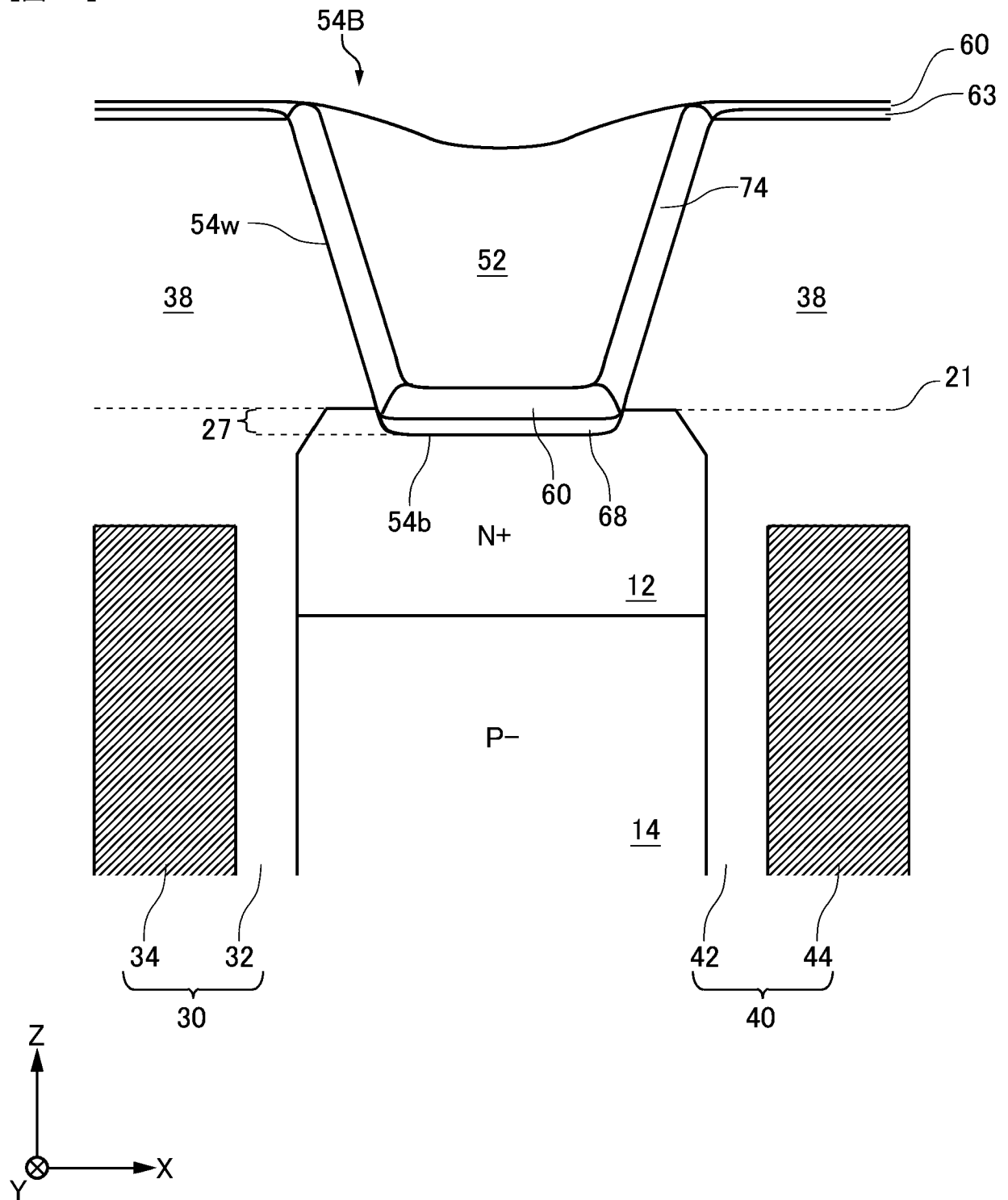
[図15C]



[図16A]



[図16B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000848

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; **H01L 21/28**(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 23/532**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 29/417**(2006.01)i; **H01L 29/423**(2006.01)i; **H01L 29/49**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 29/861**(2006.01)i; **H01L 29/868**(2006.01)i

FI: H01L29/78 652M; H01L29/78 655G; H01L29/78 653A; H01L29/78 652J; H01L29/78 655B; H01L29/78 655F; H01L29/78 657D; H01L29/78 658H; H01L29/78 655D; H01L29/78 652D; H01L29/78 658F; H01L29/91 C; H01L29/91 J; H01L29/91 F; H01L29/78 652T; H01L21/88 Q; H01L21/88 R; H01L21/90 C; H01L29/78 655A; H01L21/28 301S; H01L29/50 B; H01L29/58 G; H01L29/78 652P; H01L29/78 655E; H01L29/06 301F; H01L29/06 301G; H01L29/06 301V; H01L27/06 102A; H01L27/088 E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/28; H01L21/3205; H01L21/336; H01L21/768; H01L21/8234; H01L23/532; H01L27/06; H01L27/088; H01L29/06; H01L29/12; H01L29/417; H01L29/423; H01L29/49; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2013-254842 A (HITACHI, LTD.) 19 December 2013 (2013-12-19) paragraphs [0082], [0090], [0156]-[0176], [0318], fig. 38-42	1-4, 8, 16-17, 21
Y		2-6, 8, 16-17, 19
A		7, 9-15, 18, 20, 22-30

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

05 March 2024

Date of mailing of the international search report

26 March 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2012-129503 A (MITSUBISHI ELECTRIC CORPORATION) 05 July 2012 (2012-07-05) paragraphs [0014]-[0015], [0018]-[0019], [0041]-[0048], fig. 10	1, 4-5, 21-22, 25, 27 2-3, 5-6, 8, 13, 16-17, 19 7, 9-12, 14-15, 18, 20, 23-24, 26, 28-30
X Y A	JP 2021-190496 A (MITSUBISHI ELECTRIC CORPORATION) 13 December 2021 (2021-12-13) paragraphs [0033], [0043], [0081]-[0085], [0096]-[0099], fig. 16	1, 8, 14-15, 21 2-4, 16-17 5-7, 9-13, 18-20, 22-30
Y	WO 2012/176305 A1 (MITSUBISHI ELECTRIC CORPORATION) 27 December 2012 (2012-12-27) paragraph [0062]	13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/000848

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-254842	A	19 December 2013	US 2013/0328062 A1 paragraphs [0177], [0185], [0251]-[0271], [0413], fig. 38-42	
JP	2012-129503	A	05 July 2012	US 2012/0132912 A1 paragraphs [0030]-[0031], [0033]-[0034], [0057]-[0064], fig. 10A-10B DE 102011086943 A1 CN 102610639 A KR 10-2012-0056770 A	
JP	2021-190496	A	13 December 2021	US 2021/0376167 A1 paragraphs [0054], [0064], [0109]-[0113], [0125]-[0128], fig. 16 DE 102021107989 A1 CN 113745312 A	
WO	2012/176305	A1	27 December 2012	TW 201301807 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 29/78(2006.01)i; H01L 21/28(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/336(2006.01)i; H01L 21/768(2006.01)i; H01L 21/8234(2006.01)i; H01L 23/532(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/417(2006.01)i; H01L 29/423(2006.01)i; H01L 29/49(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i

FI: H01L29/78 652M; H01L29/78 655G; H01L29/78 653A; H01L29/78 652J; H01L29/78 655B; H01L29/78 655F; H01L29/78 657D; H01L29/78 658H; H01L29/78 655D; H01L29/78 652D; H01L29/78 658F; H01L29/91 C; H01L29/91 J; H01L29/91 F; H01L29/78 652T; H01L21/88 Q; H01L21/88 R; H01L21/90 C; H01L29/78 655A; H01L21/28 301S; H01L29/50 B; H01L29/58 G; H01L29/78 652P; H01L29/78 655E; H01L29/06 301F; H01L29/06 301G; H01L29/06 301V; H01L27/06 102A; H01L27/088 E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/28; H01L21/3205; H01L21/336; H01L21/768; H01L21/8234; H01L23/532; H01L27/06; H01L27/088; H01L29/06; H01L29/12; H01L29/417; H01L29/423; H01L29/49; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年

日本国公開実用新案公報1971-2024年

日本国実用新案登録公報1996-2024年

日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-254842 A（株式会社日立製作所）19.12.2013（2013-12-19） 段落[0082], [0090], [0156]-[0176], [0318], 図38-42	1-4, 8, 16-17, 21
Y		2-6, 8, 16-17, 19
A		7, 9-15, 18, 20, 22-30

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日05.03.2024

国際調査報告の発送日26.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

石塚 健太郎 5F 4815

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2012-129503 A (三菱電機株式会社) 05.07.2012 (2012 - 07 - 05) 段落[0014]-[0015], [0018]-[0019], [0041]-[0048], 図10	1, 4-5, 21- 22, 25, 27 2-3, 5-6, 8, 13, 16-17, 19 7, 9-12, 14- 15, 18, 20, 23- 24, 26, 28-30
X Y A	JP 2021-190496 A (三菱電機株式会社) 13.12.2021 (2021 - 12 - 13) 段落[0033], [0043], [0081]-[0085], [0096]-[0099], 図16	1, 8, 14-15, 21 2-4, 16-17 5-7, 9-13, 18-20, 22-30
Y	WO 2012/176305 A1 (三菱電機株式会社) 27.12.2012 (2012 - 12 - 27) 段落[0062]	13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/000848

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-254842	A	19.12.2013	US 2013/0328062 A1 段落[0177], [0185], [0251]-[0271], [0413], 図 38-42	
JP	2012-129503	A	05.07.2012	US 2012/0132912 A1 段落[0030]-[0031], [0033]-[0034], [0057]- [0064], 図10A-10B DE 102011086943 A1 CN 102610639 A KR 10-2012-0056770 A	
JP	2021-190496	A	13.12.2021	US 2021/0376167 A1 段落[0054], [0064], [0109]-[0113], [0125]- [0128], 図16 DE 102021107989 A1 CN 113745312 A	
WO	2012/176305	A1	27.12.2012	TW 201301807 A	