

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4973224号
(P4973224)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int. Cl. F I
 HO 1 L 21/027 (2006.01) HO 1 L 21/30 5 4 1 M
 HO 1 L 21/82 (2006.01) HO 1 L 21/82 B

請求項の数 3 (全 45 頁)

(21) 出願番号	特願2007-35772 (P2007-35772)	(73) 特許権者	308014341
(22) 出願日	平成19年2月16日 (2007.2.16)		富士通セミコンダクター株式会社
(65) 公開番号	特開2008-47857 (P2008-47857A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成20年2月28日 (2008.2.28)		23
審査請求日	平成21年10月9日 (2009.10.9)	(74) 代理人	100094525
(31) 優先権主張番号	特願2006-197164 (P2006-197164)		弁理士 土井 健二
(32) 優先日	平成18年7月19日 (2006.7.19)	(74) 代理人	100094514
(33) 優先権主張国	日本国(JP)		弁理士 林 恒徳
		(74) 代理人	100072833
			弁理士 柏谷 昭司
		(74) 代理人	100075890
			弁理士 渡邊 弘一
		(74) 代理人	100105337
			弁理士 眞鍋 潔

最終頁に続く

(54) 【発明の名称】 電子回路装置設計方法、電子ビーム露光データ作成方法、及び、電子ビーム露光方法

(57) 【特許請求の範囲】

【請求項1】

電子回路装置の回路パターンを電子ビームで露光するための電子回路装置設計方法であって、前記電子回路装置を構築する複数のセルから2種類のセルを選定し、前記2種類のセルの内、一方のセルを回転させ、または反転させ、または、回転且つ反転させる工程と

前記回転後または反転後または回転且つ反転後のセルを、前記2種類のセルの他方のセルに置き換えてデータベース化してセルライブラリを作成する工程とを有し、

前記セルを回転させ、または反転させ、または回転且つ反転させる工程において、配線層パターンをトランジスタ同士を接続する第1の配線層パターン、ゲート層に入力を伝える第2の配線層パターン、電源配線を構成する第3の配線層パターン、前記電源配線をn型領域及びp型領域に接続する第4の配線層パターン、n型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンに区分し、複数の前記電子回路装置の回路パターンに対して前記第3の配線パターン及び第5の配線パターンを除いて配線層パターンを共通化することを特徴とする電子回路装置設計方法。

【請求項2】

電子回路装置の回路パターンを電子ビームで露光するための電子ビーム露光データ作成方法であって、

請求項1に記載のセルライブラリから電子ビームで一括露光するパターン群からなるブロックを抽出し、前記ブロックに対応する電子ビーム露光データを作成して、前記ブロッ

クに対応する電子ビーム露光データから前記ブロックを搭載したブロックマスクを作成する工程と、

前記セルライブラリを基に作成した電子回路装置設計データからセルを抽出し、前記ブロックに対応する電子ビーム露光データに基づいてウェーハ製造用露光データを作成する工程を有することを特徴とする電子ビーム露光データ作成方法。

【請求項3】

電子回路装置の回路パターンを電子ビームで露光するための電子ビーム露光方法であって、請求項2に記載のウェーハ製造用露光データを露光装置に入力して、請求項2に記載のブロックマスクを使用して一括露光することを特徴とする電子ビーム露光方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は電子回路装置設計方法、電子ビーム露光データ作成方法、及び、電子ビーム露光方法に関するものであり、各電子回路装置、典型的には、半導体装置に共通して、特に多く使用されるセルのコンタクト層と第1メタル配線層のブロック作成数の合計をブロックマスクに搭載できる最大の個数以内に抑えるための構成に特徴のある電子回路装置設計方法、電子ビーム露光データ作成方法、及び、電子ビーム露光方法に関するものである。

【背景技術】

【0002】

半導体装置を製造する過程において、ウェーハに塗布したレジスト上に半導体装置のパターンを転写する露光が行われるが、従来、この半導体装置の製造工程における露光工程には紫外線を用いた紫外線露光が行われている。

20

【0003】

しかし、半導体装置の微細化の進展とともに、紫外光を使用する紫外線露光よりも微細なパターンの転写が可能な電子ビーム露光方法が次世代の露光方法として開発されている。

なお、電子ビーム露光は、従来においても露光マスクの作成工程等に用いられている。

【0004】

この電子ビーム露光方法としては、可変矩形露光方法とブロックマスクを用いた一括露光方法が知られているので、ここで、図46乃至図50を参照して従来の電子ビーム露光方法を説明する。

30

図46参照

図46は、従来の可変矩形電子ビーム露光装置の概念的構成図であり、電子銃91から放射された電子ビーム92は第1アパーチャ93で、例えば、5 μ mの矩形に成形され、成形された電子ビーム92を第2アパーチャ94で任意のサイズに成形し、ウェーハ97に露光する。

この時、電子ビーム92の照射位置は、第2アパーチャ照射位置決め用の偏向器95とウェーハ照射位置決め用の偏向器96により、磁力によって制御される。

【0005】

図47参照

40

図47は、従来の一括電子ビーム露光装置の概念的構成図であり、電子銃91から放射された電子ビーム92は第1アパーチャ93で、例えば、5 μ mの矩形に成形され、成形された電子ビーム92を第2アパーチャ位置に設置したブロックマスク98に搭載された各ブロックの開口99に照射して、開口99で成形された電子ビーム91をウェーハ97に露光する。

この場合の開口99のパターンは、例えば、最大で100種類である。

なお、成形された電子ビーム91の照射位置の制御方法は可変矩形電子ビーム露光装置と同一である。

【0006】

この一括露光方法は可変矩形露光よりも露光回数、即ち、ショット数が少ないので、半

50

導体装置製造のスループットを向上させることができる。

なお、ブロックマスク 98 のブロックの開口 99 として設ける一括露光するパターン群のサイズは、縦横共に、例えば、5 μm 以内である。

【0007】

次に、図 48 及び図 49 を参照して電子ビーム露光データ作成方法を説明するが、露光データ作成工程にはブロックマスク製造用露光データ処理工程とウェーハ製造用露光データ処理工程とがある（例えば、特許文献 1 或いは特許文献 2 参照）。

【0008】

図 48 参照

図 48 はブロックマスク製造用露光データ処理工程の説明図であり、まず、ブロックマスク製造用露光データ処理工程においては、セルライブラリ 100 から、例えば、セルの配線層パターンをブロックとして抽出し、ブロックの図形情報（パターン座標、頂点数など）とブロックのブロックマスク 98 上の位置などをブロックマスク製造用露光データ 101 に格納し、格納したブロックマスク製造用露光データ 101 からブロックマスク 98 を作成する。

10

【0009】

このセルライブラリ 100 には複数のセルが格納されており、セルは、例えば、素子分離層、ゲート層、コンタクト層、配線層、ビア層など複数の層のパターン群で構成されており、露光は層毎に行われ、ブロックも層毎に作成することになる。

また、複数のセルを組み合わせ、例えば、設計データ 102、設計データ 103、設計データ 104 等を作成する。

20

【0010】

図 49 参照

図 49 はウェーハ製造用露光データ処理工程の説明図であり、まず、設計データ 102、設計データ 103、設計データ 104 からセルをブロックとして抽出し、抽出したブロックがブロックマスク製造用露光データ 101 に格納されているブロックと同一であるか確認して、抽出したブロックのブロックマスク 98 上の位置及びブロックをウェーハ 106、108、110 上に露光する位置などを、それぞれウェーハ製造用露光データ 105、107、109 に格納する。

【0011】

なお、その他、ブロックとして抽出されないパターンは可変矩形露光パターンとし、上述の可変矩形露光パターンをウェーハ上に露光する位置などを、それぞれウェーハ製造用露光データ 105、107、109 に格納する。

30

【0012】

露光処理工程では、電子ビーム露光装置にウェーハ製造用露光データ 105、ウェーハ製造用露光データ 107、及び、ウェーハ製造用露光データ 109 をその都度入力し、ブロックマスク 98 を使用して、ウェーハ 106、ウェーハ 108、及び、ウェーハ 110 にそれぞれのパターンを露光する。

【0013】

なお、ブロックマスク 98 はマスクメーカーに発注してから納品されるまで、例えば、2 週間程度かかるので、半導体装置ごとに作成せず、セルライブラリ毎に予め作成しておくものであり、例えば、90 nm テクノロジー用、65 nm テクノロジー用などである。

40

【0014】

また、同一テクノロジーでも、半導体装置の動作周波数ごとにセルライブラリが用意されている場合があり、例えば、低周波数（ $\sim 200\text{MHz}$ ）用、中周波数（ $200\sim 500\text{MHz}$ ）用、高周波数（ $500\text{MHz}\sim 1\text{GHz}$ ）用などである。

また、露光処理工程では、半導体装置の設計に使用されたセルライブラリに応じて、ブロックマスクを選択することになる。

【0015】

90 nm テクノロジーまたは 65 nm テクノロジー以降の半導体装置の多くはスタンダード

50

セル方式で作成されるが、このスタンダードセル方式では、セルライブラリから抽出したセルを配置し、セル同士の配線を行うレイアウト作業をEDAツールで自動で行う。

【0016】

セルはテクノロジー毎の設計基準に従い、パターン形状、パターン幅、パターン同士の間隔などを決定して、パターンエディタなどで対話形式で作成する。

セルの中で最も多く使用されるのは論理演算を行うセルであり、以下に論理機能別、入力数別、駆動能力別に主なセルを示す。

【0017】

論理機能別セルとしては、

NANDセル、NORセル、INVERTERセル、ANDセル、ORセル
AND-OR-INVERTERセル、OR-AND-INVERTERセル、
XORセル、XNORセル

10

等が挙げられ、

また、入力数としては、例えば、入力数は2または3であり、

2入力NANDセル、3入力NANDセル
2入力NORセル、3入力NORセル

等が挙げられ、

【0018】

また、駆動能力としては、半導体装置においては、配線が長いほど遅延時間が増大するため、動作速度を高めるために駆動能力を高めたセルを使用する。

20

特に、NANDセルとNORセルでは、高速用のセルを用意する場合が多い。

【0019】

このような論理演算を行うセルにおいて、各半導体装置に共通して、特に多く使用される種類の数は20～25程度であるが、セルの配置方法においては、例えば、0度回転、180度回転、X軸反転、X軸反転且つ180度回転と、4種類の方法でセルを配置するので、合計で80～100程度になる。

【0020】

図50参照

図50はセルの配置方法の説明図であり、矩形のパターンが配置されたセル111、それを180度回転したセル112、X軸反転したセル113、及び、X軸反転且つ180度回転したセル114を示している。

30

【0021】

なお、ブロック作成においては、90nmテクノロジーまたは65nmテクノロジー以降では、使用頻度の高いセルのサイズはブロックサイズ(5μm)以内なので、ブロック作成数も80～100程度になる。

【0022】

また、ウェーハプロセスにおける配線工程では、コンタクト層、第1～Nメタル配線層、第1ビア層～第Mビア層などの露光を行うが、特にショット数が多いのはコンタクト層と第1メタル配線層であり、2つの層で配線工程全層の半分以上を占める場合が多い。

このコンタクト層と第1メタル配線層のパターンはセルとして予め作成されているので、ブロックとして抽出すれば、ショット数を大きく削減することができる。

40

【0023】

また、SRAMを多く搭載している半導体装置においては、コンタクト層と第1メタル配線層のSRAMのパターンをブロックとして抽出し、ブロックマスクに搭載すれば、大幅にショット数を削減することができる。

【0024】

テクノロジーが同一の半導体装置には、通常、同一のSRAMが搭載されており、同一のブロックマスクで一括露光することができる。

例えば、90nmテクノロジーまたは65nmテクノロジー以降では、ブロックサイズ(例えば、5μm)以内に20～28セル(1セルは1ビット分のデータを記憶)を格納でき

50

るので、4種類の回転とコンタクト層および第1メタル配線層、2層分でブロック作成数は8個(4種類×2層)、さらに同一テクノロジーで、ポート数などが異なる4～6種類のSRAMが使用されているので、ブロック作成数は32～48個になる。

【0025】

その他、配線層には、回路の動作には関係がない補助パターン(以下、ダミーパターンと称する)が大量に配置されており、このダミーパターンもブロックとして抽出し、ブロックマスクに搭載すれば、大幅にショット数を削減することができる。

なお、回路の動作には関係がない補助パターンとは、配線層をダマシン法で形成する場合のディッシング防止のためのダミーパターン等である。

【特許文献1】特開2002-025900号公報

【特許文献2】特開2004-303834号公報

【発明の開示】

【発明が解決しようとする課題】

【0026】

しかし、ブロックマスクに搭載できるブロックの開口数は、上述のように、例えば、100個が最大であり、コンタクト層と第1メタル配線層のブロック作成数がそれぞれ80～100程度とすれば、前記2層合計で160～200のブロックの開口が必要となるが、このような多数の開口を搭載することは不可能であり、大幅にショット数を削減することができないという問題がある。

【0027】

また、上述のように、論理演算セルから抽出したブロックの作成数と、SRAMから抽出したブロックの作成数およびダミーパターンを抽出したブロックの作成数を合計すると、100個以内に抑えることは不可能であることは自明である。

【0028】

したがって、本発明は、各電子回路装置、典型的には、半導体装置に共通して、特に多く使用されるセルのコンタクト層と第1メタル配線層のブロック作成数の合計を、ブロックマスクに搭載できる最大の個数以内に抑えて、ショット数を圧縮することを目的とする。

【課題を解決するための手段】

【0029】

図1は本発明の原理的構成図であり、ここで図1を参照して、本発明における課題を解決するための手段を説明する。

図1参照

上記課題を解決するために、本発明は、電子回路装置の回路パターンを電子ビームで露光するための電子回路装置設計方法であって、電子回路装置を構築する複数のセルから2種類のセル1, 2を選定し、2種類のセル1, 2の内、一方のセル1を回転させ、または反転させ、または回転且つ反転させる工程と、回転後または反転後または回転且つ反転後のセル3～5を2種類のセル1, 2の他方のセル2に置き換えてデータベース化してセルライブラリを作成する工程とを有し、セルを回転させ、または反転させ、または回転且つ反転させる工程において、配線層パターンをトランジスタ同士を接続する第1の配線層パターン、ゲート層に入力を伝える第2の配線層パターン、電源配線を構成する第3の配線層パターン、電源配線をn型領域及びp型領域に接続する第4の配線層パターン、n型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンに区分し、複数の電子回路装置の回路パターンに対して第3の配線パターン及び第5の配線パターンを除いて配線層パターンを共通化することを特徴とする。

【0030】

このように、任意の2種類のセル1, 2の内、一方のセル1を回転させ、または反転させ、または回転且つ反転させ、回転後または反転後または回転且つ反転させた後のセル3～5を2種類のセル1, 2の他方のセル1に置き換えてセルライブラリを作成することにより、セルの種類数を半分に削減できる。

10

20

30

40

50

【0031】

例えば、コンタクト層と第1メタル配線層のブロック作成数の合計は80～100程度となり、ブロックマスクに搭載できる最大の個数以内に抑えることが可能になり、大幅にショット数を減少させ、短TAT(Turn Around Time)で電子回路装置、典型的には半導体集積回路装置を製造することができる。

【0032】

この場合、セル1, 2を回転させ、または反転させ、または回転且つ反転させる工程において、配線層パターンから電源配線を除くことが必要になる。

【0034】

特に、電源配線を構成する第3の配線層パターンとn型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンを除いて配線層パターンを共通化しているので、ブロックマスクに搭載するセルパターンを半減することができる。

10

【0035】

なお、セル1, 2がインバータセルの場合、回転後或いは反転後も同一セル3, 4になるように回路パターンの配置を決定する必要がある。

【0036】

また、電子ビーム露光データ作成方法としては、上述のセルライブラリから電子ビームで一括露光するパターン群からなるブロックを抽出し、ブロックに対応する電子ビーム露光データを作成して、ブロックに対応する電子ビーム露光データからブロックを搭載したブロックマスクを作成するとともに、セルライブラリを基に作成した電子回路装置設計データからセルを抽出し、ブロックに対応する電子ビーム露光データに基づいてウェーハ製造用露光データを作成すれば良い。

20

【0037】

また、電子ビーム露光方法としては、上述のウェーハ製造用露光データを露光装置に入力して、上述のブロックマスクを使用して一括露光すれば良い。

【0038】

上述のブロックマスクの作成工程でブロックマスクを作成することによって、ブロックマスクに設けるコンタクト層と第1メタル配線層のブロック作成数の合計は80～100程度となり、ブロックマスクに搭載できる最大の個数以内に抑えることができる。

【0039】

典型的には、NANDセル用のコンタクト層パターン及び配線層パターンと、NORセル用のコンタクト層パターン及び配線層パターンとを共用することができる。

30

【0040】

また、電源配線を構成する第3の配線層パターンとn型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンを除いて配線層パターンを共通化した場合には、回路動作に関係のないダミーパターンを搭載することも可能になる。

【発明の効果】

【0041】

本発明によれば、任意の論理演算セルの組において、セルの種類数を半分に削減する設計方法を駆使することにより、ブロック作成数も半分に削減できるので、ブロックマスクにより多くの論理演算セルのブロックを搭載し、より多くのショット数を削減することができる。

40

【0042】

また、電源配線を構成する第3の配線層パターンとn型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンを除いて配線層パターンを共通化した場合には、第1メタル配線層のブロック作成数を1種類とすることができるとともに、セルパターンの種類を半減することができるので、SRAMパターンやダミーパターン等の他のパターン群をブロックマスクに搭載することが可能になるとともに、より多くのショット数を削減することができる。

50

【 0 0 4 3 】

また、任意のブロックへの電子ビーム照射の後、異なるブロックに照射する度に制御の時間が発生し、ブロック数が多いほど制御時間が増加することになるが、本発明の場合、ブロックマスクに搭載するブロック数を半分に削減できるので、第2アパーチャ照射位置決め偏向器による電子ビーム制御の時間を削減できる。

【 0 0 4 4 】

また、ブロックマスクの中心から搭載位置までの距離が大きいブロックほど、ブロックで露光したレジスト上におけるパターンの寸法精度が悪くなるが、本発明の場合、ブロックマスクに搭載するブロック数を半分に削減できるので、レジスト上におけるパターンの寸法精度を向上することができる。

10

【 0 0 4 5 】

また、電子ビーム露光装置にブロックマスクを設置するたびに各種制御の調整を行うため膨大な時間を要するが、本発明の場合、ブロックマスクに搭載するブロック数を半分に削減できるので、異なるセルライブラリから抽出したブロックを1枚のマスクに搭載して、ブロックマスク交換の時間を削減することができる。

【 発明を実施するための最良の形態 】

【 0 0 4 6 】

本発明は、

(A) 電子回路装置を構築する回路パターン群からなるセルの内の任意の2種類のセルの内、一方のセルを回転または反転および回転且つ反転させ、回転後または反転後および回転かつ反転後のセルを他方のセルに置き換えてデータベース化してセルライブラリを作成し、

20

(B) 作成したセルライブラリから電子ビームで一括露光するパターン群からなるブロックを抽出し、ブロックを格納した電子ビーム露光データを作成して、電子ビーム露光データからブロックを搭載したブロックマスクを作成するとともに、

(C) セルライブラリを基に作成した半導体装置設計データからセルをブロックとして抽出し、ブロックを格納したウェーハ製造用露光データを作成し、

(D) 作成したウェーハ製造用露光データを露光装置に入力して、ブロックマスクを使用して一括露光するものである。

【 0 0 4 7 】

30

また、本発明は、上記(A)の工程において、配線層パターンをトランジスタ同士を接続する第1の配線層パターン、ゲート層に入力を伝える第2の配線層パターン、電源配線を構成する第3の配線層パターン、電源配線をn型領域及びp型領域に接続する第4の配線層パターン、n型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンに区分し、各電子回路装置の回路パターンに対して第3の配線パターン及び第5の配線パターンを除いて配線層パターンを共通化して、第1メタル配線層のブロック作成数を1種類とするものである。

【 実施例 1 】

【 0 0 4 8 】

ここで、図2乃至図19を参照して、本発明の実施例1の電子ビーム露光方法、それに伴う半導体装置設計方法及び電子ビーム露光データ作成方法を説明する。

40

まず、論理演算セルとして、各半導体装置に共通して、特に多く使用される論理演算セルを以下に示す。全セル共にサイズはブロックサイズ(5 μ m)以内である。

入力数が2種類(2, 3)で、駆動能力の種類が2種類(1倍, 2倍)のセルとして、NANDセル, NORセルが挙げられ、セル毎に種類数は4となり、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4倍の16となる。

【 0 0 4 9 】

また、入力数が1種類(1)で、駆動能力の種類が1種類(1倍)のセルとしては、

INVERTERセル

50

が挙げられ、セル毎に種類数は1となり、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4倍の4となる。

【0050】

また、入力数が1種類(2)で、駆動能力の種類が1種類(1倍)のセルとしては、ANDセル, ORセル, XORセル, XNORセルが挙げられ、セル毎に種類数は1となり、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4倍の4となる。

【0051】

また、入力数が4種類(3, 4, 5, 6)で、駆動能力の種類が1種類(1倍)のセルとしては、

AND-OR-INVERTERセル, OR-AND-INVERTERセルが挙げられ、入力数が4のセルは3種類で、他の入力数のセルは1種類なので、セル毎に種類数は6となり、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4倍の24となる。

【0052】

したがって、これらのセルの全種類数は25となり、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4倍の100となる。

【0053】

次に、図2を参照してNANDセルを説明する。

図2参照

図2は、2入力NANDのトランジスタレベル回路図とセルの説明図であり、回路は直列接続された2個のnチャンネル型MOSFET A_1 , A_2 と並列接続された2個のpチャンネル型MOSFET B_1 , B_2 とで構成され、2つの入力(IN_1 , $\sim IN_2$)と1つの出力(OUT)が設定されている。

【0054】

NANDセル10には、n型拡散層パターン11、p型拡散層パターン12、ゲート層パターン13, 14、コンタクト層パターン15~21、配線層パターン22~29が配置されており、ゲート層パターン13とn型拡散層パターン11の交差箇所がnチャンネル型MOSFET A_1 、ゲート層パターン13とp型拡散層パターン12の交差箇所がpチャンネル型MOSFET B_1 、ゲート層パターン14とn型拡散層パターン11の交差箇所がnチャンネル型MOSFET A_2 、ゲート層パターン14とp型拡散層パターン12の交差箇所がpチャンネル型MOSFET B_2 、配線層パターン22が低電圧電源配線、配線層パターン23が高電圧電源配線となる。

【0055】

このnチャンネル型MOSFET A_1 とnチャンネル型MOSFET A_2 は直列回路を構成し、低電圧電源配線である配線層パターン22と配線層パターン26を介して接続しているコンタクト層パターン17の付近の領域がソース領域、出力用の配線層パターン29と接続しているコンタクト層パターン20の付近の領域がドレイン領域である。

【0056】

また、pチャンネル型MOSFET B_1 とpチャンネル型MOSFET B_2 は並列回路を構成し、高電圧電源配線である配線層パターン23と配線層パターン27, 28を介して接続しているコンタクト層パターン18, 19の付近の領域がソース領域、出力用の配線層パターン29と接続しているコンタクト層パターン21の付近の領域がドレイン領域である。

【0057】

2つの入力(IN_1 , $\sim IN_2$)は電圧として、コンタクト層パターン15, 16を介して、ゲート(13, 14)に伝えられ、ゲート(13)は回路のnチャンネル型MOSFET A_1 とpチャンネル型MOSFET B_1 を制御し、ゲート(14)は回路のnチャンネル型MOSFET A_2 とpチャンネル型MOSFET B_2 を制御する。

【0058】

10

20

30

40

50

ゲート(13)とゲート(14)に共に高い電圧(論理演算として真、値は1)が印加された場合、電子がソースからドレインに移動、即ち、電流はドレインからソースに流れ、低電圧電源配線への放電により、出力が低電圧(論理演算として偽、値は0)となり、出力はコンタクト層パターン20を介して、配線層パターン29に伝えられる。

【0059】

ゲート(13)とゲート(14)のどちらか一方に低い電圧(論理演算として偽、値は0)がかけられた場合、どちらか一方のソースからドレインに正孔が移動、即ち、電流はソースからドレインに流れ、高電圧電源配線による充電が行われ、出力が高電圧(論理演算として真、値は1)となり、出力コンタクト層パターン21を介して、配線層パターン29に伝えられる。

10

【0060】

なお、右下図は、ゲート層パターン13とコンタクト層パターン15の配置を示したもので、このコンタクト層パターン15に対してゲート引出線となる配線層パターン24が設けられる。

また、図示は省略するが、ゲート層パターン14に対しても同様にコンタクト層パターン16が設けられ、このコンタクト層パターン16に対してゲート引出線となる配線層パターン25が設けられる。

【0061】

次に、図3を参照してNORセルを説明する。

図3参照

20

図3は、2入力NORのトランジスタレベル回路図とセルの説明図であり、回路は並列接続された2個のnチャンネル型MOSFET A_1 、 A_2 と直列接続された2個のpチャンネル型MOSFET B_1 、 B_2 とで構成され、2つの入力(IN_1 、 $\sim IN_2$)と1つの出力(OUT)が設定されている。

【0062】

NORセル30には、図2に示したNANDセル10と同様に、n型拡散層パターン31、p型拡散層パターン32、ゲート層パターン33、34、コンタクト層パターン35~41、配線層パターン42~49が配置されており、ゲート層パターン33とn型拡散層パターン31の交差箇所がnチャンネル型MOSFET A_1 、ゲート層パターン33とp型拡散層パターン32の交差箇所がpチャンネル型MOSFET B_1 、ゲート層パターン34とn型拡散層パターン31の交差箇所がnチャンネル型MOSFET A_2 、ゲート層パターン34とp型拡散層パターン32の交差箇所がpチャンネル型MOSFET B_2 、配線層パターン42が低電圧電源配線、配線層パターン43が高電圧電源配線となる。

30

【0063】

このnチャンネル型MOSFET A_1 とnチャンネル型MOSFET A_2 は並列回路を構成し、低電圧電源配線である配線層パターン42と配線層パターン47、48を介して接続しているコンタクト層パターン38、39の付近の領域がソース領域、出力用の配線層パターン49と接続しているコンタクト層パターン40の付近の領域がドレイン領域である。

【0064】

また、pチャンネル型MOSFET B_1 とpチャンネル型MOSFET B_2 は直列回路を構成し、高電圧電源配線である配線層パターン43と配線層パターン46を介して接続しているコンタクト層パターン37の付近の領域がソース領域、出力用の配線層パターン49と接続しているコンタクト層パターン41の付近の領域がドレイン領域である。

40

【0065】

ゲート(33)とゲート(34)のどちらか一方に高い電圧(論理演算として真、値は1)がかけられた場合、電子がソースからドレインに流れ、低電圧電源配線への放電により、出力が低電圧(論理演算として偽、値は0)となり、出力はコンタクト層パターン40を介して、配線層パターン49に伝えられる。

【0066】

50

ゲート(33)とゲート(34)に共に低い電圧(論理演算として偽、値は0)が印加された場合、正孔がソースからドレインに流れ、高電圧電源配線による充電が行われ、出力が高電圧(論理演算として真、値は1)となり、出力コンタクト層パターン41を介して、配線層パターン49に伝えられる。

【0067】

次に、図4乃至図6を参照して、セル種類数の削減方法を説明するが、まず、NANDセルとNORセルの削減方法を説明する。

図4参照

図4は図2に示したNANDセル10、180度回転したNANDセル 10_r 、X軸反転したNANDセル 10_x 、X軸反転かつ180°回転したNANDセル 10_{rx} の構成説明図である。

10

【0068】

ここで、180度回転したNANDセル 10_r について、配線パターン23を低電圧電源配線、配線層パターン22を高電圧電源配線、p型拡散層パターン12をn型拡散層、n型拡散層パターン11をp型拡散層として、図3に示したNORセルと同様に2つのnチャンネル型MOSFETが並列回路を構成するとともに、2つのpチャンネル型MOSFETが直列回路を構成するようにする。

【0069】

同様に、X軸反転したNANDセル 10_x において、配線パターン23を低電圧電源配線、配線層パターン22を高電圧電源配線、p型拡散層パターン12をn型拡散層、n型拡散層パターン11をp型拡散層とすると、図3に示したNORセルと同様に2つのnチャンネル型MOSFETが並列回路を構成するとともに、2つのpチャンネル型MOSFETが直列回路を構成することになり、X軸反転かつ180°回転したNANDセル 10_{rx} の場合も同様である。

20

【0070】

図5参照

図5は、4種類の2入力NORセルの配置図であり、配線層パターン51が低電圧電源配線、配線層パターン52と配線層パターン53が高電圧電源配線である。

セル 30_{rx} がNORセル30をX軸反転かつ180度回転させたセル、セル 30_r がNORセル30を180度回転させたセル、セル 30_x がNORセル30をX軸反転させたセルである。

30

【0071】

図6参照

図6は、NORセル-NANDセル変換図であり、上述の4種類のNORセル 30 、 30_r 、 30_x 、 30_{rx} のコンタクト層パターンと電源配線を除く配線層パターンを、4種類のNANDセル $i10$ 、 $i10_r$ 、 $i10_x$ 、 $i10_{rx}$ のコンタクト層パターンと電源配線を除く配線層パターンに置き換えた例を示している。

なお、NANDセル $i10$ 、 $i10_r$ 、 $i10_x$ 、 $i10_{rx}$ はそれぞれNANDセル 10 、 10_r 、 10_x 、 10_{rx} の導電型を反転させたものである。

【0072】

NORセル30をNANDセル $i10_r$ に、NORセル 30_{rx} をNANDセル $i10_x$ に、NORセル 30_r をNANDセル $i10$ に、NORセル 30_x をNANDセル $i10_{rx}$ に置き換えた構成となっており、nチャンネル型MOSFET同士は並列に、pチャンネル型MOSFET同士は直列に組み合わされているので、論理演算機能に問題はない。

40

【0073】

次に、図7を参照して、INVERTERセルの種類数削減方法について説明する。

図7参照

図7は、INVERTERセルのトランジスタレベル回路図とセルの説明図である。

INVERTERは、nチャンネル型MOSFETとpチャンネル型MOSFETからなり、1つの入力(IN)と1つの出力(OUT)が設定されている。

50

【0074】

また、INVERTERセル60を基本として、NANDセル或いはNORセルと同様に180度回転したINVERTERセル 60_r 、X軸反転したINVERTERセル 60_x 、X軸反転且つ180°回転したINVERTERセル 60_{rx} を示しているが、図から明らかなように、INVERTERセル60とX軸反転したINVERTERセル 60_x 、180度回転したINVERTERセル 60_r とX軸反転且つ180°回転したINVERTERセル 60_{rx} とは同一のセル構造になる。

【0075】

次に、図8乃至図16を参照してその他のセルの種類数削減方法について説明するが、ここでは、2入力NANDセルと2入力NORセルを除くセルのトランジスタレベル回路図と、セルのMIL記号およびゲートレベル回路図を示す。

10

なお、駆動能力は全セル共に1倍であり、また、入力に対する各トランジスタ回路への配線を図示していないが、入力A～Fの値(0または1)、入力値による電圧(高電圧または低電圧)は、トランジスタレベル回路図中のA～Fのnチャンネル型MOSFETまたはpチャンネル型MOSFETに与えられる。

【0076】

回路の電力消費増加を抑えるためには、低電圧電源配線と高電圧電源配線の間を流れる電流、即ち、定常電流を抑えることが重要であり、nチャンネル型MOSFETとpチャンネル型MOSFETを組み合わせたCMOS回路では、定常電流を流さない低消費電力回路を実現できる。

20

【0077】

nチャンネル型MOSFETは入力が高電圧の時に電流を流し、低電圧の時は流さず、一方、pチャンネル型MOSFETは入力が高電圧の時に電流を流さず、低電圧の時は流す。

また、nチャンネル型MOSFETの直列回路とpチャンネル型MOSFETの並列回路、nチャンネル型MOSFETの並列回路とpチャンネル型MOSFETの直列回路は互いに入力に対して、電流を流す、流さないの結果が逆になるので、nチャンネル型MOSFET回路とpチャンネル型MOSFET回路の関係が逆であれば、定常電流を流さない回路を実現できる。

【0078】

図2に示した2入力NANDセルと図3に示した2入力NORセルにおいても、nチャンネル型MOSFET回路とpチャンネル型MOSFET回路の関係が逆であり、INVERTER回路を除いて、その他のセルも同様である。

30

【0079】

以下、個々のその他のセルについて説明するが、まず、3入力NANDセルと3入力NORセルについて説明する。

図8参照

図8は、3入力NANDセルと3入力NORセルのMIL記号およびゲートレベル回路図であり、左図に示すNANDセル61ではnチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列であり、右図に示すNORセル62のnチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

40

【0080】

図9参照

図9は、2入力ANDセルと2入力ORセルのMIL記号およびゲートレベル回路図であり、左図に示すANDセル63ではINVERTER回路 63_{inv} を除いて、NAND回路10と同様に、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

【0081】

一方、右図に示すORセル64ではINVERTER回路 64_{inv} を除いて、NOR回路10と同様に、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路

50

は直列であるので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

【0082】

図10参照

図10は、3入力AND-OR-INVERTERセルと3入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル65ではnチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列であり、右図に示すOR-AND-INVERTERセル66のnチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力AとB回路と入力Cの回路において、直列、並列の関係が逆になっているので、図5及び

10

【0083】

図11参照

図11は、4入力AND-OR-INVERTERセル(1)と4入力OR-AND-INVERTERセル(1)のMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル67においては、入力A, Bについては、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

【0084】

一方、右図に示すOR-AND-INVERTERセル68では、入力A, Bについては、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力AとBの回路と入力Cと入力Dの回路において、AND-OR-INVERTERセル67とOR-AND-INVERTERセル68では、直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

20

【0085】

図12参照

図12は、4入力AND-OR-INVERTERセル(2)と4入力OR-AND-INVERTERセル(2)のMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル69においては、入力A, B, Cについては、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

30

【0086】

一方、右図に示すOR-AND-INVERTERセル70では、入力A, B, Cについては、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力AとBとCの回路と入力Dの回路において、AND-OR-INVERTERセル69とOR-AND-INVERTERセル70では、直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

【0087】

図13参照

図13は、4入力AND-OR-INVERTERセル(3)と4入力OR-AND-INVERTERセル(3)のMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル71においては、入力A, Bについては、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列であり、入力C, Dについても、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

40

【0088】

一方、右図に示すOR-AND-INVERTERセル72では、入力A, Bについては、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力C, Dについても、nチャンネル型MOSFET回路は並列、pチャンネル型MOSF

50

ET回路は直列であり、入力AとBの回路と入力CとDの回路において、AND-OR-INVERTERセル71とOR-AND-INVERTERセル72では、直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

【0089】

図14参照

図14は、6入力AND-OR-INVERTERセルと6入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル73においては、入力A、B、入力C、D、及び、入力E、Fのそれぞれにおいて、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

10

【0090】

一方、右図に示すOR-AND-INVERTERセル74では、入力A、B、入力C、D、及び、入力E、Fのそれぞれにおいて、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力AとBの回路と入力CとDの回路と入力EとFの回路において、AND-OR-INVERTERセル73とOR-AND-INVERTERセル74では、直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

【0091】

図15参照

図15は、5入力AND-OR-INVERTERセルと5入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図であり、左図に示すAND-OR-INVERTERセル75においては、入力A、B及び入力C、Dのそれぞれにおいて、nチャンネル型MOSFET回路は直列、pチャンネル型MOSFET回路は並列である。

20

【0092】

一方、右図に示すOR-AND-INVERTERセル76では、入力A、B及び入力C、Dのそれぞれにおいて、nチャンネル型MOSFET回路は並列、pチャンネル型MOSFET回路は直列であり、入力AとBの回路と入力CとDの回路と入力E回路において、AND-OR-INVERTERセル75とOR-AND-INVERTERセル76では、直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

30

【0093】

図16参照

図16は、XOR回路とXNOR回路のMIL記号およびゲートレベル回路図であり、上図に示すXOR回路77の各回路要素77₁～77₄と下図に示すXNOR回路78の各回路要素78₁～78₄におけるnチャンネル型MOSFET回路とpチャンネル型MOSFET回路の直列、並列の関係が逆になっているので、図5及び図6に示したように配線パターン及びコンタクトパターンとしては互いに置き換え可能である。

なお、回路要素77₃はNOR回路、回路要素78₃はNAND回路、回路要素77₂、78₂はINVERTER回路である。

40

【0094】

以上より、図2に示した2入力NANDセルと図3に示した2入力NORセル、図8乃至図16に示したその他の各セルの組において、互いにnチャンネル型MOSFET回路とpチャンネル型MOSFET回路の関係が逆になっており、また、INVERTER回路は回転、反転後も同一のセルになるので、一方のセルを回転、反転させた4種類のセルを作成し、図6のように前記4種類のセルのコンタクト層パターンと電源配線を除く配線層パターンを、他方のセルのコンタクト層パターンと電源配線を除く配線層パターンに置き換えることができる。

【0095】

次に、駆動能力の異なるセルの種類数削減方法を説明する。

50

図 17 参照

図 17 は、駆動能力が 2 倍の 2 入力 NAND セルと 2 入力 NOR セルの MIL 記号およびゲートレベル回路図であり、NAND セル 79 と NOR セル 80 とは、図 2 に示した NAND セル 10 と図 3 に示した NOR セル 30 との関係と同様に n チャネル型 MOSFET 回路と p チャネル型 MOSFET 回路の関係は互いに逆になっており、トランジスタ回路の数も同一である。

【 0096 】

図 18 参照

図 18 は、駆動能力が 2 倍の 3 入力 NAND セルと 3 入力 NOR セルの MIL 記号およびゲートレベル回路図であり、NAND セル 81 と NOR セル 82 とは、図 8 に示した NAND セル 61 と NOR セル 62 との関係と同様に n チャネル型 MOSFET 回路と p チャネル型 MOSFET 回路の関係は互いに逆になっており、トランジスタ回路の数も同一である。

【 0097 】

以上より、NAND セル 79 と NOR セル 80、NAND セル 81 と NOR セル 82 において、一方のセルを回転、反転させた 4 種類のセルを作成し、図 6 のように 4 種類のセルのコンタクト層パターンと電源配線を除く配線層パターンを、他方のセルのコンタクト層パターンと電源配線を除く配線層パターンに置き換えることができる。

【 0098 】

また、駆動能力の増強においては、図 17 及び図 18 に示すように、回路全体を複写して作成する場合が多いので、図 8 乃至図 16 の各セルの駆動能力が 2 倍以上でも、互いに駆動能力が同一であれば、一方のセルを回転、反転させた 4 種類のセルを作成し、図 6 のように 4 種類のセルのコンタクト層パターンと電源配線を除く配線層パターンを、他方のセルのコンタクト層パターンと電源配線を除く配線層パターンに置き換えることができる。

【 0099 】

なお、2 入力 NAND セルと 2 入力 NOR セル、図 8 乃至図 16 に示したその他の各セルの組以外でも、互いに n チャネル型 MOSFET 回路と p チャネル型 MOSFET 回路の関係が逆で、トランジスタ回路の数も同一であれば、一方のセルを回転、反転させた 4 種類のセルを作成し、図 6 のように 4 種類のセルのコンタクト層パターンと電源配線を除く配線層パターンを、他方のセルのコンタクト層パターンと電源配線を除く配線層パターンに置き換えることができる。

【 0100 】

次に、半導体装置設計方法を説明する。

例えば、2 入力 NAND セルと 2 入力 NOR セル、図 8 乃至図 16 に示したその他の各セルの組において、駆動能力別に、一方のセルのみ回転、反転させた 4 種類のセルを作成し、セルライブラリに登録する。

なお、セル作成においては、配線層パターンから電源配線を除く。

【 0101 】

図 19 参照

図 19 はセルの登録方法の説明図であり、登録においては、例えば、回転、反転させた 4 種類の 2 入力 NAND セル 83 、 83_r 、 83_x 、 83_{rx} の登録と、セル 83 、 83_r 、 83_x 、 83_{rx} を 2 入力 NOR セル 84 、 84_r 、 84_x 、 84_{rx} として登録する処理を行う。

【 0102 】

また、INVERTER セルのコンタクト層パターンと電源配線を除く配線層パターンにおいて、回転後または反転後も同一のセルになるようにパターンの配置を決定し、異なる 2 種類のセルに登録する。

この場合も、セル作成においては、配線層パターンから電源配線を除くようにする。

【 0103 】

10

20

30

40

50

レイアウト作業においては、上記手法で作成したセルライブラリから抽出したセルを配置し、セル同士の配線を行う。

その際、レイアウト作業において、電源配線の作成をEDAツールで自動で行う。

以上、説明した本発明の半導体装置設計方法によれば、上述の論理演算セルとして挙げたセルの種類数を半分以下にすることができる。

【0104】

次に、電子ビーム露光データ作成方法を説明する。

まず、ブロックマスク製造用露光データ処理において、上述の半導体装置設計方法により作成したセルライブラリから、上述の論理演算セルとして挙げたセルのコンタクト層パターンと配線層パターンをブロックとして抽出し、ブロックマスク製造用露光データを作成する。

10

【0105】

その際、同一のブロック同士はブロックマスク製造用露光データに格納しない。

例えば、上述の半導体装置設計方法により、2入力NANDセル(駆動能力:1倍)と2入力NORセル(駆動能力:1倍)から抽出したブロックは同一になる。

また、INVERTERセルから抽出したブロックは2種類のみなので、コンタクト層パターンのブロック作成数と、配線層パターンブロック作成数はそれぞれ50になり、合計で100となるので、上述の論理演算セルとして挙げたセルから抽出したブロックを1枚のブロックマスクに搭載することができる。

20

【0106】

次に、ウェーハ製造用露光データ処理工程において、上述の半導体装置設計方法により作成した設計データと上述の電子ビーム露光データ作成方法で作成したブロックマスク製造用露光データを入力し、設計データから論理演算セルとして挙げたセルのコンタクト層パターンと配線層パターンをブロックとして抽出して、ウェーハ製造用露光データを作成する。

【0107】

そして、露光は、上述のウェーハ製造用露光データ処理工程で作成したウェーハ製造用露光データを電子ビーム露光装置に入力し、上述のブロックマスク製造用露光データ処理工程で作成したブロックマスクを使用して行う。

30

【実施例2】

【0108】

次に、図20乃至図43を参照して、本発明の実施例2の電子ビーム露光方法、それに伴う半導体装置設計方法及び電子ビーム露光データ作成方法を説明するが、基本的な論理演算セルについては、サイズ、入力数及び駆動能力について種類は、上記の実施例1と全く同様である。

【0109】

また、セル毎に種類数も、実施例1と同様に、180度回転、X軸反転、及び、X軸反転且つ180度回転も含めると4種類であるが、後述するように、第1メタル配線層パターンを統一化することにより、nチャネル型MOSFET回路とpチャネル型MOSFET回路の関係が逆になる論理演算セル同士は、回転後または反転後のブロック同士が同一になり、また、INVERTERセルにおいては、回転後または反転後のブロック同士が同一になるので、夫々の種類数の1/2になる。

40

【0110】

図20参照

図20は、3入力AND-OR-INVERTER回路のセルとトランジスタレベル回路図およびMIL記号であり、トランジスタレベル回路図およびMIL記号は図10と全く同様であり、3つの入力(A, B, C)と1つの出力(OUT)が設定されており、入力A, B, Cの値(0または1)は、回路図120において、A, B, Cと図示されているnチャネル型MOSFETまたはpチャネル型MOSFETに電圧として入力される。

【0111】

50

また、セル130は従来のセル構造の一例を示すものであり、ゲート層パターン131がnチャンネル型MOSFET Aとpチャンネル型MOSFET Aを、ゲート層パターン132がnチャンネル型MOSFET Bとpチャンネル型MOSFET Bを、ゲート層パターン133がnチャンネル型MOSFET Cとpチャンネル型MOSFET Cを制御し、それぞれのトランジスタが電流を流すスイッチの役目を果たす。

【0112】

入力の電圧(値0が低電圧、値1が高電圧)は、第1メタル配線層パターン134、第1メタル配線層パターン135、第1メタル配線層パターン136から図において黒の四角形で示すコンタクト層パターンを介して、それぞれ、ゲート層パターン131、ゲート層パターン132、ゲート層パターン133伝えられる。

10

【0113】

また、出力の電圧(値0が低電圧、値1が高電圧)は、n型拡散層パターンとp型拡散層パターンから、それぞれ、コンタクト層パターンを介して、第1メタル配線層パターン144に伝えられる。

その他、第1メタル配線層パターン141は高電圧電源配線、第1メタル配線層パターン142は低電圧電源配線である。

【0114】

第1メタル配線層パターン141から第1メタル配線層パターン144に電流が流れた場合、出力は高電圧(値は1)となり、一方、第1メタル配線層パターン144から第1メタル配線層パターン142に電流が流れた場合、出力は低電圧(値は0)となる。

20

例えば、入力BとCの値が0であった場合、ゲート層パターン132とゲート層パターン133はpチャンネル型MOSFETのスイッチをONするので、第1メタル配線層パターン141から、第1メタル配線層パターン151、コンタクト層パターン161、p型拡散層パターンおよびコンタクト層パターン164を介して、第1メタル配線層パターン144に電流が流れる。

【0115】

入力AとCの値が0の場合は、ゲート層パターン131とゲート層パターン133のpチャンネル型MOSFETのスイッチがONになり、第1メタル配線層パターン141から、第1メタル配線層パターン151、コンタクト層パターン161を介して、p型拡散層パターンの領域165に電流が流れ、次に、コンタクト層パターン162、第1メタル配線層パターン143、コンタクト層パターン163を介して、p型拡散層パターンの領域166に電流が流れて、最後にコンタクト層パターン164を介して、第1メタル配線層パターン144に電流が流れる。

30

【0116】

回路図120から明らかなように、pチャンネル型MOSFET Aとpチャンネル型MOSFET Bは並列回路を形成しており、共に両端がpチャンネル型MOSFET Cに接続されている。

また、pチャンネル型MOSFET Bとpチャンネル型MOSFET Cにおいては、トランジスタを制御するゲート層パターン132とゲート層パターン133が隣接していることで接続となり、pチャンネル型MOSFET Aとpチャンネル型MOSFET Cにおいては、コンタクト層パターン162とコンタクト層パターン163および第1メタル配線層パターン143を介して接続している。

40

【0117】

nチャンネル型MOSFET回路においては、1つのトランジスタに2つ以上のトランジスタが接続されていないので、トランジスタ同士を接続する第1メタル配線層パターンは不要になる。

【0118】

このように、論理演算回路は、概して、トランジスタの並列回路と直列回路で構成されており、第1メタル配線層には、ゲート層パターンに入力値を伝えるパターン(例えば、パターン134、135、136)、nチャンネル型MOSFET回路とpチャンネル型MO

50

S F E T回路を接続し、両方の回路からの値が出力されるパターン（例えば、パターン144）、電源を供給するパターン（電源配線パターン、例えば、パターン141, 142）、電源配線パターンとn型拡散層パターンおよびp型拡散層パターンを接続するパターン（例えば、パターン151, 152, 153）、トランジスタ同士を接続するパターン（例えば、パターン143）が配置されている。

【0119】

そこで、本発明の実施例2においては、第1メタル配線層パターンを一括露光するためにはその統一化を計ることにするので、以下に説明する。

まず、第1メタル配線層パターンの統一化のために、論理演算セルごとに第1メタル配線層パターンの形状は異なるが、その機能毎に、以下の

- a. ゲート層パターンに入力値を伝えるパターン
- b. nチャネル型MOSFET回路とpチャネル型MOSFET回路を接続し、両方の回路から値が出力されるパターン
- c. 電源配線パターン
- d. 電源配線パターンとn型拡散層パターンおよびp型拡散層パターンと接続するパターン
- e. トランジスタ同士を接続するパターン

のa～eの5つの種類に分類する。

【0120】

したがって、a～eの機能を保持しつつ、全ての論理演算セルを構築できるパターン形状を作成し、それらのパターンをブロックとして抽出すれば、少ない種類のブロックで、より多くの論理演算セルを一括露光することが可能になる。

【0121】

図21参照

図21は、本発明の実施例2の3入力AND-OR-INVERTERと3入力OR-AND-INVERTERの説明図であり、符号170は3入力AND-OR-INVERTERのセル、符号230は3入力OR-AND-INVERTERのセルであり、第1メタル配線層パターン群は共に同一である。

なお、符号220は3入力OR-AND-INVERTERのトランジスタレベル回路図である。

【0122】

この場合、3入力AND-OR-INVERTERセル170のパターン構成としては、

- ・ 171, 172は電源配線パターンである。
- ・ 181～186はトランジスタ同士を接続するパターンであり、そのうちの各一つのパターン、ここでは、183, 184はnチャネル型FET回路またはpチャネル型MOSFET回路から値が出力されるパターンである。
- ・ 191はnチャネル型MOSFET回路とpチャネル型MOSFET回路を接続するパターンである。
- ・ 201～208は電源配線パターンとn型拡散層パターンおよびp型拡散層パターンを接続するパターンである。
- ・ 211～213はゲート層パターンに入力値を伝えるパターンである。

【0123】

また、3入力OR-AND-INVERTERセル230のパターン構成としては、

- ・ 231, 232は電源配線パターンである。
- ・ 241～246はトランジスタ同士を接続するパターンであり、そのうちの各一つのパターン、ここでは、243, 244はnチャネル型FET回路またはpチャネル型MOSFET回路から値が出力されるパターンである。
- ・ 251はnチャネル型MOSFET回路とpチャネル型MOSFET回路を接続するパターンである。

- ・ 261 ~ 268 は電源配線パターンと n 型拡散層パターンおよび p 型拡散層パターンを接続するパターンである。
- ・ 271 ~ 273 はゲート層パターンに入力値を伝えるパターンである。

【0124】

したがって、上記の b の機能を 3 つのパターン ([183 , 184 , 191] と [243 , 244 , 251]) で構成し、上記の d の機能のパターンにおいては、論理演算セルごとにコンタクト層パターンを介して電源を供給する位置が異なるので、図に示すように、201 ~ 208 及び 261 ~ 268 として全てのゲート層パターンの左右に配置する。

【0125】

また、図 21 に示す 2 つの回路では、1 つのトランジスタに 2 つ以上のトランジスタが接続されている箇所が 1 箇所であるが、他の論理演算回路の場合には、前記箇所が 2 箇所の回路も存在するので、上記 e の機能のパターンを 2 つずつ ([181 , 182] , [185 , 186] , [241 , 242] , [245 , 246]) 配置する。

10

【0126】

但し、第 1 メタル配線パターン 183 , 184 , 243 , 244 は、論理演算セルの構成によっては、上記 e の機能を兼ねることになる。

なお、使用しない第 1 メタル配線層パターンにはコンタクト層パターンを配置しないので、論理演算は正確に行われることになる。

【0127】

図 22 参照

20

図 22 はコンタクト層パターンを除いた論理演算セルの構成図であり、論理演算セル 280 では、第 1 メタル配線層パターンの形状が全ての論理演算セルを構築できるように作成されており、コンタクト層パターンは論理演算セルごとに必要な箇所に配置する。

なお、この論理演算セル 280 の場合、ゲート層パターンが 8 個配置されているので、最大 8 入力の論理演算セルを構築できる。

【0128】

図 23 参照

図 23 は、論理演算セル 280 から第 1 メタル配線層パターンを抽出したブロック 281 の構成図であり、電源配線パターンはブロック 281 に抽出していない。

ブロック 281 には、論理演算セルの入力数に応じて、部分的に電子ビームを照射し、露光を行うものであり、例えば、入力数が 1 の場合、282 の領域にのみ部分的に電子ビームを照射する。同様に入力数が 2 の場合、283 の領域にのみ、入力数が 3 の場合、284 の領域にのみ、入力数が 4 の場合、285 の領域にのみ、入力数が 5 の場合、286 の領域にのみ、入力数が 6 の場合、287 の領域にのみ、入力数が 7 の場合、288 の領域にのみ部分的に電子ビームを照射し、入力数が 8 の場合はブロック全体に電子ビームを照射する。

30

【0129】

図 24 参照

図 24 は、部分照射した場合の説明図であり、ここでは、電子ビーム 289 をブロック 281 の 284 の領域に部分照射し、入力数 3 の第 1 メタル配線層パターンの露光を行っている。

40

【0130】

なお、n チャネル型 MOSFET 回路と p チャネル型 MOSFET 回路を接続するパターンの配置位置は入力数に応じて異なるため、図 21 における第 1 メタル配線層パターン 191 , 251 に相当するパターンに対しては可変矩形露光を行う。

【0131】

また、電子ビーム露光装置で一括露光できるブロックの最大サイズは、例えば、5 μ m 四方であり、90 nm テクノロジまたは 65 nm テクノロジ以降ではサイズ H とサイズ L は共に 5 μ m 以内である。5 μ m 四方であれば、90 nm テクノロジの場合、15 ~ 20 個、65 nm テクノロジの場合、20 ~ 25 個のゲート層パターンを配置できるので、9

50

0 nmテクノロジーの場合、15～20入力数、65 nmテクノロジーの場合、20～25入力数の論理演算セルを一括露光できる。

【0132】

また、電源配線パターンは、複数の論理演算セルに共有されており、ブロックに抽出すると逆にショット数が増加する場合があるので、電源配線パターンはブロックに抽出せずに可変矩形露光を行うので、この様子を図25を用いて説明する。

【0133】

図25参照

図25は、電源配線パターンのショット数例の説明図であり、上段図は3つの論理演算セルを配置した例を示している。

符号291が高電圧電源配線、符号292が低電圧電源配線であり、サイズLは10 μmであり、破線293～295に囲まれた位置に3つの論理演算セルが配置されているとする。

【0134】

中段図は、3つの論理演算セルを電源配線パターンを含めて一括露光する場合のショット数例の説明図であり、各論理演算セルと同時に露光された電源配線パターンを接続するために、電源配線パターンは8個のパターン301～308に分割され、可変矩形露光のショット数は8となる。

【0135】

下段図は、3つの論理演算セルを電源配線パターンを含めずに一括露光する場合のショット数例の説明図であり、電源配線パターンは5 μmずつ可変矩形露光され、ショット数は311～314の4となる。

なお、統一化した第1メタル配線層用のブロック281は180度回転後、X軸反転後、X軸反転かつ180度回転後も同一形状になるので、論理演算セルの回転後および反転後も含めたブロック作成数は1個、即ち、ブロック281のみになる。

【0136】

次に、各種の論理演算回路セルにおける第1メタル配線層パターンの統一化例を説明するが、ここでは、図23に示した論理演算セル280を基に構築した例を示す。

この場合、論理演算回路の入力数に応じて、論理演算セル280の全体、または一部を抽出し、nチャネル型MOSFET回路とpチャネル型MOSFET回路を接続するパターンとコンタクト層パターン、および必要に応じて、その他の第1メタル配線層パターンを配置する。

【0137】

また、トランジスタレベル回路図とMIL記号も併せて図示するが、入力(A～F)の値(0または1)は、それぞれのトランジスタレベル回路図において、A～Fと図示されているnチャネル型MOSFETまたはpチャネル型MOSFETに電圧として入力される。

【0138】

図26参照

図26は、2入力NANDセルと2入力NORセルの構成説明図であり、上図が2入力NANDセルの構成説明図であり、下図が2入力NORセルの構成説明図である。

上図に示す2入力NANDセル320においては、ゲート層パターン321がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン322がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

電源配線パターン171, 172とパターン323以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン323には可変矩形露光を行う。

【0139】

下図に示す2入力NORセル330においては、ゲート層パターン331がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン332がnチャネ

10

20

30

40

50

ル型MOSFETBとpチャンネル型MOSFETBを制御する。

電源配線パターン231, 232とパターン333以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン333には可変矩形露光を行う。

【0140】

図27参照

図27は、3入力NANDセルと3入力NORセルの構成説明図であり、上図が3入力NANDセルの構成説明図であり、下図が3入力NORセルの構成説明図である。

上図に示す3入力NANDセル340においては、ゲート層パターン341がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン342がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン343がnチャンネル型MOSFETCとpチャンネル型MOSFETCを制御する。

10

電源配線パターン171, 172とパターン344以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン344には可変矩形露光を行う。

【0141】

下図に示す3入力NORセル350においては、ゲート層パターン351がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン352がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン353がnチャンネル型MOSFETCとpチャンネル型MOSFETCを制御する。

20

電源配線パターン231, 232とパターン354以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン354には可変矩形露光を行う。

【0142】

図28参照

図28は、4入力NANDセルと4入力NORセルの構成説明図であり、上図が4入力NANDセルの構成説明図であり、下図が4入力NORセルの構成説明図である。

上図に示す4入力NANDセル360においては、ゲート層パターン361がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン362がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン363がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン364がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

30

電源配線パターン171, 172とパターン365以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン365には可変矩形露光を行う。

【0143】

下図に示す4入力NORセル370においては、ゲート層パターン371がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン372がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン373がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン374がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

40

電源配線パターン231, 232とパターン375以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン375には可変矩形露光を行う。

【0144】

図29参照

図29は、2入力ANDセルと2入力ORセルの構成説明図であり、上図が2入力ANDセルの構成説明図であり、下図が2入力ORセルの構成説明図である。

上図に示す2入力ANDセル380においては、ゲート層パターン381がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン382がnチャネ

50

ル型MOSFETBとpチャネル型MOSFETBを制御する。

電源配線パターン171, 172とパターン383, 384, 385以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン383, 384, 385には可変矩形露光を行う。

【0145】

なお、2入力AND回路390は、トランジスタレベル回路図から明らかなように、NAND回路391とINVERTER回路392により構成され、第1メタル配線層パターン384によりNAND回路391の出力をINVERTER回路392に入力する。

【0146】

下図に示す2入力ORセル400においては、ゲート層パターン401がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン402がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

10

電源配線パターン231, 232とパターン403, 404, 405以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン403, 404, 405には可変矩形露光を行う。

【0147】

なお、2入力OR回路410は、トランジスタレベル回路図から明らかなように、NOR回路411とINVERTER回路412により構成され、第1メタル配線層パターン404によりNOR回路411の出力をINVERTER回路412に入力する。

【0148】

20

図30参照

図30は、4入力AND-OR-INVERTERセル(1)と4入力OR-AND-INVERTERセル(1)の構成説明図であり、上図が4入力AND-OR-INVERTERセル(1)の構成説明図であり、下図が4入力OR-AND-INVERTERセル(1)の構成説明図である。

【0149】

上図に示す4入力AND-OR-INVERTERセル(1)420においては、ゲート層パターン421がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン422がnチャネル型MOSFETBとpチャネル型MOSFETBを、ゲート層パターン423がnチャネル型MOSFETCとpチャネル型MOSFETCを、ゲート層パターン424がnチャネル型MOSFETDとpチャネル型MOSFETDを制御する。

30

電源配線パターン171, 172とパターン425以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン425には可変矩形露光を行う。

【0150】

下図に示す4入力OR-AND-INVERTERセル(1)430においては、ゲート層パターン431がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン432がnチャネル型MOSFETBとpチャネル型MOSFETBを、ゲート層パターン433がnチャネル型MOSFETCとpチャネル型MOSFETCを、ゲート層パターン434がnチャネル型MOSFETDとpチャネル型MOSFETDを制御する。

40

電源配線パターン231, 232とパターン435以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン435には可変矩形露光を行う。

【0151】

図31参照

図31は、4入力AND-OR-INVERTERセル(2)と4入力OR-AND-INVERTERセル(2)の構成説明図であり、上図が4入力AND-OR-INVERTERセル(2)の構成説明図であり、下図が4入力OR-AND-INVERTER

50

セル(2)の構成説明図である。

【0152】

上図に示す4入力AND-OR-INVERTERセル(2)440においては、ゲート層パターン441がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン442がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン443がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン444がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

電源配線パターン171, 172とパターン445以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン445には可変矩形露光を行う。

10

【0153】

下図に示す4入力OR-AND-INVERTERセル(2)450においては、ゲート層パターン451がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン452がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン453がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン454がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

電源配線パターン231, 232とパターン455以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン455には可変矩形露光を行う。

20

【0154】

図32参照

図32は、4入力AND-OR-INVERTERセル(3)と4入力OR-AND-INVERTERセル(3)の構成説明図であり、上図が4入力AND-OR-INVERTERセル(3)の構成説明図であり、下図が4入力OR-AND-INVERTERセル(3)の構成説明図である。

【0155】

上図に示す4入力AND-OR-INVERTERセル(3)460においては、ゲート層パターン461がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン462がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン463がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン464がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

30

電源配線パターン171, 172とパターン465以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン465には可変矩形露光を行う。

【0156】

下図に示す4入力OR-AND-INVERTERセル(3)470においては、ゲート層パターン471がnチャンネル型MOSFETAとpチャンネル型MOSFETAを、ゲート層パターン472がnチャンネル型MOSFETBとpチャンネル型MOSFETBを、ゲート層パターン473がnチャンネル型MOSFETCとpチャンネル型MOSFETCを、ゲート層パターン474がnチャンネル型MOSFETDとpチャンネル型MOSFETDを制御する。

40

電源配線パターン231, 232とパターン475以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン475には可変矩形露光を行う。

【0157】

図33及び図34参照

図33及び図34は、5入力AND-OR-INVERTERセルと5入力OR-AN

50

D - I N V E R T E Rセルの構成説明図であり、図33が5入力AND - O R - I N V E R T E Rセルの構成説明図であり、図34が5入力O R - A N D - I N V E R T E Rセルの構成説明図である。

【0158】

図33に示す5入力AND - O R - I N V E R T E Rセル490においては、ゲート層パターン491がnチャンネル型M O S F E T Aとpチャンネル型M O S F E T Aを、ゲート層パターン492がnチャンネル型M O S F E T Bとpチャンネル型M O S F E T Bを、ゲート層パターン493がnチャンネル型M O S F E T Cとpチャンネル型M O S F E T Cを、ゲート層パターン494がnチャンネル型M O S F E T Dとpチャンネル型M O S F E T Dを、ゲート層パターン495がnチャンネル型M O S F E T Eとpチャンネル型M O S F E T Eを

10

制御する。
電源配線パターン171, 172とパターン496以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン496には可変矩形露光を行う。

【0159】

図34に示す5入力O R - A N D - I N V E R T E Rセル500においては、ゲート層パターン501がnチャンネル型M O S F E T Aとpチャンネル型M O S F E T Aを、ゲート層パターン502がnチャンネル型M O S F E T Bとpチャンネル型M O S F E T Bを、ゲート層パターン503がnチャンネル型M O S F E T Cとpチャンネル型M O S F E T Cを、ゲート層パターン504がnチャンネル型M O S F E T Dとpチャンネル型M O S F E T Dを、ゲート層パターン505がnチャンネル型M O S F E T Eとpチャンネル型M O S F E T Eを

20

制御する。
電源配線パターン231, 232とパターン506以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン506には可変矩形露光を行う。

【0160】

図35及び図36参照

図35及び図36は、6入力AND - O R - I N V E R T E Rセルと6入力O R - A N D - I N V E R T E Rセルの構成説明図であり、図35が6入力AND - O R - I N V E R T E Rセルの構成説明図であり、図36が6入力O R - A N D - I N V E R T E Rセルの構成説明図である。

30

【0161】

図35に示す6入力AND - O R - I N V E R T E Rセル510においては、ゲート層パターン511がnチャンネル型M O S F E T Aとpチャンネル型M O S F E T Aを、ゲート層パターン512がnチャンネル型M O S F E T Bとpチャンネル型M O S F E T Bを、ゲート層パターン513がnチャンネル型M O S F E T Cとpチャンネル型M O S F E T Cを、ゲート層パターン514がnチャンネル型M O S F E T Dとpチャンネル型M O S F E T Dを、ゲート層パターン515がnチャンネル型M O S F E T Eとpチャンネル型M O S F E T Eを、ゲート層パターン516がnチャンネル型M O S F E T Fとpチャンネル型M O S F E T Fを

40

制御する。
電源配線パターン171, 172とパターン517以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン517には可変矩形露光を行う。

【0162】

図36に示す6入力O R - A N D - I N V E R T E Rセル520においては、ゲート層パターン521がnチャンネル型M O S F E T Aとpチャンネル型M O S F E T Aを、ゲート層パターン522がnチャンネル型M O S F E T Bとpチャンネル型M O S F E T Bを、ゲート層パターン523がnチャンネル型M O S F E T Cとpチャンネル型M O S F E T Cを、ゲート層パターン524がnチャンネル型M O S F E T Dとpチャンネル型M O S F E T Dを、ゲート層パターン525がnチャンネル型M O S F E T Eとpチャンネル型M O S F E T Eを

50

、ゲート層パターン526がnチャネル型MOSFETとpチャネル型MOSFETを制御する。

電源配線パターン231, 232とパターン527以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン527には可変矩形露光を行う。

【0163】

図37及び図38参照

図37及び図38は、XORセル及びXNORセルの構成説明図であり、図37がXORセルの構成説明図であり、図38がXNORセルの構成説明図である。

図37に示すXORセル530においては、ゲート層パターン531と533がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン532と534がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

電源配線パターン171, 172とパターン535, 536, 537以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン535, 536, 537には可変矩形露光を行う。

【0164】

なお、XOR回路540はトランジスタレベル回路図から明らかなように、NOR回路541と3入力AND-OR-INVERTER回路542とからなり、NOR回路541の出力を第1メタル配線パターン536により3入力AND-OR-INVERTER回路542に入力する。

【0165】

図38に示すように、XNORセル550においては、ゲート層パターン551と553がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン552と554がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

電源配線パターン231, 232とパターン555, 556, 557以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン231, 232とパターン555, 556, 557には可変矩形露光を行う。

【0166】

なお、XNOR回路560はトランジスタレベル回路図から明らかなように、NAND回路561と3入力OR-AND-INVERTER回路562とからなり、NAND回路561の出力を第1メタル配線パターン556により3入力OR-AND-INVERTER回路に入力する。

【0167】

図39参照

図39は、駆動能力が2倍の2入力NANDセルと2入力NORセルの構成説明図であり、上図が2入力NANDセルの構成説明図であり、下図が2入力NORセルの構成説明図である。

【0168】

上図に示す駆動能力が2倍の2入力NANDセル570においては、ゲート層パターン571と574がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン572と573がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

電源配線パターン171, 172とパターン575以外の第1メタル配線層パターンは、ブロック281に電子ビームを部分照射して露光を行い、電源配線パターン171, 172とパターン575には可変矩形露光を行う。

【0169】

下図に示す駆動能力が2倍の2入力NORセル580においては、ゲート層パターン581と584がnチャネル型MOSFETAとpチャネル型MOSFETAを、ゲート層パターン582と583がnチャネル型MOSFETBとpチャネル型MOSFETBを制御する。

10

20

30

40

50

電源配線パターン 231, 232 とパターン 585 以外の第 1 メタル配線層パターンは、ブロック 281 に電子ビームを部分照射して露光を行い、電源配線パターン 231, 232 とパターン 585 には可変矩形露光を行う。

【0170】

図 40 及び図 41 参照

図 40 及び図 41 は、駆動能力が 2 倍の 3 入力 NAND セルと 3 入力 NOR セルの構成説明図であり、図 40 が 3 入力 NAND セルの構成説明図であり、図 41 が 3 入力 NOR セルの構成説明図である。

【0171】

図 40 に示す駆動能力が 2 倍の 3 入力 NAND セル 590 においては、ゲート層パターン 591 と 596 が n チャンネル型 MOSFET A と p チャンネル型 MOSFET A を、ゲート層パターン 592 と 595 が n チャンネル型 MOSFET B と p チャンネル型 MOSFET B を、ゲート層パターン 593 と 594 が n チャンネル型 MOSFET C と p チャンネル型 MOSFET C を制御する。

10

電源配線パターン 171, 172 とパターン 597 以外の第 1 メタル配線層パターンは、ブロック 281 に電子ビームを部分照射して露光を行い、電源配線パターン 171, 172 とパターン 597 には可変矩形露光を行う。

【0172】

図 41 に示す駆動能力が 2 倍の 3 入力 NOR セル 600 においては、ゲート層パターン 601 と 606 が n チャンネル型 MOSFET A と p チャンネル型 MOSFET A を、ゲート層パターン 602 と 605 が n チャンネル型 MOSFET B と p チャンネル型 MOSFET B を、ゲート層パターン 603 と 604 が n チャンネル型 MOSFET C と p チャンネル型 MOSFET C を制御する。

20

電源配線パターン 231, 232 とパターン 607 以外の第 1 メタル配線層パターンは、ブロック 281 に電子ビームを部分照射して露光を行い、電源配線パターン 231, 232 とパターン 607 には可変矩形露光を行う。

【0173】

図 42 参照

図 42 は、INVERTER セルの構成説明図であり、INVERTER 610 においては、ゲート層パターン 611 が n チャンネル型 MOSFET A と p チャンネル型 MOSFET A を制御する。

30

電源配線パターン 171, 172 とパターン 612 以外の第 1 メタル配線層パターンは、ブロック 281 に電子ビームを部分照射して露光を行い、電源配線パターン 171, 172 とパターン 612 には可変矩形露光を行う。

【0174】

以上、図 20 乃至図 42 に図示した論理演算回路以外でも、1 つのトランジスタに 2 つ以上のトランジスタが接続されている箇所が 2 箇所以内であれば、論理演算セル 280 で構築し、ブロック 281 で露光することができる。

【0175】

以上においては、1 つのトランジスタに 2 つ以上のトランジスタが接続されている箇所が 2 箇所以内の場合を説明したが、次に、図 43 を参照して、1 つのトランジスタに 2 つ以上のトランジスタが接続されている箇所が 3 箇所存在する論理演算回路における第 1 メタル配線パターンの統一化について説明する。

40

【0176】

図 43 参照

図 43 は、1 つのトランジスタに 2 つ以上のトランジスタが接続されている箇所が 3 箇所存在する論理演算セルの構成説明図であり、論理演算セル 700 では、トランジスタ同士を接続するパターンを 4 個、即ち、パターン 701 ~ 704 及びパターン 705 ~ 708 配置するものであり、この内の 1 個ずつ、例えば、パターン 704 とパターン 705 を機能 b、即ち、n チャンネル型 MOSFET 回路と p チャンネル型 MOSFET 回路を接続し

50

、両方の回路から値が出力されるパターンとする。

【0177】

図43は、1つのトランジスタに2つ以上のトランジスタが接続されている箇所が3箇所存在する場合の論理演算セルであるが、同様に、2つ以上のトランジスタが接続されている箇所が増加するごとに、トランジスタ同士を接続するパターンを増加すれば良い。

【0178】

以上は、論理演算セルが、0度回転、180度回転、X軸反転、X軸反転かつ180度回転する場合を説明したが、次に、図44を参照して、論理演算セルが、90度回転、270度回転、X軸反転かつ90度回転、X軸反転かつ270度回転で配置される場合の論理演算回路における第1メタル配線パターンの統一化について説明する。

10

【0179】

図44参照

図44は、論理演算セルが、90度回転、270度回転、X軸反転かつ90度回転、X軸反転かつ270度回転で配置される場合の論理演算セルの構成説明図であり、この場合の論理演算セル710は、図23に示した論理演算セル280を90度回転したものである。

【0180】

次に、図45を参照してダミーパターンを抽出したブロックを説明する。

図45参照

図45は、ダミーパターンを抽出したブロックの構成説明図であり、ダミーパターン用ブロック720には、矩形パターンからあるダミーパターン721が設けられ、このダミーパターン用ブロック720はブロックマスクに1個格納する。

20

【0181】

次に、本発明の実施例2における半導体装置設計方法を説明する。

まず、各論理演算回路のセルを、例えば、論理演算セル280を基に構築するが、その際に、論理演算回路の入力数に応じて、論理演算セル280の全体、または一部を抽出し、コンタクト層パターン、nチャネル型MOSFET回路とpチャネル型MOSFET回路を接続する第1メタル配線層パターン、及び、ANDセルのように論理演算回路と論理演算回路との間を接続する第1メタル配線層パターンを配置する。

【0182】

30

作成したセルは、上記の実施例2における半導体装置設計方法と同様に、セルライブラリとして格納し、レイアウト作業時には、セルライブラリからセルを抽出して、EDAツール、セルの自動配置およびセル同士の自動配線を行い、設計データを作成する。

【0183】

次に、本発明の実施例2における電子ビーム露光データ作成方法を説明する。

まず、ブロックマスク製造用露光データ処理において、上述の半導体装置設計方法により作成したセルライブラリを参照し、例えば、ブロック281をブロックマスク製造用露光データに格納する。

【0184】

また、このセルライブラリから、上述の25種類の各論理演算回路のコンタクト層パターンをブロックとして抽出するが、このブロックの回転後または反転後のブロックも格納するので、合計で格納するブロックの数は100個(=25種×4)になる。

40

【0185】

その際、同一のブロック同士はブロックマスク製造用露光データに格納しない。

例えば、nチャネル型MOSFET回路とpチャネル型MOSFET回路の関係が逆になっている論理演算回路のセル同士では、上記の実施例1で示したように回転後または反転後のブロック同士が同一になるので、図26乃至図41に示した論理演算セル同士では、nチャネル型MOSFET回路とpチャネル型MOSFET回路の関係が逆になっており、回転後または反転後のブロック同士が同一になる。

【0186】

50

また、図 4 2 に示した I N V E R T E R セルにおいては、上記の実施例 1 に示したように、セルの回転後または反転後のブロック同士が同一になり、ブロックの数は 2 になる。

したがって、論理演算回路セルについて格納するブロックの数は 5 0 個〔 = (2 5 種 × 4) / 2 〕となる。

【 0 1 8 7 】

その他、S R A M のコンタクト層と第 1 メタル配線層のパターンをブロックとして抽出すると、例えば、S R A M が上述のように 6 種類であれば、格納するブロックの数は 4 8 個になる。

【 0 1 8 8 】

また、図 4 5 に示したダミーパターンを抽出したブロックを 1 個格納すると、ブロックマスク製造用露光データに格納するブロックの数は 1 0 0 個になる。

即ち、1 個の第 1 メタル配線層パターンを統一化した論理演算セルのブロック 2 8 1、5 0 個の論理演算回路セルのブロック、4 8 個の S R A M 用ブロック、及び、1 個のダミーパターン用ブロックの計 1 0 0 個となる。

【 0 1 8 9 】

次に、ブロックマスクを上述のブロックマスク製造用露光データから作成するが、本発明のウェーハ製造用露光データ処理工程においては、まず、

a . 上述の半導体装置設計方法により作成した設計データと上述のブロックマスク製造用露光データ処理で作成したブロックマスク製造用露光データを入力する。

b . 次いで、設計データから、論理演算セルの第 1 メタル配線層パターンとコンタクト層パターンをブロックとして抽出する。

c . 次いで、コンタクト層パターンにおいては、抽出したブロックがブロックマスク製造用露光データに格納されているブロックと同一であるか確認する。

d . 次いで、第 1 メタル配線層パターンにおいては、抽出したブロックとブロックマスク製造用露光データに格納されているブロックを比較し、電源配線パターン、n チャネル型 M O S F E T 回路と p チャネル型 M O S F E T 回路を接続するパターン、論理演算回路と論理演算回路との間を接続するパターンなど、一致しないパターンを可変矩形露光パターンとする。

e . その他、S R A M のコンタクト層パターンと第 1 メタル配線層パターン、ダミーパターンをブロックとして抽出し、ブロックマスク製造用露光データに格納されているブロックと同一であるか確認する。

f . 次いで、ブロックマスク製造用露光データに格納されているブロックと一致がとれたブロックおよびブロックのブロックマスク上の位置、ブロックをウェーハ上に露光する位置などをウェーハ製造用露光データに格納する。

同様に、可変矩形露光パターンおよび可変矩形露光パターンをウェーハ上に露光する位置などをウェーハ製造用露光データに格納する。

【 0 1 9 0 】

また、露光工程においては、上記 a ~ f の工程により作成したウェーハ製造用露光データを電子ビーム露光装置に入力し、上述のブロックマスク作成工程で作成したブロックマスクを使用して露光を行う。

【 0 1 9 1 】

以上説明したように、本発明の実施例 2 においては、第 1 メタル配線層パターンを統一化した論理演算セルを用いているので、ブロックマスクに異なるセルライブラリから S R A M のコンタクト層パターンと第 1 メタル配線層パターンおよびダミーパターンなど、その他のパターン群をブロックとして抽出し、ブロックマスクに搭載することが可能となり、より多くのショット数を削減することができる。

【 0 1 9 2 】

以上、本発明の各実施例を説明したが、本発明は上記の各実施例に記載した構成に限定されるものではなく、回路構成等において駆動能力の変更、入力数、出力数等に応じて各種の変更が可能であることはいうまでもない。

10

20

30

40

50

【0193】

例えば、上記の実施例2においては、各論理演算セルを電源配線パターンを含めずに一括露光し、電源配線パターンは可変矩形露光パターンとして別途露光しているが、上記の図25の中段図に示したように、各論理演算セルを電源配線パターンを含めて一括露光し、各論理演算セルと同時に露光された電源配線パターンを接続するために、接続用の電源配線パターンを別途可変矩形露光により露光しても良いものである。

【0194】

ここで、再び図1を参照して、本発明の詳細な特徴を改めて説明する。

再び、図1参照

(付記1) 電子回路装置の回路パターンを電子ビームで露光するための電子回路装置設計方法であって、電子回路装置を構築する複数のセルから2種類のセル1, 2を選定し、前記2種類のセル1, 2の一方のセル1を回転させ、または反転させ、または回転且つ反転させる工程と、前記回転後または反転後または回転且つ反転後のセル3~5を前記2種類のセル1, 2の他方のセル2に置き換えてデータベース化してセルライブラリを作成する工程とを有し、前記セルを回転させ、または反転させ、または回転且つ反転させる工程において、配線層パターンをトランジスタ同士を接続する第1の配線層パターン、ゲート層に入力を伝える第2の配線層パターン、電源配線を構成する第3の配線層パターン、前記電源配線をn型領域及びp型領域に接続する第4の配線層パターン、n型トランジスタとp型トランジスタとを接続するとともに出力を取り出す第5の配線層パターンに区分し、複数の電子回路装置の回路パターンに対して前記第3の配線パターン及び第5の配線パターンを除いて配線層パターンを共通化することを特徴とする電子回路装置設計方法。

(付記2) 前記セル1, 2がインバータセルの場合、回転後または反転後も同一セル3, 4になるように前記回路パターンの配置を決定することを特徴とする付記1に記載の電子回路装置設計方法。

(付記3) 電子回路装置の回路パターンを電子ビームで露光するための電子ビーム露光データ作成方法であって、付記1に記載のセルライブラリから電子ビームで一括露光するパターン群からなるブロックを抽出し、前記ブロックに対応する電子ビーム露光データを作成して、前記ブロックに対応する電子ビーム露光データから前記ブロックを搭載したブロックマスクを作成する工程と、前記セルライブラリを基に作成した電子回路装置設計データからセルを抽出し、前記ブロックに対応する電子ビーム露光データに基づいてウェーハ製造用露光データを作成する工程を有することを特徴とする電子ビーム露光データ作成方法。

(付記4) 電子回路装置の回路パターンを電子ビームで露光するための電子ビーム露光方法であって、付記3に記載のウェーハ製造用露光データを露光装置に入力して、付記3に記載のブロックマスクを使用して一括露光することを特徴とする電子ビーム露光方法。

(付記5) 付記3に記載のブロックマスクの作成工程で作成したことを特徴とするブロックマスク。

(付記6) ダミーパターンを抽出したブロックを搭載していることを特徴とする付記5に記載のブロックマスク。

(付記7) NANDセル用のコンタクト層パターン及び配線層パターンと、NORセル用のコンタクト層パターン及び配線層パターンとを共用していることを特徴とする付記5または付記6に記載のブロックマスク。

【産業上の利用可能性】

【0195】

本発明の活用例としては、半導体装置の設計方法、電子ビーム露光データ作成方法、或いは、電子ビーム露光方法が典型的であるが、半導体装置に限られるものではなく、超伝導デバイス等の論理回路を組み合わせて使用する他の電子回路装置にも適用されるものである。

【図面の簡単な説明】

【0196】

10

20

30

40

50

- 【図1】本発明の原理的構成の説明図である。
- 【図2】2入力NANDのトランジスタレベル回路図とセルの説明図である。
- 【図3】2入力NORのトランジスタレベル回路図とセルの説明図である。
- 【図4】図2に示したNANDセル10の180度回転後、X軸反転後、及び、X軸反転且つ180°回転後のセル構造の構成説明図である。
- 【図5】4種類の2入力NORセルの配置図である。
- 【図6】NORセル - NANDセル変換図である。
- 【図7】INVERTERセルのトランジスタレベル回路図とセルの説明図である。
- 【図8】3入力NANDセルと3入力NORセルのMIL記号およびゲートレベル回路図である。 10
- 【図9】2入力ANDセルと2入力ORセルのMIL記号およびゲートレベル回路図である。
- 【図10】3入力AND - OR - INVERTERセルと3入力OR - AND - INVERTERセルのMIL記号およびゲートレベル回路図である。
- 【図11】4入力AND - OR - INVERTERセル(1)と4入力OR - AND - INVERTERセル(1)のMIL記号およびゲートレベル回路図である。
- 【図12】4入力AND - OR - INVERTERセル(2)と4入力OR - AND - INVERTERセル(2)のMIL記号およびゲートレベル回路図である。
- 【図13】4入力AND - OR - INVERTERセル(3)と4入力OR - AND - INVERTERセル(3)のMIL記号およびゲートレベル回路図である。 20
- 【図14】6入力AND - OR - INVERTERセルと6入力OR - AND - INVERTERセルのMIL記号およびゲートレベル回路図である。
- 【図15】5入力AND - OR - INVERTERセルと5入力OR - AND - INVERTERセルのMIL記号およびゲートレベル回路図である。
- 【図16】XOR回路とXNOR回路のMIL記号およびゲートレベル回路図である。
- 【図17】駆動能力が2倍の2入力NANDセルと2入力NORセルのMIL記号およびゲートレベル回路図である。
- 【図18】駆動能力が2倍の3入力NANDセルと3入力NORセルのMIL記号およびゲートレベル回路図である。
- 【図19】セルの登録方法の説明図である。 30
- 【図20】3入力AND - OR - INVERTER回路の説明図である。
- 【図21】本発明の実施例2の3入力AND - OR - INVERTERと3入力OR - AND - INVERTERの説明図である。
- 【図22】コンタクト層パターンを除いた論理演算セルの構成図である。
- 【図23】論理演算セルから第1メタル配線層パターンを抽出したブロックの構成図である。
- 【図24】部分照射した場合の説明図である。
- 【図25】電源配線パターンのショット数例の説明図である。
- 【図26】2入力NANDセルと2入力NORセルの構成説明図である。
- 【図27】3入力NANDセルと3入力NORセルの構成説明図である。 40
- 【図28】4入力NANDセルと4入力NORセルの構成説明図である。
- 【図29】2入力ANDセルと2入力ORセルの構成説明図である。
- 【図30】4入力AND - OR - INVERTERセル(1)と4入力OR - AND - INVERTERセル(1)の構成説明図である。
- 【図31】4入力AND - OR - INVERTERセル(2)と4入力OR - AND - INVERTERセル(2)の構成説明図である。
- 【図32】4入力AND - OR - INVERTERセル(3)と4入力OR - AND - INVERTERセル(3)の構成説明図である。
- 【図33】5入力AND - OR - INVERTERセルの構成説明図である。
- 【図34】5入力OR - AND - INVERTERセルの構成説明図である。 50

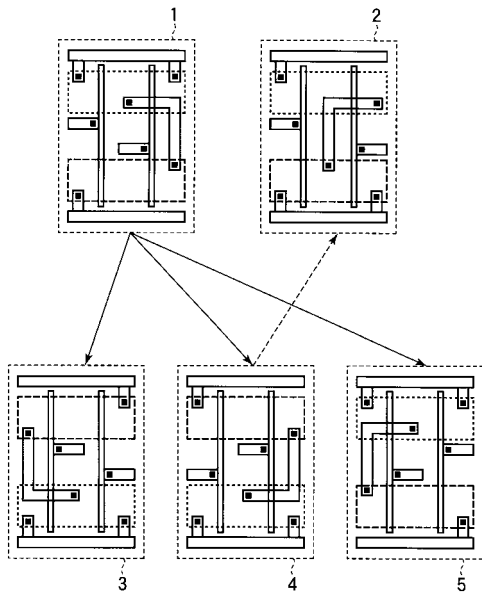
- 【図35】6入力AND - OR - INVERTERセルの構成説明図である。
- 【図36】6入力OR - AND - INVERTERセルの構成説明図である。
- 【図37】XORセルの構成説明図である。
- 【図38】XNORセルの構成説明図である。
- 【図39】駆動能力が2倍の2入力NANDセルと2入力NORセルの構成説明図である。
- 【図40】駆動能力が2倍の3入力NANDセルの構成説明図である。
- 【図41】駆動能力が2倍の3入力NORセルの構成説明図である。
- 【図42】INVERTERの構成説明図である。
- 【図43】1つのトランジスタに2つ以上のトランジスタが接続されている箇所が3箇所存在する論理演算セルの構成説明図である。 10
- 【図44】論理演算セルが、90度回転、270度回転、X軸反転かつ90度回転、X軸反転かつ270度回転で配置される場合の論理演算セルの構成説明図である。
- 【図45】ダミーパターンを抽出したブロックの構成説明図である。
- 【図46】従来の可変矩形電子ビーム露光装置の概念的構成図である。
- 【図47】従来の一括電子ビーム露光装置の概念的構成図である。
- 【図48】ブロックマスク製造用露光データ処理工程の説明図である。
- 【図49】ウェーハ製造用露光データ処理工程の説明図である。
- 【図50】セルの配置方法の説明図である。
- 【符号の説明】 20
- 【0197】
- 1 セル
 - 2 セル
 - 3 回転後のセル
 - 4 反転後のセル
 - 5 回転且つ反転後のセル
 - 10 NANDセル
 - 11 n型拡散層パターン
 - 12 p型拡散層パターン
 - 13 ゲート層パターン 30
 - 14 ゲート層パターン
 - 15 ~ 21 コンタクト層パターン
 - 22 ~ 29 配線層パターン
 - 30 NORセル
 - 31 n型拡散層パターン
 - 32 p型拡散層パターン
 - 33 ゲート層パターン
 - 34 ゲート層パターン
 - 35 ~ 41 コンタクト層パターン
 - 42 ~ 49 配線層パターン 40
 - 51 配線層パターン
 - 52 配線層パターン
 - 53 配線層パターン
 - 60 INVERTERセル
 - 61 NANDセル
 - 62 NORセル
 - 63 ANDセル
 - 64 ORセル
 - 65 AND - OR - INVERTERセル
 - 66 OR - AND - INVERTERセル 50

67	AND - OR - INVERTERセル	
68	OR - AND - INVERTERセル	
69	AND - OR - INVERTERセル	
70	OR - AND - INVERTERセル	
71	AND - OR - INVERTERセル	
72	OR - AND - INVERTERセル	
73	AND - OR - INVERTERセル	
74	OR - AND - INVERTERセル	
75	AND - OR - INVERTERセル	
76	OR - AND - INVERTERセル	10
77	XOR回路	
77 ₁	~ 77 ₄ 回路要素	
78	XNOR回路	
78 ₁	~ 78 ₄ 回路要素	
79	NANDセル	
80	NORセル	
81	NANDセル	
82	NORセル	
83	2入力NANDセル	
84	2入力NORセル	20
91	電子銃	
92	電子ビーム	
93	第1アパーチャ	
94	第2アパーチャ	
95	偏向器	
96	偏向器	
97	ウェーハ	
98	ブロックマスク	
99	開口	
100	セルライブラリ	30
101	ブロックマスク製造用露光データ	
102	設計データ	
103	設計データ	
104	設計データ	
105	ウェーハ製造用露光データ	
106	ウェーハ	
107	ウェーハ製造用露光データ	
108	ウェーハ	
109	ウェーハ製造用露光データ	
110	ウェーハ	40
111	~ 114 セル	
120	トランジスタレベル回路	
130	セル	
131	~ 133 ゲート層パターン	
134	~ 136 第1メタル配線層パターン	
141	~ 144 第1メタル配線層パターン	
151	~ 153 第1メタル配線層パターン	
161	~ 164 コンタクト層パターン	
165	, 166 領域	
171	, 172 電源配線パターン	50

- 2 3 1 , 2 3 2 電源配線パターン
- 2 8 0 論理演算セル
- 2 8 1 ブロック
- 7 2 0 ダミーパターン用ブロック
- 7 2 1 ダミーパターン

【 図 1 】

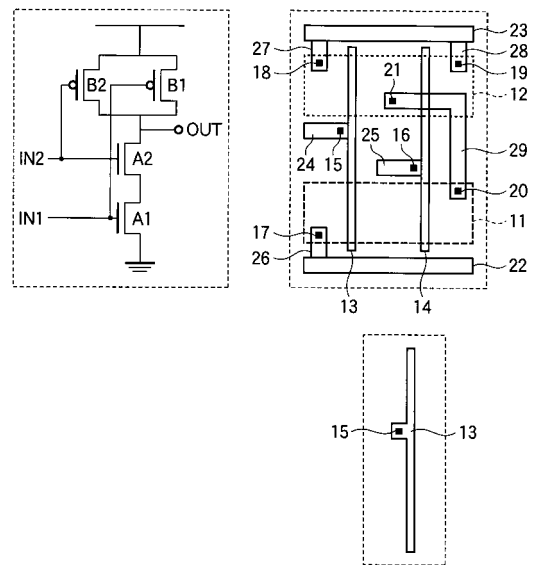
本発明の原理的構成の説明図



- 1: セル
- 2: セル
- 3: 回転後のセル
- 4: 反転後のセル
- 5: 回転且つ反転後のセル

【 図 2 】

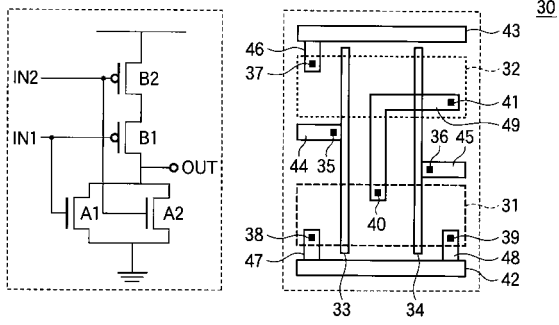
2入力NANDのトランジスタレベル回路図とセルの説明図



- 10: NANDセル
- 11: n型拡散層パターン
- 12: p型拡散層パターン
- 13: ゲート層パターン
- 14: ゲート層パターン
- 15~21: コンタクト層パターン
- 22~29: 配線層パターン

【図3】

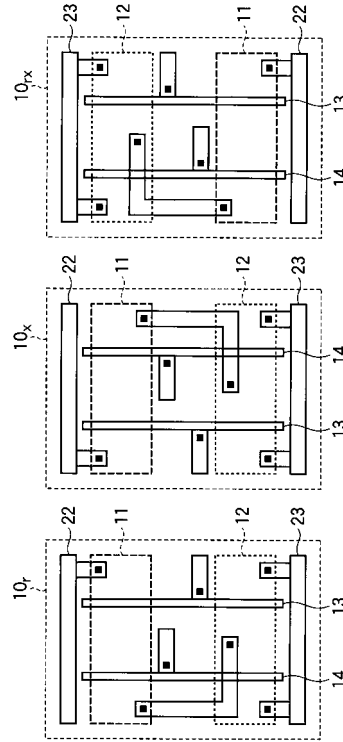
2入力NORのトランジスタレベル回路図とセルの説明図



- 30: NORセル
- 31: n型拡散層パターン
- 32: p型拡散層パターン
- 33: ゲート層パターン
- 34: ゲート層パターン
- 35~41: コンタクト層パターン
- 42~49: 配線層パターン

【図4】

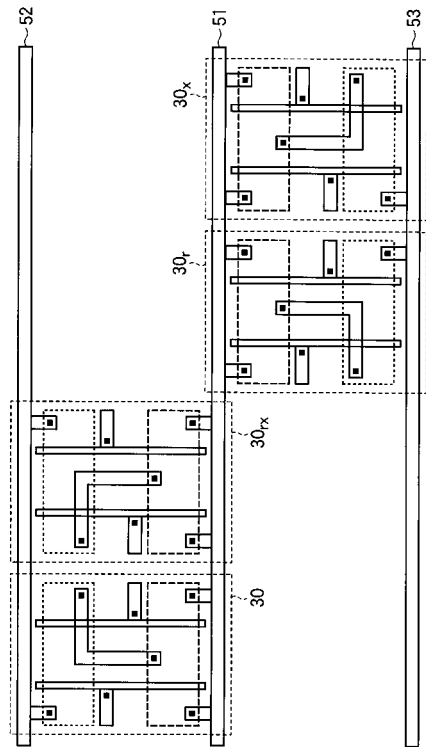
図2に示したNANDセル10の180度回転後、X軸反転後、X軸反転且つ180度回転後のセル構造の説明図



- 10_x: NANDセル
- 10_x: 180度回転後のNANDセル
- 10_r: X軸反転且つ180度回転後のNANDセル
- 11: n型拡散層パターン
- 12: p型拡散層パターン
- 13: ゲート層パターン
- 14: ゲート層パターン
- 22: 配線層パターン
- 23: 配線層パターン

【図5】

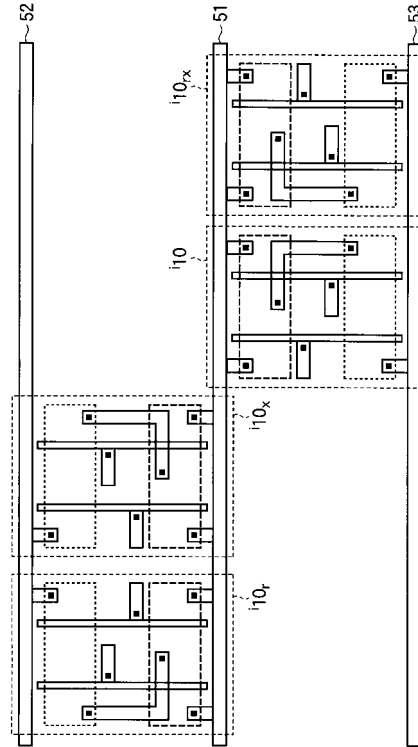
4種類の2入力NORセルの配置図



- 30: NORセル
- 30_r: NORセル
- 30_x: NORセル
- 30_{rx}: NORセル
- 51: 配線層パターン
- 52: 配線層パターン
- 53: 配線層パターン

【図6】

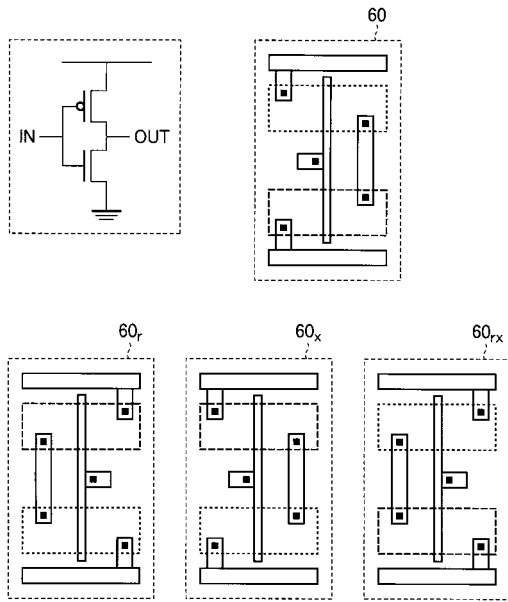
NORセル-NANDセル変換図



- 10: NANDセル
- 10_r: NANDセル
- 10_x: NANDセル
- 10_{rx}: NANDセル
- 51: 配線層パターン
- 52: 配線層パターン
- 53: 配線層パターン

【図7】

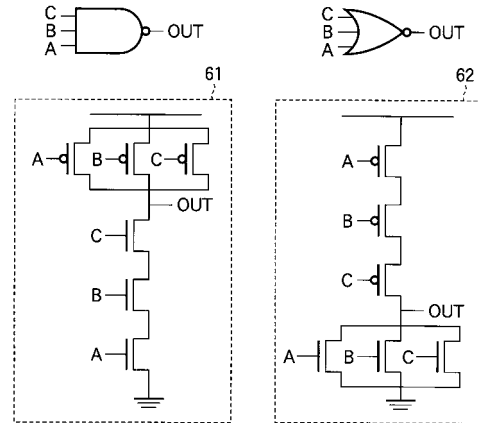
INVERTERセルのトランジスタレベル回路図とセルの説明図



60 : INVERTERセル

【図8】

3入力NANDセルと3入力NORセルのMIL記号およびゲートレベル回路図

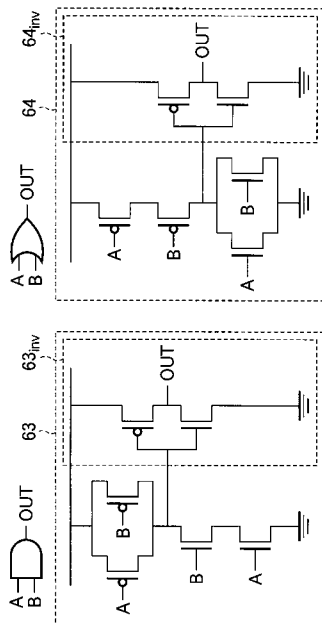


61 : NANDセル

62 : NORセル

【図9】

2入力ANDセルと2入力ORセルのMIL記号およびゲートレベル回路図

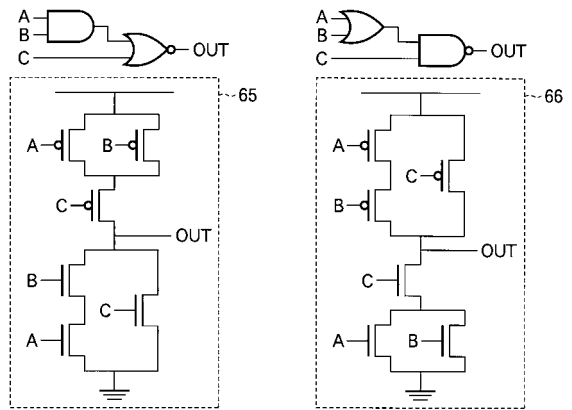


64 : ORセル

63 : ANDセル

【図10】

3入力AND-OR-INVERTERセルと3入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図

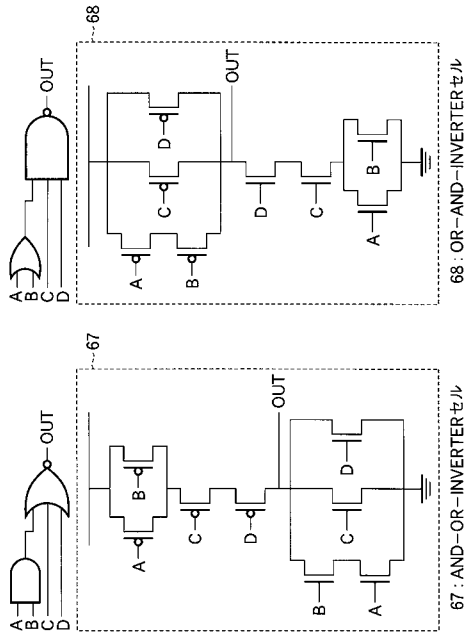


65 : AND-OR-INVERTERセル

66 : OR-AND-INVERTERセル

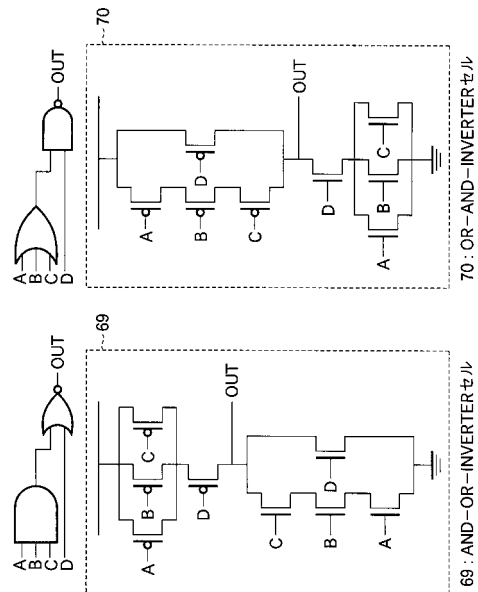
【 図 1 1 】

4入力AND-OR-INVERTERセル(1)と4入力OR-AND-INVERTERセル(1)のMIL記号およびゲートレベル回路図



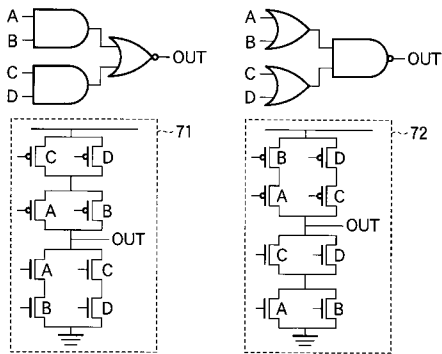
【 図 1 2 】

4入力AND-OR-INVERTERセル(2)と4入力OR-AND-INVERTERセル(2)のMIL記号およびゲートレベル回路図



【 図 1 3 】

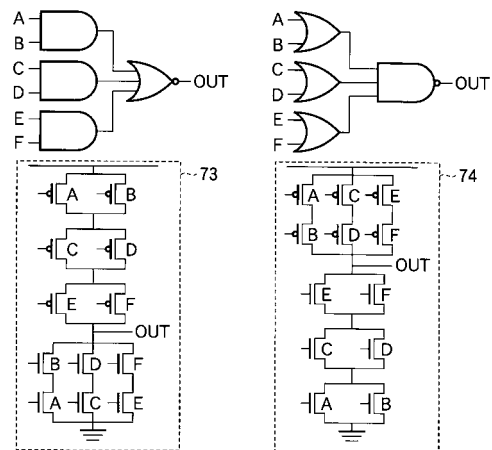
4入力AND-OR-INVERTERセル(3)と4入力OR-AND-INVERTERセル(3)のMIL記号およびゲートレベル回路図



71 : AND-OR-INVERTERセル
72 : OR-AND-INVERTERセル

【 図 1 4 】

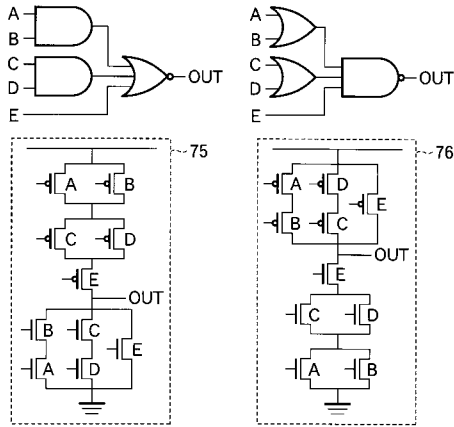
6入力AND-OR-INVERTERセルと6入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図



73 : AND-OR-INVERTERセル
74 : OR-AND-INVERTERセル

【図15】

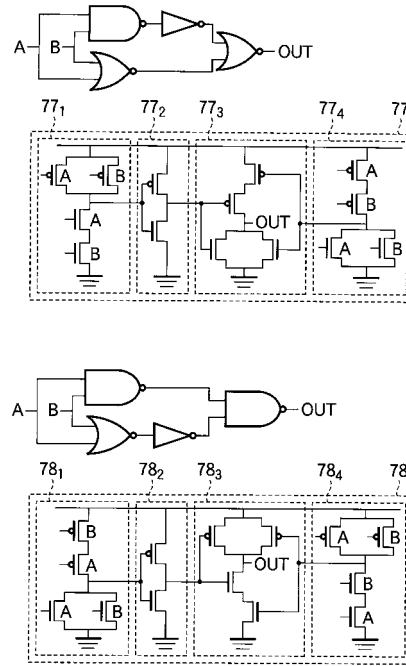
5入力AND-OR-INVERTERセルと5入力OR-AND-INVERTERセルのMIL記号およびゲートレベル回路図



75 : AND-OR-INVERTERセル
76 : OR-AND-INVERTERセル

【図16】

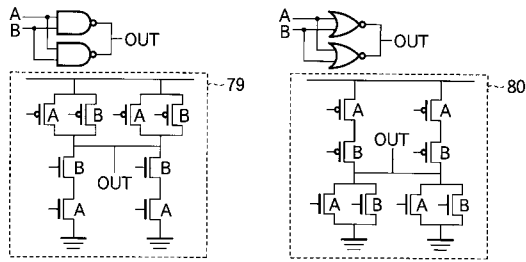
XOR回路とXNOR回路のMIL記号およびゲートレベル回路図



77 : XOR回路 77₁~77₄ : 回路要素
78 : XNOR回路 78₁~78₄ : 回路要素

【図17】

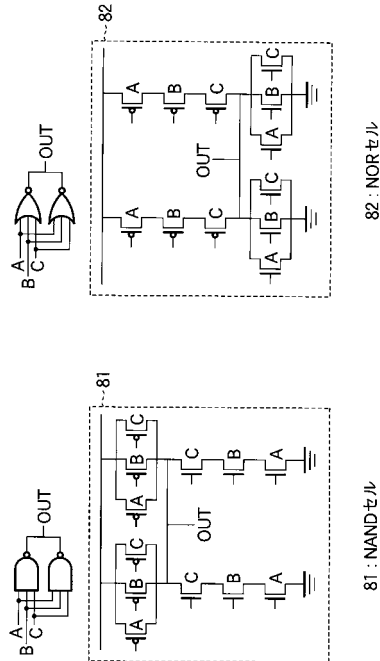
駆動能力が2倍の2入力NANDセルと2入力NORセルのMIL記号およびゲートレベル回路図



79 : NANDセル 80 : NORセル

【図18】

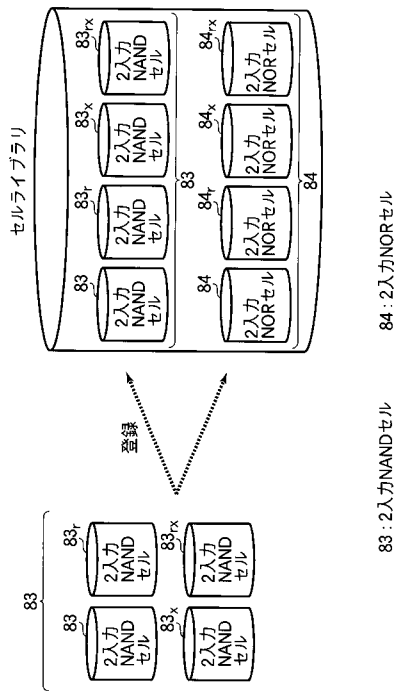
駆動能力が2倍の3入力NANDセルと3入力NORセルのMIL記号およびゲートレベル回路図



81 : NANDセル
82 : NORセル

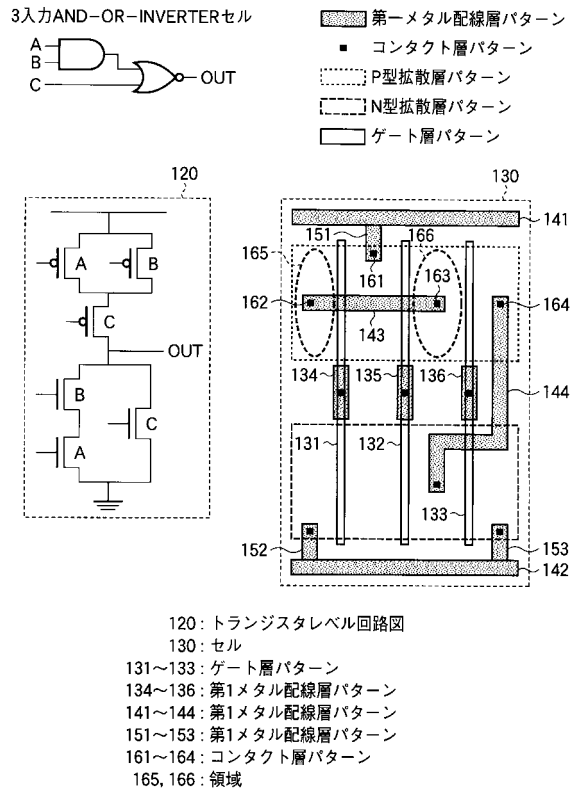
【図19】

セルの登録方法の説明図



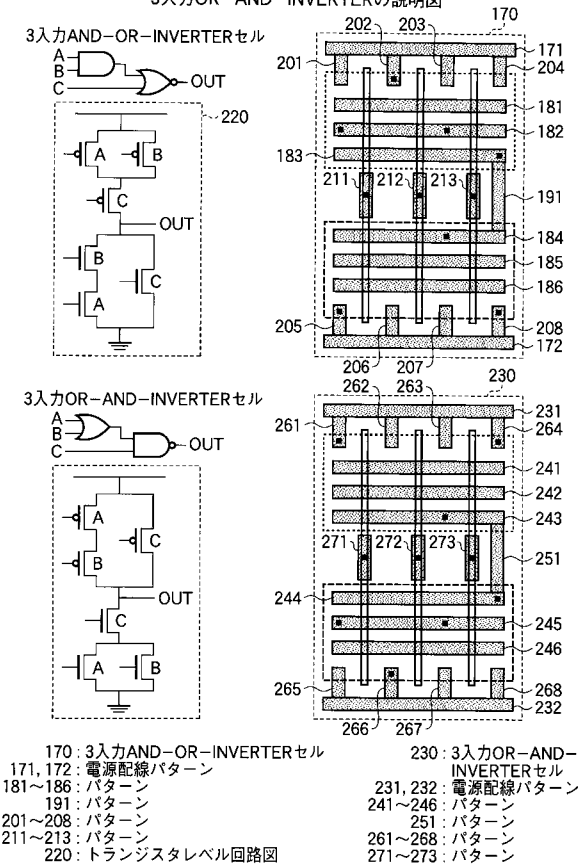
【図20】

3入力AND-OR-INVERTER回路の説明図



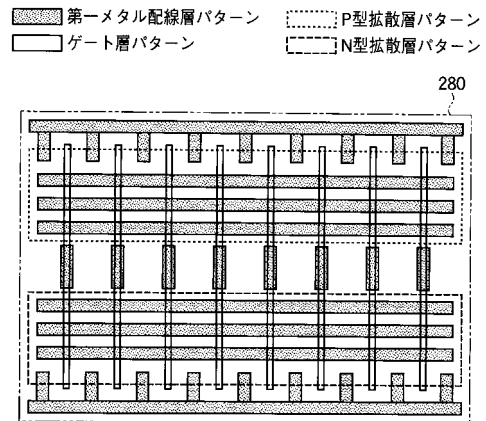
【図21】

本発明の実施例2の3入力AND-OR-INVERTERと3入力OR-AND-INVERTERの説明図



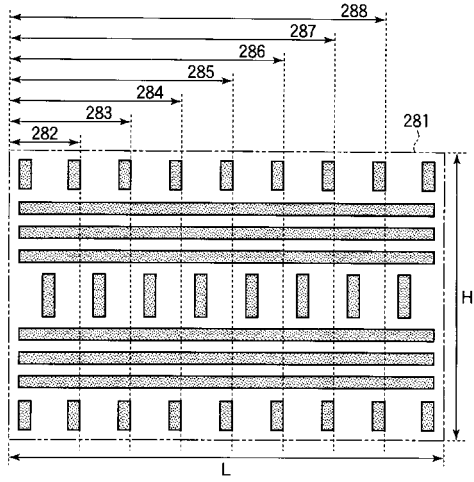
【図22】

コンタクト層パターンを除いた論理演算セルの構成図



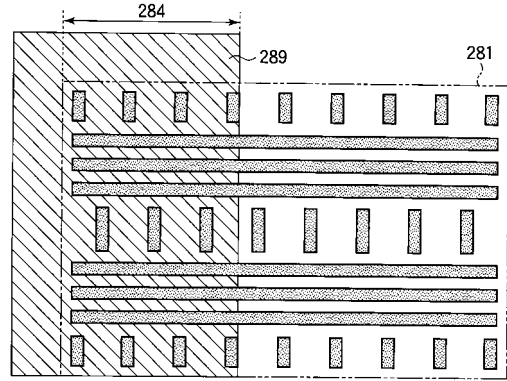
【図23】

論理演算セルから第1メタル配線層パターンを抽出したブロックの構成図



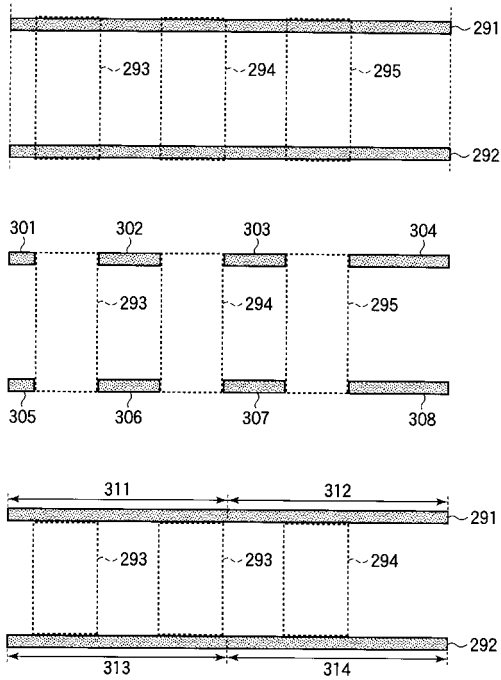
【図24】

部分照射した場合の説明図



【図25】

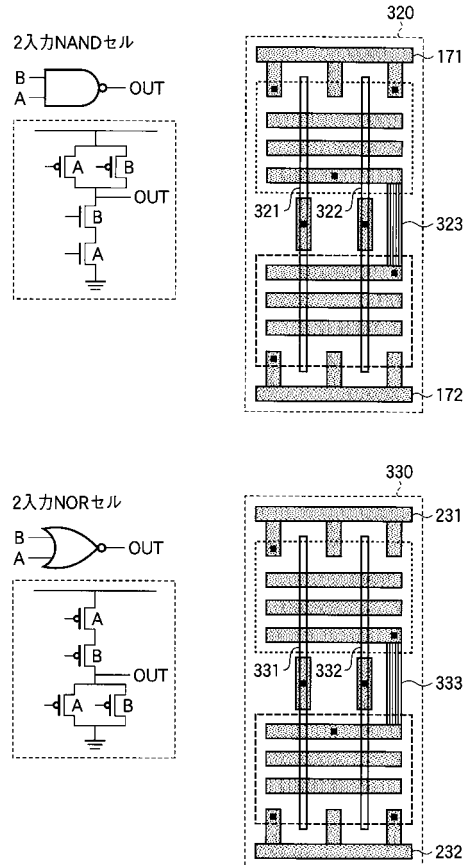
電源配線パターンのショット数例の説明図



291: 高電圧電源配線 301~308: パターン
 292: 低電圧電源配線 311~314: パターン
 293~295: 論理演算セル

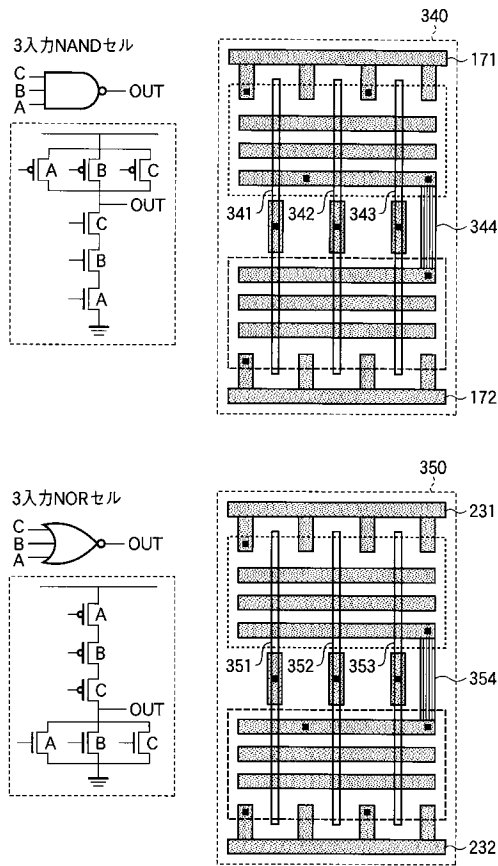
【図26】

2入力NANDセルと2入力NORセルの構成説明図



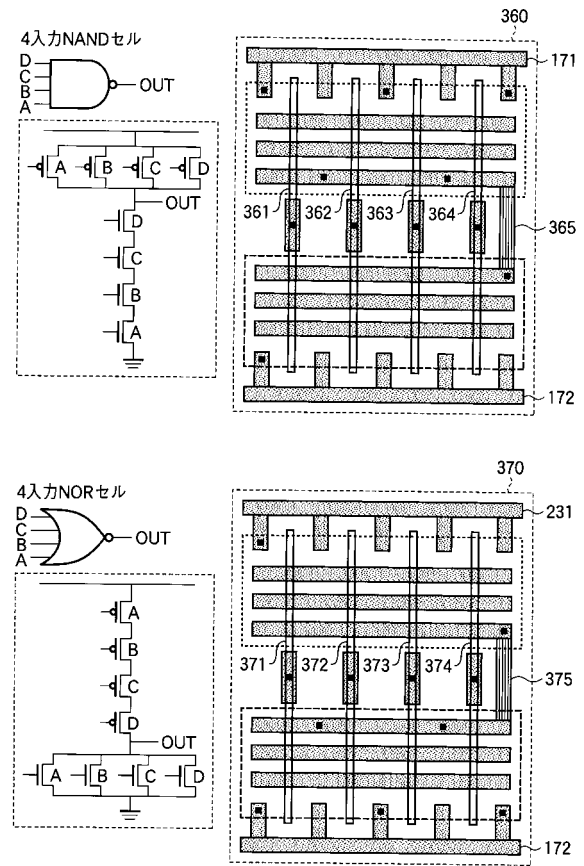
【図27】

3入力NANDセルと3入力NORセルの構成説明図



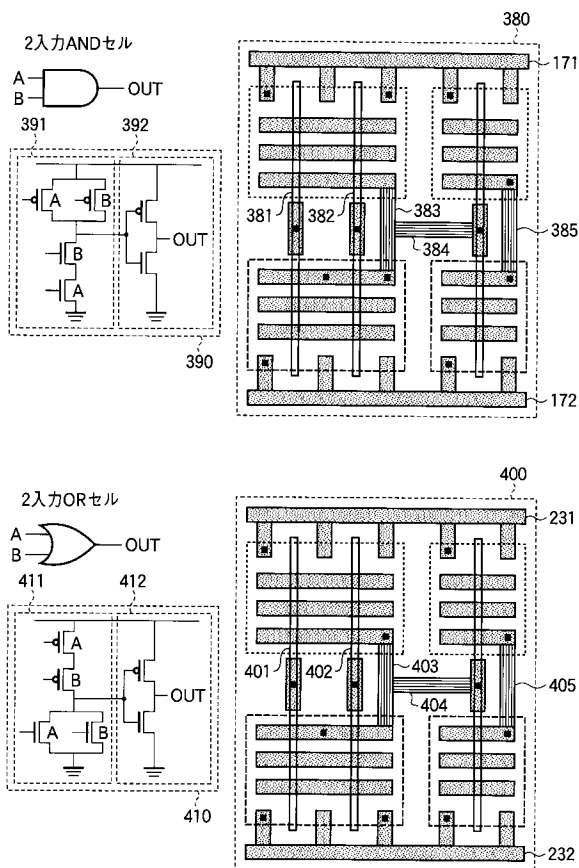
【図28】

4入力NANDセルと4入力NORセルの構成説明図



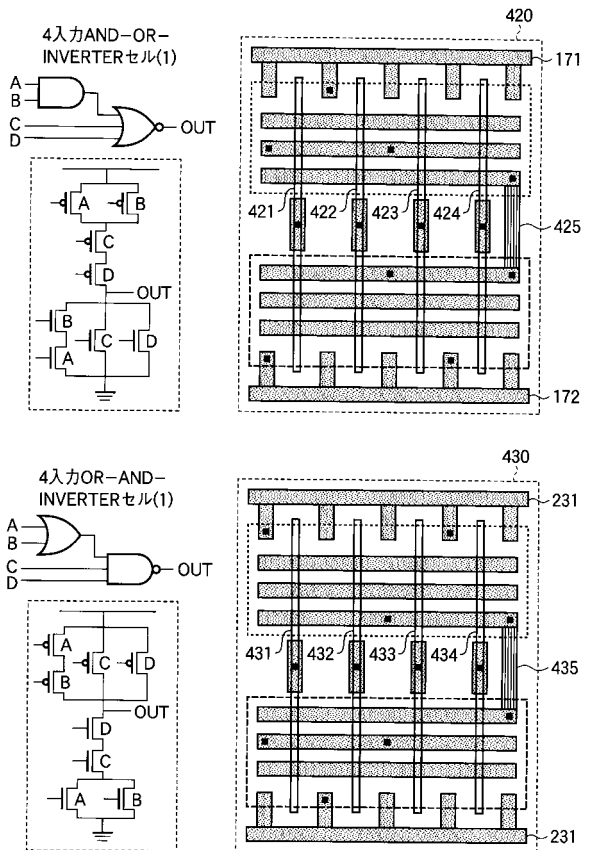
【図29】

2入力ANDセルと2入力ORセルの構成説明図



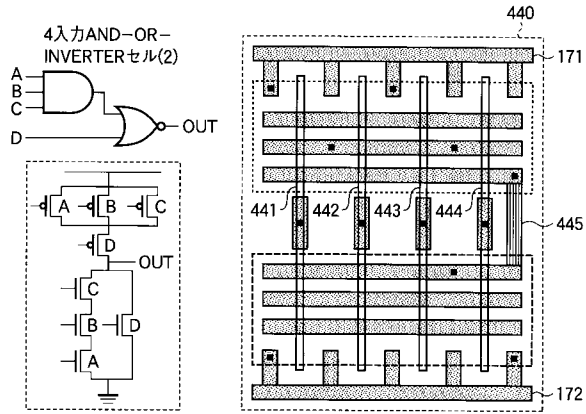
【図30】

4入力AND-OR-INVERTERセル(1)と4入力OR-AND-INVERTERセル(1)の構成説明図



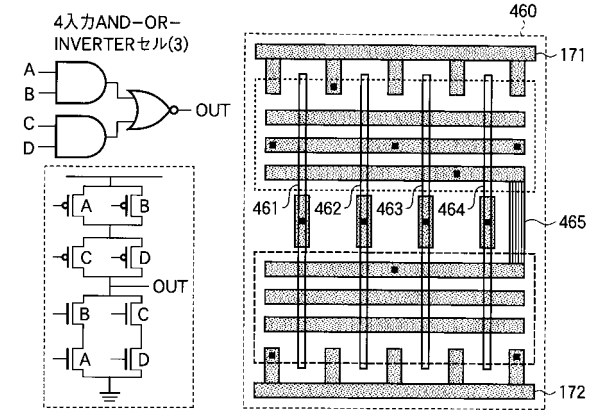
【図31】

4入力AND-OR-INVERTERセル(2)と
4入力OR-AND-INVERTERセル(2)の構成説明図

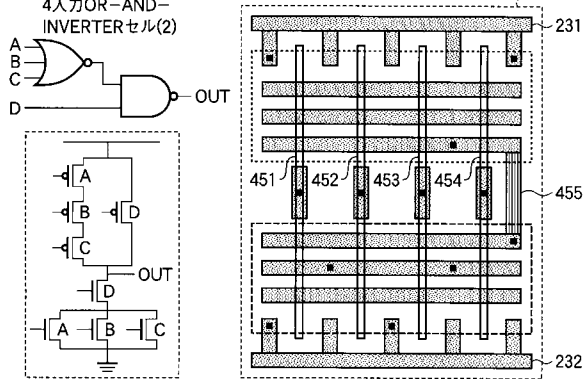


【図32】

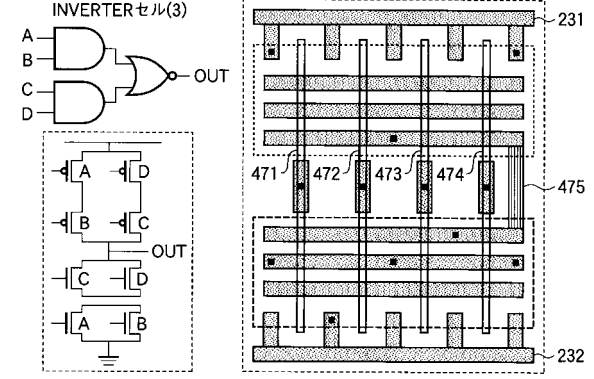
4入力AND-OR-INVERTERセル(3)と
4入力OR-AND-INVERTERセル(3)の構成説明図



4入力OR-AND-INVERTERセル(2)

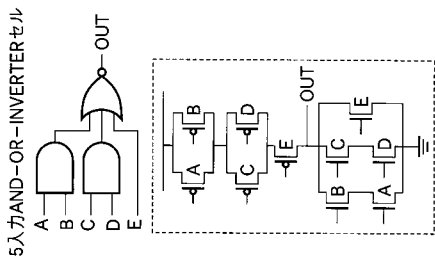
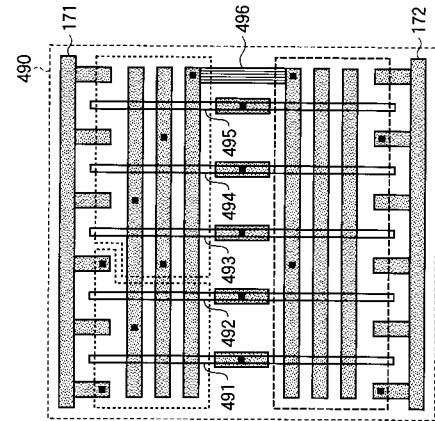


4入力OR-AND-INVERTERセル(3)



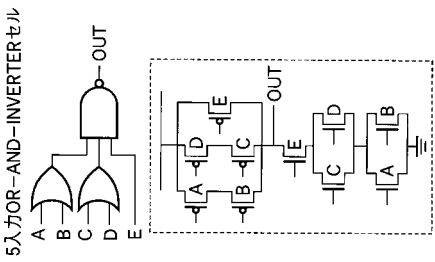
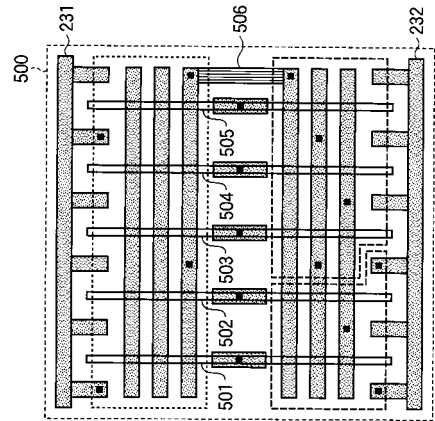
【図33】

5入力AND-OR-INVERTERセル(4)の構成説明図



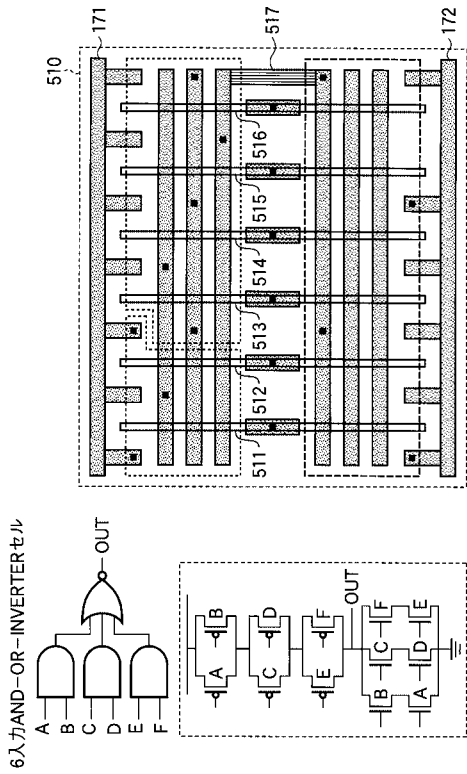
【図34】

5入力OR-AND-INVERTERセル(4)の構成説明図



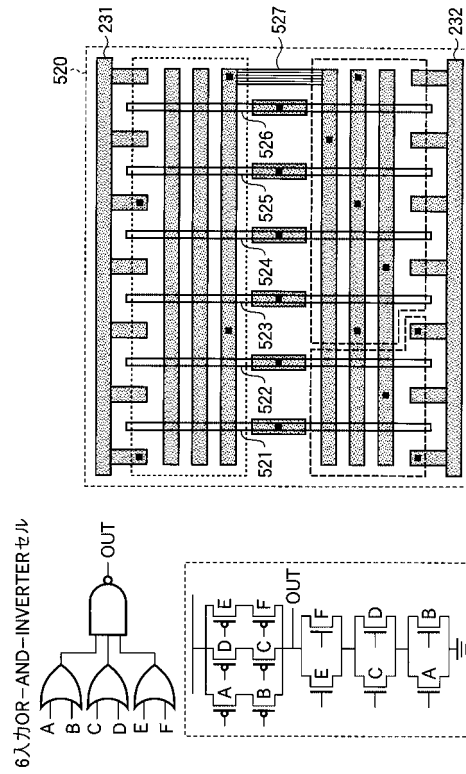
【図35】

6入力AND-OR-INVERTERセルの構成説明図



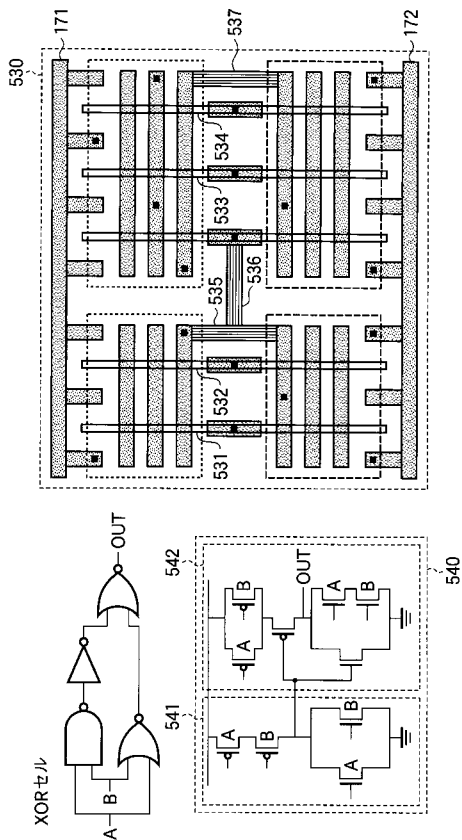
【図36】

6入力OR-AND-INVERTERセルの構成説明図



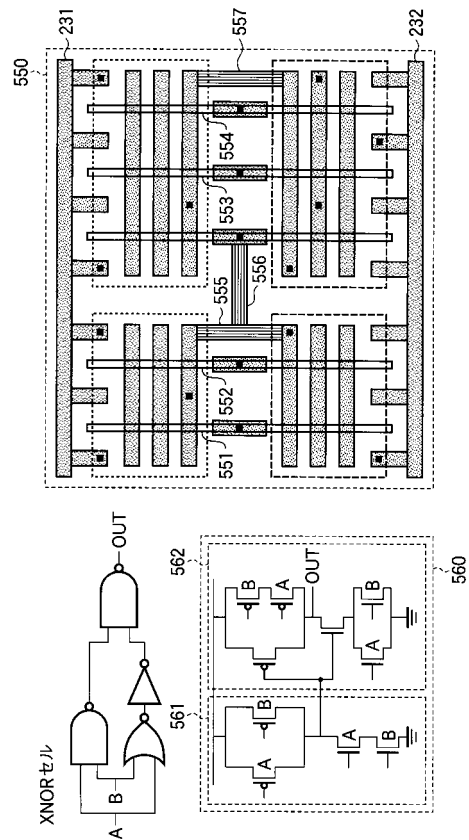
【図37】

XORセルの構成説明図



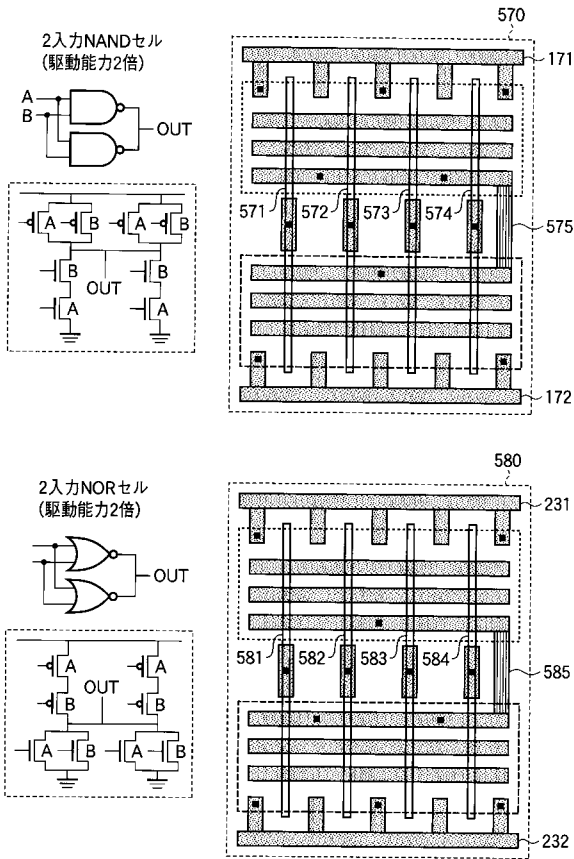
【図38】

XNORセルの構成説明図



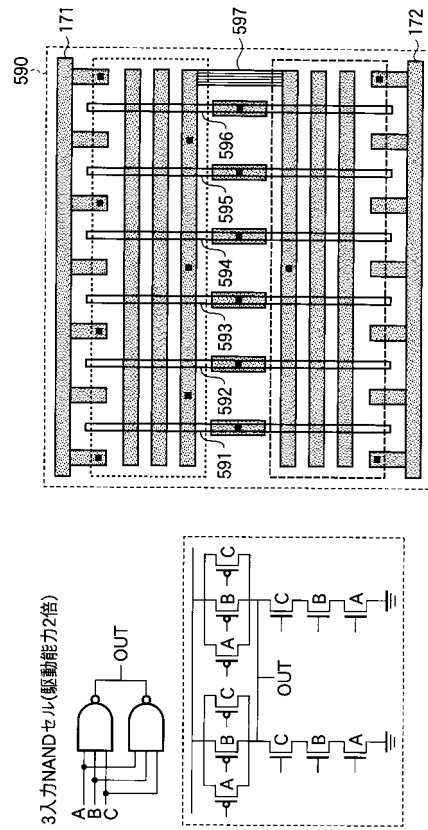
【図39】

駆動能力が2倍の2入力NANDセルと2入力NORセルの構成説明図



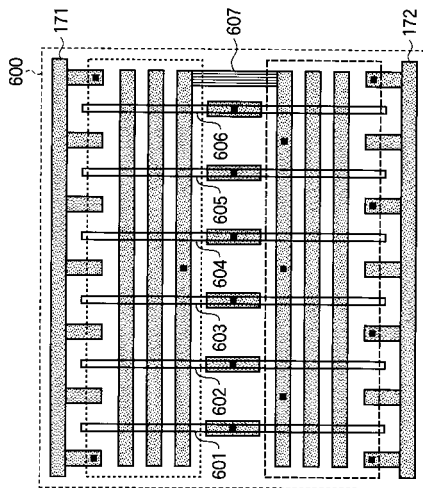
【図40】

駆動能力が2倍の3入力NANDセルの構成説明図



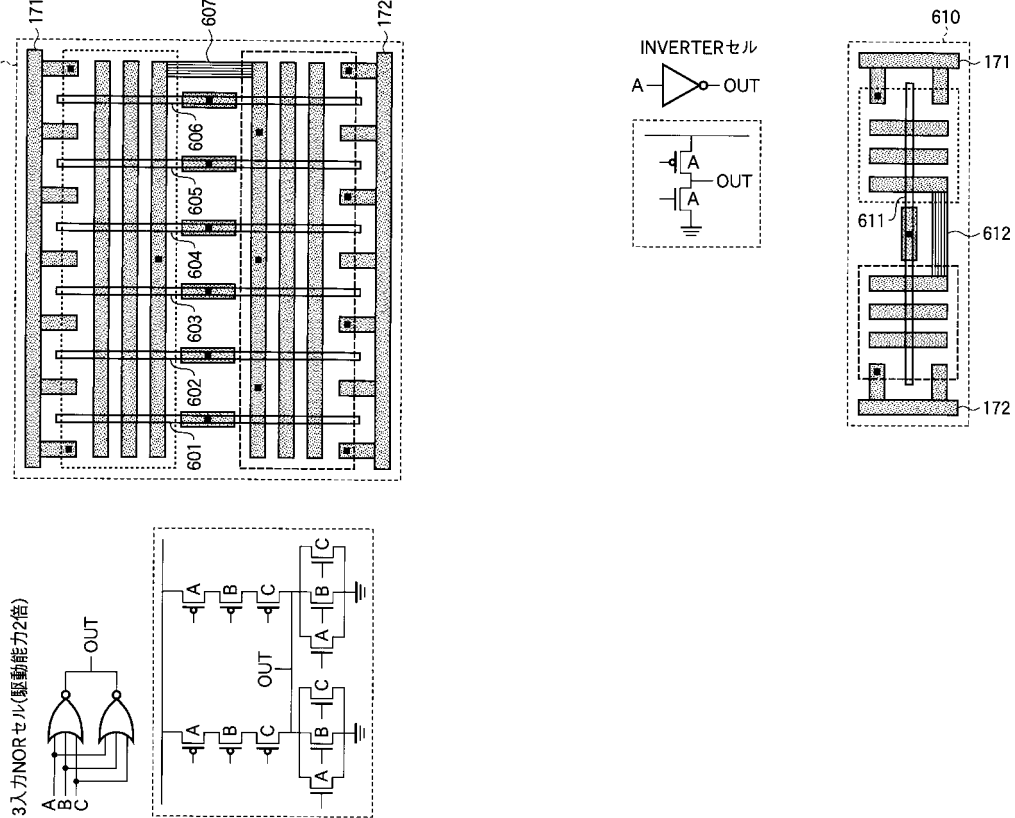
【図41】

駆動能力が2倍の3入力NORセルの構成説明図



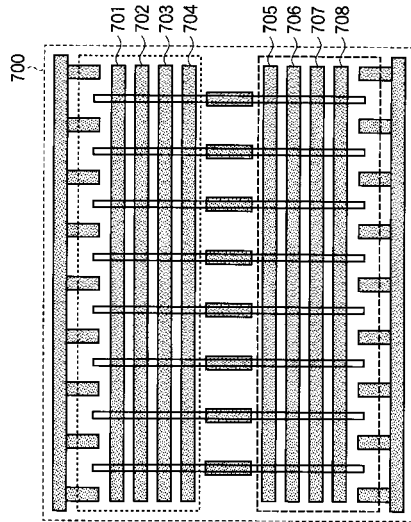
【図42】

INVERTERセルの構成説明図



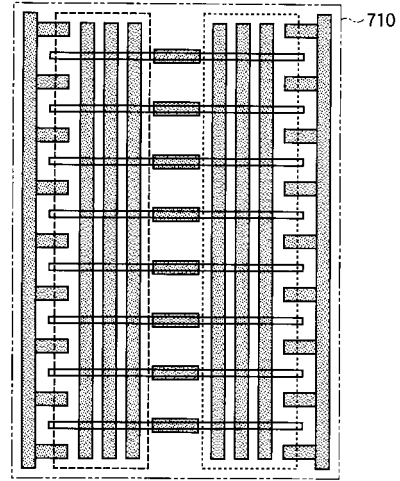
【図43】

1つのトランジスタに2つ以上のトランジスタが接続されている箇所が3箇所以上存在する論理演算セルの構成説明図



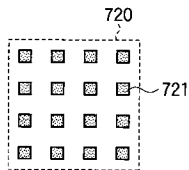
【図44】

論理演算セルが、90度回転、270度回転、X軸反転かつ90度回転、X軸反転かつ270度回転で配置される場合の論理演算セルの構成説明図



【図45】

ダミーパターンを抽出したブロックの構成説明図

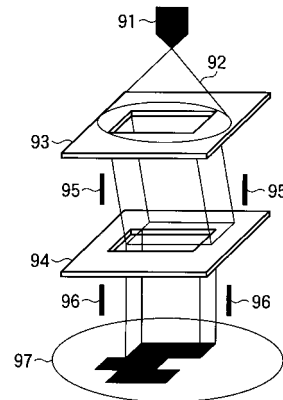


720: ダミーパターン用ブロック

721: ダミーパターン

【図46】

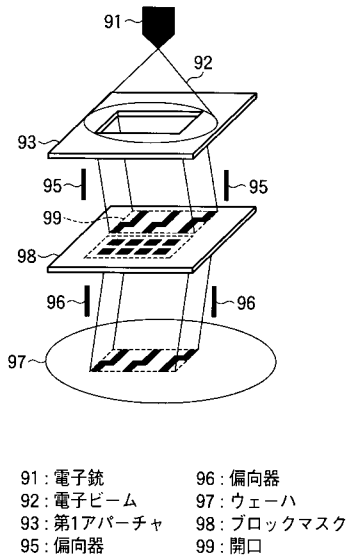
従来の可変矩形電子ビーム露光装置の概念的構成図



- 91: 電子銃
- 92: 電子ビーム
- 93: 第1アパーチャ
- 94: 第2アパーチャ
- 95: 偏向器
- 96: 偏向器
- 97: ウェーハ

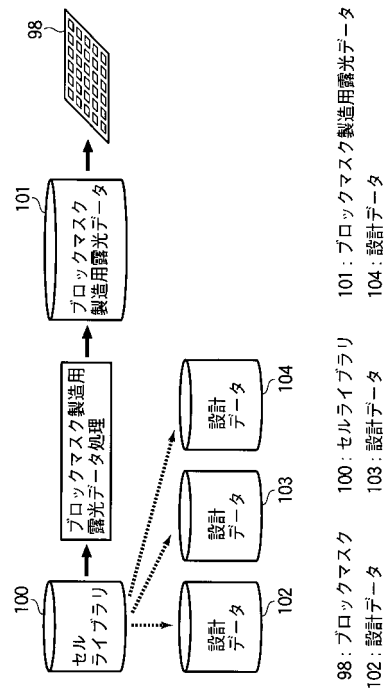
【図47】

従来の一括電子ビーム露光装置の概念的構成図



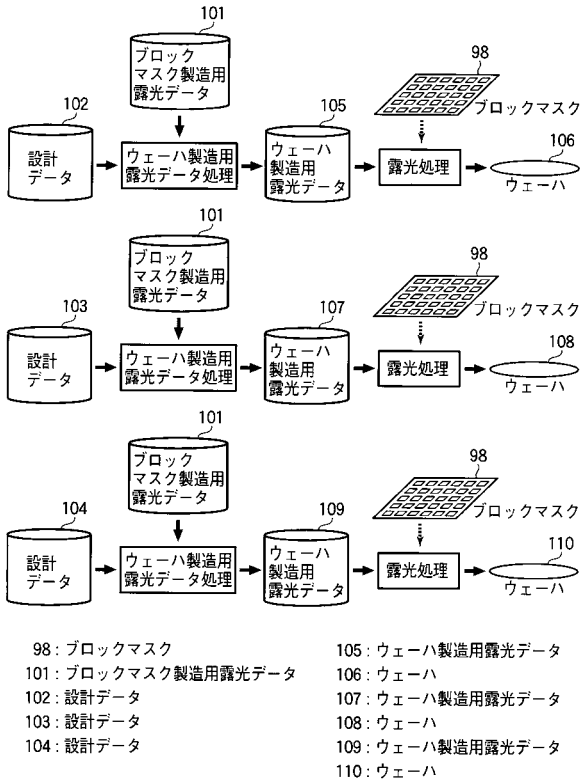
【図48】

ブロックマスク製造用露光データ処理工程の説明図



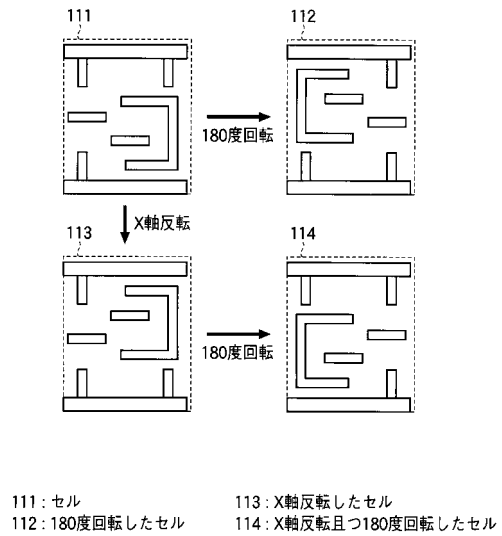
【図49】

ウェーハ製造用露光データ処理工程の説明図



【図50】

セルの配置方法の説明図



フロントページの続き

(74)代理人 100110238

弁理士 伊藤 壽郎

(72)発明者 滝田 博

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 岩本 勉

(56)参考文献 特開2001-068549(JP,A)

特開2000-058424(JP,A)

特開2001-196460(JP,A)

特開平05-198672(JP,A)

特開2002-057083(JP,A)

特開2003-086685(JP,A)

特開2005-268657(JP,A)

特開2002-252159(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/027

H01L 21/82

G03F 1/00 - 1/86