



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0000726
(43) 공개일자 2011년01월05일

(51) Int. Cl.

H01L 23/12 (2006.01) H01L 21/68 (2006.01)

(21) 출원번호 10-2010-7017670

(22) 출원일자(국제출원일자) 2009년03월13일

심사청구일자 없음

(85) 번역문제출일자 2010년08월09일

(86) 국제출원번호 PCT/EP2009/001825

(87) 국제공개번호 WO 2009/115240

국제공개일자 2009년09월24일

(30) 우선권주장

08005016.4 2008년03월18일

유럽특허청(EPO)(EP)

(71) 출원인

에베 그룹 게엠베하

오스트리아, 세인트. 플로리안, 아-4782, 데아 에
리히 탈너 슈트라쎄 1

(72) 발명자

뮌플링게르, 마르쿠스

오스트리아, 라이트 임 인크라이스 아-4910, 브라
우나우에르스트라쎄 84

(74) 대리인

강명구

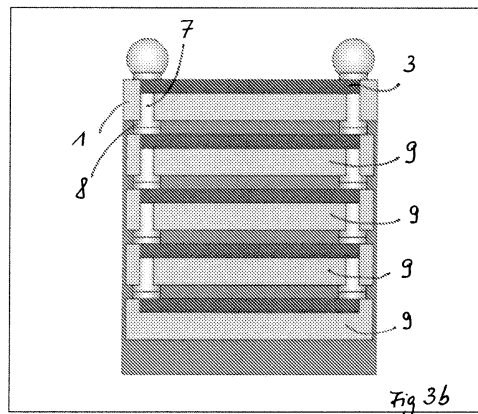
전체 청구항 수 : 총 20 항

(54) 웨이퍼에 칩을 본딩하는 방법

(57) 요약

본 발명은 복수의 개별 칩(9)을 지지 웨이퍼(1)에 본딩하는 방법에 관한 것이며, 이때, 개별 칩은 지지 웨이퍼 상에서 다수의 층으로 적층되고, 수직으로 이웃하는 칩들 사이에, 그리고 지지 웨이퍼와 상기 지지 웨이퍼와 수직으로 이웃하는 칩 사이에, 전기 전도성 연결(7)이 존재하며, 상기 방법은, a) 지지 웨이퍼를 캐리어(5)에 고정하는 단계와, b) 하나 이상의 칩 층을 지지 웨이퍼 상의 지정 위치로 배치하는 단계와, c) 상기 캐리어에 고정되어 있는 지지 웨이퍼 상의 칩을 열 처리하는 단계를 포함한다.

대표도 - 도3b



특허청구의 범위

청구항 1

복수의 칩(3)을 지지 웨이퍼(1)에 본딩하기 위한 방법에 있어서, 이때 상기 칩(3)은 지지 웨이퍼(1) 위에서 복수 층으로 적층되며, 수직으로 이웃하는 칩들(3) 사이에, 그리고 지지 웨이퍼(1)와 상기 지지 웨이퍼(1)와 수직으로 이웃하고 있는 칩(3)의 층 사이에 전기 전도성 연결(7)이 존재하고, 상기 방법은

- a) 지지 웨이퍼(1)를 캐리어(5) 상에 고정하는 단계와,
 - b) 칩(3)의 하나 이상의 층을 상기 지지 웨이퍼(1) 상의 지정 위치로 배치하는 단계와,
 - c) 캐리어(5)에 고정되어 있는 지지 웨이퍼(1) 상의 칩(3)을 열처리하는 단계
- 를 포함하는 것을 특징으로 하는 복수의 칩을 하나의 지지 웨이퍼로 본딩하기 위한 방법.

청구항 2

제 1 항에 있어서, 상기 단계 b) 및 c)는 서로 다른 장치에서 수행되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 캐리어(5)는, 부분적으로, 또는 전적으로 실리콘으로 구성되며, 상기 캐리어(5)의 크기는 지지 웨이퍼(1)의 크기와 일치하거나, 캐리어 반경이 지지 웨이퍼 반경에서 10mm 이상, 또는 5mm 이상, 또는 2mm 이상, 또는 1mm 이상 차이 나지 않는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 고정을 위한 고정 수단이 사용되며, 상기 고정 수단은, 진공 수단, 정전기 수단, 기계적 클램핑 및 시멘트 중 하나 이상이며, 바람직하게는 상기 시멘트는 내열 시멘트인 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 지정 위치로 배치하는 단계 동안, 상기 칩(3)이, 그 아래 놓이는 칩 층 또는 지지 웨이퍼의 대응하는 접촉부와 접촉하도록 정렬되고 본딩되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서, 배치 단계 동안, 칩(3)은 아래 위치하는 층의 정상 작동 칩(functioning chip) 상에서만 배치되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서, 열처리, 무산소 분위기에서, 또는 비활성 분위기에서, 또는 환원 분위기에서, 또는 포밍 가스(forming gas)나 포름산 분위기에서, 발생하는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서, 상기 칩(3)은, 배치 단계 후, 시멘트-고정되며, 바람직하게는 유기 시멘트를 이용하거나 분자 연결(molecular connection)을 이용하여 시멘트-고정되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서, 상기 지지 웨이퍼(1)는 200 μ m 이하, 또는 100 μ m 이하, 또는 50 μ m 이하, 또는 20 μ m 이하의 두께를 갖는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서, 상기 지지 웨이퍼(1)는 200mm 이상, 또는 300mm 이상, 또는 450 mm 이상의 직경을 갖는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서, 상기 칩(3) 또는 칩 스택은, 단계 b) 또는 단계 c) 후에, 매스(11)로 포팅(potting) 처리되며, 상기 매스(11)는 특히 열적 고안정적 속성, 기계적 고안정적 속성, 화학적 고안정적 속성 및 발수(water-repellent) 속성 중 하나 이상을 띄며, 상기 매스(11)는 특히 유기물, 바람직하게는 에폭시 수지, 또는 세라믹 물질인 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 12

제 11 항에 있어서, 포팅(potting) 공정 후, 상기 매스(11)가 가압되는 것, 특히 대기압 이하로, 바람직하게는 진공에서 포팅(potting) 공정을 수행한 후, 대기압으로 해방시킴으로써, 상기 매스(11)가 가압되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 13

제 11 항 또는 제 12 항에 있어서, 상기 매스(11)는 실온 이상의 온도에서 액상으로 부어지는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 14

제 12 항 또는 제 13 항에 있어서, 포팅(potting) 공정 후, 캐리어(5)로부터 지지 웨이퍼(1)가 제거되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 15

제 12 항 내지 제 14 항 중 어느 한 항에 있어서,

매스(11)와, 포팅 공정 후, 또는 포팅 공정 중, 상기 매스(11)로 포팅 처리된 칩(3)이 포함된 지지 웨이퍼(1)가 지지 웨이퍼(1)의 해당 기본 형태가 되거나,

상기 매스(11)가 개별 칩(9)의 최상위 층인 한, 제거, 특히 연마되어 벗겨지거나(grind off), 또는

둘 모두가 수행되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 16

제 1 항 내지 제 15 항 중 어느 한 항에 있어서, 단계 b) 또는 c) 후에, 특히 포팅 공정 후에, 각각의 칩 스택의 기관 또는 또 다른 칩 스택으로의 연결을 위해 솔더 범프(12)가 제공되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 17

제 1 항 내지 제 16 항 중 어느 한 항에 있어서, 상기 지지 웨이퍼(1)와 캐리어(5) 중 하나 이상은 실리콘으로 구성되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 18

제 1 항 내지 제 17 항 중 어느 한 항에 있어서, 둘 이상의 칩(3) 층이 지지 웨이퍼(1)로 제공되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 19

제 1 항 내지 제 10 항 중 어느 한 항에 있어서, 단계 b) 또는 c) 후의 칩(3) 또는 칩 스택은 매스(11), 특히 열가소성 물질을 이용하여 고온 스탬핑(hot stamp)되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

청구항 20

제 1 항 내지 제 19 항 중 어느 한 항에 있어서, 지지 웨이퍼(1)가 캐리어(5)로부터 분리되기 전에, 적층되어 있는 칩(3)을 포함하는 지지 웨이퍼(1)가 다이싱 프레임(dicing frame)(13) 상에 고정되는 것을 특징으로 하는 복수의 칩을 지지 웨이퍼에 본딩하기 위한 방법.

명세서

기술 분야

[0001] 본 발명은 청구항 제1항에 따르는 방법에 관한 것이다.

배경 기술

[0002] 반도체 산업 분야에서 일반화된 소형화에 대한 압력의 결과로, 이른바 “3D 집적 회로” (3D IC)를 생산할 수 있는 방법이 요구되고 있다. 3D IC는 칩 스택으로 구성되는데, 이러한 칩 스택에서, 복수의 칩이 수직으로 적층(stacking)되어 있으며, 실리콘(silicon)을 통한 수직으로 이웃하는 칩으로의 연결이 존재한다. 이러한 연결을 “TSV(Through Silicon Via)”라고 일컫는다.

[0003] 이들 칩은 높은 패키징 밀도(packaging density)와 가격 대비 높은 성능을 보장한다. 덧붙이자면, 이러한 방식으로, 새로운 유형 및 형태의 칩이 생성될 수 있다. 기본적으로 3D IC를 생성하기 위해 여러 다른 방법들이 가능한데, 특히, 매우 시간 소모적인, 개별 칩을 하나씩 수직으로 적층하는 이른바 “칩-투-칩(Chip-to-Chip)(C2C)” 방법, 또는 웨이퍼를 수직으로 적층하는 “웨이퍼-투-웨이퍼(Wafer to Wafer)(W2W)” 방법이 있다. 마지막으로, 이른바 “칩-투-웨이퍼(C2W)” 방법이 또한 논의된다. 큰 기술적 문제로 인해, 오늘날까지 적절한 기술이 구현되지 못했다. 본 발명은 3D IC를 생산하기 위한 기술적으로 실행가능한 C2W 방법에 관한 것이다.

[0004] 낮은 처리량 때문에, C2C 방법은 높은 제조비용을 초래하고, 이로 인해 대량 생산에서는 거의 사용되지 않을 수 있다.

[0005] W2W 방법은, 2개의 웨이퍼가 동일한 크기를 갖고, 상기 2개의 웨이퍼 상의 칩들이 서로 동일한 크기를 가질 것을 필요로 한다. 여기서 문제점은 상위 칩 스택을 위한 실리콘 이용률이 평균(이른바 평균 수율) 이하라는 것이다. 정상 작동 칩의 획득 가능한 수율이 C2C나 C2W 방법에서보다 더 낮다.

[0006] 칩 스택이나 3D IC를 생산하기 위한 C2W를 구현할 때 발생하는 기술적 문제는 웨이퍼(특히, 그 위에 적층되어 있는 칩을 갖는 웨이퍼)의 핸들링과 관련되어 있고, 적층 공정 및 회로 기관(또는 근본적으로 더 상위의 패키징 유닛(packaging unit))에 장착되기 위한 칩의 커넥터(인터페이스)를 위한 가장 변화가 심한 요구조건(특히, 온도)과 관련된다.

[0007] 따라서 지지 웨이퍼의 핸들링이 중요하다. 왜냐하면, 웨이퍼 상의 복수의 칩 스택의 분리 바로 전에 발생하는 지지 웨이퍼의 파손에 의해, 수천 개의 값비싼 칩이 폐기되기 때문이다. 지지 웨이퍼가 더 얇아질수록, 및/또는 지지 웨이퍼의 면적이 더 넓어질수록, 복수의 칩 스택이 고정/본딩(bonding)되어 있는 지지 웨이퍼의 핸들링은 더 어려워진다. 지지 웨이퍼는, C2W 방법에 의해 자신 위에 칩이 적층되는 웨이퍼이다.

[0008] 본 발명의 목적은, 가능한 높은 처리량을 가지면서, 폐기되는 칩이 가능한 없는 칩 스택(3D IC) 생산 방법을 고안하는 것이다.

[0009] 이러한 목적은 청구항 제1항의 특징을 이용하여 이뤄진다. 본 발명의 바람직한 형태들이 종속항에서 나타난다. 상세한 설명, 청구범위 및/또는 도면에서 나타나는 둘 이상의 특징들의 모든 조합이 본 발명의 범위 내에 있다.

[0010] 본 발명은, 최소한, 지지 웨이퍼(base wafer)로의 칩의 적층 및 본딩을 위한 칩의 열처리 동안, 지지 웨이퍼를 캐리어(carrier)에 고정시키거나 상기 캐리어로 연결시키는 아이디어를 바탕으로 한다.

[0011] 지지 웨이퍼를 캐리어에 고정시킴으로써, C2W 방법의 처리량에 대한 놀라운 이점과 함께, 지지 웨이퍼 상의 지정된 위치로 칩을 배치하고 적층하는 공정 단계와, 지지 웨이퍼 상에서의 칩의 열처리(또는 본딩) 공정 단계를 분리하는 것이 가능해진다. 열처리나 본딩 단계는, 사용되는 재료에 따라서, 매우 오랜 시간이 걸릴 수 있는 반

면, 지지 웨이퍼에 칩을 배치하거나 적층하는 단계는 매우 빠르게 진행될 수 있는(가령, 시간 당 수천 개의 칩이 처리될 수 있는) 단계이다.

- [0012] 이러한 방식으로, 복수의 열처리 챔버/본딩 스테이션을 덩으로써, 및/또는 열처리 챔버/본딩 스테이션에서 복수의 지지 웨이퍼가 처리되게 함으로써, 처리량이 증가될 수 있다. 열처리 챔버는 고온의 플레이트, 연속로(continuous furnace) 등일 수 있다. 특히 바람직한 한 가지 공정은, 열처리 공정 동안 칩에 압력을 가할 수 있도록 수정된 웨이퍼 본딩 챔버를 이용해 구현될 수 있다.
- [0013] 그 밖의 다른 방법에 비교하여, 본 발명에서는 서로 다른 크기의 칩들을 적층할 수 있는 것이 특히 바람직하다.
- [0014] 지지 웨이퍼에 느슨하게 결합되어 있는 캐리어를 이용함으로써, 지지 웨이퍼에 가해지는 응력과 휘어짐이 균등해지거나 상쇄될 수 있다.
- [0015] 지지 웨이퍼의 크기와 일치하는 크기를 갖는 캐리어에 의해(특히, 캐리어의 반경이 지지 웨이퍼의 반경보다 10 mm 이상 차이 나지 않음으로써), 핸들링은 더 단순화된다.
- [0016] 특히 선호되는 고정 수단으로는 부압(또는 진공), 정전기 수단, 기계적 클램핑 및/또는 시멘트(바람직하게는 내열 시멘트)가 있으며, 이들은 열처리 중의 고온에서도 캐리어 상으로의 지지 웨이퍼의 단단한 고정을 보장하기 위해 사용된다. 만들어지는 연결의 타입에 따라, 또는 칩 스택의 높이에 따라, 또는 그 밖의 다른 요인으로 인해, 여러 다른 고정 수단(또는 그 효과)의 조합이 더 개선된 핸들링을 야기할 수 있다.

발명의 내용

과제의 해결 수단

- [0017] 본 발명의 하나의 바람직한 실시예에서, 수직으로 이웃하는 칩들을 정렬하는 과정이 칩을 지정된 위치로 배치하는 과정에서 바로 발생하며, 이때, 칩들의 접촉부는 아래 위치하는 칩 층 또는 지지 웨이퍼의 대응하는 접촉부와 정렬되고 본딩되도록 놓인다.
- [0018] 이 방법에서 칩의 배치 동안 칩은 아래 위치하는 층의 정상 작동 칩 상에만 놓임이 관찰되어 칩의 수율이 개선될 수 있는 것이 바람직하다. 배치될 칩에 기능적으로 연결되는 모든 칩의 기능이 체크되고, 칩에 기능적으로 연결될 모든 칩의 기능만 갖고 칩이 배치되는 것이 바람직하다.
- [0019] 열처리 또는 본딩 단계에서, 웨이퍼와 상기 웨이퍼 위에 배치되는 칩 사이에, 또는 배치된 칩들 사이에 전기 전도성 연결이 생성된다. 열처리는 적합한 분위기(atmosphere)에서(바람직하게는, 금속 접촉부 표면의 산화가 피해지도록 무산소 분위기에서) 발생하는 것이 바람직하다. 특히, 이는 질소 분위기 또는 또 다른 비활성 분위기(가령, 아르곤 분위기)를 이용함으로써 달성될 수 있으며, 많은 경우에서, 비활성 분위기 뿐 아니라, 환원 분위기도 특히 바람직하다. 이러한 속성은, 예를 들어, 포밍 기체(forming gas) 또는 포름산 증기에 의해 달성될 수 있다. 상기 포밍 기체는 H₂와 N₂를 혼합함으로써, 특히, 2%의 H₂ : 98%의 H₂에서 15%의 H₂ : 85%의 N₂까지의 범위로 H₂와 N₂를 혼합함으로써, 형성될 수 있다. 이러한 혼합물에서, N₂가 그 밖의 다른 비활성 기체로 대체될 수도 있다.
- [0020] 칩이 더 잘 핸들링되고, 배치된 후 미끄러지지 않기 위해, 배치 후에 시멘트(바람직하게는 뒤 이은 본딩 단계 동안 기화되는 유기 시멘트)로 고정하는 것이 바람직하다. 또는, 가령, Si 표면, SiO₂ 표면 또는 SiN 표면 사이에서, 실온에서, 자생적으로 형성되는 분자 연결(molecular connection)에 의해 칩이 고정될 수 있다.
- [0021] 본 발명의 한 가지 특정 구성에서의 지지 웨이퍼는, 특히, 뒷면-연마(back grinding)에 의해, 200 μ m 이하, 또는 100 μ m 이하, 또는 50 μ m 이하, 또는 20 μ m 이하의 두께를 갖는다.
- [0022] 특히, 복수의 칩들이 200mm 이상, 또는 300mm 이상, 또는 450mm 이상의 직경을 갖는 하나의 지지 웨이퍼 상에 수용될 수 있다.
- [0023] 본 발명의 하나의 특정 실시예에서, 본 발명에 의해서, 단계 B 또는 C 후에 각각의 칩 스택을 기관이나 근본적으로는 다음 번 상위 패키징 유닛으로 연결하는 솔더 범프나 C4 범프를 제공하는 것이 가능하다.
- [0024] 상기 솔더 범프는 낮은 용융점을 갖는 금속 합금으로 구성되며, 칩/칩 스택을 다른 전기/전자 부품으로 연결하기 위해 사용되는 것이 일반적이다.
- [0025] 특히, 지지 웨이퍼를 통과하는 전기 전도성 연결(TSV)을 갖는 지지 웨이퍼를 이용할 때, 단계 B 또는 C 후에 칩

또는 칩 스택을 매스(mass)로 포팅(potting) 처리하는 것이 바람직하며, 이때, 매스는 열적 고안정성 및/또는 기계적 고안정성을 특징으로 하며, 매스는 특히 유기 물질 및/또는 세라믹 물질이다. 적어도 부분적으로 에폭시 수지가 매스 내에 포함되거나, 매스가 에폭시 수지로 완전히 형성되는 실시예가 특히 바람직하다. 본 발명의 한 가지 특정 실시예에서, 에폭시 수지-함유 매스는 강화 섬유일 수 있다.

[0026] 본 발명의 하나의 바람직한 실시예에서, 매스는 포팅 공정 후 가압된다. 특히, 대기압 이하로(바람직하게는 진공에서), 포팅 공정을 수행한 후, 대기압으로 해방시킴으로써, 가압된다.

[0027] 바람직하게는 듀로플라스틱(duropastic) 매스에 의한 포팅 공정 후, 상기 지지 웨이퍼가 캐리어로부터 취해질 수 있는 것이 바람직하다.

[0028] 본 발명의 하나의 바람직한 실시예에서, 포팅 공정 후, 또는 포팅 공정 중, 매스가 지지 웨이퍼에 대응하는 기본 형태가 되거나, 및/또는, 매스가 개별 칩의 최상위 층인 한 제거된다(특히, 연마되어 벗겨진다(grind off)). 이는 지지 웨이퍼, 포팅 처리된 칩 및 매스로 구성된 몸체의 추가적인 핸들링을 더 용이하게 한다. 특정하게 알려진 핸들링 구조가 사용될 수 있다. 바람직하게는, 매스를 제거함으로써, 정교한 평면 표면이 형성됨으로써, 냉각체(cooling body)가 최상위 층에 제공될 수 있다.

[0029] 본 발명의 한 가지 바람직한 실시예에서, 지지 웨이퍼 및/또는 캐리어는 실리콘으로 구성되고, 따라서 캐리어는 웨이퍼와 유사하다. 캐리어는 공지된 구조를 이용해 핸들링될 수 있으며, 지지 웨이퍼와 캐리어가 실리콘으로 구성되는 한, 상기 캐리어의 열팽창 계수가 서로 동일하다는 추가적인 이점이 있다.

[0030] 본 발명의 또 다른 이점, 특징 및 세부사항이 다음의 바람직한 실시예에 대한 기재와 도면을 통해 명백해질 것이다.

도면의 간단한 설명

[0031] 도 1은 본 발명에서 청구하는 방법의 구현을 위한 구조물을 도시한다.

도 2a 내지 2m은 본 발명의 첫 번째 실시예에 따르는 방법 시퀀스를 개략적으로 나타낸다.

도 3a는 본 발명에 따르는 칩 스택을 개략적으로 도시한다.

도 3b는 복수의 칩을 갖는 본 발명에 따르는 칩 스택을 개략적으로 도시한다.

도 4a 내지 4i는 본 발명의 두 번째 실시예에 따르는 방법 시퀀스를 개략적으로 도시한다.

도 5a는 본 발명에 따라 생산된 칩을 개략적으로 도시한다.

도 5b는 복수의 칩을 포함하는 본 발명에 따라 생산된 칩 스택을 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

[0032] 도 1은 본 발명에 따르는 방법을 수행하기 위한 유닛의 개략적 구조를 도시하며, 이때, 지지 웨이퍼의 영역 A에 칩 층을 배치(placement)하는 것이, 도 2e 또는 도 4f에서 나타나는 바와 같이, 스테이션(B.1)에서 지지 웨이퍼가 캐리어 상에 장착된 후 이뤄지거나, 그 밖의 다른 방식으로(가령, 지지 웨이퍼가 캐리어 상에 사전에 장착됨) 이뤄지며, 테이프 제거 스테이션(B.2)에서 이전 뒷면-연마(back grinding) 공정에서 제공된 뒷면-연마 테이프(back grinding tape)가 제거된다.

[0033] 지지 웨이퍼를 갖는 캐리어는, 로봇 암(robot arm)을 갖는 로봇(B.3)에 의해 핸들링된다.

[0034] 핸들링 모듈(B) 상에는, 본 발명의 방법에 따라 필요한 재료가 제거되거나 다시 제공되는 카세트 스테이션(cassette station)(B.4)이 존재한다.

[0035] 칩 배치 시스템(A)에 칩을 배치한 후, 지지 웨이퍼 및 상기 지지 웨이퍼 상에 적층되어 있으며, 선택사항으로서, 시멘트에 의해 고정되어 있는 칩이 실린 캐리어가, 지지 웨이퍼 상의 칩의 열처리 또는 본딩을 위한 본딩 스테이션(C)쪽으로 향해진다. 열처리 또는 본딩 동안, 다음 지지 웨이퍼에 칩이 제공될 수 있다. 또한 본딩 스테이션(C)은 복수의 본딩 유닛으로 구성될 수 있다. 요구사항 프로필에 따라, 본딩 공정은, 특히 칩 배치 공정에 비교할 때, 상당한 시간을 소모할 수 있다.

[0036] 지지 웨이퍼 상에 본딩되는 칩 스택의 그 밖의 다른 처리 단계(예를 들면, 다이싱 모듈(dicing module)에서의

칩 스택의 분리 단계)는 도 1에서 도시되지 않으며, 본딩 스테이션(C) 뒤에서 발생하거나, 핸들링 모듈(B)의 영역, 즉, 도 1에서 핸들링 모듈(B) 위에서 발생하여, 로봇 암을 이용하는 칩 스택의 핸들링이 가능해진다. 본 발명의 하나의 바람직한 실시예에서, 다이싱 모듈에서 캐리어가 사용될 수 있으며, 그 결과로, 칩 스택은, 지지 웨이퍼와의 본딩 후에도, 안전하게 핸들링될 수 있다.

- [0037] 도 2a는, 처리 단계에 선행함으로써, 앞면(2)과 동일한 높이로 일체 구성되는 칩(3)이 제공되는 앞면(2)을 갖는 실리콘 지지 웨이퍼(1)를 도시한다.
- [0038] 도 2b에서 도시되어 있는 바와 같이, 연결 수단(4)에 의해 지지 웨이퍼(1)가 캐리어(5)로 연결되고, 마찬가지로 실리콘 웨이퍼로도 연결되어, 지지 웨이퍼(1)의 뒷면(6)에서 뒷면-연마(back grinding)될 수 있다.
- [0039] 도 2c에서 도시되는 바와 같이, 각각의 칩(3)의 영역에서, 지지 웨이퍼(1)의 뒷면(6)에서부터 각각의 칩(3)까지 뻗어 있는 전기 연결(7)이 지지 웨이퍼(1)의 뒷면(6)에서부터 생성된다.
- [0040] 전기 전도성 박막(8)이, 지지 웨이퍼(1)의 뒷면(6) 상의 전기 전도성 연결부(7)에 도포되어, 개별 칩의 전기 접촉을 이룰 수 있다(도 2d). 본 발명의 특정 실시예에서, 칩이 전기 전도성 연결부(7)와 직접 접촉하거나 그 밖의 다른 전기 전도성 연결 포인트가 생성될 수 있다. 개별 칩(9)은 한 번에 하나의 칩(3)과 상기 칩(3)을 고정하고 실리콘으로 구성된 하나의 고정 장치로부터 형성된다.
- [0041] 도 2e에서 도시된 바와 같이, 전기 전도성 박막(8)에 도포되어 있는 칩 옆면(10)을 갖는 개별 칩(9)은, 선택사항으로서, 여러 번 반복되어, 복수의 개별 칩(9)을 하나를 다른 하나 위에 놓는 방식으로 적층할 수 있다(도 3b). 이러한 공정 시퀀스는 각각의 배치 단계 사이에서 열처리 단계(또는 본딩 단계)를 포함하여, 또는 열처리 단계(또는 본딩 단계) 없이, 발생할 수 있다. 개별 칩(9)을 지지 웨이퍼(1) 상에 배치하는 단계는 칩 배치 스테이션(A)에서 발생한다.
- [0042] 도 2f에서 나타난 공정 단계에서, 개개의 칩(9) 또는 선택사항으로서 개개의 칩(9)의 복수의 층이, 매스(mass, 11)(이 실시예에서는 예폭시 수지)로 포팅(potting) 처리된다.
- [0043] 칩을 본딩하고 매스(11)를 도포한 후, 매스(11)에 의해 얇고 넓은 지지 웨이퍼(1)가 충분히 안정적이 되기 때문에, 캐리어(5)는 제거될 수 있다. 도 2f에서 도시된 바와 같이, (열에 따라서) 연결 수단을 느슨하게 함으로써, 상기 캐리어(5)는 자동으로 분리될 수 있다. 덧붙이자면, 다운스트림 공정 단계에서 따로 분리 단계를 실행하는 것이 바람직할 수 있으며, 분리 단계는 열적으로(thermally), 또는 화학적으로(chemically) 개시될 수 있거나 외부 에너지 공급원(예를 들어 UV광, 적외선 광, 레이저 또는 마이크로파)의 작동에 의해 개시될 수 있다.
- [0044] 도 2h에서 도시된 공정 단계에서, 앞면(2)이 위를 향하도록, 지지 웨이퍼(1)를 뒤집는다.
- [0045] 도 2i에서 나타난 또 다른 공정 단계에서, 전기 전도성 박막(8)이 칩(3)(현 상태에서, 상부에 놓임)에 도포되어, 도 2k에서 나타난 바와 같은 솔더 범프(12)가 제공된다. 추후, 기판이나 다음 번 상위 패키징 유닛/칩 층으로 칩(3D IC)을 연결하기 위해, 솔더 범프(12)가 사용된다.
- [0046] 칩(3) 간의 연결을 위한 재료로서 다양한 변형예가 가능하다. 기본적으로, 금속 화합물, 유기 화합물, 무기 화합물, 하이브리드 화합물로 나누는 것이 가능하다. 금속성 연결의 경우, 금속 확산 연결, 본딩 동안 형성되는 공용 화합물 및 본딩 전에 이미 제공되어 있으며 본딩 동안 합금의 용융을 가능하게 하는 공용물이 가능하다. 또한 상기 합금은 웨이퍼에 볼(ball)의 형태로 제공되며, 본질적으로 가해지는 압력 없이, 연결부 생성을 가능하게 하는 솔더 범프(12)이다. 전도성 폴리머가 또한 가능하다.
- [0047] 도 2i에서 도시된 공정 단계에서, 칩 스택과 솔더 범프(12)가 포함된 지지 웨이퍼가 다이싱 프레임(dicing frame, 13) 상에 증착되어, 도 2m에서 도시되어 있는 바와 같이, 칩 스택을 하나씩 분리할 수 있다(다이싱).
- [0048] 앞서 기재된 방법에 따라 생성되는 칩 스택의 2가지 예제가 도 3a와 3b에서 도시되어 있으며, 도 3a에서는 하나의 개별 칩(9)만 지지 웨이퍼(1)의 칩(3) 상에 장착되어 있으며, 반면에, 도 3b에서 도시된 칩 스택에서는 4개의 개별 칩(9)만 지지 웨이퍼(1) 상에 장착되어 있다.
- [0049] 도 4a는 뒷면-연마 테이프(14)로 시멘트-고정된 지지 웨이퍼(1)를 도시하며, 여기서 지지 웨이퍼(1)에(특히, 지지 웨이퍼(1)의 앞면(2) 상에) 칩(3)과 전기 전도성 박막(8)이 이미 제공되어 있다.
- [0050] 도 4b에서 도시된 공정 단계에서, 지지 웨이퍼(1)는 뒷면(6)에서 뒷면-연마(back grinding)되며, 도 4c에서 도시된 바와 같이, 지지 웨이퍼(1)는 뒷면(6)이 아래를 향하도록 뒤집힌다.

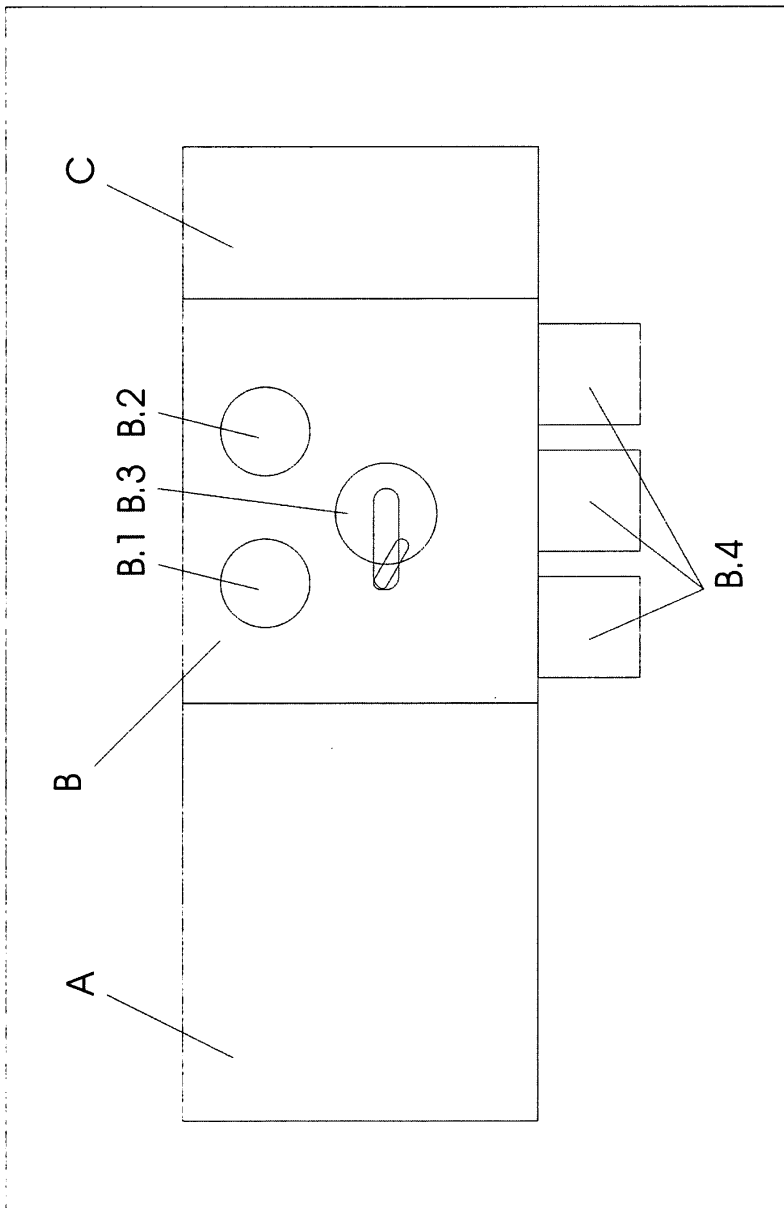
- [0051] 도 4d에서 도시된 공정 단계에서, 뒷면(6)을 갖는 지지 웨이퍼(1)가 캐리어(5) 상에 고정되고, 그 후, 뒷면-연마 테이프(14)가 지지 웨이퍼(1)의 앞면(2)으로부터 분리된다(도 4e 참조).
- [0052] 도 4f에서 도시된 뒤 따르는 공정 단계에서, 개별 칩(9)이 지지 웨이퍼(1)의 칩(3) 상의 해당하는 전기 전도성 박막(8) 상에 위치되고, 선택 사항으로서, 도 1에서 도시된 바와 같이, 칩 배치 스테이션(A)에 고정될 수 있다.
- [0053] 칩 스택이 배치되고, (선택사항으로서) 고정된 후, 칩 스택이 실린 지지 웨이퍼(1)가 다이싱 프레임(13)으로 제공되어, 개별 칩 스택이 서로 분리될 수 있다(도 4g, 4h 및 4i).
- [0054] 지지 웨이퍼(1)의 파손 및 칩의 손상을 방지하기 위해, 역시 캐리어(5)를 이용하여, 지지 웨이퍼(1)가 다이싱 프레임(13)에 제공될 수 있는 것이 바람직하다.
- [0055] 도 5a 및 5b는 완성된 칩 스택의 예를 도시하며, 상기 완성된 칩 스택은, 도 3a 및 3b에서 도시된 칩 스택과 달리, 칩(3)에 전기 전도 방식으로 연결되어 있는 라인 단자(line terminal, 15)(일반적으로 와이어의 형태를 가짐)에 의해, 기판(도면상 도시되지 않음)이나 최종 칩 하우징의 접촉부(이는 또한 “리드 프레임” 이라고도 일컬어짐)로 연결될 수 있다.

부호의 설명

- [0056] A : 칩 배치 스테이션
- B : 핸들링 모듈
- B.1 : 이송 스테이션
- B.2 : 테이프 제거 스테이션
- B.3 : 로봇 암을 갖는 로봇
- B.4 : 카세트 스테이션
- C : 본딩 스테이션
- 1 : 지지 웨이퍼
- 2 : 앞면
- 3 : 칩
- 4 : 연결 수단
- 5 : 캐리어
- 6 : 뒷면
- 7 : 전기 전도성 연결
- 8 : 전기 전도성 박막
- 9 : 개별 칩
- 10 : 칩 측면
- 11 : 매스
- 12 : 솔더 범프
- 13 : 다이싱 프레임
- 14 : 뒷면-그라인딩 테이프
- 15 : 라인 세트

도면

도면1



도면2

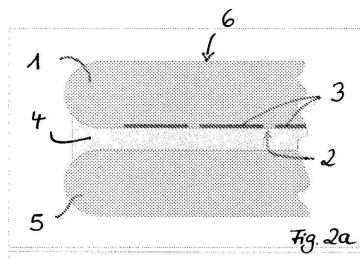


Fig. 2a

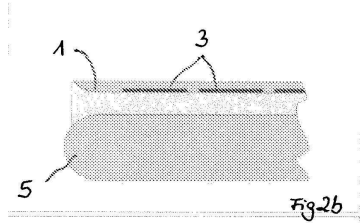


Fig. 2b

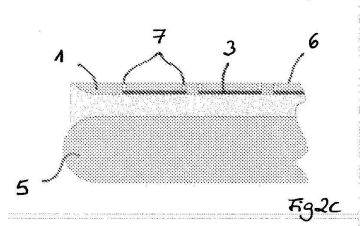


Fig. 2c

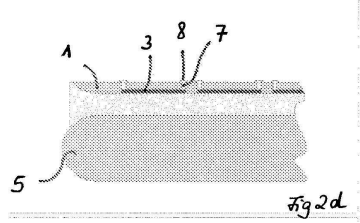


Fig. 2d

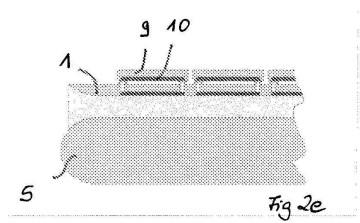


Fig. 2e

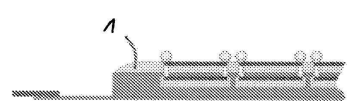


Fig. 2f

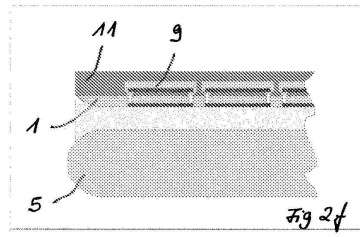


Fig. 2g

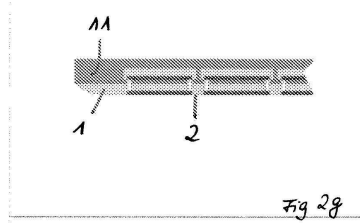


Fig. 2h

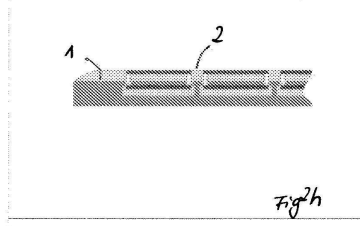


Fig. 2i

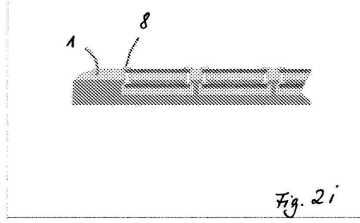


Fig. 2j

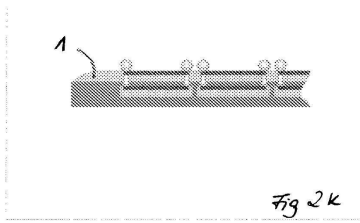


Fig. 2k

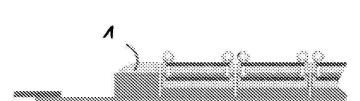
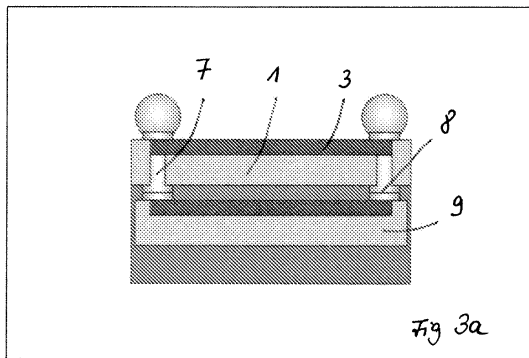


Fig. 2l

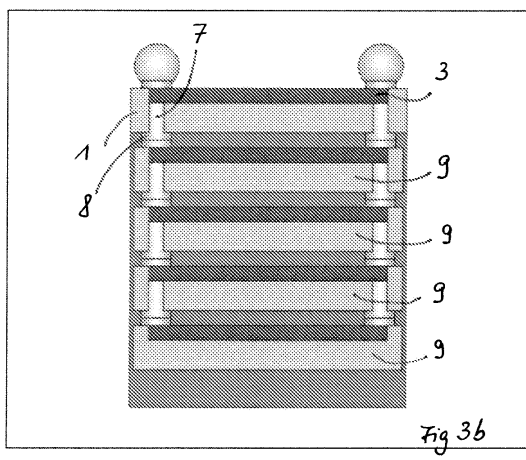


Fig. 2m

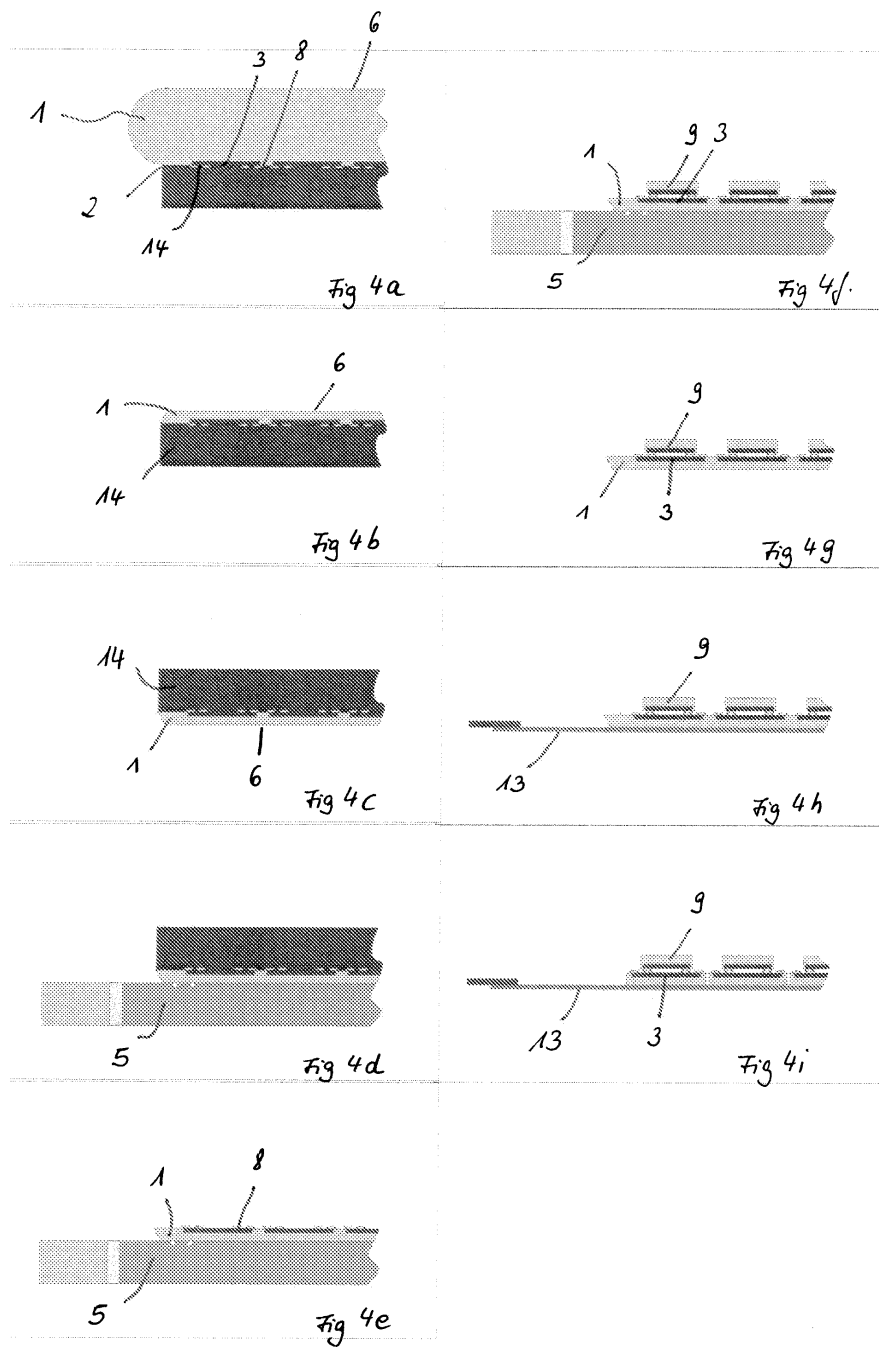
도면3a



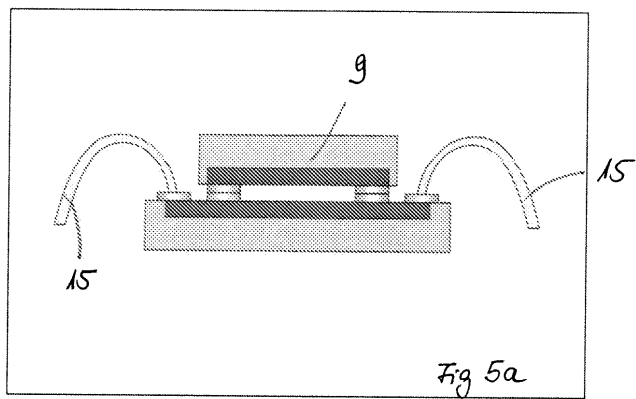
도면3b



도면4



도면5a



도면5b

