

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-514444
(P2017-514444A)

(43) 公表日 平成29年6月1日(2017.6.1)

(51) Int.Cl.

H02M 3/07 (2006.01)

F 1

H02M 3/07

テーマコード(参考)

5 H 7 3 O

審査請求 未請求 予備審査請求 有 (全 20 頁)

(21) 出願番号 特願2016-563923 (P2016-563923)
 (86) (22) 出願日 平成27年4月23日 (2015.4.23)
 (85) 翻訳文提出日 平成28年12月13日 (2016.12.13)
 (86) 國際出願番号 PCT/US2015/027384
 (87) 國際公開番号 WO2015/164662
 (87) 國際公開日 平成27年10月29日 (2015.10.29)
 (31) 優先権主張番号 14/260,658
 (32) 優先日 平成26年4月24日 (2014.4.24)
 (33) 優先権主張国 米国(US)

(71) 出願人 595020643
 クアアルコム・インコーポレイテッド
 Q U A L C O M M I N C O R P O R A T
 E D
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔡田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100112807
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】可変利得と可変周波数とを有する電荷ポンプ

(57) 【要約】

一実施形態では、回路は電荷ポンプを備える。利得制御回路は、入力電圧を検出することと、電荷ポンプの出力電圧を電圧範囲に維持するために、電荷ポンプの利得を変更するために利得制御信号を生成することを行うように構成される。電圧周波数変換器は、入力電圧を検出することと、電荷ポンプの出力電圧が電圧範囲に維持されるように、電荷ポンプに印加される周波数制御信号の周波数を周波数範囲に維持するために、検出された入力電圧に基づいて周波数を変更することを行うように構成される。

【選択図】図 1

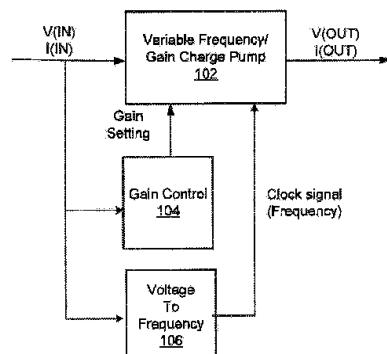


Fig. 1

【特許請求の範囲】**【請求項 1】**

電荷ポンプと、

入力電圧を検出することと、前記電荷ポンプの前記出力電圧を電圧範囲に維持するためには、前記電荷ポンプの利得を変更するために利得制御信号を生成することを行いうように構成された利得制御回路と、

前記入力電圧を検出することと、前記電荷ポンプの前記出力電圧が前記電圧範囲に維持されるように、前記電荷ポンプに印加される周波数制御信号の周波数を周波数範囲に維持するために前記検出された入力電圧中に基づいて前記周波数を変更することを行いうように構成された電圧周波数変換器と

を備える、回路。

【請求項 2】

前記電荷ポンプは、前記電荷ポンプの入力と前記電荷ポンプの出力との間の電荷を結合する複数のキャパシタを含み、前記利得制御信号は、前記電荷を結合するキャパシタの数を構成し、前記利得制御回路は、前記制御信号の前記周波数の増加に基づいて電荷を結合するキャパシタの数を低減することによって前記電荷ポンプの前記利得を変更するようさら構成される、

請求項 1 に記載の回路。

【請求項 3】

前記利得制御回路は、前記電荷ポンプの入力と前記電荷ポンプの出力との間の電荷を結合する前記電荷ポンプのキャパシタの数を変更することによって前記電荷ポンプの前記利得を変更するようさら構成される、

請求項 1 に記載の回路。

【請求項 4】

前記利得制御回路は、前記入力電圧に基づいて前記電荷ポンプ中のキャパシタの選択を制御するための前記電荷ポンプ中のスイッチの選択を制御するためにデジタル信号を生成するよう構成されたアナログデジタル変換器である、

請求項 1 に記載の回路。

【請求項 5】

前記電圧周波数変換器は、前記検出された入力電圧の前記変化に応答してクロック信号を前記周波数制御信号として生成するよう構成された電圧制御発振器である、

請求項 1 に記載の回路。

【請求項 6】

前記電荷ポンプ中への入力電流を検出するよう構成された電流検出器をさらに備え、前記電圧周波数変換器は、前記検出された入力電流に基づいて前記制御信号の前記周波数を変更するようさら構成される、

請求項 1 に記載の回路。

【請求項 7】

前記電荷ポンプの入力に結合された電流源と、

前記電流源と接地との間に結合された電流シンクと、

前記電流源からの電流を検出するよう構成された電流検出器と

をさらに備え、

前記電圧周波数変換器は、前記電荷ポンプへの入力電流を、前記電流源からの前記電流にほぼ等しくさせるよう、前記検出された入力電流に基づいて前記制御信号の前記周波数を変更するようさら構成された、

請求項 1 に記載の回路。

【請求項 8】

入力電圧を受信するための入力を含み、前記入力電圧に基づいて出力電圧を与えるための出力を有する電荷ポンプ、前記電荷ポンプは、利得制御信号に応答して選択可能な利得を有し、周波数制御信号に応答して利得を有する、と、

前記入力電圧を検出することと、前記電荷ポンプの前記出力電圧を電圧範囲に維持するために、前記電荷ポンプの前記利得を選択するために前記利得制御信号を生成することを行うように構成された利得制御回路と、

前記入力電圧を検出することと、前記電荷ポンプの前記出力電圧が前記電圧範囲に維持されるように前記周波数を周波数範囲に維持するために前記周波数制御信号を生成することを行つうように構成された周波数制御回路と

を備える、回路。

【請求項 9】

前記電荷ポンプは、前記電荷ポンプの前記入力と前記電荷ポンプの前記出力との間の電荷を結合する複数のキャパシタを含み、前記利得制御信号は、前記電荷を結合するキャパシタの数を構成し、前記利得制御回路は、前記制御信号の前記周波数の増加に基づいて電荷を結合するキャパシタの数を低減することによって前記電荷ポンプの前記利得を変更するようさらに構成される、

請求項 8 に記載の回路。

【請求項 10】

前記利得制御回路は、前記電荷ポンプの前記入力と前記電荷ポンプの前記出力との間の電荷を結合する前記電荷ポンプのキャパシタの数を変更することによって前記電荷ポンプの前記利得を変更するようさらに構成される、

請求項 8 に記載の回路。

【請求項 11】

前記利得制御回路は、前記入力電圧に基づいて前記電荷ポンプ中のキャパシタの選択を制御するための前記電荷ポンプ中のスイッチの選択を制御するためにデジタル信号を生成するよう構成されたアナログデジタル変換器である、

請求項 8 に記載の回路。

【請求項 12】

前記周波数制御回路は、前記検出された入力電圧の変化に応答してクロック信号を前記周波数制御信号として生成するよう構成された電圧制御発振器である、

請求項 8 に記載の回路。

【請求項 13】

前記電荷ポンプ中への入力電流を検出するよう構成された電流検出器をさらに備え、前記周波数制御回路は、前記検出された入力電流に基づいて前記周波数制御信号の前記周波数を変更するようさらに構成される、

請求項 8 に記載の回路。

【請求項 14】

前記電荷ポンプの前記入力に結合された電流源と、
前記電流源と接地との間に結合された電流シンクと、
前記電流源からの電流を検出するよう構成された電流検出器と
をさらに備え、

前記周波数制御回路は、前記電荷ポンプへの入力電流を、前記電流源からの前記電流にほぼ等しくさせるよう、前記検出された入力電流に基づいて前記周波数制御信号の前記周波数を変更するようさらに構成される、

請求項 8 に記載の回路。

【請求項 15】

電荷ポンプの利得と、周波数と、出力電圧とを制御するために入力電圧を検出することと、

前記電荷ポンプの前記出力電圧を電圧範囲に維持するために前記電荷ポンプの前記利得を変更することと、

前記電荷ポンプの前記出力電圧が前記電圧範囲に維持されるように、前記電荷ポンプに印加される制御信号の周波数を周波数範囲に維持するために前記検出された入力電圧に基づいて前記周波数を変更することと

10

20

30

40

50

を備える、方法。

【請求項 1 6】

前記電荷ポンプの前記利得を変更することは、前記制御信号の前記周波数の増加に基づいて前記電荷ポンプの入力と前記電荷ポンプの出力との間の電荷を結合するキャパシタの数を低減することを含む、

請求項 1 5 に記載の方法。

【請求項 1 7】

前記電荷ポンプの前記利得を変更することは、前記電荷ポンプの入力と前記電荷ポンプの出力との間の電荷を結合するキャパシタの数を変更することを含む、

請求項 1 5 に記載の方法。

10

【請求項 1 8】

前記電荷ポンプ中への入力電流を検出することと、

前記検出された入力電流に基づいて前記制御信号の前記周波数を変更することとをさらに備える、請求項 1 5 に記載の方法。

【請求項 1 9】

前記電荷ポンプの入力に電流を供給することと、

前記電流源から接地に電流シンクをシンクすることと、

前記電流源からの電流を検出することと、

前記電荷ポンプへの入力電流を、前記電流源からの前記電流にほぼ等しくさせるよう前に記検出された入力電流に基づいて前記制御信号の前記周波数を変更することとをさらに備える、請求項 1 5 に記載の方法。

20

【発明の詳細な説明】

【関連出願】

【0 0 0 1】

[0001]本出願は、その内容の全体がすべての目的のために参照により本明細書に組み込まれる、2014年4月24日に出願された「CHARGE PUMPS HAVING VARIABLE GAIN AND VARIABLE FREQUENCY」と題する米国出願第14/260,658号の優先権を主張する。

【0 0 0 2】

[0002]本出願は、その全体が参照により本明細書に組み込まれる、2014年4月24日に出願された「CHARGE-RECYCLING CIRCUITS」と題する米国特許出願第14/260,592号、および2014年4月24日に出願された「CHARGE-RECYCLING CIRCUITS INCLUDING SWITCHING POWER STAGES WITH FLOATING RAILS」と題する米国特許出願第14/260,733号に関する。

30

【背景技術】

【0 0 0 3】

[0003]本開示は電荷ポンプに関し、詳細には、可変利得と可変周波数とを有する電荷ポンプに関する。

【0 0 0 4】

[0004]本明細書で別段に規定されていない限り、このセクションで説明する手法は、このセクションに含めることによって従来技術であると認められるものではない。

40

【0 0 0 5】

[0005]電荷ポンプは、電子システム中の電圧を調節するためにしばしば使用される。電荷ポンプへの入力電圧の変動は、電荷ポンプと、電荷ポンプによって駆動されるシステムとの効率に影響を及ぼす。電荷ポンプの様々なフィードバックシステムが、電荷ポンプの出力を検出し、電荷ポンプを制御するために提案されている。

【発明の概要】

【0 0 0 6】

[0006]本開示は、可変利得と可変周波数とを有する電荷ポンプに関する。

【0 0 0 7】

[0007]一実施形態では、本開示は回路を含む、電荷ポンプを備える。利得制御回路は、

50

入力電圧を検出することと、電荷ポンプの出力電圧を電圧範囲に維持するために、電荷ポンプの利得を変更するために利得制御信号を生成することを行いうように構成される。電圧周波数変換器は、入力電圧を検出することと、電荷ポンプの出力電圧が電圧範囲に維持されるように、電荷ポンプに印加される周波数制御信号の周波数を周波数範囲に維持するために、検出された入力電圧に基づいて周波数を変更することを行いうように構成される。

【0008】

[0008]一実施形態では、電荷ポンプは、電荷ポンプの入力と電荷ポンプの出力との間の電荷を結合する複数のキャパシタを含む。利得制御信号は、電荷を結合するキャパシタの数を構成する。利得制御回路は、制御信号の周波数の増加に基づいて電荷を結合するキャパシタの数を低減することによって電荷ポンプの利得を変更するようにさらに構成される。
10

【0009】

[0009]一実施形態では、利得制御回路は、電荷ポンプの入力と電荷ポンプの出力との間の電荷を結合する電荷ポンプのキャパシタの数を変更することによって電荷ポンプの利得を変更するようにさらに構成される。

【0010】

[0010]一実施形態では、利得制御回路は、入力電圧に基づいて電荷ポンプ中のキャパシタの選択を制御するための電荷ポンプ中のスイッチの選択を制御するためにデジタル信号を生成するように構成されたアナログデジタル変換器である。
20

【0011】

[0011]一実施形態では、電圧周波数変換器は、検出された入力電圧の変化に応答してクロック信号を周波数制御信号として生成するように構成された電圧制御発振器である。

【0012】

[0012]一実施形態では、回路は、電荷ポンプ中への入力電流を検出するように構成された電流検出器をさらに備える。電圧周波数変換器は、検出された入力電流に基づいて制御信号の周波数を変更するようにさらに構成される。

【0013】

[0013]一実施形態では、回路は、電荷ポンプの入力に結合された電流源と、電流源と接地との間に結合された電流シンクと、電流源からの電流を検出するように構成された電流検出器とをさらに備える。電圧周波数変換器は、電荷ポンプへの入力電流を、電流源からの電流にほぼ等しくさせるように、検出された入力電流に基づいて制御信号の周波数を変更するようにさらに構成される。
30

【0014】

[0014]一実施形態では、本開示は、入力電圧を受信するための入力を含み、入力電圧に基づいて出力電圧を与えるための出力を有する電荷ポンプを備える回路を含む。電荷ポンプは、利得制御信号に応答して選択可能な利得を有し、周波数制御信号に応答して利得を有する。利得制御回路は、入力電圧を検出することと、電荷ポンプの出力電圧を電圧範囲に維持するために、電荷ポンプの利得を選択するために利得制御信号を生成することを行いうように構成される。周波数制御回路は、入力電圧を検出することと、電荷ポンプの出力電圧が電圧範囲に維持されるように周波数を周波数範囲に維持するために周波数制御信号を生成することを行いうように構成される。
40

【0015】

[0015]一実施形態では、本開示は、電荷ポンプの利得と、周波数と、出力電圧とを制御するために入力電圧を検出することと、電荷ポンプの出力電圧を電圧範囲に維持するために電荷ポンプの利得を変更することと、電荷ポンプの出力電圧が電圧範囲に維持されるように、電荷ポンプに印加される制御信号の周波数を周波数範囲に維持するために検出された入力電圧に基づいて周波数を変更することとを備える方法を含む。

【0016】

[0016]一実施形態では、電荷ポンプの利得を変更することは、制御信号の周波数の増加

に基づいて電荷ポンプの入力と電荷ポンプの出力との間の電荷を結合するキャパシタの数を低減することを含む。

【0017】

[0017]一実施形態では、電荷ポンプの利得を変更することは、電荷ポンプの入力と電荷ポンプの出力との間の電荷を結合するキャパシタの数を変更することを含む。

【0018】

[0018]一実施形態では、本方法は、電荷ポンプ中への入力電流を検出することと、検出された入力電流に基づいて制御信号の周波数を変更することとをさらに備える。

【0019】

[0019]一実施形態では、本方法は、電荷ポンプの入力に電流を供給することと、電流源から接地に電流シンクをシンクすることと、電流源からの電流を検出することと、電荷ポンプへの入力電流を、電流源からの電流にほぼ等しくさせるように、検出された入力電流に基づいて制御信号の周波数を変更することとをさらに備える。 10

【0020】

[0020]以下の発明を実施するための形態および添付の図面は、本開示の性質と利点とのより良い理解を与える。

【図面の簡単な説明】

【0021】

[0021]次に続く説明、および特に図面に関して、示される詳細は例示的な説明のための例を表しており、本開示の原理および概念的態様の説明を与えるために提示されることが強調される。この点について、本開示の基本的な理解のために必要とされるもの以外に、実装の詳細を示すための試みは行われない。次に続く説明は、図面とともに、本開示による実施形態がどのように実施され得るかを、当業者に明らかにする。 20

【図1】一実施形態による、電荷ポンプシステムのブロック図。

【図2】第2の実施形態による、電荷ポンプシステムのブロック図。

【図3】第3の実施形態による、電荷ポンプシステムのブロック図。

【図4】第4の実施形態による、電荷ポンプシステムのブロック図。

【図5】第5の実施形態による、電圧制御発振器のブロック図。

【図6】一実施形態による、電圧制御発振器のブロック図。

【図7】一実施形態による、電荷ポンプシステムの簡略タイミング図。

【図8】一実施形態による、電荷ポンプシステムを制御するプロセスフローの簡略図。 30

【発明を実施するための形態】

【0022】

[0030]以下の説明では、説明の目的で、本開示の完全な理解を与るために多数の例および具体的な詳細を記載する。ただし、特許請求の範囲において表される本開示は、単独で、または以下で説明する他の特徴との組合せで、これらの例における特徴の一部または全部を含み得、本明細書で説明する特徴と概念との変更形態と等価物とをさらに含み得ることが当業者には明らかであろう。

【0023】

[0031]図1に、一実施形態による、電荷ポンプシステム100のブロック図を示す。電荷ポンプシステム100は、可変周波数／可変利得電荷ポンプ102と、利得制御回路104と、電圧周波数変換器106とを備える。 40

【0024】

[0032]電荷ポンプシステム100は、電圧レギュレータまたは電流レギュレータまたはその両方として動作することができる。いくつかの実施形態では、電荷ポンプシステム100は、入力電圧V(IN)から出力電圧V(OUT)を与える。電荷ポンプシステム100はフィードフォワード制御システムとして動作する。電荷ポンプ102は出力電圧V(OUT)を第1の範囲に維持するが、入力電圧V(IN)は(たとえば、リップルにより)第2の範囲にわたって変動する。第1の範囲は、出力電圧V(OUT)が実質的に一定であるよう狭くなることができる。入力電圧V(IN)はまた、電圧周波数変換器1 50

06(たとえば、電圧制御発振器)に入力として与えられる。入力電圧V(IN)が低い値から高い値に変動するにつれて(すなわち、入力電圧V(IN)が増加するにつれて)、電圧周波数変換器106からのクロック信号の周波数も増加する。周波数の増加は、出力電圧V(OUT)を公称値から変動させる傾向がある電荷ポンプ102の利得の対応する増加を引き起こす。しかしながら、周波数/入力電圧V(IN)の増加による電荷ポンプ102の利得の増加は、入力電圧V(IN)と同じく受信する利得制御回路104を使用して電荷ポンプ102の利得を選択的に低減することによってオフセットされ得る。たとえば、利得は、電荷ポンプ102において動作可能であるキャパシタの数を低減することによって低減され得る。

【0025】

10

[0033]したがって、入力電圧V(IN)が低い値から高い値に変動するにつれて、出力電圧V(out)は、入力電圧V(IN)の増加と、入力電圧V(IN)の増加によって引き起こされる利得の増加とをオフセットするために電荷ポンプ103中のキャパシタの数を低減することによって、制限された範囲内に維持され得る。

【0026】

[0034]電荷ポンプシステム100がフィードフォワードシステムとして動作するので、入力電圧V(IN)は、出力電圧V(OUT)の範囲を制限する範囲に電圧周波数変換器106の周波数を保つ範囲にあるべきである。

【0027】

20

[0035]図2に、一実施形態による、電荷ポンプシステム200のブロック図を示す。電荷ポンプシステム200は、システム100の例示的な一実装形態である。電荷ポンプシステム200は、電荷ポンプ202と、電圧制御発振器(VCO:voltage controlled oscillator)204と、レベルセンス回路206と、入力センス回路208とを備える。電荷ポンプ202は、スイッチ制御マルチプレクサ210と、複数のキャパシタ212と、複数のスイッチS1I、S2I、S3I、S1G、S2G、S3G、S1O、S2O、S3O、S1X、S2X、およびS3Xとを備える。

【0028】

[0036]電荷ポンプシステム200はフィードフォワード制御システムとして動作する。入力電圧Vinは電荷ポンプ202によって受信され、出力電圧Voutに対してブーストされる。いくつかの実施形態では、出力電圧Voutを、入力電圧Vinの変動にわたってほぼ一定に維持することが望ましい。

30

【0029】

[0037]入力センス回路208は入力電圧Vinを受信し、それに従って、入力電圧Vinに対応する電圧をVCO204に与える。VCO204は、重複しないクロック、1および2を生成する。クロック1および2はスイッチ制御マルチプレクサ210に与えられ、スイッチ制御マルチプレクサ210は、電荷ポンプスイッチをオンおよびオフにするための信号を生成する。これが、電荷ポンプ202の周波数制御である。最初に、クロック1中に、Sx1スイッチおよびSxGスイッチは、入力電圧Vinが3つのキャパシタ212の各々を充電するように閉じられる。キャパシタ212はキャパシタンスCfを有する。クロック2中に、クロック1スイッチは開いており、SxxおよびSx0スイッチは、キャパシタ212上の電荷が出力電圧Voutに対してブーストされるように閉じられる。いくつかの実施形態では、出力電圧Voutノードは、出力電圧Voutをほぼ一定に維持するためにDCキャパシタ216を含む。電荷ポンプシステム200がフィードフォワードシステムとして動作するので、入力電圧V(IN)は、出力電圧V(OUT)の範囲を制限する範囲にVCO204の周波数を保つ範囲にあるべきである。

40

【0030】

[0038]しかしながら、入力電圧Vinの変動は、入力電圧Vinをある低い電圧から高い電圧に増加させ得る。入力電圧Vinの電圧変動の下端において、入力電圧Vinは、出力電圧Voutの所望のレベルを達成するためにより多くの利得を必要とし得る。した

50

がって、より高い利得が使用されるべきである。逆に、入力電圧 V_{in} の電圧変動の上端において、入力電圧 V_{in} は、出力電圧 V_{out} が大きくなりすぎないように、より少ない利得を必要とし得る。これが、電荷ポンプ 202 の電圧または利得制御である。

【0031】

[0039]したがって、レベルセンス回路 206（たとえば、比較器またはアナログデジタル変換器（A D C : analog-to-digital convertor））は、入力電圧 V_{in} を、電荷ポンプ 202 の利得を設定するために使用され得るコードに変換する。この例では、コードは、4つの利得設定のための2ビットを含み、コード [1 : 0] に指定される。たとえば、入力電圧 V_{in} が低い（第1の電圧を下回る）とき、A D C 206 は、最大利得（この例では、4の利得）に対応するコードを生成し得る。たとえば、最大利得は、3つのキャパシタ 212 をすべて使用し得る。入力電圧 V_{in} が第1の電圧を上回って増加するが、依然として第2の電圧を下回るとき、入力電圧 V_{in} は、キャパシタ 212 のうちの1つが無効にされる中間利得（この例では、3の利得）に対応するコードに変換される。入力電圧 V_{in} が高い（第2の電圧を上回る）とき、A D C 206 は、入力電圧 V_{in} を、2つのキャパシタ 212 が無効にされる最小利得（この例では、2の利得）に対応するコードに変換し得る。

10

【0032】

[0040]コードは、選択的に、いくつかのスイッチに、キャパシタ 212 のうちの1つまたは複数を無効にさせるスイッチ制御マルチプレクサ 210 によって受信される。スイッチ制御マルチプレクサ 210 は、複数のスイッチ S1I、S2I および S3I、S1G、S2G、S3G、S1O、S2O、S3O、S1X、S2X、および S3X のための制御またはスイッチング信号を生成するために複数のマルチプレクサ 214 を備える。コードが変化するにつれて、スイッチング信号は、1つまたは複数のキャパシタ 212 を無効にする状態に入れられる。

20

【0033】

[0041]したがって、出力電圧 V_{out} は、入力電圧 V_{in} が増加するにつれて電荷ポンプ 202 の利得を低減するために電荷ポンプ 202 中のキャパシタ 212 を無効にすることによって、ほぼ一定に維持され得る。

【0034】

[0042]スイッチ制御マルチプレクサ 210 は、入力電圧 V_{in} に応答して、電荷ポンプ 202 の利得を制御するための制御信号を、電荷ポンプ 202 を切り替えるために生成する。

30

【0035】

[0043]スイッチ S1I、S2I および S3I は、それぞれ、スイッチ制御マルチプレクサ 210 からの対応する制御信号に応答してキャパシタ 212 に電荷を移動するために、キャパシタ 212 - 1 ~ 212 - 3 を入力電圧 V_{in} に選択的に結合する。

【0036】

[0044]スイッチ S1G、S2G および S3G は、それぞれ、スイッチ制御マルチプレクサ 210 からの対応する制御信号に応答してキャパシタ 212 - 1 ~ 212 - 3 を接地に選択的に結合する。

40

【0037】

[0045]スイッチ S1O、S2O および S3O は、それぞれ、スイッチ制御マルチプレクサ 210 からの対応する制御信号に応答してキャパシタ 212 から出力電圧 V_{out} に電荷を移動するために、キャパシタ 212 - 1 ~ 212 - 3 を出力電圧 V_{out} に選択的に結合する。

【0038】

[0046]スイッチ S1X、S2X および S3X は、スイッチ制御マルチプレクサ 210 からの対応する制御信号に応答して、電圧をブーストし、電荷ポンプの利得を設定するために、選択されたキャパシタ 212 - 1 ~ 212 - 3 を直列に、入力電圧 V_{in} に選択的に結合する。3つのキャパシタ 212 が図 2 に示されているが、電荷ポンプ 202 の利得の

50

他の値を与るために他の数が使用され得る。

【0039】

[0047]図3に、一実施形態による、電荷ポンプシステム300のブロック図を示す。電荷ポンプシステム300は、システム100の例示的な一実装形態である。電荷ポンプシステム300はフィードフォワード制御システムとして動作する。電荷ポンプシステム300は、電荷ポンプ202と、VCO204と、ADC206と、DCキャパシタ216と、電流源302と、比較器304と、センス抵抗器306と、センス回路310と、電圧レギュレータ308とを備える。電圧レギュレータ308は低ドロップアウト(LDO: low-dropout)レギュレータであり得る。電圧レギュレータ308は、NMOSトランジスタ308と比較器314とを備える。センス抵抗器306およびセンス回路310は、たとえば、直列センス抵抗器または並列FET電流センス回路を表す。センス抵抗器306およびセンス回路310は電流源302からの電流を検知し、比較器304の負端子に電圧を与える。比較器304の正端子は、この例では接地されている基準電圧に結合される。比較器304はVCO204に誤差電圧Veを与え、VCO204は、上記で説明したのと同様の様式でクロック信号1および2を生成する。電荷ポンプシステム300は、電荷ポンプ202のスイッチング周波数を変更するためにVCO204の周波数を変更することによって、電荷ポンプ202とNMOSトランジスタ308との中への電流を制御する。電荷ポンプ202のスイッチング周波数が増加するにつれて、電荷ポンプ202は、電流源302から、したがって電荷ポンプ202の入力から電荷ポンプ202の出力により多くの電荷を移動し、それにより、NMOSトランジスタ308中への電流を低減する。一実施形態では、比較器304は、NMOSトランジスタ308中への電流が0であるか、または実質的に0であるように、電流源302からのすべてのまたは実質的にすべての電流が電荷ポンプ202に与えられるように、スイッチング周波数を制御するようにVCO204を制御する。
10

【0040】

[0048]電荷ポンプシステム300では、ADC206中への入力電圧Vinは、以下で説明するように、電荷ポンプ202中への入力電圧VIN-CPに関係することがある。

【0041】

[0049]図4に、一実施形態による、電荷ポンプシステム400のブロック図を示す。電荷ポンプシステム400は、システム100の例示的な一実装形態である。電荷ポンプシステム400はフィードフォワード制御システムとして動作する。電荷ポンプシステム400は、電荷ポンプ202と、VCO204と、ADC206と、比較器304と、センス抵抗器306と、センス回路310と、スイッチングドライバ410と、ハイサイド中間電圧源444と、ローサイド中間電圧源446とを備える。電荷ポンプシステム400は、たとえば、バック変換器のためのスイッチングドライバであり得るスイッチングドライバ410をもつ電荷ポンプ202の例示的な一実装形態である。
20

【0042】

[0050]スイッチングドライバ410は、ハイサイドスイッチングパワートランジスタ420と、ローサイドスイッチングパワートランジスタ422と、ハイサイドカスコードトランジスタ424と、ローサイドカスコードトランジスタ426とを備える。カスコードトランジスタ424および426は、それぞれ、スイッチングパワートランジスタ420および422にわたって、それぞれ電圧降下を低減するためのハイサイドカスコードトランジスタおよびローサイドカスコードトランジスタである。ハイサイド中間電圧源444およびローサイド中間電圧源446は、それぞれハイサイド中間電圧(VHS: high side mid-voltage)およびローサイド中間電圧(VLS: low side mid-voltage)を、ほぼ一定のゲート駆動電圧として、それぞれカスコードトランジスタ424およびカスコードトランジスタ426に与える。この例では、ローサイド中間電圧(VLS)は、ハイサイド中間電圧(VHS)よりも大きい。一実施形態では、ハイサイド中間電圧源444およびローサイド中間電圧源446は、低ドロップアウト(LDO)レギュレータであり得る。さらに、ハイサイド中間電圧源444は、ハイサイドスイッチングパワートランジスタ
30

420へのスイッチング信号を生成するハイサイドドライバのための低い電源電圧として使用され得る。したがって、ハイサイドドライバはハイサイド中間電圧源444上の負荷である。

【0043】

[0051]同様の構成がローサイドのために使用される。ローサイド中間電圧源446は、ローサイドスイッチングパワートランジスタ422へのスイッチング信号を生成するローサイドドライバのための低い電源電圧として使用され得る。したがって、ローサイドドライバはローサイド中間電圧源446上の負荷である。

【0044】

[0052]電荷ポンプシステム400は、複数のスイッチ410、412、414、および416をさらに備える。10

【0045】

[0053]外部コントローラ(図示せず)は、この例では、スイッチ410、412、414、および416のための制御信号のための重複しないクロックであるクロックP1とクロックP2とを生成する。

【0046】

[0054]LDO444は、ハイサイド基準電圧(VREF-HS:high side reference voltage)に応答してハイサイド中間電圧(VHS)を生成する。LDO446は、ローサイド基準電圧(VREF-LS:low side reference voltage)に応答してローサイド中間電圧(VLS)を生成する。LDO444およびLDO446の出力(電圧VHSおよびVLS)は、電荷ポンプ202を通じて互いに結合される。この例では、電荷ポンプ202は、(約0.4~0.8Vの間の)ハイサイド中間電圧(VHS)を受信し、ローサイド中間電圧(VLS)を1.2V近くに維持するためにローサイド中間電圧(VLS)に電荷を出力する。この例では、入力電圧Vinは、電源Vddに等しく、1.6から2Vまで変動し得、電荷ポンプ202は、ローサイド中間電圧(VLS)を1.2V近くに維持するために電源Vddの値に基づいて異なる利得を生成するように構成される。20

【0047】

[0055]入力電圧Vinとハイサイド中間電圧(VHS)との間に結合されたスイッチ410および412は、ハイサイドドライバ中のスイッチである。ローサイド中間電圧VLSと接地との間に結合されたスイッチ414および416は、ローサイドドライバ中のスイッチである。30

【0048】

[0056]ハイサイドドライバ上で、スイッチ410は、第1の制御信号(たとえば、アクティブ状態またはオン状態にあること)に応答して、ハイサイドスイッチングパワートランジスタ420のゲートとスイッチ412とを入力電圧Vinに選択的に結合する。スイッチ412は、第2の制御信号(たとえば、アクティブ状態またはオン状態にあること)に応答して、ハイサイドスイッチングパワートランジスタ420のゲートをLDO444の出力に選択的に結合する。

【0049】

[0057]ローサイドドライバ上で、スイッチ416は、第2の制御信号(たとえば、アクティブ状態またはオン状態にあること)に応答して、ローサイドスイッチングパワートランジスタ422のゲートを接地に選択的に結合する。スイッチ414は、第1の制御信号(たとえば、アクティブ状態またはオン状態にあること)に応答して、ローサイドスイッチングパワートランジスタ422のゲートをLDO444の出力に選択的に結合する。40

【0050】

[0058]スイッチ410およびスイッチ414は第1の制御信号(クロックP1)によって制御される。スイッチ412およびスイッチ416は第2の制御信号(クロックP2)によって制御される。スイッチ410および414は、スイッチ412および416が閉じる前に開き、同様にスイッチ412および416は、スイッチ410およびスイッチ414が閉じる前に開く(「ブレークビフォアメーク」)。クロックP1中に、ロー

サイドはオンである。クロック P 1 はスイッチ 4 1 0 を閉じて、ハイサイドスイッチングパワートランジスタ 4 2 0 をオフにするためにハイサイドスイッチングパワートランジスタ 4 2 0 のゲートを入力電圧 V_{in} にプルし、ローサイドスイッチングパワートランジスタ 4 2 2 をオンにするために、ローサイドスイッチングパワートランジスタ 4 2 2 のゲートをローサイド中間電圧 (V_{L5}) にプルする。クロック P 2 中に、ハイサイドはオンである。クロック P 2 はスイッチ 4 1 2 を閉じて、ハイサイドスイッチングパワートランジスタ 4 2 0 をオンにするためにハイサイドスイッチングパワートランジスタ 4 2 0 のゲートをハイサイド中間電圧 (V_{H5}) にプルし、スイッチ 4 1 6 を閉じて、ローサイドスイッチングパワートランジスタ 4 2 2 をオフにするためにローサイドスイッチングパワートランジスタ 4 2 2 のゲートを接地にプルする。

10

【0051】

[0059] 図 5 に、一実施形態による、電荷ポンプシステム 5 0 0 のブロック図を示す。電荷ポンプシステム 5 0 0 は、システム 1 0 0 の例示的な一実装形態である。電荷ポンプシステム 5 0 0 はフィードフォワード制御システムとして動作する。電荷ポンプシステム 5 0 0 は、電荷ポンプ 2 0 2 と、VCO 2 0 4 と、ADC 2 0 6 と、比較器 3 0 4 と、センス抵抗器 3 0 6 と、センス回路 3 1 0 と、スイッチングドライバ 4 1 0 と、ハイサイド中間電圧源 4 4 4 と、ローサイド中間電圧源 4 4 6 と、複数のスイッチ 4 1 0 、4 1 2 、4 1 4 、および 4 1 6 とを備える。電荷ポンプシステム 5 0 0 は電荷ポンプシステム 4 0 0 と同様であるが、電荷ポンプ 2 0 2 中への入力電流を検知しない。ADC 2 0 6 中への入力電圧 V_{IN} は、電荷ポンプ 2 0 2 中への同じ入力電圧 V_{IN} である。電荷ポンプシステム 5 0 0 は、入力電圧 V_{IN} に基づいて、および電荷ポンプ 2 0 2 中への入力電流に基づかずに電荷ポンプ 2 0 2 の利得と周波数とを制御する。

20

【0052】

[0060] 図 6 に、一実施形態による電圧制御発振器 2 0 4 のブロック図を示す。VCO 2 0 4 は、電流源 6 0 2 と、NMOSトランジスタ 6 0 4 と、PMOSトランジスタ 6 0 6 と、電流ミラーとして配置された複数のNMOSトランジスタ 6 0 8 とを備える。NMOSトランジスタ 6 0 8 - 1 ~ 6 0 8 - 3 は、それぞれ、複数のスイッチ 6 1 0 - 1 ~ 6 1 0 - 3 によって電流ミラー中で選択的に結合される。マルチプレクサ 6 1 2 は、コード [1 : 0] に応答して、スイッチ 6 1 0 を制御するために利得設定 (たとえば、n₂、n₃ または n₄) を表す制御信号を生成する。この例では、3 つのトランジスタ 6 0 8 および 3 つのスイッチ 6 1 0 は、3 である、異なる非 0 利得設定 n の数に一致することが示されている。キャパシタ 6 1 4 は、トランジスタ 6 0 6 の両端間に結合され、キャパシタンス C_x を有する。

30

【0053】

[0061] スイッチ回路 6 1 6 は、マルチプレクサ 6 1 2 からの利得設定を表す制御信号に応答して、比較器 6 1 8 の入力に選択された基準電圧を与える。この例では、選択された基準電圧は、それぞれ、利得 n₂、n₃、および n₄ に対応する基準電圧 V_{ref2}、基準電圧 V_{ref3}、および基準電圧 V_{ref4} であり得る、比較器 6 1 8 は、キャパシタ 6 1 4 上の電圧を選択された基準電圧 V_{ref} と比較し、セットリセット (SR) ラッチ 6 2 0 をリセットするための信号を生成する。

40

【0054】

[0062] VCO 2 0 4 は PMOSトランジスタ 6 2 6 と、電流源 6 0 2 および NMOSトランジスタ 6 0 4 を用いた電流ミラーとして配置された複数のNMOSトランジスタ 6 2 8 とをさらに備える。NMOSトランジスタ 6 2 8 - 1 ~ 6 2 8 - 3 は、それぞれ、マルチプレクサ 6 1 2 からの利得設定を表す制御信号に応答して、それぞれのスイッチ 6 1 0 - 1 ~ 6 3 0 - 3 と同様に、複数のスイッチ 6 3 0 - 1 ~ 6 3 0 - 3 によって電流ミラー中で選択的に結合される。キャパシタ 6 3 4 は、トランジスタ 6 2 6 の両端間に結合され、キャパシタンス C_x を有する。

40

【0055】

[0063] スイッチ回路 6 3 6 は、マルチプレクサ 6 1 2 からの利得設定を表す制御信号に

50

応答して、比較器 638 の入力に選択された基準電圧を与える。この例では、選択された基準電圧は、それぞれ、利得 n2、n3、および n4 に対応する基準電圧 Vref2、基準電圧 Vref3、および基準電圧 Vref4 であり得る、比較器 638 は、キャパシタ 634 上の電圧を選択された基準電圧 Vref と比較し、SR ラッチ 620 を設定するための信号を生成する。SR ラッチ 620 の Q 出力は PMOS トランジスタ 606 のゲートに与えられ、クロック信号 1 および 2 を生成するために使用されるクロック (CLK) を生成するインバータ 640 の入力に与えられる。SR ラッチ 620 の Q バー出力は PMOS トランジスタ 626 のゲートに与えられる。SR ラッチ 620 の Q 出力および Q バー出力は、それぞれ、クロック (CLK) を生成するために SR ラッチ 620 を設定し、リセットするために、PMOS トランジスタ 606 および 626 をオンおよびオフにする。

10

【0056】

[0064] クロック (CLK) の周波数 FCLK は、以下によって決定される。

【0057】

【数1】

$$F_{CLK} = \frac{m}{2 C_X \times (V_{DD} - V_{REF})} I_X$$

20

【0058】

[0066] ここで、m は、以下のように利得 n から決定される。

【0059】

【数2】

$$m = \frac{n-1}{n^2}$$

30

【0060】

[0068] 電流源 602 からの電流 IX は、以下のようにになるように設定される。

【0061】

【数3】

$$\frac{I_X}{C_X} = \frac{I_{CP-HS}}{C_F}$$

40

【0062】

[0070] ここで、図 4 および図 5 の実施形態の場合、電流 ICP-HS が LDO444 からのハイサイド電流であるか、または他の実施形態の場合、電荷ポンプ中への電流が使用され得る。基準電圧 VREF は、以下から決定される。

【0063】

【数4】

$$V_{REF} = \frac{n+1}{n} \times V_{MID}$$

【0064】

[0072]ここで、電圧V M I Dは、図4および図5の実施形態の場合、ローサイド電圧V L Sであるか、または図2および図3の実施形態の場合、出力電圧V o u tである。 10

【0065】

[0073]図7に、一実施形態による、電荷ポンプシステム400の簡略化タイミング図を示す。ライン701は、この例では、1.6Vから1.8Vに増分し2.0Vに増分する入力電圧V I Nを表す。ライン702は、0.4Vから0.6Vに増分し0.8Vに増分するハイサイド電圧V H Sを表す。ライン703は、1.2V(ローサイド電圧V L S)から上昇し、1.8Vにおいてピークに達し、1.6Vにおいて水平になる出力電圧V O U Tを表す。

【0066】

[0074]ライン710および712は、それぞれ、コード[1]およびコード[0]を表し、(n4として上記でも説明した)4の利得、(n3として上記でも説明した)3の利得、および(n2として上記でも説明した)2の利得の場合に設定されるものとして図7に示されている。図7に示されているように、ライン701によって示されるように入力電圧V i nが増加するにつれて、利得は減少し、ライン703によって示されるように、出力電圧V o u tは、初期増加の後に狭い範囲にとどまる。 20

【0067】

[0075]ライン720、722および724は、それぞれ、スイッチS1I、S1OおよびS1Xのタイミング信号を表す。この例では、スイッチS1IおよびS1Xのための信号はオンであり、スイッチS1Oのための信号は、2の利得の場合のみオンである。

【0068】

[0076]ライン730、732および734は、それぞれ、スイッチS2I、S2OおよびS2Xのタイミング信号を表す。この例では、スイッチS1IおよびS1Xのための信号は、3および4の利得の場合オンであり、スイッチS2Oのための信号は、3の利得の場合のみオンである。 30

【0069】

[0077]ライン740、742および744は、それぞれ、スイッチS3I、S3OおよびS3Xのタイミング信号を表す。この例では、スイッチS3I、S3OおよびS3Xのための信号は、4の利得の場合オンであり、他の場合オフである。

【0070】

[0078]図8に、一実施形態による、電荷ポンプシステム100を制御するプロセスフロー800の簡略図を示す。802において、電荷ポンプ102の利得と周波数と出力電圧V(O U T)とを制御するために入力電圧V(I N)を検出する。804において、電荷ポンプシステム100は、入力電圧V(I N)が範囲内にあるかどうかを決定する。804において入力電圧V(I N)が範囲内にある場合、802において、プロセスはループバックし、入力電圧V(I N)を検出する。そうではなく、804において、入力電圧V(I N)が範囲内にない場合、806において、利得制御回路104は、電荷ポンプ102の出力電圧V(O U T)を電圧範囲に維持するために電荷ポンプ102の利得を変更し、入力電圧V(I N)を検出するために、802においてループバックする。808において、電圧周波数変換器106は、検出された入力電圧V(I N)を連続的にモニタし、電荷ポンプ102の出力電圧V(O U T)が、ほぼ一定の出力電圧などの電圧範囲に維持 40

されるように、周波数を周波数範囲に維持するために、検出された入力電圧V(IN)の変化に基づいて電荷ポンプ102に印加される制御信号の周波数を変更する。

【 0 0 7 1 】

[0079]本明細書で説明するスイッチは、1つまたは複数のトランジスタとして実装され得る。

【 0 0 7 2 】

[0080]本明細書で開示する電荷ポンプシステムは、より低い電力を使用し、より単純であり、レギュレータのノード間で使用され得る。

【 0 0 7 3 】

[0081]上記の説明では、特定の実施形態の態様がどのように実装され得るかの例とともに、本開示の様々な実施形態を示した。上記の例は、上記実施形態のみであると見なされるべきではなく、以下の特許請求の範囲によって定義された特定の実施形態のフレキシビリティと利点とを示すために提示された。上記の開示と以下の特許請求の範囲とに基づいて、特許請求の範囲によって定義された本開示の範囲から逸脱することなく、他の構成、実施形態、実装形態、および等価物が採用され得る。

10

〔 図 1 〕

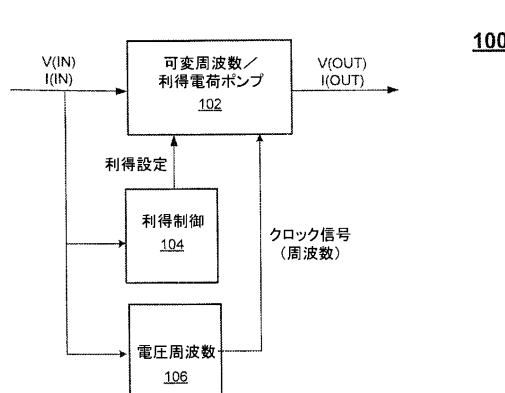


Fig. 1

(四 2)

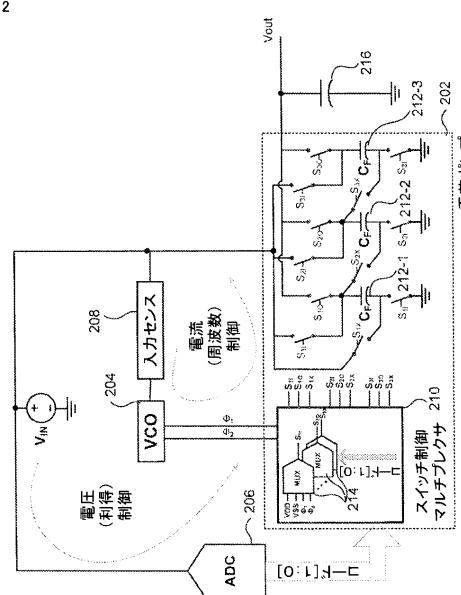


Fig. 2

【図3】

図3

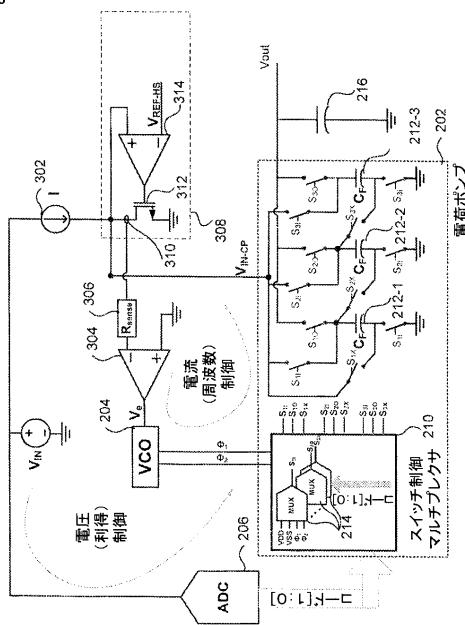


Fig. 3

【図4】

図4

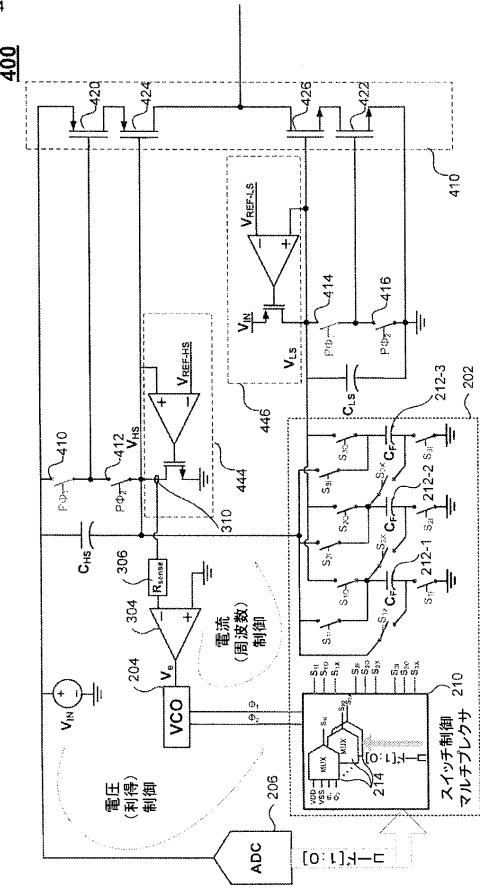


Fig. 4

【図5】

図5

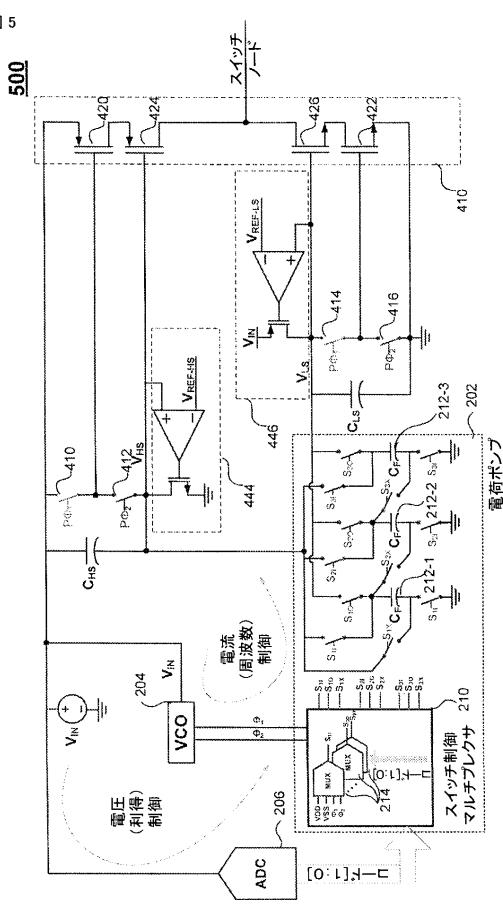


Fig. 5

【図6】

図6

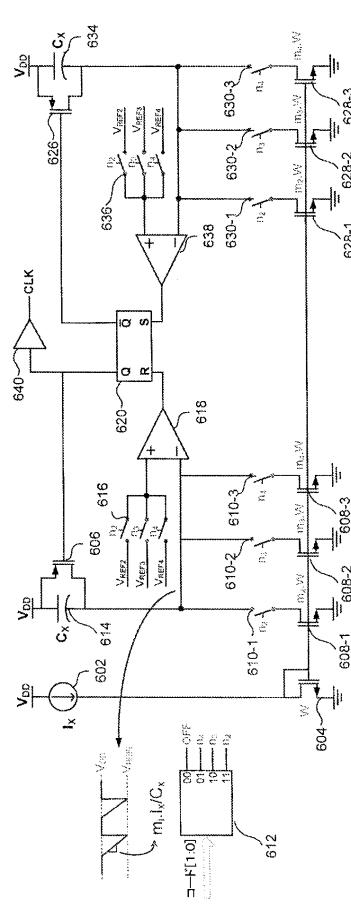
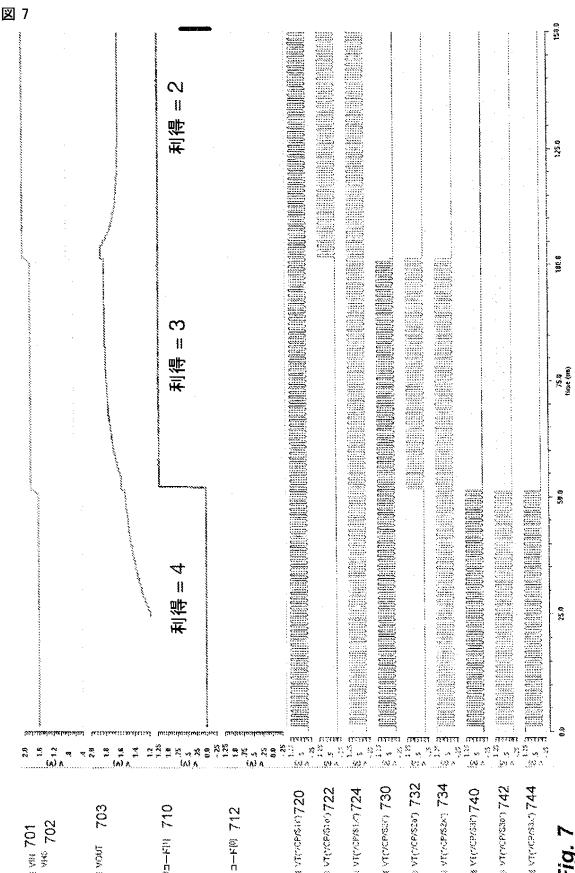


Fig. 6

【図7】



【図8】

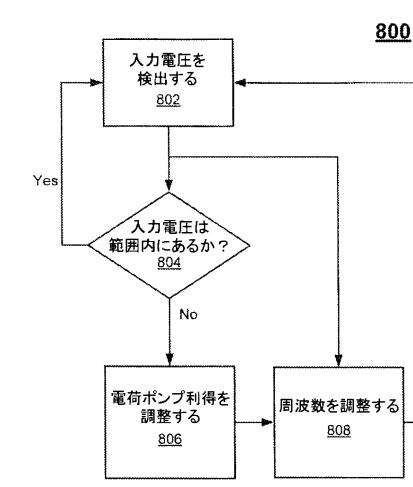


Fig. 8

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		International application No PCT/US2015/027384															
A. CLASSIFICATION OF SUBJECT MATTER INV. H02M3/07 ADD.																	
According to International Patent Classification (IPC) or to both national classification and IPC																	
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M																	
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																	
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data																	
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category^a</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">X</td> <td style="padding: 2px;">US 2013/234785 A1 (DAI HEPING [US] ET AL) 12 September 2013 (2013-09-12) paragraph [0035] - paragraph [0041]; figures 2,3</td> <td style="padding: 2px;">1,4,8, 11,12,15 2,3,5,6, 9,10,12, 13,16-18</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">----- EP 0 836 129 A1 (MOTOROLA SEMICONDUCTEURS [FR]) 15 April 1998 (1998-04-15) abstract; figure 1</td> <td style="padding: 2px;">2,3,9, 10,16,17</td> </tr> <tr> <td style="padding: 2px;">Y</td> <td style="padding: 2px;">----- US 5 532 653 A (ADKINS KENNETH C [US]) 2 July 1996 (1996-07-02) line 57 - column 4, line 60; figure 4 column 5, line 20 - line 23</td> <td style="padding: 2px;">5,12</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;">----- -/-</td> <td style="padding: 2px;"></td> </tr> </tbody> </table>			Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 2013/234785 A1 (DAI HEPING [US] ET AL) 12 September 2013 (2013-09-12) paragraph [0035] - paragraph [0041]; figures 2,3	1,4,8, 11,12,15 2,3,5,6, 9,10,12, 13,16-18	Y	----- EP 0 836 129 A1 (MOTOROLA SEMICONDUCTEURS [FR]) 15 April 1998 (1998-04-15) abstract; figure 1	2,3,9, 10,16,17	Y	----- US 5 532 653 A (ADKINS KENNETH C [US]) 2 July 1996 (1996-07-02) line 57 - column 4, line 60; figure 4 column 5, line 20 - line 23	5,12		----- -/-	
Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.															
X	US 2013/234785 A1 (DAI HEPING [US] ET AL) 12 September 2013 (2013-09-12) paragraph [0035] - paragraph [0041]; figures 2,3	1,4,8, 11,12,15 2,3,5,6, 9,10,12, 13,16-18															
Y	----- EP 0 836 129 A1 (MOTOROLA SEMICONDUCTEURS [FR]) 15 April 1998 (1998-04-15) abstract; figure 1	2,3,9, 10,16,17															
Y	----- US 5 532 653 A (ADKINS KENNETH C [US]) 2 July 1996 (1996-07-02) line 57 - column 4, line 60; figure 4 column 5, line 20 - line 23	5,12															
	----- -/-																
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.																	
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed																	
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family																	
Date of the actual completion of the international search 11 June 2015	Date of mailing of the international search report 19/06/2015																
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Gentili, Luigi																

INTERNATIONAL SEARCH REPORT

International application No PCT/US2015/027384

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2006/078244 A1 (SEMICONDUCTOR COMPONENTS IND [US]; BAIRANZADE MICHAEL [FR]; GERBER REM) 27 July 2006 (2006-07-27) page 17, line 13 - line 22; claims 1,2; figure 1 -----	6,13,18
A	US 5 808 506 A (TRAN HIEU VAN [US]) 15 September 1998 (1998-09-15) line 25 - column 6, line 44; figure 1 -----	1-19
1		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/US2015/027384

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 2013234785	A1	12-09-2013	US WO	2013234785 A1 2013135118 A1		12-09-2013 19-09-2013
EP 0836129	A1	15-04-1998		NONE		
US 5532653	A	02-07-1996		NONE		
WO 2006078244	A1	27-07-2006	CN HK TW US WO	101095276 A 1114953 A1 I387189 B 2009224743 A1 2006078244 A1		26-12-2007 22-06-2012 21-02-2013 10-09-2009 27-07-2006
US 5808506	A	15-09-1998	CA EP EP JP US	2216891 A1 0834981 A2 1081835 A2 H10199282 A 5808506 A		01-04-1998 08-04-1998 07-03-2001 31-07-1998 15-09-1998

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,R0,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,D0,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 サーダト、セイエド・マーモウドレザ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 シ、チュンレイ

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ジャン、チェンチャン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

F ターム(参考) 5H730 AS01 AS02 AS04 BB02 BB57 EE57 FD11 FF01 FF06