

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年5月20日(2010.5.20)

【公開番号】特開2009-43777(P2009-43777A)

【公開日】平成21年2月26日(2009.2.26)

【年通号数】公開・登録公報2009-008

【出願番号】特願2007-204325(P2007-204325)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 F	27/00	(2006.01)
H 01 F	27/06	(2006.01)
H 01 F	17/00	(2006.01)
H 01 F	17/04	(2006.01)
H 01 F	27/28	(2006.01)
H 01 L	23/12	(2006.01)

【F I】

H 01 L	27/04	L
H 01 F	15/00	A
H 01 F	15/02	F
H 01 F	17/00	B
H 01 F	17/04	A
H 01 F	17/04	F
H 01 F	27/28	L
H 01 L	23/12	B

【手続補正書】

【提出日】平成22年4月1日(2010.4.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板に形成されたインダクタ素子であって、

前記半導体基板を貫通すると共に、スパイラル形状とされ、導電性を有したインダクタ本体と、

前記インダクタ本体の側面と前記半導体基板との間に設けられた絶縁膜と、を有することを特徴とするインダクタ素子。

【請求項2】

前記インダクタ本体の上下方向にそれぞれ磁性体を設けたことを特徴とする請求項1記載のインダクタ素子。

【請求項3】

半導体基板に形成されたインダクタ素子であって、

前記半導体基板を貫通すると共に、同心状に配置された複数の第1の導電部材と、

前記半導体基板を貫通すると共に、同心状に配置された複数の第2の導電部材と、

前記第1の導電部材の側面と前記第2の導電部材の側面との間、及び前記第1及び第2の導電部材の側面と前記半導体基板との間に設けられた絶縁膜と、を備え、

前記絶縁膜を介して、前記第1の導電部材と第2の導電部材を交互に配置すると共に、前記第1の導電部材と該第1の導電部材と隣り合う前記第2の導電部材とを電気的に接続する導電部材接続用配線パターンを設けたことを特徴とするインダクタ素子。

【請求項4】

前記複数の第1の導電部材、前記複数の第2の導電部材、及び前記導電部材接続用配線パターンよりなる構造体は、平面視スパイラル形状であることを特徴とする請求項3記載のインダクタ素子。

【請求項5】

前記構造体の上下方向にそれぞれ磁性体を設けたことを特徴とする請求項4記載のインダクタ素子。

【請求項6】

導電性を有するインダクタ本体を備えたインダクタ素子の製造方法であって、半導体基板を貫通するように、スパイラル形状とされた溝部を形成する溝部形成工程と、前記溝部の側面に対応する部分の前記半導体基板に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜が形成された前記溝部に前記インダクタ本体を形成するインダクタ本体形成工程と、を含み、

前記インダクタ本体形成工程は、

前記半導体基板の一方の面に給電層を形成する給電層形成工程と、  
電解めっき法により、前記絶縁膜が設けられた前記溝部を充填するように導電膜を形成する導電膜形成工程と、  
前記半導体基板の他方の面から突出した部分の前記導電膜を除去する導電膜除去工程と、  
前記導電膜除去工程後に、前記給電層を除去する給電層除去工程と、を含むことを特徴とするインダクタ素子の製造方法。

【請求項7】

半導体基板に形成されたインダクタ素子の製造方法であって、前記半導体基板に複数の第1の貫通溝を同心状に形成する第1の貫通溝形成工程と、前記複数の第1の貫通溝の側面に対応する部分の前記半導体基板に第1の絶縁膜を形成する第1の絶縁膜形成工程と、

前記第1の絶縁膜形成工程後に、前記複数の第1の貫通溝にそれぞれ第1の導電部材を形成する第1の導電部材形成工程と、

前記第1の絶縁膜間に位置する部分の前記半導体基板を除去して、前記第1の絶縁膜間に複数の第2の貫通溝を形成する第2の貫通溝形成工程と、

前記第1の絶縁膜が形成されていない複数の第2の貫通溝の側面に対応する部分の前記半導体基板に第2の絶縁膜を形成する第2の絶縁膜形成工程と、

前記第1及び第2の絶縁膜形成後に、前記複数の第2の貫通溝のそれぞれに第2の導電部材を形成する第2の導電部材形成工程と、

前記第1の導電部材と該第1の導電部材と隣り合う前記第2の導電部材とを電気的に接続する導電部材接続用配線パターンを形成する導電部材接続用配線パターン形成工程と、を含み、

前記第1の導電部材形成工程は、

前記半導体基板の一方の面に給電層を形成する給電層形成工程と、  
電解めっき法により、前記複数の第1の貫通溝を第1のめっき膜により充填する第1のめっき膜形成工程と、

前記半導体基板の他方の面から突出した部分の前記第1のめっき膜を除去する第1のめっき膜除去工程と、

前記第1のめっき膜除去工程後に、前記給電層を除去する給電層除去工程と、を含むことを特徴とするインダクタ素子の製造方法。

**【請求項 8】**

前記第2の導電部材形成工程は、前記半導体基板の一方の面に給電層を形成する給電層形成工程と、

電解めっき法により、前記複数の第2の貫通溝を第2のめっき膜により充填する第2のめっき膜形成工程と、

前記半導体基板の他方の面から突出した部分の前記第2のめっき膜を除去する第2のめっき膜除去工程と、

前記第2のめっき膜除去工程後に、前記給電層を除去する給電層除去工程と、を含むことを特徴とする請求項7記載のインダクタ素子の製造方法。

**【請求項 9】**

前記導電部材接続用配線パターン形成工程後に、前記第1の導電部材、前記第2の導電部材、及び前記導電部材接続用配線パターンの上下方向に磁性体を形成する磁性体形成工程をさらに設けたことを特徴とする請求項7又は8記載のインダクタ素子の製造方法。

**【手続補正2】**

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

**【0024】**

本発明のその他の観点によれば、導電性を有するインダクタ本体を備えたインダクタ素子の製造方法であって、半導体基板を貫通するように、スパイラル形状とされた溝部を形成する溝部形成工程と、前記溝部の側面に対応する部分の前記半導体基板に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜が形成された前記溝部に前記インダクタ本体を形成するインダクタ本体形成工程と、を含み、前記インダクタ本体形成工程は、前記半導体基板の一方の面に給電層を形成する給電層形成工程と、電解めっき法により、前記絶縁膜が設けられた前記溝部を充填するように導電膜を形成する導電膜形成工程と、前記半導体基板の他方の面から突出した部分の前記導電膜を除去する導電膜除去工程と、前記導電膜除去工程後に、前記給電層を除去する給電層除去工程と、を含むことを特徴とするインダクタ素子の製造方法が提供される。

**【手続補正3】**

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

**【0026】**

本発明のその他の観点によれば、半導体基板に形成されたインダクタ素子の製造方法であって、前記半導体基板に複数の第1の貫通溝を同心状に形成する第1の貫通溝形成工程と、前記複数の第1の貫通溝の側面に対応する部分の前記半導体基板に第1の絶縁膜を形成する第1の絶縁膜形成工程と、前記第1の絶縁膜形成工程後に、前記複数の第1の貫通溝にそれぞれ第1の導電部材を形成する第1の導電部材形成工程と、前記第1の絶縁膜間に位置する部分の前記半導体基板を除去して、前記第1の絶縁膜間に複数の第2の貫通溝を形成する第2の貫通溝形成工程と、前記第1の絶縁膜が形成されていない複数の第2の貫通溝の側面に対応する部分の前記半導体基板に第2の絶縁膜を形成する第2の絶縁膜形成工程と、前記第1及び第2の絶縁膜形成後に、前記複数の第2の貫通溝のそれぞれに第2の導電部材を形成する第2の導電部材形成工程と、前記第1の導電部材と該第1の導電部材と隣り合う前記第2の導電部材とを電気的に接続する導電部材接続用配線パターンを形成する導電部材接続用配線パターン形成工程と、を含み、前記第1の導電部材形成工程は、前記半導体基板の一方の面に給電層を形成する給電層形成工程と、電解めっき法により、前記複数の第1の貫通溝を第1のめっき膜により充填する第1のめっき膜形成工程と、前記半導体基板の他方の面から突出した部分の前記第1のめっき膜を除去する第1のめ

つき膜除去工程と、前記第1のめっき膜除去工程後に、前記給電層を除去する給電層除去工程と、を含むことを特徴とするインダクタ素子の製造方法が提供される。