

(12) 发明专利

(10) 授权公告号 CN 101354755 B

(45) 授权公告日 2013. 07. 31

(21) 申请号 200810133477. 1

(22) 申请日 2008. 07. 25

(30) 优先权数据

2007-195497 2007. 07. 27 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川

(72) 发明人 山崎舜平 小山润 加藤清

高缘贵章 八洼裕人 柳泽真

大谷久 杉山荣二 堀越望

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 秦晨

(56) 对比文件

JP 10092980 A, 1998. 04. 10,

CN 1858772 A, 2006. 11. 08,

CN 1905146 A, 2007. 01. 31,

US 2006267138 A1, 2006. 11. 30,

CN 1627518 A, 2005. 06. 15,

CN 1918708 A, 2007. 02. 21,

审查员 丁君军

(51) Int. Cl.

G06K 19/077(2006. 01)

H01L 25/00(2006. 01)

H01L 23/31(2006. 01)

H01L 23/60(2006. 01)

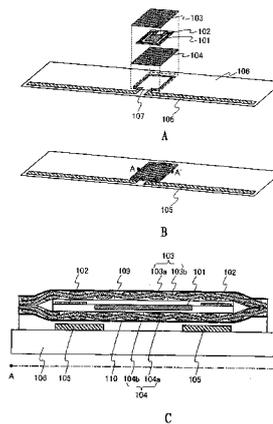
权利要求书2页 说明书27页 附图21页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

一种能够进行无线通信的半导体器件,其具有在对外力、尤其是压紧力的抵抗力方面的高可靠性,并且能在不妨碍电波接收的情况下防止集成电路中的静电放电。该半导体器件包括连接到集成电路的芯片上天线和在无接触的情况下将包括在接收的电波中的信号或功率发送到芯片上天线的增益天线。在该半导体器件中,集成电路和芯片上天线插在通过用树脂填充纤维体形成的一对结构体之间。结构体中的一个设置在芯片上天线与增益天线之间。具有约为 $10^6 \sim 10^{14} \Omega / \text{cm}^2$ 的表面电阻值的导电膜在每个结构体的至少一个表面上形成。



1. 一种半导体器件,其包括:
集成电路;
连接到所述集成电路的第一天线;
一对结构体,其中所述集成电路和所述第一天线插在所述一对结构体之间,
其中至少一个第一抗静电膜在所述一对结构体中的一个的至少一个表面上被形成,以及其中至少一个第二抗静电膜在所述一对结构体中的另一个的至少一个表面上被形成;
第二天线,经设置使得所述一对结构体中的一个插在所述第一天线与所述第二天线之间,其中所述第二天线附着于所述一对结构体中的一个,其中所述一对结构体中的每一个均是通过用树脂填充纤维体形成的。
2. 一种半导体器件,其包括:
集成电路;
连接到所述集成电路的第一天线;
一对结构体,其中所述集成电路和所述第一天线插在所述一对结构体之间;以及第二天线,经设置使得所述一对结构体中的一个插在所述第一天线与所述第二天线之间,其中所述第二天线附着于所述一对结构体中的一个,其中所述一对结构体中的每一个均是通过用树脂填充纤维体形成的,以及其中当交流电流过所述第一天线和所述第二天线中的一个时,在所述第一天线和所述第二天线中的另一个中由电磁感应产生感应电动势。
3. 如权利要求 1 所述的半导体器件,
其中所述一对结构体中的所述一个的一个表面不与所述集成电路和所述第一天线相面对,以及其中所述一对结构体中的所述另一个的一个表面不与所述集成电路和所述第一天线相面对。
4. 如权利要求 1 所述的半导体器件,其中所述一对结构体中的所述一个的一个表面与所述集成电路和所述第一天线相面对,以及其中所述一对结构体中的所述另一个的一个表面与所述集成电路和所述第一天线相面对。
5. 如权利要求 1 所述的半导体器件,
其中所述第一抗静电膜在所述一对结构体中的所述一个的相对侧上被形成,以及其中所述第二抗静电膜在所述一对结构体中的所述另一个的相对侧上被形成。
6. 如权利要求 1 或 2 所述的半导体器件,其中所述一对结构体具有绝缘性。
7. 如权利要求 1 所述的半导体器件,
其中所述抗静电膜是表面活性剂、导电聚合物、其中分散有导电颗粒的树脂和硅氧烷基树脂中的一个。
8. 如权利要求 1 所述的半导体器件,
其中所述抗静电膜具有 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值。
9. 如权利要求 1 或 2 所述的半导体器件,其中所述第一天线为环状,其中所述第二天线的一部分为环状,其中所述第一天线的宽度比所述第二天线的一部分的宽度小,以及其中所述第一天线的内缘和外缘与所述第二天线重叠。
10. 如权利要求 1 或 2 所述的半导体器件,其中所述第一天线为具有一个线圈的环状,其中所述第二天线的一部分为具有一个线圈的环状,其中所述第一天线的宽度比所述第二天线的一部分的宽度小,以及其中所述第一天线的内缘和外缘与所述第二天线重叠。

11. 如权利要求 1 或 2 所述的半导体器件,其中所述集成电路中使用薄膜晶体管。
12. 如权利要求 1 所述的半导体器件,其中当交流电流过所述第一天线和所述第二天线中的一个时,在所述第一天线和所述第二天线中的另一个中由电磁感应产生感应电动势。
13. 如权利要求 1 或 2 所述的半导体器件,其中所述纤维体包括经纱和纬纱,在该经纱和纬纱中的每一个中多个有机化合物或无机化合物的单纱被捆在一起,以及其中在所述一对结构体中所述经纱和所述纬纱的方向不同。
14. 如权利要求 1 或 2 所述的半导体器件,
其中聚乙烯醇纤维、聚酯纤维、聚酰胺纤维、聚乙烯纤维、芳族聚酰胺纤维、聚对苯撑苯并二噁唑纤维、玻璃纤维和碳纤维中的一个被用于所述纤维体。
15. 如权利要求 1 或 2 所述的半导体器件,其中所述树脂包括热固性树脂或热塑性树脂中的一个。
16. 如权利要求 15 所述的半导体器件,其中所述热固性树脂是环氧树脂、不饱和聚酯树脂、聚酰亚胺树脂、双马来酰亚胺三嗪树脂和氰酸盐树脂中的一个。
17. 如权利要求 15 所述的半导体器件,其中所述热塑性树脂是聚苯氧基树脂、聚醚酰亚胺树脂和氟树脂中的一个。
18. 一种制造半导体器件的方法,包括步骤:
将集成电路和连接到所述集成电路的第一天线插在一对结构体之间,其中至少一个第一抗静电膜在所述一对结构体中的一个的至少一个表面上被形成,以及其中至少一个第二抗静电膜在所述一对结构体中的另一个的至少一个表面上被形成;以及将第二天线附着于所述一对结构体中的一个使得所述一对结构体中的所述一个插在所述第一天线与所述第二天线之间,其中所述一对结构体中的每一个均是通过用树脂填充纤维体形成的。
19. 如权利要求 18 所述的方法,其中所述一对结构体中的所述一个的一个表面不与所述集成电路和所述第一天线相面对,以及其中所述一对结构体中的所述另一个的一个表面不与所述集成电路和所述第一天线相面对。
20. 如权利要求 18 所述的方法,其中所述一对结构体中的所述一个的一个表面与所述集成电路和所述第一天线相面对,以及其中所述一对结构体中的所述另一个的一个表面与所述集成电路和所述第一天线相面对。
21. 如权利要求 18 所述的方法,其中所述第一抗静电膜在所述一对结构体中的所述一个的相对侧上被形成,以及其中所述第二抗静电膜在所述一对结构体中的所述另一个的相对侧上被形成。
22. 如权利要求 18 所述的方法,其中所述一对结构体具有绝缘性。
23. 如权利要求 18 所述的方法,其中所述抗静电膜是表面活性剂、导电聚合物、其中分散有导电颗粒的树脂和硅氧烷基树脂中的一个。
24. 如权利要求 18 所述的方法,其中所述抗静电膜具有 $10^6 \sim 10^{14} \Omega / \text{cm}^2$ 的表面电阻值。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及能够进行无线通信的半导体器件及其制造方法。

背景技术

[0002] 用于通过无线发送和接收信号 (RFID : 射频识别) 识别个体对象的技术已经在各种领域中得到实际应用, 而且作为新的信息通信模式这种技术的市场有望进一步扩张。RF 标签也称为 ID 芯片、无线标签、或 IC 标签, 且典型包括天线和用半导体衬底形成的集成电路 (IC 芯片)。在 RFID 中, 信号通常在也称为阅读器或读写器的询问器与 RF 标签之间无线发送和接收。RF 标签常常采用卡、或比卡小的芯片的形式。但是, 它们可以根据预期的用途采用各种形式。

[0003] 更进一步地, RF 标签本身具有挠性时, RF 标签可以附着于具有挠性的材料 (挠性材料), 例如纸或塑料。使用挠性衬底的 RF 标签的结构在专利文件 1 (日本公开专利申请 No. 2005-229098) 中公开。具有挠性的 RF 标签可以更广泛地使用, 并且 RF 标签有望应用于更广阔的领域。

发明内容

[0004] 由于 RF 标签有望在多种领域中使用, 在实际应用中在任何环境下都保证可靠性是重要的目标。

[0005] 一个示例是在对外力的抵抗力方面的可靠性。RF 标签被分成以下类型: 具有外部天线的标签, 其中集成电路和天线被单独形成并连接; 和具有芯片上天线的标签, 其中集成电路和天线在一个衬底上形成 (集成)。具有外部天线的标签的优点是对天线的尺寸或形状没有限制并且可以增大通信范围, 与具有芯片上天线的标签不同。但是, 在使用挠性衬底的 RF 标签的情形中, 集成电路与天线之间的连接在有外力施加于衬底时容易被切断, 而且在对外力的抵抗力方面的可靠性与具有芯片上天线的标签相比不是很充分。此外, 与具有芯片上天线的标签相比, 集成电路与天线之间的连接部分的初始缺陷导致成品率的下降。

[0006] 为了向 RF 标签添加功能, 集成电路的尺寸和存储器容量不可避免地增大。但是, 随着电路尺寸的增加和存储器容量的增大, 集成电路占有的面积也趋于增大, 并且从而减小了 RF 标签在对外力的抵抗力方面的可靠性。因此, 出现了这样的问题, 有望用于多种应用的 RF 标签的上述优点没有得到充分利用。更进一步地, 即使集成电路占有的面积没有改变, 仍然存在用于提高使用挠性衬底的标签在对从外部局部施加的压力 (压紧力) 的抵抗力方面的可靠性的空间。

[0007] 另外, 在集成电路中, 容易发生静电放电 (ESD), 其中半导体元件退化或被通过充电积聚的电荷的释放损坏。特别在诸如塑料的绝缘衬底中容易发生充电。因此, 不仅必须在集成电路中提供用于保证放电路径的保护电路, 而且还要为支撑集成电路的衬底采取针对 ESD 的措施。RF 标签上覆盖能防止充电的导电衬底以便防止 ESD 时, 电波可能被阻塞, 这可能影响来自询问器的信号或功率的接收。

[0008] 鉴于上述问题,本发明的目的是提供在对外力、特别是压紧力的抵抗力方面的高可靠性,和在不妨碍能够进行无线通信的半导体器件中的电波接收的情况下防止集成电路中的静电放电。

[0009] 本发明的半导体器件包括连接到集成电路的芯片上天线(第一天线)和在无接触的情况下将包含在接收的电波中的信号或功率发送到芯片上天线的增益天线(第二天线)。在本发明的半导体器件中,集成电路和芯片上天线插在通过用树脂填充纤维体形成的一对结构体之间。结构体中的一个设置在芯片上天线与增益天线之间。具有约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值的导电抗静电膜在每个结构体的至少一个表面上形成。抗静电膜可以在与集成电路和芯片上天线相对的一侧、或不与集成电路和芯片上天线相对的一侧上形成。更进一步地,抗静电膜可以在结构体的任何一个表面上或结构体的两个表面上都形成。

[0010] 具体地,结构体可以通过用有机树脂填充有机化合物或无机化合物的纤维体形成。包括集成电路的层(元件层)和结构体可以通过热压粘结相互固定。或者,可以提供用于固定元件层和结构体的层。又或者,将纤维体放在元件层上,然后用有机树脂填充纤维体,从而形成固定于元件层的结构体。

[0011] 元件层的厚度为 $1 \sim 10 \mu\text{m}$,优选地为 $1 \sim 5 \mu\text{m}$ 。结构体对的总厚度优选地为 $20 \sim 100 \mu\text{m}$ 。用这样的厚度,可以制造能被弯曲的半导体器件。

[0012] 作为纤维体,可以使用采用了有机化合物或无机化合物的高强度纤维的纺织物或无纺布。高强度纤维具体地说是具有高拉伸弹性模量或高杨氏模量的纤维。通过使用高强度纤维作为纤维体,即使压紧力局部施加于半导体器件,压力也会被散布于整个纤维体,并且可以防止半导体器件的一部分被伸长。也就是说,可以防止因半导体器件的一部分的伸长而导致的布线、半导体元件等的破坏。更进一步地,作为有机树脂,可以使用热塑性树脂或热固性树脂。

[0013] 根据本发明,在能够进行无线通信的半导体器件中,可以提供在对外力、特别是压紧力的抵抗力方面的高可靠性并且可以在不妨碍电波接收的情况下防止集成电路中的静电放电。

附图说明

[0014] 图 1A 和 1B 均是图解本发明的半导体器件的结构的透视图,图 1C 是图 1B 的横断面图。图 2 是图解本发明的半导体器件的结构的方框图。图 3A ~ 3C 均是本发明的半导体器件的横断面图。图 4A 和 4B 均图解集成电路与芯片上天线的位置关系。图 5A 和 5B 均是纤维体的顶视平面图。图 6 是图解集成电路的结构的方框图。图 7 图解相对于施加电压的不运行的样品的数目。图 8A ~ 8C 图解制造本发明的半导体器件的方法。图 9A 和 9B 图解制造本发明的半导体器件的方法。图 10A 和 10B 图解制造本发明的半导体器件的方法。图 11 图解制造本发明的半导体器件的方法。图 12 图解制造本发明的半导体器件的方法。图 13A ~ 13D 图解制造本发明的半导体器件的方法。图 14A ~ 14C 图解制造本发明的半导体器件的方法。图 15A 和 15B 图解制造本发明的半导体器件的方法。图 16A ~ 16C 图解制造本发明的半导体器件的方法。图 17A ~ 17C 图解制造本发明的半导体器件的方法。图 18A ~ 18D 均图解增益天线的形状。图 19A 和 19B 均图解增益天线与芯片上天线之间的位置关系。

图 20A ~ 20C 均图解本发明的半导体器件的应用模式。

具体实施方式

[0015] 在下文中,将参照附图详细描述本发明的实施方案模式和实施方案。请注意本领域的技术人员容易理解可以在不脱离本发明的目的和范围的情况下以各种方式修改模式和细节。因此,本发明不应理解为局限于实施方案模式和实施方案的说明。

[0016] (实施方案模式 1) 图 1A 是图解本发明的半导体器件的叠层结构的透视图。本发明的半导体器件包括集成电路 101 和连接到集成电路 101 的芯片上天线 102。集成电路 101 和芯片上天线 102 以集成方式形成。也就是说,芯片上天线 102 直接在集成电路 101 上形成并以连接到集成电路 101 的方式形成。集成电路 101 和芯片上天线 102 设置在通过用树脂填充纤维体形成的结构体 103 和 104 之间。此外,本发明的半导体器件包括增益天线 105。结构体 104 插在芯片上天线 102 与增益天线 105 之间。请注意图 1A 图解其中增益天线 105 在支撑衬底 106 上形成的示例。

[0017] 图 4A 是图 1A 所示的芯片上天线 102 和集成电路 101 的放大图。虽然在图 1A 和 4A 中芯片上天线 102 是具有一个线圈的矩形环路天线,但本发明不限于这种结构。环路天线的形状不限于矩形而是可以是具有曲线的形状,例如圆形。线圈的数目不限于一个而是可以是多个。请注意当芯片上天线 102 具有一个线圈时,集成电路 101 与芯片上天线 102 之间产生的寄生电容可以减小。

[0018] 更进一步地,在图 1A 和 4A 中,芯片上天线 102 经布置以致围绕集成电路 101 的外围。芯片上天线 102 设置在没有设置集成电路 101 的区域中,与虚线所示的馈电部分 108 相应的部分除外。请注意本发明不限于这种结构,并且如图 4B 所示,芯片上天线 202 可以经布置以致至少部分地与集成电路 101 重叠,与虚线所示的馈电部分 108 相应的部分除外。请注意当如图 1A 和 4A 所示芯片上天线 102 布置在没有设置集成电路 101 的区域中时,集成电路 101 与芯片上天线 102 之间产生的寄生电容可以减小。

[0019] 另外,增益天线 105 为矩形环状,在被虚线 107 围绕的区域中具有一个线圈,但是本发明不限于这种结构。增益天线 105 的环状部分不限于矩形,而是可以是具有曲线的形状,例如圆形。线圈的数目不限于一个,而是可以是多个。

[0020] 增益天线 105 可以通过主要在虚线 107 围绕的环路形区域中的电磁感应向 / 从芯片上天线 102 发送和接收信号或供电。此外,增益天线 105 可以通过主要在除虚线 107 围绕的部分之外的区域中的电波向 / 从询问器发送和接收信号或供电。在询问器与半导体器件之间,用作载体的电波(载波)的频率优选约为 30MHz ~ 5GHz,并且例如可以使用 950MHz 或 2.45GHz 的频带。

[0021] 接下来,描述结构体 103 和 104 的结构和布置。图 1B 是本发明的半导体器件的透视图,其中在图 1A 中示出的集成电路 101、芯片上天线 102、结构体 103 和 104、以及在支撑衬底 106 上形成的增益天线 105 被堆叠在一起。图 1C 是图 1B 中虚线 A-A”的横断面图。

[0022] 结构体 103 包括有机化合物或无机化合物的纤维体 103a 和填充纤维体 103a 的有机树脂 103b。以类似方式,结构体 104 包括有机化合物或无机化合物的纤维体 104a 和填充纤维体 104a 的有机树脂 104b。

[0023] 请注意本实施方案模式图解结构体 103 和 104 中使用单层纤维体的情形;但是本

发明不限于这种结构。在每个结构体中,可以堆叠两层或更多层纤维体。特别是当每个结构体中使用三层或更多层纤维体时,半导体器件在对外力、尤其是压紧力的抵抗力方面的可靠性得到提高。

[0024] 集成电路 101 和芯片上天线 102 设置在结构体 103 和 104 之间。结构体 104 设置在芯片上天线 102 和增益天线 105 之间。请注意在图 1C 中,与芯片上天线 102 相比集成电路 101 设置得距离增益天线 105 更近;但是本发明不限于这种结构。与集成电路 101 相比芯片上天线 102 可以设置得距离增益天线 105 更近。

[0025] 更进一步地,在本发明中,具有导电性和约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值的抗静电膜 109 和抗静电膜 110 分别在结构体 103 和 104 的至少一个表面上形成。具体地,在图 1C 中,抗静电膜 109 在集成电路 101 和芯片上天线 102 上方的一侧形成,有结构体 103 插在它们之间。请注意本发明不限于这种结构。抗静电膜 109 可以设置在结构体 103 与集成电路 101 和芯片上天线 102 之间,或者两个抗静电膜 109 可以以结构体 103 插在两个抗静电膜 109 之间的形式形成。以类似方式,在图 1C 中,抗静电膜 110 在集成电路 101 和芯片上天线 102 下方的一侧形成,有结构体 104 插在它们之间。请注意本发明不限于这种结构。抗静电膜 110 可以设置在结构体 104 与集成电路 101 和芯片上天线 102 之间,或者两个抗静电膜 110 可以以结构体 104 插在两个抗静电膜 110 之间的形式形成。

[0026] 图 3A 是沿虚线 A-A' 的横断面图,其中抗静电膜 109 设置在结构体 103 与集成电路 101 和芯片上天线 102 之间;且抗静电膜 110 设置在结构体 104 与集成电路 101 和芯片上天线 102 之间。图 3B 是沿虚线 A-A' 的横断面图,其中抗静电膜 109 在结构体 103 的两个表面上形成;且抗静电膜 110 在结构体 104 的两个表面上形成。图 3C 是沿虚线 A-A' 的横断面图,其中两个抗静电膜 109 以结构体 103 插在它们之间的形式形成,两个抗静电膜 110 以结构体 104 插在它们之间的形式形成,并且抗静电膜 109 或抗静电膜 110 中使用的材料分散在包含在结构体 103 中的有机树脂 103b 中和包含在结构体 104 中的有机树脂 104b 中。

[0027] 对于抗静电膜 109 和 110,可以使用表面活性剂、导电聚合物、其中分散有诸如炭黑或银的导电颗粒的树脂、硅氧烷基树脂、硅氧烷基材料等等。表面活性剂的具体例子包括非离子表面活性剂,诸如甘油脂肪酸酯、聚氧乙烯烷基醚、聚氧乙烯烷基苯基醚、N, N-双(2-羟基乙基)烷基胺、N-2-羟基乙基-N-2-羟烷基胺、聚氧乙烯烷基胺、聚氧乙烯烷基胺脂肪酸酯、和烷基二乙醇酰胺;阴离子表面活性剂,诸如烷基磺酸盐、烷基苯磺酸盐和磷酸烷基酯;阳离子表面活性剂,诸如四烷基铵盐和三烷基苯甲基铵盐;和两性表面活性剂,诸如烷基甜菜碱和烷基咪唑甜菜碱。使用表面活性剂时,抗静电膜 109 和 110 中的每一个的厚度优选地约为 $0.01 \sim 1 \mu\text{m}$ 。导电聚合物的例子包括聚吡咯基和聚噻吩基聚合物。请注意硅氧烷基树脂是由作为原料的硅氧烷基材料形成的并具有 Si-O-Si 键的树脂。除作为取代基的氢之外,硅氧烷基树脂还可以包含氟、烷基和芳烃中的至少一个。低聚物也包含在硅氧烷基树脂中。

[0028] 集成电路 101 和芯片上天线 102 可以直接地或用充当粘合剂的粘合层固定于结构体 103 和 104。

[0029] 结构体 103 的厚度和结构体 104 的厚度可以制成近似相同的,具体地,一个结构体的厚度与另一个结构体的厚度的比为 $1 : 0.8 \sim 1 : 1.2$,并且有机树脂 103b 和 104b 使用相同的材料,由此可以减少半导体器件的翘曲。此外,通过使结构体 103 的厚度与结构

体 104 的厚度近似相同,具体地,通过使一个结构体的厚度与另一个结构体的厚度的比为 $1 : 0.8 \sim 1 : 1.2$,当半导体器件因应力的施加而弯曲时,可以防止压力局部施加于设置在结构体 103 和 104 之间的集成电路 101 和芯片上天线 102。因此,可以提高半导体器件的可靠性。

[0030] 具体地,结构体 103 和 104 合起来的厚度优选地为 $20 \sim 100 \mu\text{m}$ 。能被弯曲的薄半导体器件可以用具有上述厚度的结构体形成。

[0031] 作为有机树脂 103b 和 104b,可以使用热固性树脂,诸如环氧树脂、不饱和聚酯树脂、聚酰亚胺树脂、双马来酰亚胺三嗪树脂、或氰酸盐树脂;热塑性树脂,诸如聚苯氧基树脂、聚醚酰亚胺树脂、或氟树脂;多种上述热固性树脂和热塑性树脂。通过使用上述有机树脂,纤维体可以通过热处理固定于集成电路 101 和芯片上天线 102。请注意有机树脂 103b 和 104b 的玻璃化转变温度越高,优选地,集成电路 101 和芯片上天线 102 受到局部施加压力的损坏越少。

[0032] 高导热性填料可以分散在有机树脂 103b 和 104b 中或纤维束中。高导热性填料的例子包括铝氮化物、硼氮化物、硅氮化物、氧化铝、和银、铜的金属颗粒等。有机树脂或纤维束中包括高导热性填料时,集成电路 101 和芯片上天线 102 中产生的热可以被轻易地释放到外面。因此,可以抑制半导体器件中的蓄热,且可以降低半导体器件的破坏。

[0033] 纤维体 103a 和 104a 中的每一个都是使用有机化合物或无机化合物的高强度纤维的纺织物或无纺布物。纤维体 103a 和 104a 这样布置以致与集成电路 101 和芯片上天线 102 的整个表面重叠。高强度纤维具体地说是具有高拉伸弹性模量或高杨氏模量的纤维。高强度纤维的典型例子包括聚乙烯醇纤维、聚酯纤维、聚酰胺纤维、聚乙烯纤维、芳族聚酸胺纤维、聚对苯撑苯并二噁唑纤维、玻璃纤维、和碳纤维。玻璃纤维的例子包括使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等的玻璃纤维。请注意纤维体 103a 和 104a 可以由上述高强度纤维中的一种或多种形成。

[0034] 或者,纤维体 103a 和 104a 可以是使用用于经纱和纬纱的纤维束(单纱)(在下文中,纤维束称为纱束)形成的纺织物,或通过以随机方式或在一个方向上堆叠多种纤维的纱束获得的无纺布物。在纺织物的情形中,可以酌情使用平纹织物、斜纹织物、缎纹织物等等。

[0035] 纱束可以具有圆形或椭圆形横截面。作为纤维纱束,可以使用已经经历过用高压水流、用液体作为介质的高频率振动、连续超声振动进行的纤维开松、用滚筒进行的压紧等的纤维纱束。经过纤维开松的纤维纱束具有大的宽度,具有在厚度方向上数目更少的单纱,并具有椭圆形或扁平形的横截面。更进一步地,用松散的加捻纱作为纤维纱束时,纱束被轻易地打平并具有椭圆形或扁平形的横截面。通过使用如上所述具有椭圆形或扁平形横截面的纱束,制成薄的纤维体 103a 和 104a 是可能的。因此,结构体 103 和 104 可以制成薄的,并且因此可以制造薄的半导体器件。纱束的直径为 $4 \sim 200 \mu\text{m}$ 以及 $4 \sim 400 \mu\text{m}$ 时本发明的效果得到证实。理论上,纱束的直径甚至可以更小。此外,纤维的厚度为 $4 \sim 20 \mu\text{m}$ 时,本发明的效果得到证实。理论上,纤维的厚度甚至可以更小,并且纤维的厚度视纤维的材料而定。

[0036] 请注意在本说明书的附图中,纤维体 103a 和 104a 作为纺织物示出,其中该纺织物为使用每个均具有椭圆形横截面的纱束的平纹织物。

[0037] 图 5A 和 5B 均是纤维体 103a 和 104a 的顶视平面图,其中该纤维体 103a 和 104a 是用用于经纱和纬纱的纤维纱束形成的纺织物。

[0038] 如图 5A 所示,纤维体 103a 和 104a 是用以固定距离间隔的经纱 150 和以固定距离间隔的纬纱 151 纺织的。这种用经纱 150 和纬纱 151 形成的纤维体具有没有经纱 150 和纬纱 151 的区域(篮孔(basketholes)152)。有机树脂 103b 和 104b 进一步填充这样的纤维体 103a 和 104a;因此可以进一步增加纤维体 103a 和 104a 与集成电路 101 和芯片上天线 102 之间的粘结。

[0039] 如图 5B 所示,在纤维体 103a 和 104a 的每一个中,经纱 150 和纬纱 151 的密度可以高并且篮孔 152 的比例可以低。典型地,篮孔 152 的尺寸优选地小于局部压紧部分的面积,并且优选地具有一边长度为 0.01 ~ 0.2mm 的矩形形状。纤维体 103a 和 104a 的每一个中的篮孔 152 具有这样小的面积时,即使纤维体 103a 和 104a 受到具有尖锐末端的构件(典型地为诸如钢笔或铅笔的书写材料)的压紧,压力也能被整个纤维体 103a 和 104a 吸收。

[0040] 更进一步地,为了提高有机树脂到纤维纱束内的渗透性,纤维可以经过表面处理。表面处理的例子包括用于使纤维表面活性化的电晕放电、等离子体放电等以及使用硅烷偶联剂或钛酸盐偶联剂的表面处理。

[0041] 集成电路 101 的厚度优选地为 1 ~ 10 μm ,更优选地为 1 ~ 5 μm 。用具有这样厚度的集成电路 101,可以制造能被弯曲的半导体器件。

[0042] 纤维体 103a 和 104a 为使用经纱和纬纱的纺织物时,不同纤维体中经纱和纬纱的方向可以不同。纤维体 103a 和 104a 具有不同的经纱和纬纱方向时,可以保证半导体器件在对任何方向上的挠曲的抵抗力方面的可靠性。更进一步地,由于施加压紧力时结构体 103 和 104 具有不同的拉伸方向,所以由局部压紧引起的伸展变成各向同性的。因此,可以进一步降低由压紧引起的半导体器件的破坏。纤维体的经纱和纬纱的方向的变化优选地为 30° ~ 60°,尤其是 40° ~ 50°。请注意每个纤维体包括多个堆叠的纤维体时,在一个结构体中经纱和纬纱的方向可以相互不同。

[0043] 在本发明中使用的结构体 103 和 104 中,用具有高拉伸弹性模量或高杨氏模量的高强度纤维作为纤维体。这样,即使施加诸如点压力或线压力的局部施加压力,压紧力也被散布于整个纤维体。因此,包括在集成电路 101 中的半导体元件、布线等不被折断,并且因此可以防止半导体器件被毁坏。更进一步地,由于使用薄的半导体膜,可以制造薄的集成电路 101。因此,与使用体半导体元件的情形不同,半导体器件即使在半导体器件弯曲时也不容易毁坏。

[0044] 接下来,描述本发明的半导体器件的运行。图 2 图解方框图的示例,其中该方框图图解本发明的半导体器件的结构。图 2 中所示的半导体器件 120 包括增益天线 122、集成电路 123、和芯片上天线 124。电波从询问器 121 发出时,增益天线 122 接收该电波,因此,增益天线 122 中产生交流电,而且增益天线 122 周围产生磁场。然后,包括在增益天线 122 中的环状部分和具有环形形状的芯片上天线 124 相互电磁耦合,使得芯片上天线 124 中产生感应电动势。集成电路 123 通过使用该感应电动势接收来自询问器 121 的信号或功率。相反,当电流依照集成电路 123 中产生的信号流过芯片上天线 124 使得增益天线 122 中产生感应电动势时,信号可以在从询问器 121 发出的电波的反射波上被发送到询问器 121。

[0045] 请注意增益天线 122 可以分成主要电磁耦合到芯片上天线 124 的环状部分和主要

接收来自询问器 121 的电波的部分。只要主要接收来自询问器 121 的电波的部分中的增益天线 122 具有使接收电波成为可能的形状（诸如偶极天线、折叠偶极天线、槽缝天线、弯折线天线、微带天线等的形状）就是可接受的。

[0046] 接下来,描述本发明的半导体器件中包含的集成电路的结构。图 6 是图解连接到芯片上天线 901 的集成电路 902 的一种模式的方框图。集成电路 902 包括电源电路 903、解调电路 904、调制电路 905、调节器 906、控制电路 907、和存储器 909。

[0047] 交流电流过增益天线时,在芯片上天线 901 中由感应电动势产生交流电压。在电源电路 903 中,来自芯片上天线 901 的交流电压被整流,并产生电源电压。在电源电路 903 中产生的电源电压被施加于控制电路 907 和调节器 906。调节器 906 使来自电源电路 903 的电源电压稳定或调节电压的水平,其后,将形成的电压供应给集成电路 902 中的各种电路,诸如解调电路 904、调制电路 905、控制电路 907、或存储器 909。

[0048] 解调电路 904 解调由芯片上天线 901 接收的交流电信号并将形成的信号输出到随后的控制电路 907。控制电路 907 依照来自解调电路 904 的信号输入进行算术处理,并独立地生成信号。控制电路 907 进行算术处理时,存储器 909 可以用作一级高速缓冲存储器或二级高速缓冲存储器。此外,控制电路 907 分析来自解调电路 904 的信号输入,并将信息的输出保存在存储器 909 中或依照从询问器发出的指令的内容将指令的内容保存在存储器 909 中。来自控制电路 907 的信号输出被编码并发送到调制电路 905。调制电路 905 依照该信号向芯片上天线 901 施加交流电压,由此调制增益天线正在接收的电波。芯片上天线 901 调制的电波被询问器接收。请注意根据标准存在多种调制方法,例如调幅、调频、和调相,并且可以使用任何调制方法,只要它符合标准即可。

[0049] 存储器 909 可以是非易失性存储器或易失性存储器。作为存储器 909,可以使用例如 DRAM(动态随机存取存储器)、SRAM(静态随机存取存储器)、FeRAM,掩膜 ROM(只读存储器)、EPROM(电可编程只读存储器)、闪速存储器、有机存储器等等。

[0050] 在本发明中,图 6 所示的半导体器件可以设有振荡电路或二次电池。

[0051] 虽然图 6 描述只包括一个芯片上天线的半导体器件的结构,但是本发明不限于这种结构。半导体器件可以包括两个芯片上天线,其中一个芯片上天线用于接收功率且另一个芯片上天线用于接收信号。设有两个芯片上天线时,用于供电的电波的频率和用于发送信号的电波的频率可以独立使用。

[0052] 在本发明的半导体器件中,使用芯片上天线,并且信号或功率可以在无接触的情况下在增益天线与芯片上天线之间发送和接收。因此,与外部天线连接到集成电路的情形不同,集成电路与天线之间的连接可能不会被外力切断,并且可以抑制连接的初始缺陷的出现。更进一步地,由于本发明中使用增益天线,与只使用芯片上天线的情形不同,可以获得外部天线的下列优点。例如,天线的尺寸或形状较少受到集成电路的面积的限制,天线能接收的电波的频带不特别受到限制,而且可以增大通信范围。

[0053] 另外,在本发明中,使用通过用树脂填充纤维体形成的一对结构体,由此可以提高半导体器件在对外力、尤其是压紧力的抵抗力方面的可靠性。此外,具有约为 $10^6 \sim 10^{14} \Omega / \text{cm}^2$ 的表面电阻值的导电抗静电膜在每个结构体的至少一个表面上形成时,可以在结构体具有绝缘性时防止结构体被充电而同时允许电波的传送。更进一步地,由于在本发明中增益天线没有连接到集成电路和芯片上天线,集成电路和芯片上天线可以完全被一对结构体

包围。因此,不仅可以提高半导体器件在对外力的抵抗力方面的可靠性,而且可以通过防止对半导体元件的特性产生负面影响的诸如诸如 Na 的碱金属、碱土金属、或湿气的杂质进入集成电路来提高半导体器件的可靠性。

[0054] 由于本发明的半导体器件具有在对外力的抵抗力方面的高可靠性,所以可以扩大可以使用半导体器件的环境的条件,并且可以扩展半导体器件的应用范围。

[0055] (实施方案模式 2) 发明人用 ESD 检测器检验了施加电压时本发明的半导体器件的运行率。

[0056] 在对半导体器件的运行率的测试中,所有样品都具有其中芯片上天线和集成电路插在一对结构体之间的结构,所述一对结构体中的每一个都包括单层纤维体。半导体器件的面积为 0.5mm×12.0mm。纤维体是使用经纱和纬纱的平纹织物。样品 A 是其中没有形成抗静电膜的样品。样品 B 是其中抗静电膜在每个结构体的侧面形成的样品,其中该抗静电膜如在图 1C 中一样不与芯片上天线和集成电路相面对,并且阳离子表面活性剂(产品名称:Staticide(注册商标),由 ACLStaticide 公司生产)被用于抗静电膜。样品 C 是其中抗静电膜在每个结构体的侧面形成的样品,其中该抗静电膜如在图 3A 中一样与芯片上天线和集成电路相面对,并且聚噻吩基导电聚合物(产品名称:CONISOL(注册商标),由 InsCon 技术有限公司生产)被用于抗静电膜。

[0057] 在测试中,所有电压都通过接触放电穿过结构体被施加于集成电路的中心部分。测试的步骤如下。首先,第一次施加 +1kV 的电压并随后用离子发生器除电约 10 秒钟。其次,再一次施加 -1kV 的电压并随后用离子发生器除电约 10 秒钟。然后,通过用询问器读取数据来检查半导体器件的运行。至于其运行已经过检查的样品,把第一次要施加的电压增加 +1kV,把第二次要施加的电压增加 -1kV,并用相似的步骤检查运行。

[0058] 图 7 图解相对于施加的电压没有运行的样品的数目。其中没有形成抗静电膜的所有样品 A 在施加 ±2kV 的电压时都处于不运行状态。相反,其中形成抗静电膜的样品 B 和样品 C 的运行可以在施加多于 ±2kV 的电压时被检查到。特别是在样品 B 中,存在施加 ±8kV 的电压时可以检查到其运行的样品。因此,在本发明的半导体器件中,可以防止由静电放电引起的可靠性的下降。

[0059] (实施方案模式 3) 发明人检验了进行摩擦处理时本发明的半导体器件中的充电量。

[0060] 在对充电量的测试中,所有样品都具有其中芯片上天线和集成电路插在每个均包括单层纤维体的一对结构体之间的结构。结构体中包括的纤维体是使用经纱和纬纱的平纹织物。样品 A 是其中没有形成抗静电膜的样品。样品 B 是其中抗静电膜在每个结构体的侧面形成的样品,其中该抗静电膜如在图 1C 中一样不与芯片上天线和集成电路相面对,并且硅氧烷基低聚物(产品名称:COLCOAT,由 COLCOAT 有限公司生产)被用于抗静电膜。样品 C 是其中抗静电膜在每个结构体的侧面形成的样品,其中该抗静电膜如在图 3A 中一样与芯片上天线和集成电路相面对,并且硅氧烷基低聚物(产品名称:COLCOAT,由 COLCOAT 有限公司生产)被用于抗静电膜。样品 D 是其中结构体像在图 3C 中一样插在两个抗静电膜之间的样品,其中用于抗静电膜的材料分散在结构体中包含的有机树脂中,并且硅氧烷基低聚物(产品名称:COLCOAT,由 COLCOAT 有限公司生产)被用于抗静电膜。

[0061] 摩擦处理通过用纤维素无纺布(产品名称:BEMCOT(注册商标),由 OZU 公司生

生产和配销；由 Asahi Kasei Fibers 公司提供的材料）摩擦半导体器件的表面执行。

[0062] 在本实施方案模式中的充电量测试中，样品 A 的充电量为 -582V；样品 B，-1V；样品 C，-455V；以及样品 D，-650V。因此，将硅氧烷基低聚物用于抗静电膜时，抗静电膜在每个结构体的侧面形成，其中该抗静电膜如在样品 B 中一样不与芯片上天线和集成电路相面对，并且因此，达到了降低充电量的效果。

[0063] （实施方案模式 4）发明人检验了进行摩擦处理时本发明的半导体器件中的充电量。

[0064] 在对充电量的测试中，所有样品都具有其中芯片上天线和集成电路插在每个均包括单层纤维体的一对结构体之间的结构。结构体中包括的纤维体是使用经纱和纬纱的平纹织物。样品 A 是其中没有形成抗静电膜的样品。样品 B 是其中抗静电膜在每个结构体的侧面形成的样品，其中该抗静电膜如在图 1C 中一样不与芯片上天线和集成电路相面对，并且聚噻吩基导电聚合物（产品名称：CONISOL（注册商标），由 InsCon 技术有限公司生产）被用于抗静电膜。样品 C 是其中抗静电膜在每个结构体的侧面形成的样品，其中该抗静电膜如在图 3A 中一样与芯片上天线和集成电路相面对，并且聚噻吩基导电聚合物（产品名称：CONISOL（注册商标），由 InsCon 技术有限公司生产）被用于抗静电膜。样品 D 是其中结构体如在图 3C 中一样插在两个抗静电膜之间的样品，其中用于抗静电膜的材料分散在包括在结构体中的有机树脂中，并且聚噻吩基导电聚合物（产品名称：CONISOL（注册商标），由 InsCon 技术有限公司生产）被用于抗静电膜。

[0065] 摩擦处理通过用纤维素无纺布（产品名称：BEMCOT（注册商标），由 OZU 公司生产和配销；由 Asahi Kasei Fibers 公司提供的材料）摩擦半导体器件的表面执行。

[0066] 在本实施方案模式中的充电量测试中，样品 A 的充电量为 -685V；样品 B，+259V；样品 C，-32V；以及样品 D，-40V。因此，将聚噻吩基导电聚合物用于抗静电膜时，抗静电膜在每个结构体的侧面形成，其中该抗静电膜如在样品 C 中一样与芯片上天线和集成电路相面对，并且因此，达到了降低充电量的效果。此外，将聚噻吩基导电聚合物用于抗静电膜时，如在样品 D 中一样，结构体插在两个抗静电膜之间并且用于抗静电膜的材料分散在包括在结构体中的有机树脂中；因此，达到了降低充电量的效果。

[0067] （实施方案模式 5）发明人检验了进行摩擦处理时本发明的半导体器件中的充电量。

[0068] 在对充电量的测试中，所有样品都具有其中芯片上天线和集成电路插在每个均包括单层纤维体的一对结构体之间的结构。结构体中包括的纤维体是使用经纱和纬纱的平纹织物。样品 A 是其中没有形成抗静电膜的样品。样品 B 是其中抗静电膜在每个结构体的侧面形成的样品，其中该抗静电膜如在图 1C 中一样不与芯片上天线和集成电路相面对，并且阳离子表面活性剂（产品名称：Staticide（注册商标），由 ACL Staticide 公司生产）被用于抗静电膜。样品 C 是其中抗静电膜在每个结构体的侧面形成的样品，其中该抗静电膜如在图 3A 中一样与芯片上天线和集成电路相面对，并且阳离子表面活性剂（产品名称：Staticide（注册商标），由 ACL Staticide 公司生产）被用于抗静电膜。样品 D 是其中结构体如在图 3C 中一样插在两个抗静电膜之间的样品，其中用于抗静电膜的材料分散在包括在结构体中的有机树脂中，并且阳离子表面活性剂（产品名称：Staticide（注册商标），由 ACL Staticide 公司生产）被用于抗静电膜。

[0069] 摩擦处理通过用纤维素无纺布物（产品名称：BEMCOT（注册商标），由 OZU 公司生产和配销；由 Asahi Kasei Fibers 公司提供的材料）摩擦半导体器件的表面执行。

[0070] 在本实施方案模式中的充电量测试中，样品 A 的充电量为 -426V ；样品 B， -2V ；样品 C， $+283\text{V}$ ；以及样品 D， -491V 。因此，将阳离子表面活性剂用于抗静电膜时，抗静电膜在每个结构体的侧面形成，其中该抗静电膜如在样品 B 中一样不与芯片上天线和集成电路相对，并且因此，达到了降低充电量的效果。

[0071] （实施方案模式 6）在本实施方案模式中，描述了制造本发明的半导体器件的方法。虽然本实施方案模式描述作为半导体元件示例的薄膜晶体管 (TFT)，但用于本发明的半导体器件的半导体元件不限于此。例如，可以使用记忆元件、二极管、电阻器、电容器、电感器等等以及 TFT。

[0072] 首先，如图 8A 中所示，绝缘膜 701、分离层 702、绝缘膜 703、和半导体膜 704 依次在具有耐热性的衬底 700 上形成。绝缘膜 701、分离层 702、绝缘膜 703、和半导体膜 704 可以接连形成。

[0073] 作为衬底 700，可以使用由钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等制成的玻璃衬底、石英衬底、陶瓷衬底等等。或者，可以使用包括不锈钢衬底的金属衬底或诸如硅衬底的半导体衬底。由具有挠性的合成树脂制成的衬底（诸如塑料）通常趋于具有比以上衬底低的允许温度极限；但是，可以使用该衬底，只要它能够耐受住制造工艺中的加工温度即可。

[0074] 塑料衬底的示例包括以聚对苯二甲酸乙二醇酯 (PET)、聚醚砜 (PES)、聚萘二甲酸乙二醇酯 (PEN)、聚碳酸酯 (PC)、聚酰胺合成纤维、聚醚醚酮 (PEEK)、聚砜 (PSF)、聚醚酰亚胺 (PEI)、聚芳酯 (PAR)、聚对苯二甲酸丁二醇酯 (PBT)、聚酰亚胺、丙烯腈-丁二烯-苯乙烯树脂、聚氯乙烯、聚丙烯、聚醋酸乙烯酯、和丙烯酸树脂为代表的聚酯。

[0075] 虽然在本实施方案模式中分离层 702 设置在衬底 700 的整个表面上，但本发明不限于这种结构。例如，分离层 702 可以通过光刻法等部分地在衬底 700 上形成。

[0076] 绝缘膜 701 和 703 中的每一个均是通过 CVD 法、溅射法等用诸如硅氧化物、硅氮化物（例如 SiN_x 或 Si_3N_4 ）、硅氧氮化物 (SiO_xN_y ，其中 $x > y > 0$)、或硅氮氧化物 (SiN_xO_y ，其中 $x > y > 0$) 的绝缘材料形成的。

[0077] 提供绝缘膜 701 和 703 以便防止衬底 700 中包含的诸如 Na 的碱金属和碱土金属扩散到半导体膜 704 中并对诸如 TFT 的半导体元件的特性产生负面影响。此外，绝缘膜 703 用于防止分离层 702 中包含的杂质元素扩散到半导体膜 704 中，而且还用于在稍后分离半导体元件的步骤中保护半导体元件。更进一步地，绝缘膜 703 促进分离层 702 中的分离或者能防止半导体元件和布线在稍后分离半导体元件的步骤中被折断或损坏。

[0078] 绝缘膜 701 和 703 中的每一个均可以是单层绝缘膜或多个绝缘膜的叠层。在本实施方案模式中，绝缘膜 703 是通过依次堆叠厚度为 100nm 的硅氧氮化物膜、厚度为 50nm 的硅氮氧化物膜、和厚度为 100nm 的硅氧氮化物膜形成的。但是，每个膜的材料和厚度以及堆叠的膜的数量不限于此例。例如，下层中硅氧氮化物膜可以用通过旋涂法、狭缝式涂布法、液滴释放法 (droplet discharging method)、印刷法等形成的厚度为 $0.5 \sim 3\ \mu\text{m}$ 的硅氧烷基树脂代替。此外，中间层中的硅氮氧化物膜可以用硅氮化物膜代替。更进一步地，上层中的硅氧氮化物膜可以用硅氧化物膜代替。每个膜的厚度优选地在 $0.05 \sim 3\ \mu\text{m}$ 的范围内，并且可以在此范围内自由选择。

[0079] 或者,最靠近分离层 702 的绝缘膜 703 的下层可以用硅氮化物膜或硅氧化物膜形成,该绝缘膜 703 的中间层可以用硅氧烷基树脂形成,该绝缘膜 703 的上层可以用硅氧化物膜形成。

[0080] 请注意硅氧烷基树脂是由硅氧烷基材料作为原料形成的并具有 Si-O-Si 键的树脂。除作为取代基的氢之外,硅氧烷基树脂还可以包含氟、烷基、和芳烃中的至少一种。

[0081] 硅氧化物膜可以通过热 CVD 法、等离子体 CVD 法、大气压 CVD 法、偏压 ECR-CVD 法等用诸如 SiH_4/O_2 或 TEOS(四乙氧基硅烷)/ O_2 的混合气体形成。硅氮化物膜典型地可以通过等离子体 CVD 法用 SiH_4 和 NH_3 的混合气体形成。硅氧氮化物膜和硅氮氧化物膜典型地可以通过等离子体 CVD 法用 SiH_4 和 N_2O 的混合气体形成。

[0082] 作为分离层 702,可以使用金属膜、金属氧化物膜、或金属膜与金属氧化物膜的叠层膜。金属膜和金属氧化物膜中的每一个均可以具有单层结构或其中堆叠多个层的叠层结构。更进一步地,除金属膜和金属氧化物膜之外,还可以使用金属氮化物或金属氧氮化物。分离层 702 可以通过溅射法或诸如等离子体 CVD 法的各种 CVD 法形成。

[0083] 用于分离层 702 的金属的例子包括钨(W)、钼(Mo)、钛(Ti)、钽(Ta)、铌(Nb)、镍(Ni)、钴(Co)、锆(Zr)、锌(Zn)、钌(Ru)、铑(Rh)、钯(Pd)、锇(Os)、和铱(Ir)。除由上述金属中的任何一种形成的膜之外,分离层 702 还可以是由包含上述金属中的任何一种作为主要成分的合金制成的膜或由包含上述金属中的任何一种的化合物制成的膜。

[0084] 或者,分离层 702 可以用单硅(Si)膜或由包含硅(Si)作为主要成分的化合物制成的膜形成。又或者,分离层 702 可以用由硅(Si)和任何上述金属的合金制成的膜形成。包含硅的膜可以具有无定形、微晶、和多晶结构中的任何一种。

[0085] 分离层 702 可以是单层上述膜或多个上述膜的叠层。其中有金属膜和金属氧化物膜堆叠的分离层 702 可以通过形成底层金属膜并随后氧化或氮化该金属膜的表面形成。具体地,可以在氧气氛或 N_2O 气氛中对底层金属膜进行等离子体处理,或者可以在氧气氛或 N_2O 气氛中对该金属膜进行热处理。或者,可以通过直接在底层金属膜上形成硅氧化物膜或硅氧氮化物膜来氧化该金属膜。以类似方式,可以通过直接在底层金属膜上形成硅氮氧化物膜或硅氮化物膜进行氮化。

[0086] 作为用于金属膜氧化或氮化的等离子体处理,可以用 $1 \times 10^{11} \text{cm}^{-3}$ 或以上、优选地为 $1 \times 10^{11} \sim 9 \times 10^{15} \text{cm}^{-3}$ 的等离子体密度并且用诸如微波的高频率(例如 2.45GHz 的频率)进行高密度等离子体处理。

[0087] 虽然其中有金属膜和金属氧化物膜堆叠的分离层 702 可以通过氧化底层金属膜的表面形成,但是也可以在形成金属膜之后独立形成金属氧化物膜。例如,用钨作为金属时,通过溅射法、CVD 法等形成钨膜作为底层金属膜,并随后对钨膜进行等离子体处理。因此,可以形成作为金属膜的钨膜和与该金属膜接触并由钨的氧化物形成的金属氧化物膜。

[0088] 半导体膜 704 优选地在绝缘膜 703 形成之后在不暴露于空气的情况下形成。半导体膜 704 的厚度为 20 ~ 200nm(优选地为 40 ~ 170nm,更优选地为 50 ~ 150nm)。请注意半导体膜 704 可以是无定形半导体、半无定形半导体(微晶半导体)、或多晶半导体。更进一步地,不仅是硅、而且锗硅也可以用于半导体。使用锗硅时,锗的浓度优选地约为 0.01 ~ 4.5at. %。

[0089] 请注意半无定形半导体膜是包含带有无定形半导体与具有晶体结构(包括单晶

结构和多晶结构)的半导体之间的中间结构的半导体的膜。半无定形半导体相当于具有在自由能方面稳定的第三状态的半导体并且相当于具有短程有序和晶格畸变的晶体物质。晶粒大小为 0.5 ~ 20nm 的半无定形半导体可以分散在非单晶半导体中。关于半无定形半导体,其拉曼光谱转移到低于 520cm^{-1} 的波数侧,并且在 X 射线衍射中观察到据说由 Si 晶格引起的衍射峰 (111) 和 (220)。此外,半无定形半导体膜包含至少 1at. % 或更多的氢或卤素以便终止悬挂键。这里,为方便起见,这种半导体被称为半无定形半导体 (SAS)。更进一步地,当包括诸如氦、氩、氙、或氡的稀有气体元素以便进一步促进晶格畸变时,提高了稳定性并且因此可以获得优良的半无定形半导体。

[0090] 另外,可以通过包含硅的气体的辉光放电分解获得 SAS。包含硅的气体的典型例子是 SiH_4 , 并且也可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等等。用氢、或其中向氢添加诸如氦、氩、氙和氡的一种或多种稀有气体元素的气体稀释包含硅的气体时,可以轻易地形成 SAS。优选使用 2 ~ 1000 倍的稀释比稀释包含硅的气体。更进一步地,诸如 CH_4 或 C_2H_6 的碳化物气体、诸如 GeH_4 或 GeF_4 的锗气体、 F_2 等可以混入包含硅的气体中以便调节能带宽度为 1.5 ~ 2.4eV 或 0.9 ~ 1.1eV。

[0091] 例如,在使用其中向 SiH_4 添加 H_2 的气体或其中向 SiH_4 添加 F_2 的气体的情形中,用半无定形半导体制造 TFT 时,TFT 的亚阈值系数(亚阈值摆幅)可以为 0.35V/dec 或以下,典型地为 0.25 ~ 0.09V/dec,并且迁移率可以为 $10\text{cm}^2/\text{Vsec}$ 。

[0092] 请注意半导体膜 704 可以通过已知技术结晶。作为已知的结晶方法,有用激光的激光结晶法和用催化元件的结晶法。或者,将用催化元件的结晶法与激光结晶法结合也是可能的。将诸如石英的耐热性衬底用于衬底 700 时,可以将任何下列结晶法结合:用电加热炉的热结晶法、用红外光的灯退火结晶法、用催化元件的结晶法、和约 950°C 下的高温退火。

[0093] 例如,使用激光结晶时,在激光结晶之前对半导体膜 704 应用 550°C 下的热处理四小时,以便提高半导体膜 704 对激光的抵抗力。然后,使用连续波固态激光器并用基波的第二至第四谐波进行照射,由此可以获得具有大结晶粒度的晶体。典型地,例如优选地使用 Nd:YVO₄ 激光器(1064nm 的基波)的第二谐波(532nm)或第三谐波(355nm)。具体地,用非线性光学元件将从连续波 YVO₄ 激光器发出的激光转变成谐波,以便获得具有 10W 的输出功率的激光。接着,优选地用照射表面上的光学系统将激光束定形为矩形形状或椭圆形形状,以使用激光照射半导体膜 704。在这种情形中,需要约为 $0.01 \sim 100\text{MW}/\text{cm}^2$ (优选为 $0.1 \sim 10\text{MW}/\text{cm}^2$) 的激光功率密度,并且用约为 $10 \sim 2000\text{cm}/\text{sec}$ 的扫描速率进行照射。

[0094] 作为连续波气体激光器,可以使用 Ar 激光器、Kr 激光器等等。作为连续波固态激光器,可以使用:YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、镁橄榄石 (Mg_2SiO_4) 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、玻璃激光器、红宝石激光器、紫翠玉激光器, Ti:蓝宝石激光器,等等。

[0095] 或者,可以使用下列脉冲激光器,例如:Ar 激光器、Kr 激光器、受激准分子激光器、CO₂ 激光器、YAG 激光器、Y₂O₃ 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、玻璃激光器、红宝石激光器、紫翠玉激光器, Ti:蓝宝石激光器、铜蒸气激光器、和金蒸气激光器。

[0096] 脉冲激光的重复频率可以设为 10MHz 或以上,以便可以用比通常使用的几十至几百 Hz 的频带高得多的频带进行激光结晶。据说在通过用脉冲激光照射熔化半导体膜 704 之后使半导体膜 704 完全凝固要用几十至几百纳秒的时间。因此,通过使用上述频率,可以

在半导体膜 704 被脉冲激光束熔化之后及半导体膜 704 变成凝固的之前用下一个脉冲激光照射半导体膜 704。这样,可以连续地移动半导体膜 704 的固-液界面,以便形成具有已在扫描方向上连续生长的晶粒的半导体膜 704。具体地,形成晶粒的聚集是可能的,其中该晶粒中的每一个均具有在扫描方向上约为 $10 \sim 30 \mu\text{m}$ 的宽度和在与扫描方向垂直的方向上约为 $1 \sim 5 \mu\text{m}$ 的宽度。通过形成已在扫描方向上连续生长的单个晶粒,形成至少在 TFT 的沟道方向上具有几个晶粒边界的半导体膜 704 是可能的。

[0097] 请注意可以通过平行地用连续波激光的基波和连续波激光的谐波照射进行激光结晶。或者,可以通过平行地用连续波激光的基波和脉冲激光的谐波照射进行激光结晶。

[0098] 另外,可以在诸如稀有气体或氮的惰性气体气氛中进行激光照射。因此,可以抑制由激光照射导致的半导体表面粗糙,并且可以抑制由界面态密度的变化引起的阈值的变化。

[0099] 通过上述激光照射,可以形成具有提高的结晶度的半导体膜 704。请注意通过溅射法、等离子体 CVD 法、热 CVD 法形成的多晶半导体可以用于半导体膜 704。

[0100] 虽然在本实施方案模式中半导体膜 704 被结晶化,但它仍然可以作为未被结晶化的无定形硅膜或微晶半导体膜并进入后面的工艺。用无定形半导体或微晶半导体形成的 TFT 涉及的制造步骤比使用多晶半导体形成的 TFT 少;因此,它具有成本低和成品率高的优点。

[0101] 无定形半导体可以通过包含硅的气体的辉光放电分解获得。包含硅的气体的例子包括 SiH_4 和 Si_2H_6 。可以使用用氢、或氢和氮稀释的包含硅的气体。

[0102] 接下来,进行沟道掺杂以便向半导体膜 704 添加低浓度的赋予 p 型导电性的杂质元素或赋予 n 型导电性的杂质元素。沟道掺杂可以根据选择在整个半导体膜 704 上或半导体膜 704 的一部分上进行。作为赋予 p 型导电性的杂质元素,可以使用硼 (B)、铝 (Al)、镓 (Ga) 等等。作为赋予 n 型导电性的杂质元素,可以使用磷 (P)、砷 (As) 等等。这里,用硼 (B) 作为杂质元素并以包含的硼的浓度为 $1 \times 10^{16} \sim 5 \times 10^{17}/\text{cm}^3$ 的方式添加。

[0103] 接下来,如图 8B 所示,对半导体膜 704 进行处理(图案化)以具有预定的形状,以便形成岛形半导体膜 705 和 706。然后,如图 8C 所示,形成使用岛形半导体膜 705 和 706 的半导体元件和作为芯片上天线的导体 714。在本实施方案模式中,描述一个示例,其中形成 TFT710 和 711 作为在集成电路中使用的半导体元件。包括在绝缘膜 703 上形成的半导体元件、布线等的集成电路相当于元件层 715。元件层 715 可以包括绝缘膜 703。用作芯片上天线的导体 714 在元件层 715 上形成。

[0104] 用作芯片上天线的导体 714 可以用诸如银 (Ag)、金 (Au)、铜 (Cu)、钯 (Pd)、铬 (Cr)、铂 (Pt)、钼 (Mo)、钛 (Ti)、钽 (Ta)、钨 (W)、铝 (Al)、铁 (Fe)、钴 (Co)、锌 (Zn)、锡 (Sn)、或镍 (Ni) 的金属形成。作为用作芯片上天线的导体 714,可以使用由包含上述金属作为主要成分的合金或包含上述金属的化合物制成的膜以及由上述金属形成的膜。用作芯片上天线的导体 714 可以由单层的上述膜或多个上述膜的叠层形成。

[0105] 用作芯片上天线的导体 714 可以通过 CVD 法、溅射法、诸如丝网印刷或凹版印刷的印刷法、液滴释放法、分布法 (dispensing method)、电镀法、光刻法、蒸发法、溅射法等形成。

[0106] 使用溅射法时,可以在靶与衬底 700 之间沉积掩膜以便形成导体 714。或者,可以形成导电膜并随后通过刻蚀进行图案化以便形成导体 714。进行刻蚀时,用由抗蚀剂等形成

的掩膜进行湿法刻蚀或干法刻蚀。通过使用溅射法,导体 714 的厚度可以为 $0.3 \sim 5 \mu\text{m}$, 优选为 $0.5 \sim 2 \mu\text{m}$ 。

[0107] 例如,使用丝网印刷法时,用作芯片上天线的导体 714 可以通过选择性地印刷导电浆料形成,其中每个均具有几纳米至几十微米的粒度的导电颗粒在有机树脂中分散到绝缘膜上。导电颗粒可以用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钽 (Ta)、钼 (Mo)、锡 (Sn)、铅 (Pb)、锌 (Zn)、铬 (Cr)、钛 (Ti) 等形成。除这样的金属之外,导电颗粒可以用包含上述金属作为主要成分的合金或包含上述金属的化合物形成。或者,可以使用卤化银微粒或可分散纳米粒。更进一步地,作为导电浆料中包含的有机树脂,可以使用聚酰亚胺、硅氧烷基树脂、环氧树脂、硅树脂等等。

[0108] 作为上述金属的合金的例子,可以给出以下组合:银 (Ag) 和钯 (Pd)、银 (Ag) 和铂 (Pt)、金 (Au) 和铂 (Pt)、金 (Au) 和钯 (Pd)、以及银 (Ag) 和铜 (Cu)。或者,例如可以使用用银 (Ag) 覆盖的铜 (Cu) 的导电颗粒。

[0109] 请注意形成用作芯片上天线的导体 714 时,优选的是通过印刷法或液滴释放法涂敷导电浆料,然后烘焙。例如,将包含银作为主要成分的导电颗粒(例如粒度为 $1 \sim 100\text{nm}$)用于导电浆料时,可以通过在 $150 \sim 300^\circ\text{C}$ 的温度下烘焙导电浆料形成充当天线的抗静电膜。烘焙可以通过用红外灯、氩气灯、卤素灯等的灯退火或通过用电炉的炉退火执行。或者,可以使用受激准分子激光器或 Nd:YAG 激光器的激光退火法。又或者,可以使用包含焊料或无铅焊料作为主要成分的微粒;在那种情形中,优选使用每个的粒度均为 $20 \mu\text{m}$ 或以下的微粒。焊料和无铅焊料具有成本低的优点。

[0110] 使用印刷法或液滴释放法时,用作芯片上天线的导体 714 可以在不使用用于曝光的掩膜的情况下形成。此外,使用液滴释放法或印刷法时,与光刻法的情形中不同的是可以避免可能被刻蚀除去材料的浪费。更进一步地,由于不必使用用于曝光的昂贵掩膜,所以可以降低制造半导体器件的成本。

[0111] 接下来,如图 9A 所示,将其中用有机树脂 724 填充纤维体 723 的结构体 725 叠加在元件层 715 的侧面上,其中该结构体 725 不与衬底 700 相面对。这样的结构体 725 也称为预浸料坯。预浸料坯具体地以下列方式形成:用其中用有机溶剂稀释基质树脂的清漆填充纤维体,并且其后进行干燥以便使有机溶剂挥发并使基质树脂半固化。结构体 725 的厚度优选地为 $10 \sim 100 \mu\text{m}$,更优选地为 $10 \sim 30 \mu\text{m}$ 。使用具有这样的厚度的结构体时,可以制造能被弯曲的薄半导体器件。

[0112] 在本实施方案模式中,使用其中用有机树脂填充单层纤维体的结构体 725;但是,本发明不限于这种结构。可以使用其中用有机树脂填充多个堆叠的纤维体的结构体。更进一步地,当堆叠多个结构体,其中在每个结构体中用有机树脂填充单层纤维体时,另一个层可以插在结构体之间。

[0113] 接下来,将结构体 725 加热并进行压力粘结使得结构体 725 的有机树脂 724 被塑化或固化。有机树脂 724 是有机塑料树脂时,随后通过将有机树脂冷却至室温将塑化的有机树脂固化。通过加热和压力粘结,有机树脂 724 被均匀地展开以致与元件层 715 紧密接触,并被固化。其中对结构体 725 进行压力粘结的步骤在大气压力或降低的压力下执行。

[0114] 然后,如图 9B 所示,使元件层 715、导体 714、和结构体 725 与衬底 700 分离。在本实施方案模式中,通过用物理力使元件层 715、导体 714、和结构体 725 与衬底 700 分离。分

离层 702 可以部分保留而不是完全除去。分离可以通过用手或夹紧工具拉来执行,或者在滚动滚筒时分离。

[0115] 虽然在本实施方案模式中使用这样的方法,其中将金属氧化物膜用于分离层并用物理手段使元件层 715 以及导体 714 分离,但用于本发明的分离方法不限于此。例如,可以使用这样的方法,其中使用透光衬底 700,将包含氢的无定形硅用于分离层 702,并用激光束从衬底 700 侧照射分离层 702 以便使包含在无定形硅中的氢蒸发,使得衬底 700 与元件层 715 分离。

[0116] 或者,分离可以通过使用刻蚀分离层 702 的方法执行。在这种情形中,形成沟槽以致使分离层 702 部分地暴露。沟槽是通过切割、划刻、使用包括 UV 光的激光束的工艺过程、光刻法等形成的。沟槽可以足够深以便使分离层 702 暴露。更进一步地,用卤素氟化物作为刻蚀气体,并且通过沟槽引入气体。在本实施方案模式中,在例如使用 ClF_3 (三氟化氯)、 350°C 的温度、 300sccm 的流量、 800Pa 的气压、和三小时的时间段的条件下执行刻蚀。或者,可以将氮混入 ClF_3 气体。使用诸如 ClF_3 的卤素氟化物时,可以选择性地刻蚀分离层 702,而且可以使衬底 700 与元件层 715 分离。请注意卤素氟化物可以是气体或者是液体。

[0117] 或者,通过用机械抛光除去衬底的方法或用诸如 HF 的溶液溶解衬底来除去衬底的方法,可以使元件层 715 与衬底 700 分离。在这种情形中,不一定使用分离层 702。

[0118] 接下来,如图 10A 所示,将其中用有机树脂 721 填充纤维体 720 的结构体 722 叠加在元件层 715 的侧面上,其中该元件层 715 通过上述分离被暴露。这样的结构体 722 也称为预浸料坯。预浸料坯具体地以下列方式形成:用其中用有机溶剂稀释基质树脂的清漆填充纤维体,并且其后进行干燥以便使有机溶剂蒸发并使基质树脂半固化。结构体 722 的厚度优选地为 $10 \sim 100 \mu\text{m}$,更优选地为 $10 \sim 30 \mu\text{m}$ 。使用具有这样的厚度的结构体时,可以制造能被弯曲的薄半导体器件。

[0119] 在本实施方案模式中,使用其中用有机树脂填充单层纤维体的结构体 722;但是,本发明不限于这种结构。可以使用其中用有机树脂填充多个堆叠的纤维体的结构体 722。更进一步地,当堆叠多个结构体,其中在每个结构体中用有机树脂填充单层纤维体时,另一个层可以插在结构体之间。

[0120] 接下来,将结构体 722 加热并进行压力粘结使得结构体 722 的有机树脂 721 被塑化或固化。有机树脂 721 是有机塑料树脂时,随后通过将有机树脂冷却至室温将塑化的有机树脂固化。通过加热和压力粘结,有机树脂 721 被均匀地展开以致与元件层 715 紧密接触,并被固化。其中对结构体 722 进行压力粘结的步骤在大气压力或降低的压力下执行。

[0121] 接下来,如图 10B 所示,抗静电膜 730 和抗静电膜 731 分别在结构体 722 和结构体 725 的表面上形成,其中该两个抗静电膜不与元件层 715 相面对。抗静电膜 730 和 731 中的每一个均具有导电性和约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值。对于抗静电膜 730 和 731,可以使用表面活性剂、导电聚合物、其中分散有诸如炭黑或银的导电颗粒的树脂、硅氧烷基树脂、硅氧烷基材料等等。表面活性剂的具体例子包括非离子表面活性剂,诸如甘油脂肪酸酯、聚氧乙烯烷基醚、聚氧乙烯烷基苯基醚、N,N-双(2-羟基乙基)烷基胺、N-2-羟基乙基-N-2-羟烷基胺、聚氧乙烯烷基胺、聚氧乙烯烷基胺脂肪酸酯、和烷基二乙醇酰胺;阴离子表面活性剂,诸如烷基磺酸盐、烷基苯磺酸盐和磷酸烷基酯;阳离子表面活性剂,诸如四烷基铵盐和三烷基苯甲基铵盐;和两性表面活性剂,诸如烷基甜菜碱和烷基咪唑甜菜碱。使

用表面活性剂时,抗静电膜 730 和 731 中的每一个的厚度优选地约为 $0.01 \sim 1 \mu\text{m}$ 。导电聚合物的例子包括聚吡咯基和聚噻吩基聚合物。

[0122] 使用硅氧烷基树脂时,抗静电膜 730 和 731 可以以下列方式形成。把通过将硅氧烷基树脂或硅氧烷基材料溶解或分散在诸如异丙醇、乙醇、丙醇、或丁醇的醇中获得的液体通过诸如浸渍、喷涂、用布擦拭、凹版涂布、辊涂、或印刷的方法涂敷于结构体 722 和 725,并干燥或在干燥之后烘焙。

[0123] 请注意本实施方案模式中描述这样的例子,其中抗静电膜 730 和 731 分别在结构体 722 和 725 的表面上形成且不与元件层 715 相面对;但是,本发明不限于这种结构。在元件层 715 侧面上的抗静电膜 730 和 731 分别在结构体 722 和 725 的表面上形成时,抗静电膜 730 和 731 优选地在结构体 722 和 725 附着于元件层 715 之前形成。而且在这种情形中,本发明中使用具有约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值的导电抗静电膜 731;因此,即使用作芯片上天线的导体 714 和抗静电膜 731 直接相互接触,也不会损害芯片上天线的功能。

[0124] 构成多个半导体器件的半导体元件在结构体 722 和 725 之间形成时,切割元件层 715 以便使每个半导体器件分离。元件层 715 可以用激光照射装置、切片装置、划刻装置、诸如剪刀或刀具的具有利刃的切割装置等切割。使用激光照射装置时,可以使用下列激光器中的任何一种:诸如 KrF、ArF 或 XeCl 激光器的受激准分子激光器;诸如 He、He-Cd、Ar、He-Ne、HF、或 CO_2 激光器的气体激光器;固态激光器,诸如使用掺杂有 Cr、Nd、Er、Ho、Ce、Co、Ti 或 Tm 的诸如 YAG、 GdVO_4 、 YVO_4 、YLF 或 YAlO_3 的晶体的晶体激光器、玻璃激光器、或红宝石激光器;或诸如 GaN、GaAs、GaAlAs 或 InGaAsP 激光器的半导体激光器。请注意优选地在固态激光器中酌情使用基波至第五谐波。

[0125] 接下来,如图 11 所示,增益天线 740 附着在与用作芯片上天线的导体 714 相对的一侧,有结构体 725 插在增益天线 740 和导体 714 之间。在图 11 中,在支撑衬底 750 上形成的增益天线 740 用粘合剂 751 附着于结构体 725,有抗静电膜 731 插在增益天线 740 和结构体 725 之间。请注意虽然图 11 中使用支撑衬底 750,但增益天线 740 可以在不使用支撑衬底 750 的情况下附着在结构体 725 上。

[0126] 更进一步地,在图 11 中增益天线 740 附着在与用作芯片上天线的导体 714 相对的一侧,有结构体 725 插在增益天线 740 和导体 714 之间;但是本发明不限于这种结构。如图 12 所示,增益天线 740 可以附着在与用作芯片上天线的导体 714 相对的一侧,有结构体 722 插在增益天线 740 和导体 714 之间。

[0127] 请注意本实施方案模式中描述了薄膜晶体管的例子;但是,本发明不限于这种结构。可以使用用 SOI 等形成的晶体管以及薄膜晶体管。此外,使用有机半导体或碳纳米管的晶体管也可以使用。

[0128] 根据本发明,能提供可能不被外力、特别是压紧力损坏而且能防止静电放电的高可靠的半导体器件。

[0129] 本实施方案模式可以酌情与其它实施方案模式和实施方案结合实现。

[0130] (实施方案模式 7) 在本实施方案模式中,描述了制造本发明的半导体器件的方法,其中用从半导体衬底(粘结衬底)转移到支撑衬底(基础衬底)的半导体膜形成半导体元件并将该半导体元件转移到结构体。

[0131] 首先,如图 13A 所示,绝缘膜 201 在粘结衬底 200 上形成。作为粘结衬底 200,可以

使用下列衬底中的任何一种：硅、锗等的单晶半导体衬底或多晶半导体衬底；或用诸如砷化镓或磷化铟的化合物半导体形成的单晶半导体衬底或多晶半导体衬底。或者，作为粘结衬底 200，可以使用由具有晶格畸变的硅、其中将锗添加到硅的锗硅等形成的衬底。具有晶格畸变的硅可以通过在锗硅或硅氮化物上形成膜来形成，其中该具有晶格畸变的硅具有比硅更大的晶格常数。

[0132] 绝缘膜 201 是用诸如硅氧化物、硅氮氧化物、硅氧氮化物或硅氮化物的绝缘材料形成的。绝缘膜 201 可以是单个绝缘膜或多个绝缘膜的叠层。例如，在本实施方案模式中，绝缘膜 201 是这样形成的，其中包含氧的量比氮多的硅氧氮化物和包含氮的量比氧多的硅氮氧化物按照从靠近粘结衬底 200 的一侧的次序堆叠。

[0133] 例如，将硅氧化物用于绝缘膜 201 时，绝缘膜 201 可以通过诸如热 CVD 法、等离子体 CVD 法、大气压 CVD 法或偏压 ECR-CVD 法的气相沉积法用硅烷和氧气的混合气体、TEOS（四乙氧基硅烷）和氧气的混合气体等形成。在这种情形中，绝缘膜 201 的表面可以用氧等离子体处理致密化。更进一步地，将硅氮化物用于绝缘膜 201 时，绝缘膜 201 可以通过诸如等离子体 CVD 法的气相沉积法用硅烷和氮的混合气体形成。将硅氮氧化物或硅氧氮化物用于绝缘膜 201 时，绝缘膜 201 可以通过诸如等离子体 CVD 法的气相沉积法用硅烷和氮的混合气体或硅烷和硅氧化物的混合气体形成。

[0134] 或者，绝缘膜 201 可以通过化学气相沉积法用使用有机硅烷气体形成的硅氧化物形成。作为有机硅烷气体，可以使用包含硅的化合物，诸如硅酸乙酯（TEOS： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基硅烷（TMS： $\text{Si}(\text{CH}_3)_4$ ）、四甲基环四硅氧烷（TMCTS）、八甲基环四硅氧烷（OMCTS）、六甲基二硅氮烷（HMDS）、三乙氧基硅烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、或三二甲基氨基硅烷（trisdimethylaminosilane）（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）。

[0135] 接下来，如图 13A 所示，将氢或稀有气体、或氢离子或稀有气体离子按照箭头的指示添加到粘结衬底 200，由此在距粘结衬底 200 的表面的某个深度处的区域中形成具有微孔的弱层 202。形成弱层 202 的位置根据添加时的加速电压确定。从粘结衬底 200 转移到基础衬底 204 的半导体膜 208 的厚度根据弱层 202 的位置确定。因此，鉴于半导体膜 208 的厚度确定添加时的加速电压。半导体膜 208 的厚度为 10 ~ 200nm，优选地为 10 ~ 50nm。例如，将氢添加到粘结衬底 200 时，剂量优选地为 $1 \times 10^{16} \sim 1 \times 10^{17}/\text{cm}^2$ 。

[0136] 请注意在上述形成弱层 202 的步骤中，以高浓度将氢或稀有气体、或氢离子或稀有气体离子添加到粘结衬底 200，因此，粘结衬底 200 的表面变粗糙并且在某些情况下不能获得用于与基础衬底 204 粘结的足够强度。通过提供绝缘膜 201，粘结衬底 200 的表面在添加氢或稀有气体、或氢离子或稀有气体离子时受到保护，从而基础衬底 204 和粘结衬底 200 可以很好地相互粘结。

[0137] 接下来，如图 13B 所示，绝缘膜 203 在绝缘膜 201 上形成。绝缘膜 203 是用诸如硅氧化物、硅氮氧化物、硅氧氮化物、或硅氮化物的绝缘材料以与绝缘膜 201 类似的方式形成的。绝缘膜 203 可以用单层绝缘膜或多个绝缘膜的叠层形成。或者，可以将通过化学气相沉积法用有机硅烷气体形成的硅氧化物用于绝缘膜 203。在本实施方案模式中，将通过化学气相沉积法用有机硅烷气体形成的硅氧化物用于绝缘膜 203。

[0138] 将诸如硅氮化物或硅氮氧化物的具有高阻挡性的绝缘膜用于绝缘膜 201 或绝缘膜 203 时，可以防止诸如碱金属或碱土金属的杂质从基础衬底 204 进入随后形成的半导体

膜 209。

[0139] 请注意,虽然在本实施方案模式中绝缘膜 203 在弱层 202 形成之后形成,但不一定提供绝缘膜 203。但是,绝缘膜 203 在弱层 202 形成之后形成,这样,绝缘膜 203 的表面具有比在弱层 202 形成之前形成的绝缘膜 201 更高的平面性。因此,在稍后的步骤中执行的粘结的强度能够因绝缘膜 203 的形成而增加。

[0140] 同时,如图 13C 所示,绝缘膜 205、分离层 206、和绝缘膜 207 依次在基础衬底 204 上形成。

[0141] 绝缘膜 205 和 207 均是通过 CVD 法、溅射法等用诸如硅氧化物、硅氮化物(例如 SiN_x 或 Si_3N_4)、硅氧氮化物(SiO_xN_y , 其中 $x > y > 0$)、或硅氮氧化物(SiN_xO_y , 其中 $x > y > 0$) 的绝缘材料形成的。

[0142] 提供绝缘膜 205 和 207 是以便防止基础衬底 204 中包含的诸如 Na 的碱金属和碱土金属扩散到在稍后的步骤中形成的半导体膜 209 中并对半导体元件的特性产生负面影响。此外,绝缘膜 207 能防止分离层 206 中包含的杂质元素扩散到半导体元件中,并能防止半导体元件和布线在稍后分离半导体元件的步骤中被折断或损坏。

[0143] 绝缘膜 205 和 207 中的每一个均可以是单个绝缘膜或多个绝缘膜的叠层。在本实施方案模式中,绝缘膜 207 是通过依次堆叠厚度为 100nm 的硅氧氮化物膜、厚度为 50nm 的硅氮氧化物膜、和厚度为 100nm 的硅氧氮化物膜形成的。但是,每个膜的材料和厚度以及堆叠的膜的数目不限于本例中的那些。例如,下层中硅氧氮化物膜可以用通过旋涂法、狭缝式涂布法、液滴释放法、印刷法等形成的厚度为 $0.5 \sim 3 \mu\text{m}$ 的硅氧烷基树脂代替。此外,中间层中的硅氮氧化物膜可以用硅氮化物膜代替。更进一步地,上层中的硅氧氮化物膜可以用硅氧化物膜代替。每个膜的厚度优选地为 $0.05 \sim 3 \mu\text{m}$, 并且可以在此范围内自由选择。

[0144] 或者,最靠近分离层 206 的绝缘膜 207 的下层可以用硅氧氮化物膜或硅氧化物膜形成,该绝缘膜 207 的中间层可以用硅氧烷基树脂形成,该绝缘膜 207 的上层可以用硅氧化物膜形成。

[0145] 请注意硅氧烷基树脂是由硅氧烷基材料作为原料形成的并具有 Si-O-Si 键的树脂。除作为取代基的氢之外,硅氧烷基树脂还可以包含氟、烷基、和芳烃中的至少一种。

[0146] 硅氧化物膜可以通过热 CVD 法、等离子体 CVD 法、大气压 CVD 法、偏压 ECR-CVD 法等用诸如 SiH_4/O_2 或 TEOS(四乙氧基硅烷)/ O_2 的混合气体形成。硅氮化物膜典型地可以通过等离子体 CVD 法用 SiH_4 和 NH_3 的混合气体形成。硅氧氮化物膜和硅氮氧化物膜典型地可以通过等离子体 CVD 法用 SiH_4 和 N_2O 的混合气体形成。

[0147] 作为分离层 206,可以使用金属膜、金属氧化物膜、或金属膜与金属氧化物膜的叠层膜。金属膜和金属氧化物膜中的每一个均可以具有单层结构或其中堆叠多个层的叠层结构。更进一步地,除金属膜和金属氧化物膜之外,还可以使用金属氮化物或金属氧氮化物。分离层 206 可以通过溅射法或诸如等离子体 CVD 法的各种 CVD 法形成。

[0148] 用于分离层 206 的金属的例子包括钨(W)、钼(Mo)、钛(Ti)、钽(Ta)、铌(Nb)、镍(Ni)、钴(Co)、锆(Zr)、锌(Zn)、钌(Ru)、铑(Rh)、钯(Pd)、锇(Os)、和铱(Ir)。除由上述金属中的任何一种形成的膜之外,分离层 206 还可以是由包含上述金属中的任何一种作为主要成分的合金制成的膜或由包含上述金属中的任何一种的化合物制成的膜。

[0149] 或者,分离层 206 可以用单硅(Si)膜或由包含硅(Si)作为主要成分的化合物制

成的膜形成。又或者,分离层 206 可以用由硅 (Si) 和任何上述金属的合金制成的膜形成。包含硅的膜可以具有无定形、微晶、和多晶结构中的任何一种。

[0150] 分离层 206 可以是单层上述膜或多个上述膜的叠层。其中有金属膜和金属氧化物膜堆叠的分离层 206 可以通过形成底层金属膜并随后氧化或氮化该金属膜的表面形成。具体地,可以在氧气氛或 N_2O 气氛中对底层金属膜进行等离子体处理,或者可以在氧气氛或 N_2O 气氛中对该金属膜进行热处理。或者,可以通过直接在底层金属膜上形成硅氧化物膜或硅氧氮化物膜来氧化该金属膜。以类似方式,可以通过直接在底层金属膜上形成硅氮氧化物膜或硅氮化物膜进行氮化。

[0151] 作为用于金属膜氧化或氮化的等离子体处理,可以用 $1 \times 10^{11} \text{cm}^{-3}$ 或以上、优选地为 $1 \times 10^{11} \sim 9 \times 10^{15} \text{cm}^{-3}$ 的等离子体密度并且用诸如微波的高频率(例如 2.45GHz 的频率)进行高密度等离子体处理。

[0152] 虽然其中有金属膜和金属氧化物膜堆叠的分离层 206 可以通过氧化底层金属膜的表面形成,但是也可以在形成金属膜之后独立形成金属氧化物膜。例如,用钨作为金属时,通过溅射法、CVD 法等形成钨膜作为底层金属膜,并随后对钨膜进行等离子体处理。因此,可以形成作为金属膜的钨膜和与该金属膜接触并由钨的氧化物形成的金属氧化膜。

[0153] 接下来,可以在粘结衬底 200 和基础衬底 204 通过粘结相互附着之前使粘结衬底 200 氢化。例如,氢化处理在氢气氛中在 350°C 下执行约两小时。

[0154] 随后,如图 13D 所示,粘结衬底 200 和基础衬底 204 相互附着使得绝缘膜 203 和 207 插在它们之间。绝缘膜 203 和绝缘膜 207 相互粘结,由此粘结衬底 200 和基础衬底 204 可以相互附着。

[0155] 粘结是通过范德瓦尔斯力形成的,因此即使在室温下也形成牢固的粘结。请注意由于上述粘结可以在低温下进行,所以可以使用多种衬底作为基础衬底 204。作为基础衬底 204,可以使用例如由铝硅酸盐玻璃、钡硼硅酸盐玻璃、铝硼硅酸盐玻璃等制成的玻璃衬底;诸如石英衬底或蓝宝石衬底的衬底;由硅、砷化镓、磷化铟等形成的半导体衬底,等等。或者,可以用包括不锈钢衬底的金属衬底作为基础衬底 204。

[0156] 请注意可以在基础衬底 204 和粘结衬底 200 相互附着之后进行热处理或压力处理。可以用热处理或压力处理增加粘结强度。

[0157] 热处理在粘结衬底 200 与基础衬底 204 之间的绝缘膜 203 和绝缘膜 207 相互粘结之后执行,由此使弱层 202 中的相邻微孔相互耦合,并增大微孔的体积。结果,如图 14A 所示,粘结衬底 200 沿着弱层 202 裂开或在弱层 202 内部分离;因此,曾经是粘结衬底 200 的一部分的半导体膜 208 在基础衬底 204 上形成。热处理优选地在等于或低于基础衬底 204 的允许温度极限的温度下执行。例如,热处理可以在 $400 \sim 600^\circ\text{C}$ 范围内的温度下执行。分离之后,与绝缘膜 201 和 203 一起,半导体膜 208 被转移到基础衬底 204。其后,优选地执行 $400 \sim 600^\circ\text{C}$ 范围内的温度下的热处理以便使绝缘膜 203 与绝缘膜 207 之间的粘结更坚固。

[0158] 半导体膜 208 的晶面取向可以用粘结衬底 200 的晶面取向控制。可以酌情选择具有适合于将形成的半导体元件的晶面取向的粘结衬底 200。晶体管的迁移率取决于半导体膜 208 的晶面取向。为了获得具有更高迁移率的晶体管,鉴于沟道的方向和晶面取向设置粘结衬底 200 的粘结方向。

[0159] 接下来,将转移的半导体膜 208 的表面平面化。虽然平面化不一定是必须的,但平

面化使改善半导体膜 208 与稍后要形成的晶体管中的栅极绝缘膜之间的界面特性成为可能。具体地,平面化可以通过化学机械抛光 (CMP) 或液体射流抛光执行。半导体膜 208 的厚度通过平面化而减小。

[0160] 请注意虽然本实施方案模式描述使用 Smart Cut (注册商标) 的方法的情形,其中半导体膜 208 通过弱层 202 的形成与粘结衬底 200 分离,但是半导体膜 208 可以通过诸如 ELTRAN (外延层转移)、电介质隔离法或 PACE (等离子体辅助化学刻蚀) 法的任何其它粘结方法粘结到基础衬底 204。

[0161] 接下来,如图 14B 所示,对半导体膜 208 进行处理 (图案化) 以便具有预定形状,由此形成岛形半导体膜 209。

[0162] 在本发明中,可以在使用通过上述步骤形成的半导体膜 209 的情况下形成诸如晶体管的各种半导体元件。图 14C 图解用半导体膜 209 形成的晶体管 210。

[0163] 然后,在集成电路中使用的晶体管 210 上形成充当芯片上天线的导体 223。

[0164] 用作芯片上天线的导体 223 可以用诸如银 (Ag)、金 (Au)、铜 (Cu)、钯 (Pd)、铬 (Cr)、铂 (Pt)、钼 (Mo)、钛 (Ti)、钽 (Ta)、钨 (W)、铝 (Al)、铁 (Fe)、钴 (Co)、锌 (Zn)、锡 (Sn)、或镍 (Ni) 的金属形成。作为用作芯片上天线的导体 223,可以使用由包含上述金属作为主要成分的合金或包含上述金属的化合物制成的膜以及由上述金属形成的膜。用作芯片上天线的导体 223 可以由单层的上述膜或多个上述膜的叠层形成。

[0165] 用作芯片上天线的导体 223 可以通过 CVD 法、溅射法、诸如丝网印刷或凹版印刷的印刷法、液滴释放法、分布法、电镀法、光刻法、蒸发法、溅射法等形成。

[0166] 例如,使用丝网印刷法时,用作芯片上天线的导体 223 可以通过选择性地印刷导电浆料形成,其中每个均具有几纳米至几十微米的粒度的导电颗粒在有机树脂中分散到绝缘膜上。导电颗粒可以用银 (Ag)、金 (Au)、铜 (Cu)、镍 (Ni)、铂 (Pt)、钯 (Pd)、钼 (Ta)、钼 (Mo)、锡 (Sn)、铅 (Pb)、锌 (Zn)、铬 (Cr)、钛 (Ti) 等形成。除这样的金属之外,导电颗粒可以用包含上述金属作为主要成分的合金或包含上述金属的化合物形成。或者,可以使用卤化银微粒或可分散纳米粒。更进一步地,作为导电浆料中包含的有机树脂,可以使用聚酰亚胺、硅氧烷基树脂、环氧树脂、硅树脂等等。

[0167] 作为上述金属的合金的例子,可以给出以下组合:银 (Ag) 和钯 (Pd)、银 (Ag) 和铂 (Pt)、金 (Au) 和铂 (Pt)、金 (Au) 和钯 (Pd)、以及银 (Ag) 和铜 (Cu)。或者,例如可以使用用银 (Ag) 覆盖的铜 (Cu) 的导电颗粒。

[0168] 请注意形成用作芯片上天线的导体 223 时,优选的是通过印刷法或液滴释放法涂敷导电浆料,然后烘焙。例如,将包含银作为主要成分的导电颗粒 (例如粒度为 1 ~ 100nm) 用于导电浆料时,可以通过在 150 ~ 300°C 的温度下烘焙导电浆料形成充当天线的抗静电膜。烘焙可以通过用红外灯、氙气灯、卤素灯等的灯退火或通过用电炉的炉退火执行。或者,可以使用受激准分子激光器或 Nd:YAG 激光器的激光退火法。又或者,可以使用包含焊料或无铅焊料作为主要成分的微粒;在那种情形中,优选使用每个的粒度均为 20 μm 或以下的微粒。焊料或无铅焊料具有成本低的优点。

[0169] 使用印刷法或液滴释放法时,用作芯片上天线的导体 223 可以在不用于曝光的掩膜的情况下形成。此外,使用液滴释放法或印刷法时,与光刻法的情形中不同的是可以避免可能被刻蚀除去材料的浪费。更进一步地,由于不必使用用于曝光的昂贵掩膜,可以

降低制造半导体器件的成本。

[0170] 接下来,如图 15A 所示,结构体 212 通过热压粘结而粘结在导体 223 上。然后,元件层 211、导体 223、和结构体 212 与基础衬底 204 分离。

[0171] 作为结构体 212,使用其中用有机树脂 214 填充纤维体 213 的物体。这样的结构体 212 也称为预浸料坯。预浸料坯具体地以下列方式形成:用其中用有机溶剂稀释基质树脂的清漆填充纤维体,并且其后进行干燥以便使有机溶剂挥发并使基质树脂半固化。结构体 212 的厚度优选地为 $10 \sim 100 \mu\text{m}$,更优选地为 $10 \sim 30 \mu\text{m}$ 。使用具有这样的厚度的结构体时,可以制造能被弯曲的薄半导体器件。

[0172] 请注意在本实施方案模式中,使用其中用有机树脂填充单层纤维体的结构体 212;但是,本发明不限于这种结构。可以使用其中用有机树脂填充多个堆叠的纤维体的结构体。更进一步地,当堆叠多个结构体,其中在每个结构体中用有机树脂填充单层纤维体时,另一个层可以插在结构体之间。

[0173] 在结构体 212 中,有机树脂 214 通过热压粘结被塑化或固化。有机树脂 214 是有机塑料树脂时,随后通过将有机树脂冷却至室温将塑化的有机树脂固化。通过加热和压力粘结,有机树脂 214 被均匀地展开以致与元件层 211 紧密接触,并被固化。其中对结构体 212 进行压力粘结的步骤在大气压力或降低的压力下执行。

[0174] 分离发生在分离层 206 中。分离可以用物理力执行,例如通过用人的手或夹紧工具拉,或在滚动滚筒的同时分离。分离层 206 可以部分保留而不是完全除去。

[0175] 请注意本实施方案模式中使用这样的方法,其中将金属氧化物膜用于分离层并用物理手段使元件层 211 分离;但是,本发明中使用的分离方法不限于此。例如,可以使用这样的方法,其中使用透光基础衬底 204,将包含氢的无定形硅用于分离层 206,并用激光束从基础衬底 204 侧照射分离层 206 以便使包含在无定形硅中的氢蒸发,使得基础衬底 204 与元件层 211 分离。

[0176] 或者,分离可以通过刻蚀分离层 206 的方法执行。在这种情形中,形成沟槽以致使分离层 206 部分地暴露。沟槽是通过切割、划刻、使用包括 UV 光的激光束的工艺过程、光刻法等形成的。沟槽可以足够深以便使分离层 206 暴露。然后,用卤素氟化物作为刻蚀气体,并且通过沟槽引入气体。在本实施方案模式中,刻蚀是在例如使用 ClF_3 (三氟化氯)、 350°C 的温度、 300sccm 的流量、 800Pa 的气压、和三小时的时间段的条件下执行的。或者,可以将氮混入 ClF_3 气体。使用诸如 ClF_3 的卤素氟化物时,可以选择性地刻蚀分离层 206,而且可以使基础衬底 204 与元件层 211 分离。请注意卤素氟化物可以是气体或者是液体。

[0177] 或者,通过用机械抛光除去基础衬底 204 的方法或用诸如 HF 的溶液溶解衬底来除去基础衬底 204 的方法,可以使元件层 211 与基础衬底 204 分离。在这种情形中,不一定使用分离层 206。

[0178] 接下来,如图 15B 所示,将其中用有机树脂 216 填充纤维体 215 的结构体 217 叠加元件层 211 的侧面上,其中该元件层 211 通过上述分离被暴露。结构体 217 的厚度优选地为 $10 \sim 100 \mu\text{m}$,更优选地为 $10 \sim 30 \mu\text{m}$ 。使用具有这样的厚度的结构体时,可以制造能被弯曲的薄半导体器件。

[0179] 请注意本实施方案模式中使用其中用有机树脂填充单层纤维体的结构体 217;但是,本发明不限于这种结构。可以使用其中用有机树脂填充多个堆叠的纤维体的结构体。更

进一步地,当堆叠多个结构体,其中在每个结构体中用有机树脂填充单层纤维体时,另一个层可以插在结构体之间。

[0180] 接下来,将结构体 217 加热并进行压力粘结使得结构体 217 的有机树脂 216 被塑化或固化。有机树脂 216 是有机塑料树脂时,随后通过将有机树脂冷却至室温将塑化的有机树脂固化。通过热压粘结,有机树脂 216 被均匀地展开以致与元件层 211 紧密接触,并被固化。其中对结构体 217 进行压力粘结的步骤在大气压力或降低的压力下执行。

[0181] 接下来,抗静电膜 220 和抗静电膜 221 分别在结构体 212 和结构体 217 的表面上形成,其中该两个抗静电膜不与元件层 211 相面对。抗静电膜 220 和 221 中的每一个均具有导电性和约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值。对于抗静电膜 220 和 221,可以使用表面活性剂、导电聚合物、其中分散有诸如炭黑或银的导电颗粒的树脂、硅氧烷基树脂、硅氧烷基材料等等。表面活性剂的具体例子包括非离子表面活性剂,诸如甘油脂肪酸酯、聚氧乙烯烷基醚、聚氧乙烯烷基苯基醚、N,N-双(2-羟基乙基)烷基胺、N-2-羟基乙基-N-2-羟烷基胺、聚氧乙烯烷基胺、聚氧乙烯烷基胺脂肪酸酯、和烷基二乙醇酰胺;阴离子表面活性剂,诸如烷基磺酸盐、烷基苯磺酸盐和磷酸烷基酯;阳离子表面活性剂,诸如四烷基铵盐和三烷基苯甲基铵盐;和两性表面活性剂,诸如烷基甜菜碱和烷基咪唑甜菜碱。使用表面活性剂时,抗静电膜 220 和 221 中的每一个的厚度优选地约为 $0.01 \sim 1 \mu\text{m}$ 。导电聚合物的例子包括聚吡咯基和聚噻吩基聚合物。

[0182] 使用硅氧烷基树脂时,抗静电膜 220 和 221 可以以下列方式形成。把通过将硅氧烷基树脂或硅氧烷基材料溶解或分散在诸如异丙醇、乙醇、丙醇、或丁醇的醇中获得的液体通过诸如浸渍、喷涂、用布擦拭、凹版涂布、辊涂、或印刷的方法涂敷于结构体 212 和 217,并干燥或在干燥之后烘焙。

[0183] 请注意本实施方案模式中描述这样的例子,其中抗静电膜 220 和 221 分别在结构体 212 和 217 的表面上形成且不与元件层 211 相面对;但是,本发明不限于这种结构。在元件层 211 侧面上的抗静电膜 220 和 221 分别在结构体 212 和 217 的表面上形成时,抗静电膜 220 和 221 优选地在结构体 212 和 217 附着于元件层 211 之前形成。而且在这种情形中,本发明中使用具有约为 $10^6 \sim 10^{14} \Omega/\text{cm}^2$ 的表面电阻值的导电抗静电膜 220;因此,即使用作芯片上天线的导体 223 和抗静电膜 220 直接相互接触,也不会损害芯片上天线的功能。

[0184] 构成多个半导体器件的半导体元件在结构体 212 和 217 之间形成时,切割元件层 211 以便使每个半导体器件分离。元件层 211 可以用激光照射装置、切片装置、划刻装置、诸如剪刀或刀具的具有利刃的切割装置等切割。使用激光照射装置时,可以使用下列激光器中的任何一种:诸如 KrF、ArF 或 XeCl 激光器的受激准分子激光器;诸如 He、He-Cd、Ar、He-Ne、HF、或 CO_2 激光器的气体激光器;固态激光器,诸如使用掺杂有 Cr、Nd、Er、Ho、Ce、Co、Ti 或 Tm 的诸如 YAG、 GdVO_4 、 YVO_4 、YLF 或 YAIO_3 的晶体的晶体激光器、玻璃激光器、或红宝石激光器;或诸如 GaN、GaAs、GaAlAs 或 InGaAsP 激光器的半导体激光器。请注意优选地在固态激光器中酌情使用基波至第五谐波。

[0185] 根据本发明,能提供可能不被外力、特别是压紧力损坏而且能防止静电放电的高可靠的半导体器件。

[0186] 本实施方案模式可以酌情与其它实施方案模式和实施方案结合实现。

[0187] (实施方案模式 8) 在本实施方案模式中,描述一个示例,其中布置纤维体以致与

元件层重叠并且用有机树脂填充纤维体,由此形成与元件层附着的结构体。

[0188] 首先,如图 16A 所示,元件层 401 和充当芯片上天线的导体 407 在衬底 400 上形成。在图 16A 中,分离层 402 在元件层 401 与衬底 400 之间形成以便促进稍后元件层 401 与衬底 400 的分离;但是,本发明不限于这种结构。不一定提供分离层 402,或者可以根据分离方法在必要时添加另一个层。

[0189] 然后,纤维体 403 堆叠在元件层 401 上以致与元件层 401 和导体 407 重叠。纤维体 403 是使用有机化合物或无机化合物的高强度纤维的纺织物或无纺布,并且纤维体 403 覆盖元件层 401 和导体 407 的整个表面。高强度纤维具体地说是具有高拉伸弹性模量或高杨氏模量的纤维。高强度纤维的典型例子包括聚乙烯醇纤维、聚酯纤维、聚酰胺纤维、聚乙烯纤维、芳族聚酰胺纤维、聚对苯撑苯并二噁唑纤维、玻璃纤维、和碳纤维。玻璃纤维的例子包括使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等的玻璃纤维。请注意纤维体 403 可以由上述高强度纤维中的一种或多种形成。

[0190] 或者,纤维体 403 可以是使用用于经纱和纬纱的纤维束(单纱)(在下文中,纤维束称为纱束)形成的纺织物,或通过以随机方式或在一个方向上堆叠多种纤维的纱束获得的无纺布。在纺织物的情形中,可以酌情使用平纹织物、斜纹织物、缎纹织物等等。

[0191] 纱束可以具有圆形或椭圆形横截面。作为纤维纱束,可以使用已经经历过用高压水流、用液体作为介质的高频率振动、连续超声振动进行的纤维开松、用滚筒进行的压紧等的纤维纱束。经过纤维开松的纤维纱束具有大的宽度,具有在厚度方向上数目更少的单纱,并具有椭圆形或扁平形的横截面。更进一步地,用松散的加捻纱作为纤维纱束时,纱束被轻易地打平并具有椭圆形或扁平形的横截面。通过使用如上所述具有椭圆形或扁平形横截面的纱束,可以制成薄的结构体 403。因此可以制造薄的半导体器件。纱束的直径为 4 ~ 200 μm 以及 4 ~ 400 μm 时本发明的效果得到证实。理论上,纱束的直径甚至可以更小。此外,纤维的厚度为 4 ~ 20 μm 时,本发明的效果得到证实。理论上,纤维的厚度甚至可以更小,并且纤维的厚度视纤维的材料而定。

[0192] 接下来,如图 16B 所示,用有机树脂 404 填充纤维体 403。有机树脂 404 通过加热被塑化或固化,由此形成固定到元件层 401 和导体 407 上的结构体 405。有机树脂是有机塑料树脂时,随后通过将有机树脂冷却至室温使塑化的有机树脂固化。

[0193] 对于有机树脂 404,可以使用热固性树脂,诸如环氧树脂、不饱和聚酯树脂、聚酰亚胺树脂、双马来酰亚胺三嗪树脂、或氰酸盐树脂;热塑性树脂,诸如聚苯氧基树脂、聚醚酰亚胺树脂、或氟树脂;或选自上述热固性树脂和热塑性树脂的多种树脂。使用上述有机树脂时,纤维体可以通过热处理固定于元件层。有机树脂 404 的玻璃化转变温度越高,优选地,有机树脂 404 受到局部施加压力的损坏越少。

[0194] 作为用有机树脂 404 填充的方法,可以使用印刷法、铸造法、液滴释放法、浸渍涂布法,等等。

[0195] 高导热性填料可以分散在有机树脂 404 中或纤维体 403 的纱束中。高导热性填料的例子包括铝氮化物、硼氮化物、硅氮化物、氧化铝、和银、铜的金属颗粒等。有机树脂或纤维纱束中包括传导性填料时,元件层中产生的热可以轻易地释放到外面。因此,可以抑制半导体器件中的蓄热,并且可以减少半导体器件的缺陷。

[0196] 请注意本实施方案模式中描述这样一个示例,其中结构体 405 包括单层纤维体

403 ;但是本发明不限于这种结构。结构体 405 可以包括两层或更多层纤维体 403。更进一步地,在本实施方案模式中结构体 405 和导体 407 直接相互固定 ;但是,可以在结构体 405 和导体 407 之间提供诸如绝缘膜的另一个层。

[0197] 接下来,如图 16C 所示,衬底 400 与元件层 401 分离。分离可以在分离层 402 内执行。作为分离元件层 401 的方法,可以使用如实施方案模式 6 或 7 中描述的下列方法中的任何一种 ;这样的方法,其中通过用物理力使元件层 401 和衬底 400 在分离层中裂开 ;这样的方法,其中将包含氢的无定形硅用于分离层 402 并用激光束从衬底 400 一侧照射分离层 402 以便使包含在无定形硅中的氢蒸发,使得衬底 400 与元件层 401 分离 ;刻蚀分离层 402 的方法 ;通过机械抛光除去衬底 400 的方法 ;和通过用诸如 HF 的溶液溶解衬底 400 除去衬底 400 的方法。

[0198] 接下来,叠加纤维体 411 以致其与衬底 400 的表面重叠,如图 17A 中所示,该纤维体 411 通过分离被暴露,并且其后,如图 17B 所示用有机树脂 412 填充纤维体 411。然后,有机树脂 412 通过加热被塑化或固化,由此形成固定于元件层 401 的结构体 413。结构体 413 与结构体 405 重叠,其中有元件层 401 插在它们之间。有机树脂是有机塑料树脂时,随后通过将树脂冷却至室温将塑化的有机树脂固化。

[0199] 请注意在本实施方案模式中结构体 413 包括单层结构体 411 ;但是,本发明不限于这种结构。结构体 413 可以包括两层或更多层的纤维体 411。

[0200] 接下来,如图 17C 所示,抗静电膜 430 和抗静电膜 431 分别在结构体 405 和结构体 413 的表面上形成,其中该两个抗静电膜不与元件层 401 相面对。抗静电膜 430 和 431 中的每一个均具有导电性和约为 $10^6 \sim 10^{14} \Omega / \text{cm}^2$ 的表面电阻值。对于抗静电膜 430 和 431,可以使用表面活性剂、导电聚合物、其中分散有诸如炭黑或银的导电颗粒的树脂、硅氧烷基树脂、硅氧烷基材料等等。表面活性剂的具体例子包括非离子表面活性剂,诸如甘油脂肪酸酯、聚氧乙烯烷基醚、聚氧乙烯烷基苯基醚、N, N- 双 (2- 羟基乙基) 烷基胺、N-2- 羟基乙基 -N-2- 羟烷基胺、聚氧乙烯烷基胺、聚氧乙烯烷基胺脂肪酸酯、和烷基二乙醇酰胺 ;阴离子表面活性剂,诸如烷基磺酸盐、烷基苯磺酸盐和磷酸烷基酯 ;阳离子表面活性剂,诸如四烷基铵盐和三烷基苯甲基铵盐 ;和两性表面活性剂,诸如烷基甜菜碱和烷基咪唑甜菜碱。使用表面活性剂时,抗静电膜 430 和 431 中的每一个的厚度优选地约为 $0.01 \sim 1 \mu \text{m}$ 。导电聚合物的例子包括聚吡咯基和聚噻吩基聚合物。

[0201] 使用硅氧烷基树脂时,抗静电膜 430 和 431 可以以下列方式形成。把通过将硅氧烷基树脂或硅氧烷基材料溶解或分散在诸如异丙醇、乙醇、丙醇、或丁醇的醇中获得的液体通过诸如浸渍、喷涂、用布擦拭、凹版涂布、辊涂、或印刷的方法涂敷于结构体 405 和 413,并干燥或在干燥之后烘焙。

[0202] 请注意结构体 405 和结构体 413 被设置为具有几乎相同的厚度。因此,半导体器件因应力的施加而弯曲时,可以防止压力被局部施加于在结构体 405 和 413 之间提供的元件层 401 和导体 407。因此,可以增加半导体器件的可靠性。

[0203] 根据本发明,能提供可能不被外力、特别是压紧力损坏而且能防止静电放电的高可靠的半导体器件。

[0204] 本实施方案模式可以酌情与其它实施方案模式和实施方案结合实现。

[0205] 【实施方案 1】在本实施方案中,描述本发明的半导体器件中包括的增益天线的形

状。

[0206] 本发明的半导体器件中包括的增益天线可以分成主要电磁耦合到芯片上天线的环状部分和主要接收来自询问器的电波的部分。只要主要接收来自询问器的电波的部分中的增益天线具有使接收电波成为可能的形状就是可接受的。

[0207] 图 18A 图解增益天线的示例,其中该增益天线中主要接收电波的部分 1801 构成折叠偶极天线。图 18B 图解增益天线的示例,其中该增益天线中主要接收电波的部分 1802 是环状的。图 18C 图解增益天线的示例,其中该增益天线中主要接收电波的部分 1803 构成弯折线天线。图 18D 图解增益天线的示例,其中该增益天线中主要接收电波的部分 1804 具有这样的形状以致连接多个贴片元件 (patchelement)。

[0208] 请注意在本发明中,主要从询问器接收电波的部分的形状不限于上述的那些。

[0209] 本实施方案可以酌情与其它实施方案模式和实施方案结合实现。

[0210] **【实施方案 2】**在本实施方案中,描述芯片上天线与增益天线之间的位置关系。

[0211] 交流电流过增益天线时,增益天线中包括的环状部分与芯片上天线相互电磁耦合,因此,芯片上天线中产生感应电动势。芯片上天线和增益天线中包括的环状部分可以相互部分地重叠,有结构体插在它们之间,或者可以布置在不同区域中以致没有相互重叠。请注意芯片上天线布置在包括在增益天线中的环状部分中产生的磁通量最集中的位置,由此可以增大芯片上天线中产生的感应电动势。

[0212] 更进一步地,增益天线与芯片上天线和集成电路之间的阻抗匹配,由此可以降低因反射产生的功率损失。请注意由于与阻抗的虚数部分相对应的电抗根据增益天线与芯片上天线之间产生的电容的值而改变,所以在设计阶段应考虑增益天线与芯片上天线重叠的部分的面积以便阻抗匹配。但是,可以假定,增益天线与芯片上天线在有结构体插在它们之间的情况下附着时,在给定位置处不精确执行附着,并且因此,增益天线与芯片上天线相互移位。此外,在最坏的情形中,由于电容值的改变,阻抗不能匹配。

[0213] 因此,在本实施方案中,如图 19A 所示,包括在增益天线中的环状部分 1901 的宽度用 d_a 表示并且芯片上天线 1902 的宽度用 d_b 表示时, d_a 和 d_b 的值经设置以致满足 $d_a > d_b$ 。芯片上天线 1902 的内缘和外缘与包括在增益天线中的环状部分 1901 重叠,芯片上天线 1902 的环路被中断的区域和包括在增益天线中的环状部分 1901 的环路被中断的区域除外。

[0214] 用上述结构,例如,即使图 19A 中所示的包括在增益天线中的环状部分 1901 和芯片上天线 1902 被附着时在图 19B 中箭头的方向上有偏差,包括在增益天线中的环状部分 1901 和芯片上天线 1902 相互重叠的部分的面积也可以几乎保持恒定。因此,即使附着中的对准精度不高,也可以防止电容值的改变,并且可以在没有阻抗不匹配的情况下制造半导体器件。

[0215] 本实施方案可以酌情与其它实施方案模式和实施方案结合实现。

[0216] **【实施方案 3】**由于本发明的半导体器件具有挠性,它优选附着于具有挠性的物体或具有曲面表面的物体。更进一步地,由于本发明的半导体器件不仅具有高的抗冲击性和抗振动性而且具有在对局部施加的压力的抵抗力方面的高可靠性,所以该半导体器件的应用范围广泛。

[0217] 本发明的半导体器件中的集成电路包括其中数据不能被重写的诸如 ROM 的存储

器时,防止伪造与该半导体器件附着的物体是可能的。更进一步地,例如,将本发明的半导体器件用于其市场价值决定性地取决于生产区域、生产者等的食品时,可以防止伪造该生产区域、生产者等。

[0218] 具体地,本发明的半导体器件可以附着于具有物体信息的标签,诸如货运标签、价格标签、和名称标签。此外,本发明的半导体器件本身可以用作标签。或者,例如,本发明的半导体器件可以附着于相当于声明事实为真的文件的证书,诸如户口簿、居民卡、护照、驾驶执照、身份证、会员卡、调查报告、信用卡、现金卡、预付卡、病人登记卡、和月票、年票。又或者,例如,本发明的半导体器件可以附着于证券,其相当于声明私有财产权的证券,诸如汇票、支票、收据、提货单、仓库收据、股票、债权、礼券、和抵押证明。

[0219] 例如,本发明的半导体器件可以附着于物品的标记以使用该半导体器件进行物品的分配管理。

[0220] 如图 20A 所示,本发明的半导体器件 1302 附着于诸如产品标记 1301 的背面具有粘性的支撑物。半导体器件 1302 所附着的标记 1301 放在物品 1303 上。物品 1303 的识别数据可以从附着于标记 1301 的半导体器件 1302 被无线地读取。因此,半导体器件 1302 促进分配过程中的物品管理。本发明的半导体器件具有即使附着于具有挠性的标记 1301 也不会轻易被应力毁坏的优点。因此,优选的是将使用本发明的半导体器件的标记 1301 附着于具有曲面物体的物体。更进一步地,由于本发明的半导体器件 1302 具有在对压紧力的抵抗力方面的高可靠性,所以半导体器件 1302 可能不被压紧力或分配过程中的摩擦产生的静电毁坏。

[0221] 例如,在半导体器件 1302 中将可重写非易失性存储器用作集成电路中包括的存储器时,物品 1303 的分配过程可以被记录。此外,产品的生产过程被记录时,批发商、零售商、和消费者可以轻易地找出生产区域、生产者、制造日期、加工方法、等等。

[0222] 在具有关于它们所包含信息的价值的制品中,例如书籍、DVD、和 CD,存在这样的问题,即制品中包含的全部信息的公开降低了它们作为制品的价值;另一方面,完全隐藏信息使得难以欣赏它们作为制品的价值。用本发明的半导体器件与之附着的包装材料包装以上制品,并随后将制品中包含的部分信息存储在半导体器件中使顾客能够在不会降低制品价值的情况下欣赏制品的价值。图 20B 图解用本发明的半导体器件 1313 与之附着的包装材料 1312 包装的书籍 1311。

[0223] 然后,例如,将作为询问器的功能添加于诸如移动电话的便携式信息终端时,客户可以掌握书籍 1311 的一部分内容。

[0224] 用以上结构,即使没有公开制品中包含的全部信息,顾客也可以了解制品的内容。

[0225] 图 20C 图解本发明的半导体器件 1320 与之附着的无记名债券 1321 的示例。无记名债券 1321 包括但不限于邮票、车票、入场票、礼券、售书证、文具券、啤酒券、米券、各种赠券、各种服务券、等诸如此类。请注意半导体器件 1320 在无记名债券 1321 内部形成或在无记名债券 1321 的表面上形成以致被暴露。本发明的半导体器件具有这样的优点:即使附着于具有挠性的无记名债券 1321 也可能不会被应力损坏,也可能不会被由摩擦产生的静电损坏。

[0226] 本实施方案可以酌情与其它实施方案模式和实施方案结合实现。本申请是基于 2007 年 7 月 27 日提交日本专利局的日本专利申请 No. 2007-195497,这里通过引用将其全

部内容并入此处。

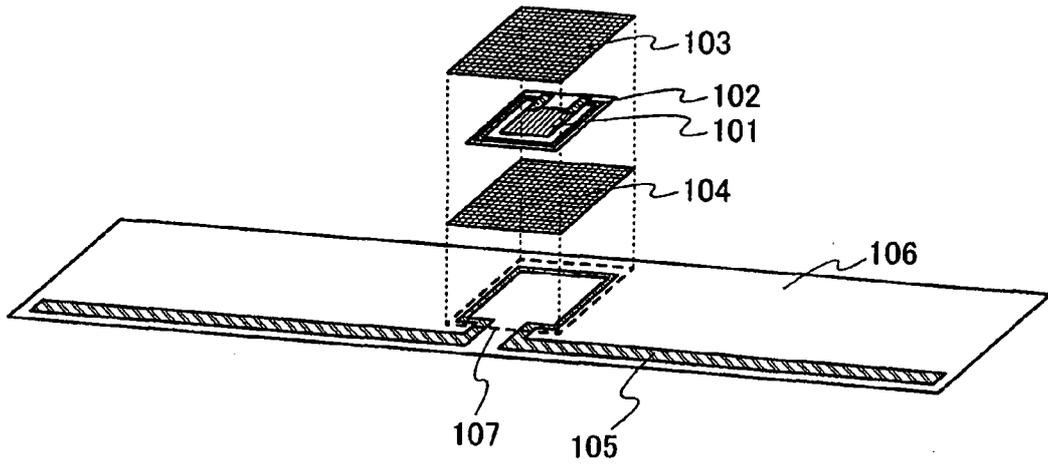


图 1A

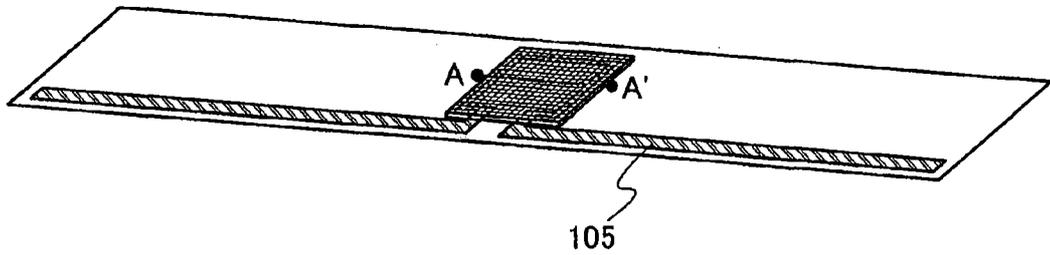


图 1B

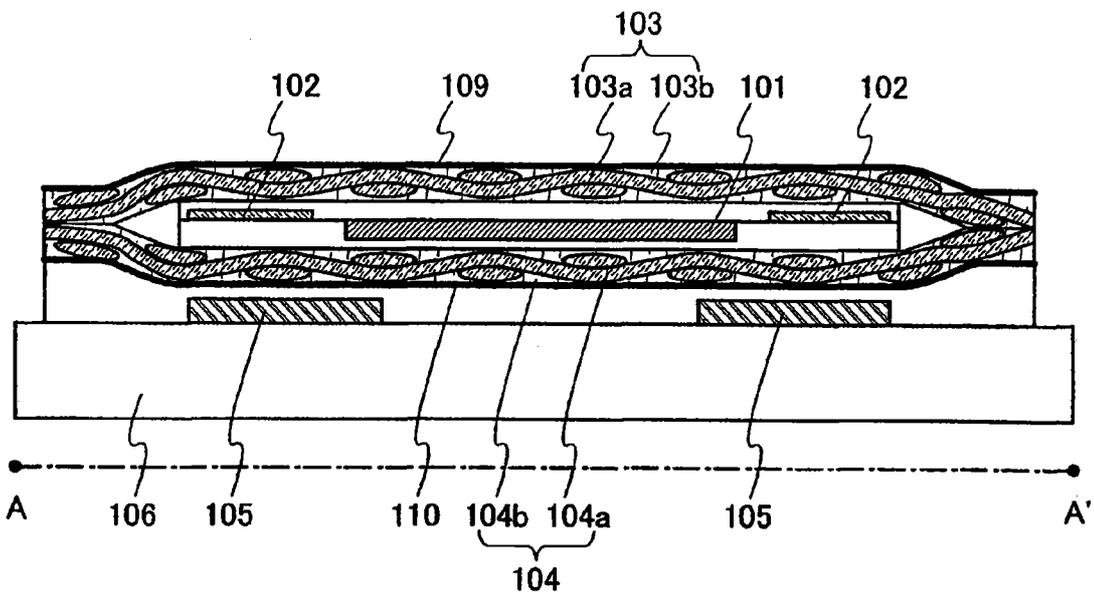


图 1C

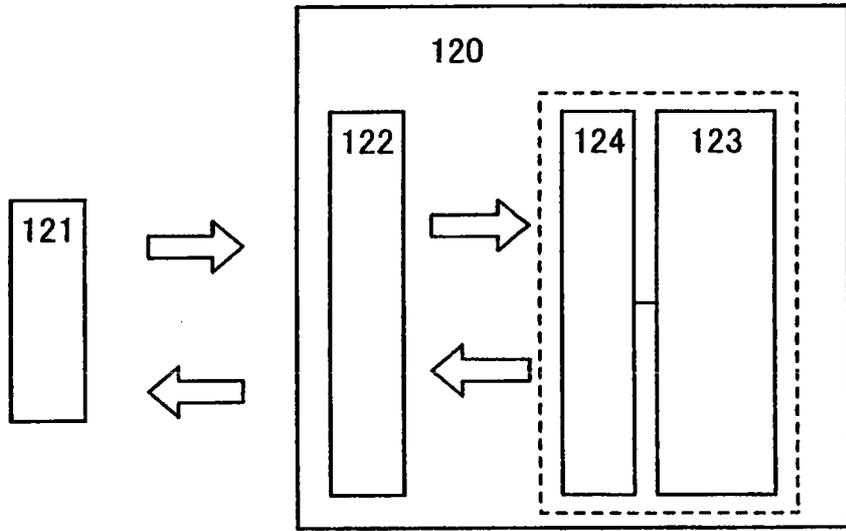


图 2

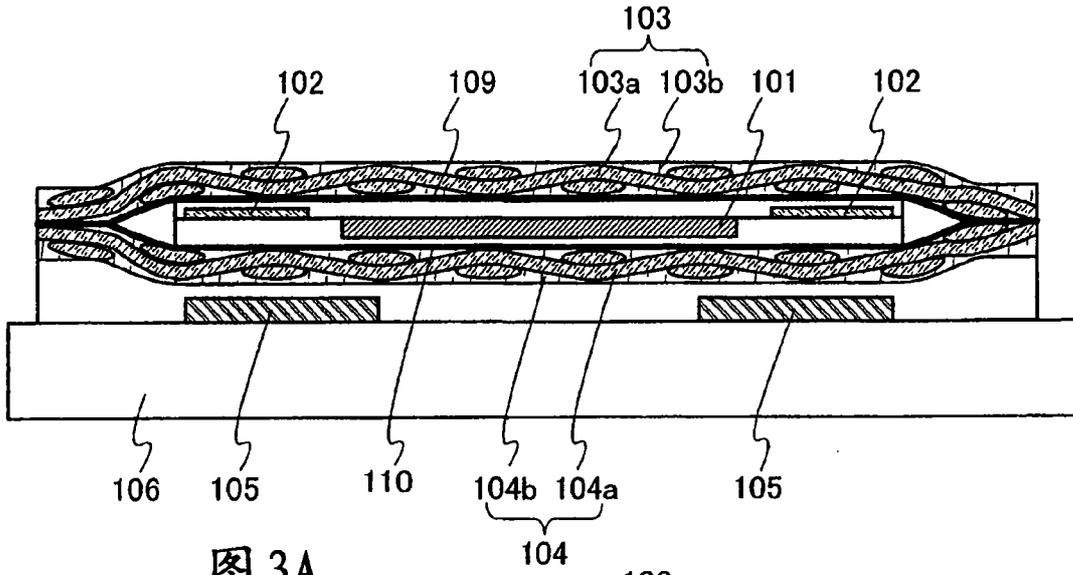


图 3A

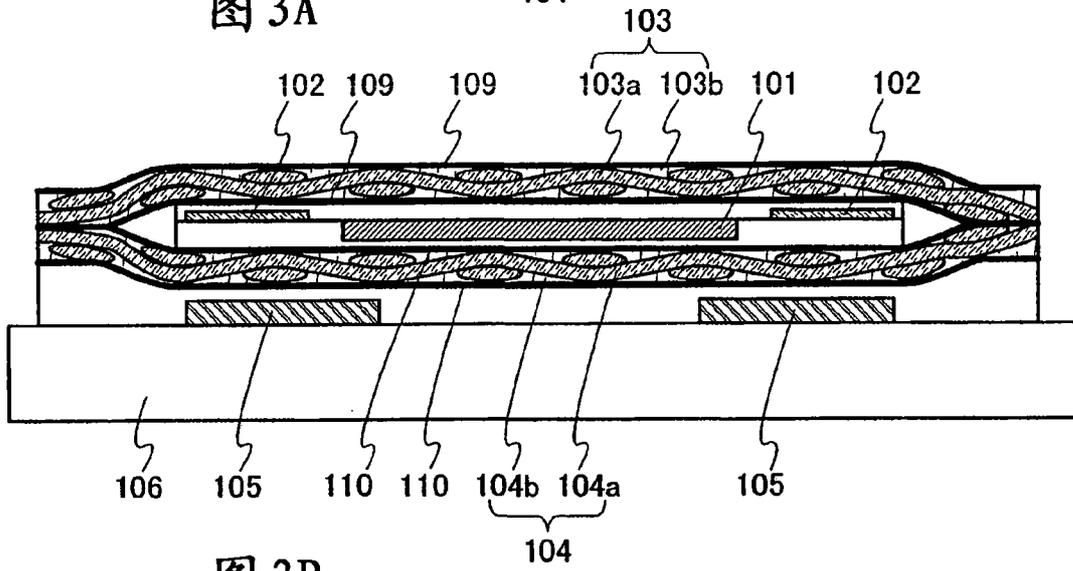


图 3B

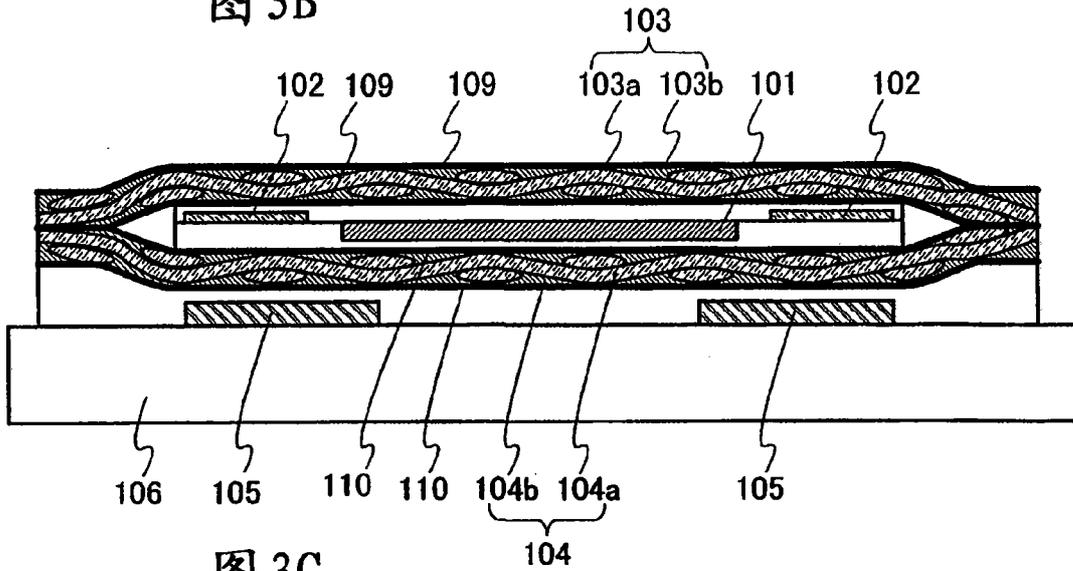


图 3C

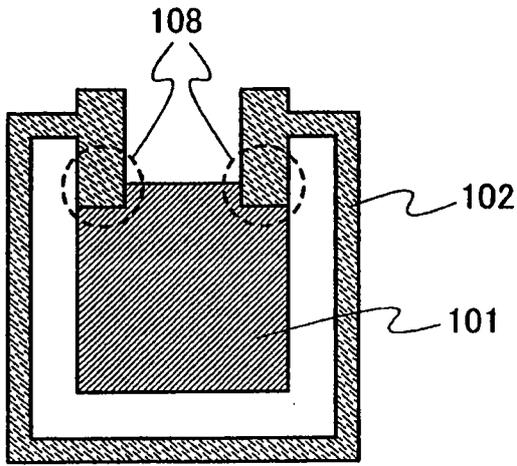


图 4A

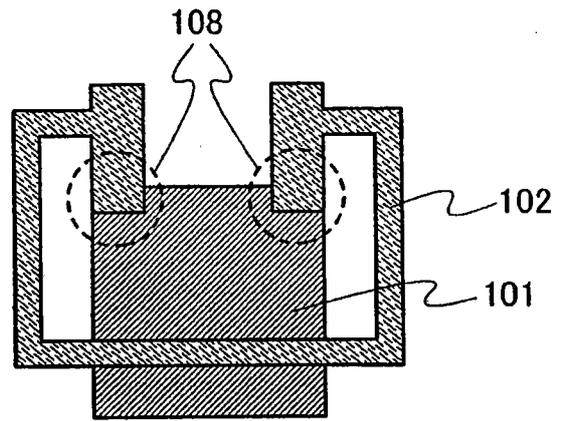


图 4B

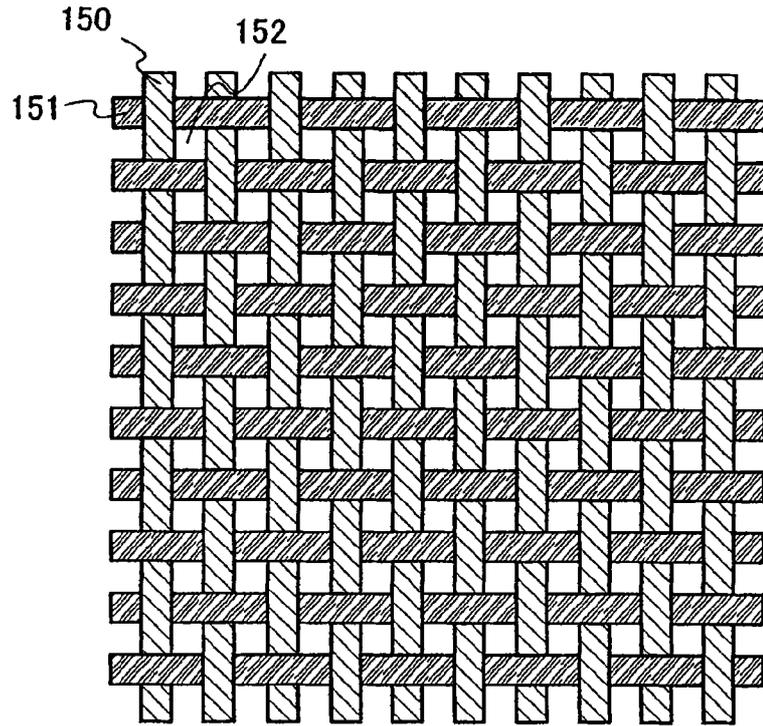


图 5A

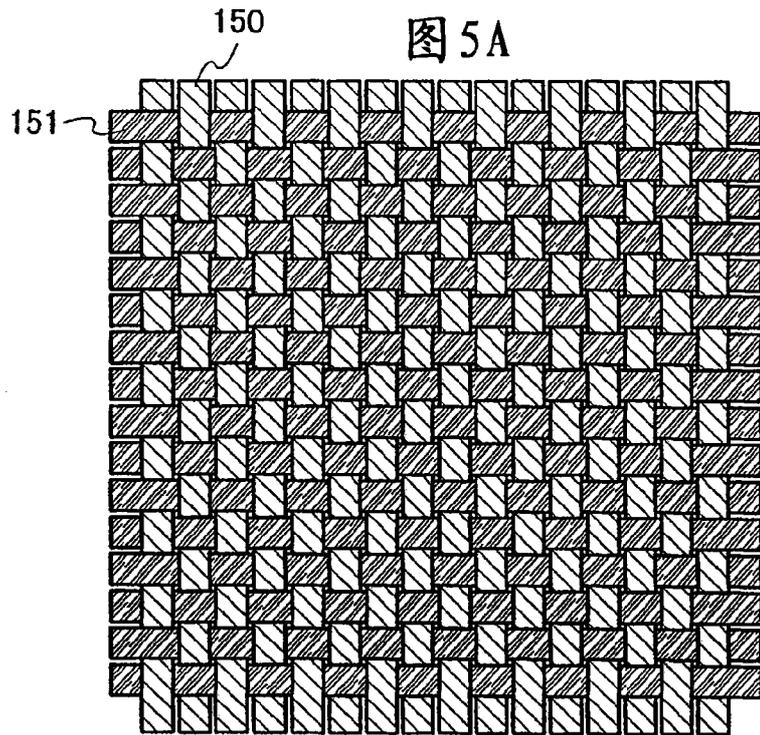


图 5B

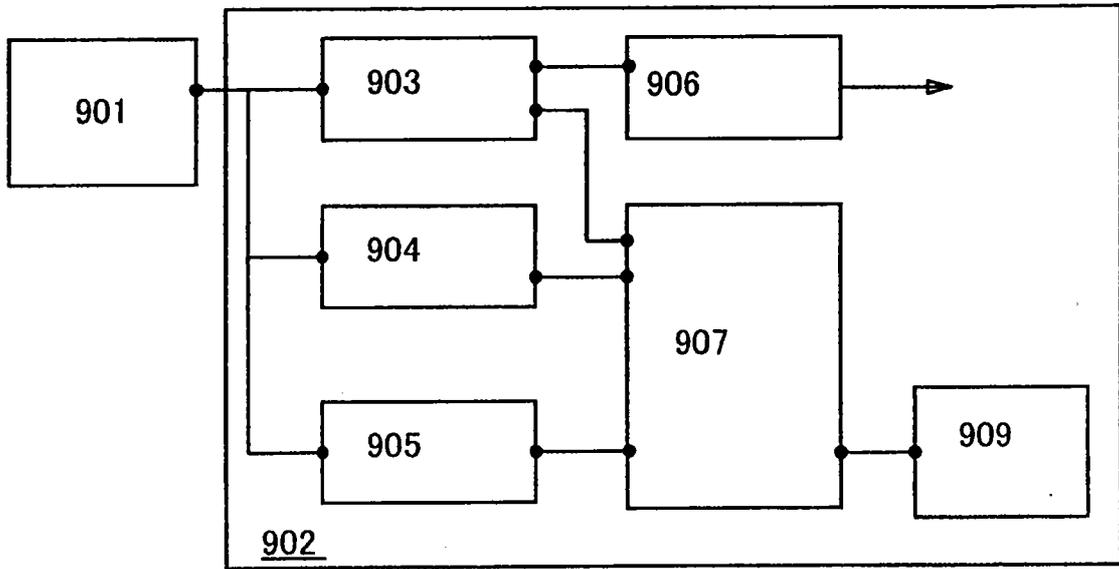


图 6

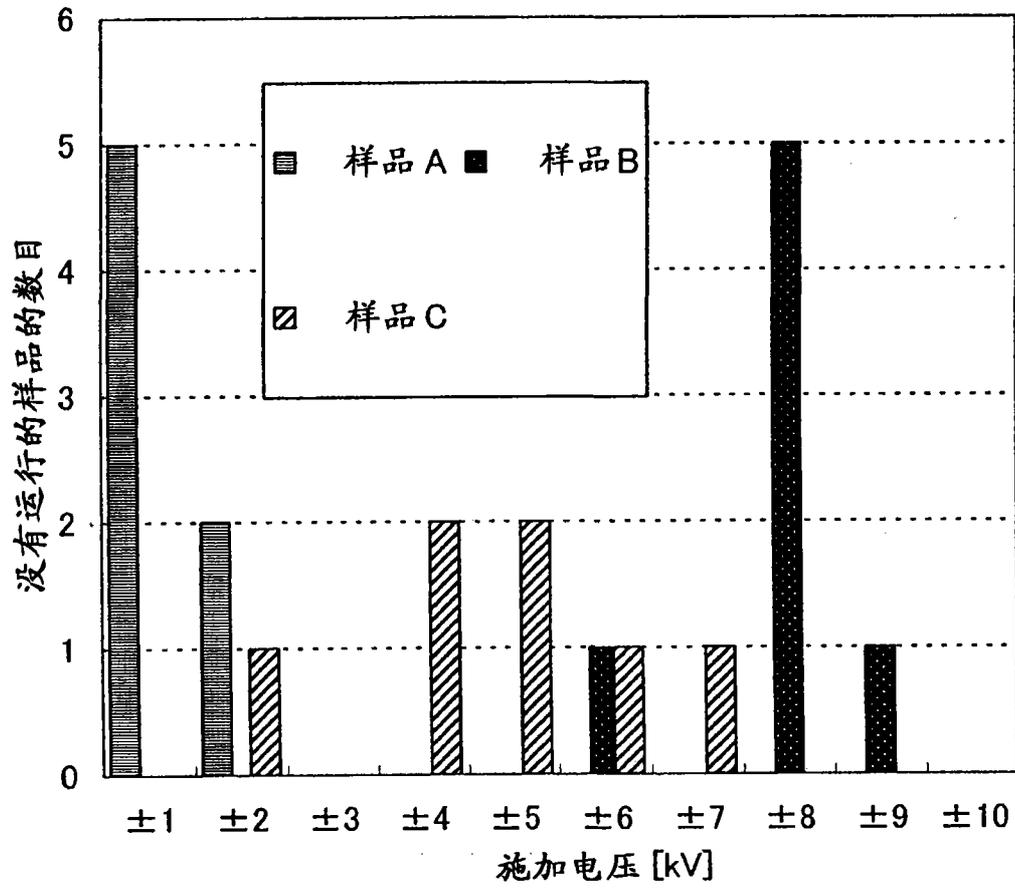


图 7

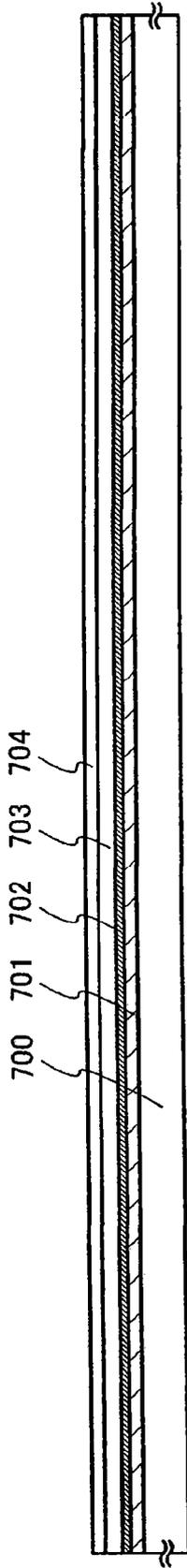


图 8A

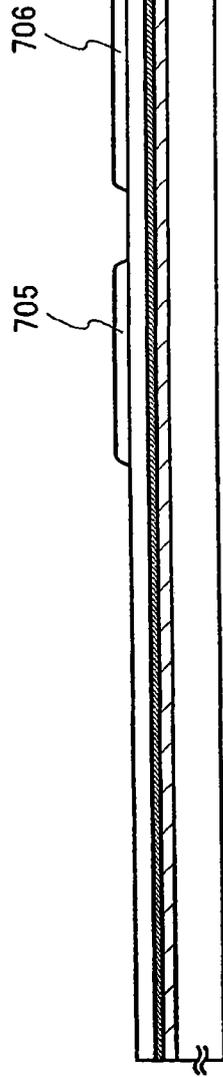


图 8B

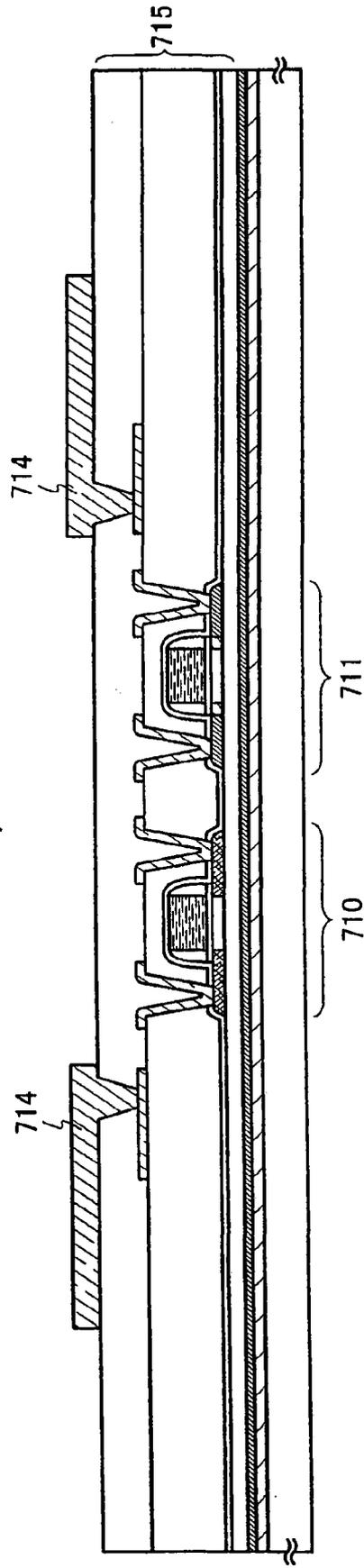


图 8C

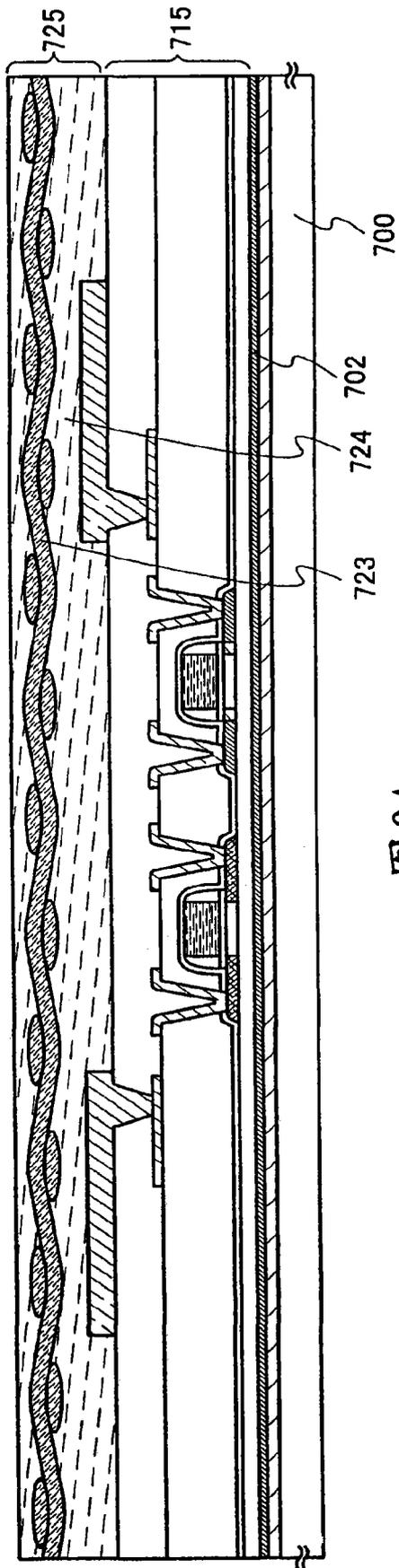


图9A

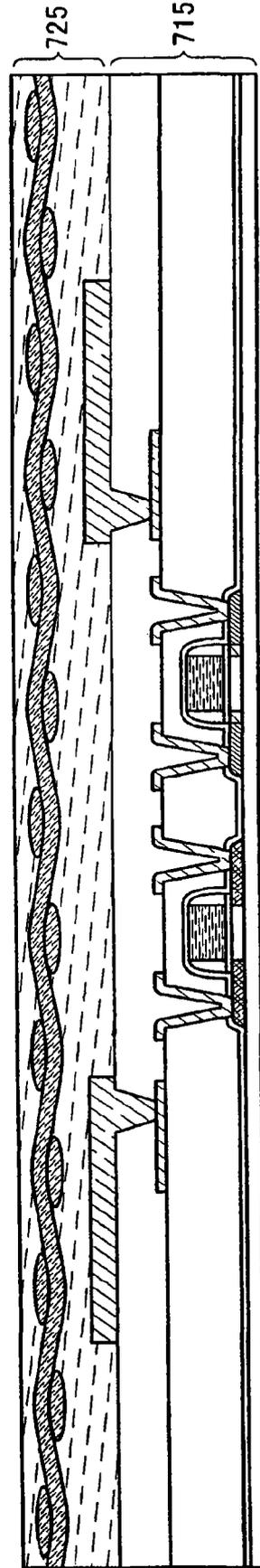


图9B

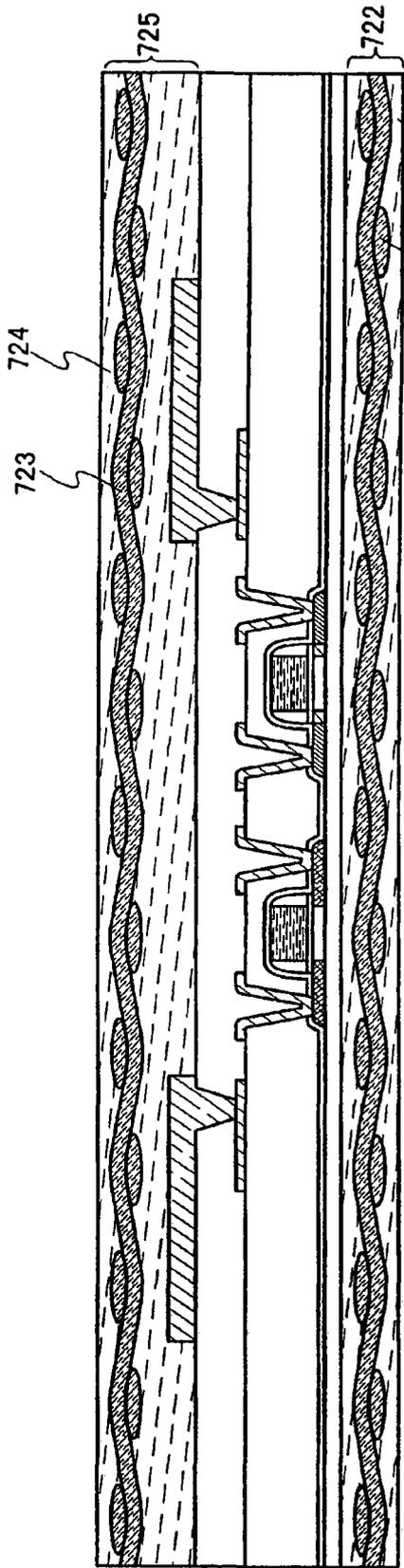


图10A

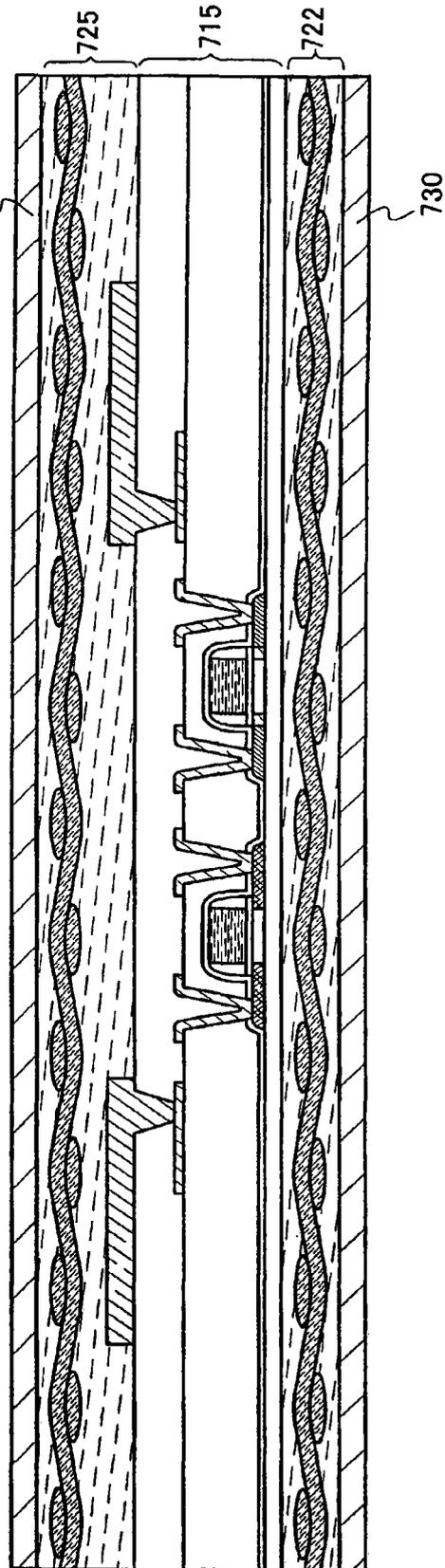


图10B

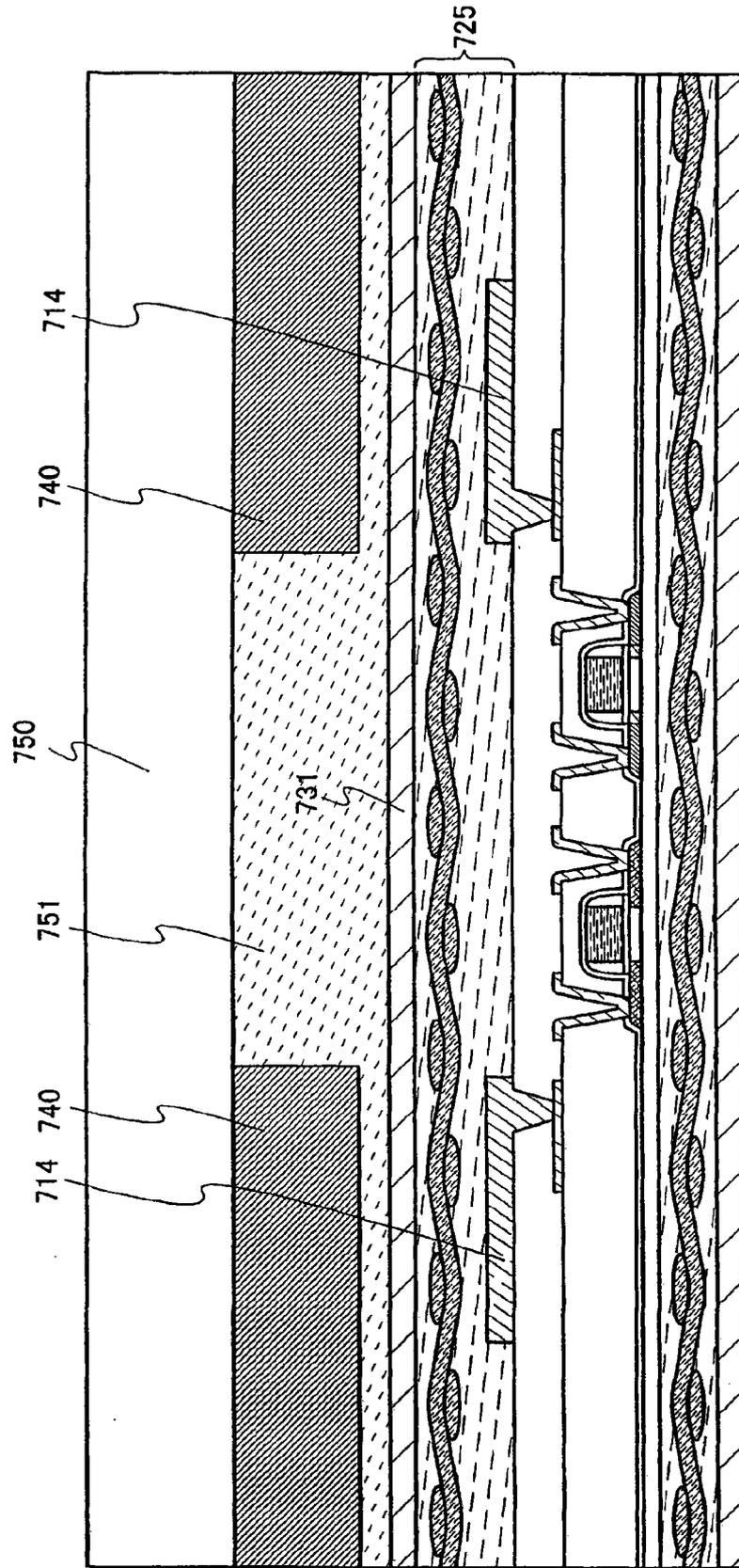


图11

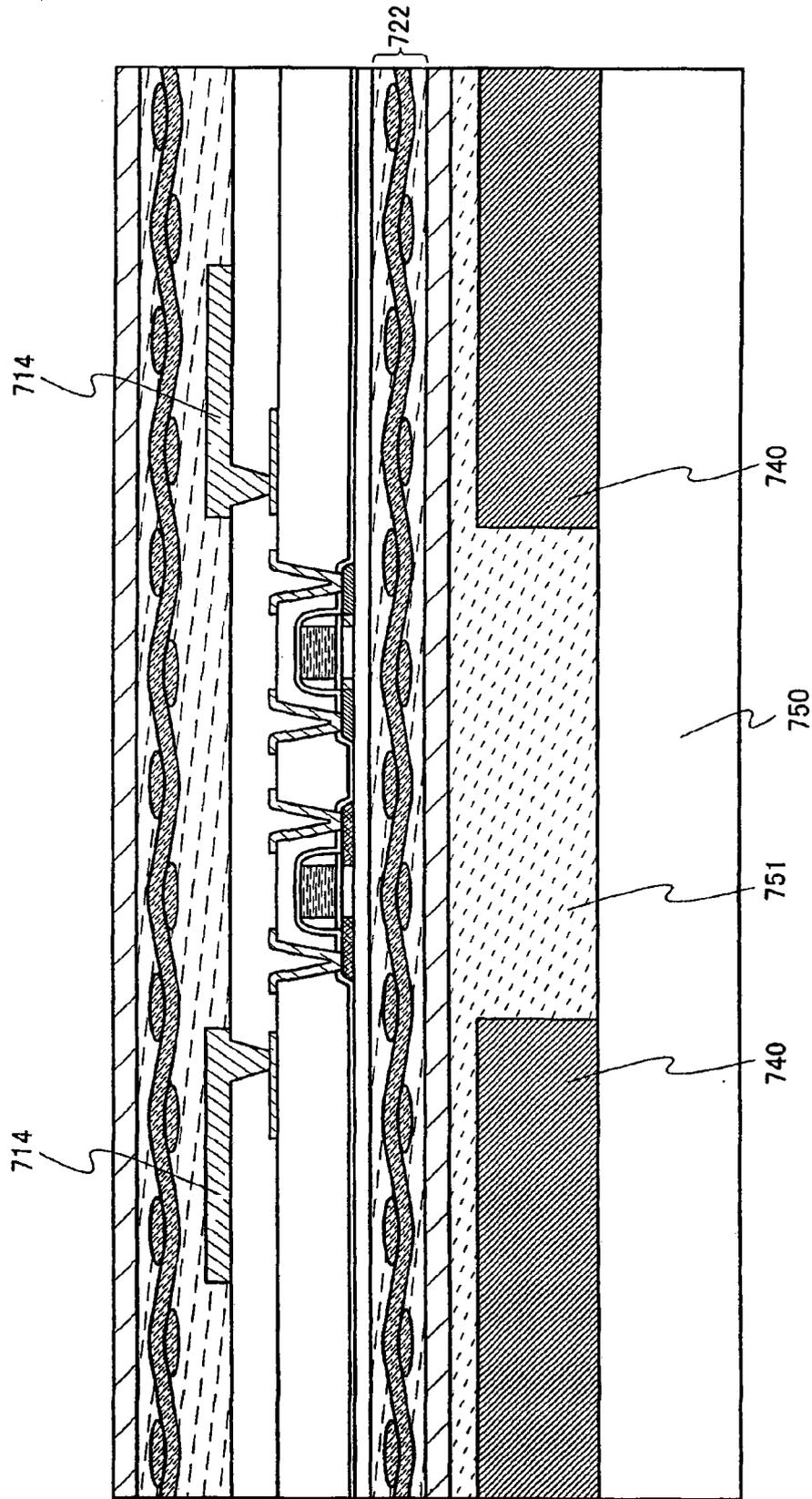


图12

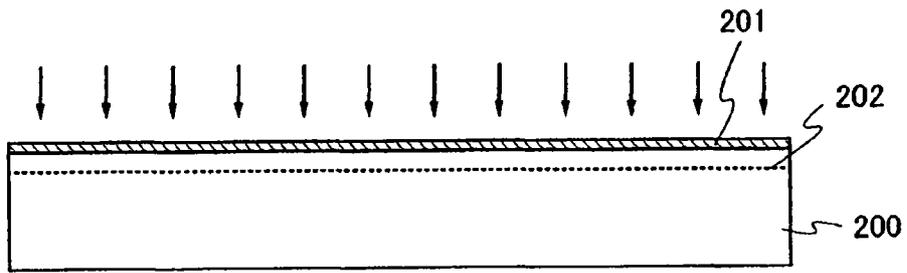


图 13A

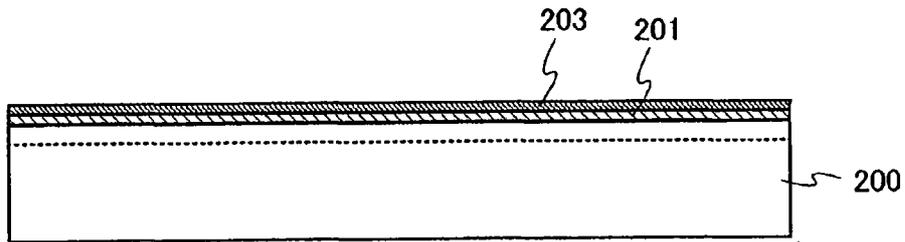


图 13B

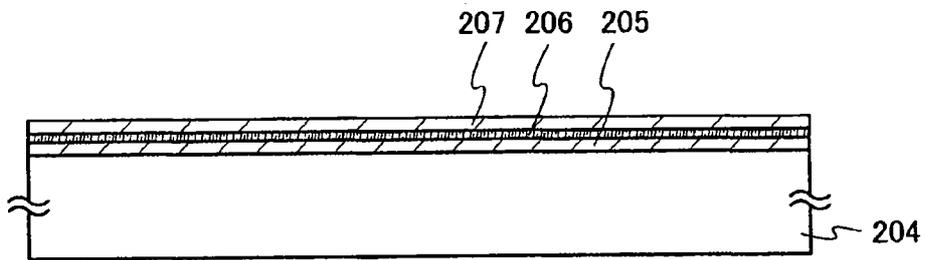


图 13C

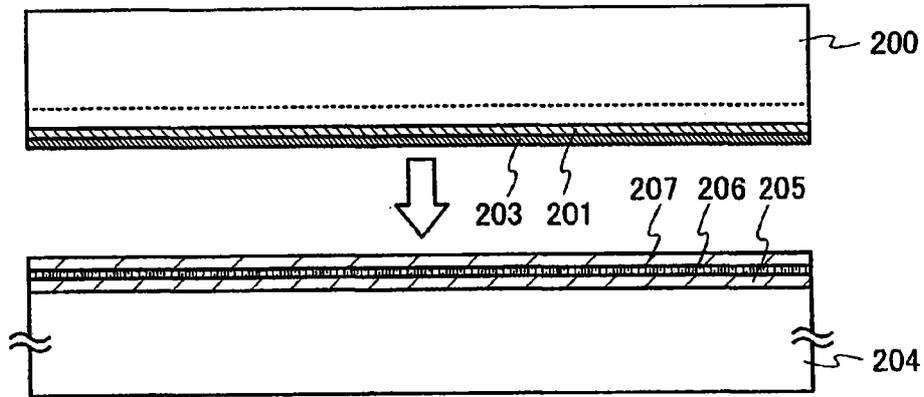


图 13D

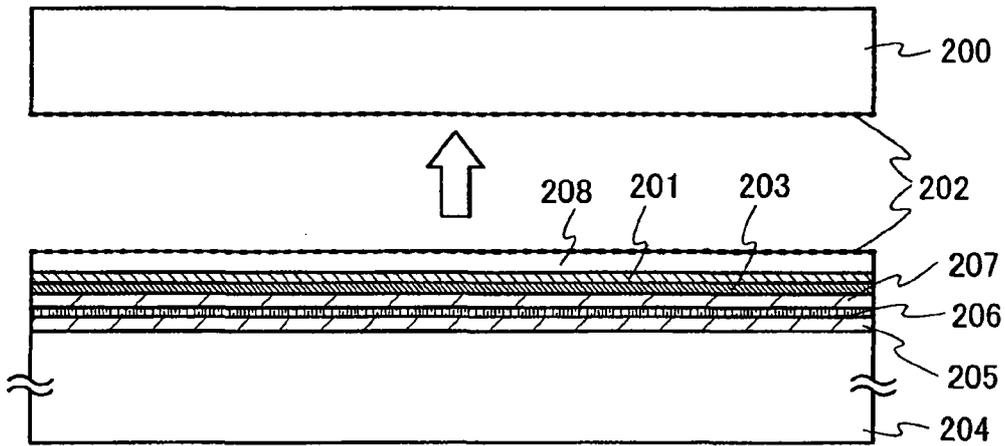


图 14A

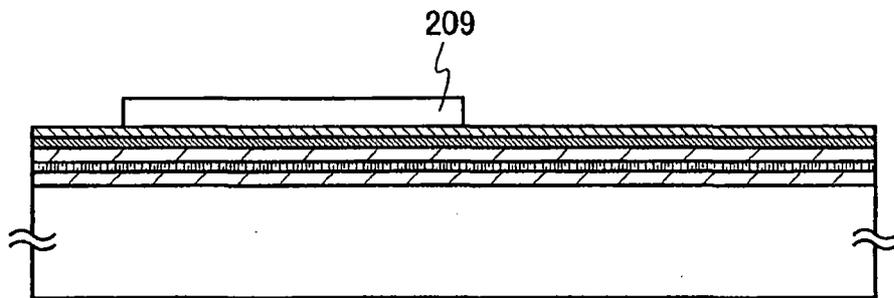


图 14B

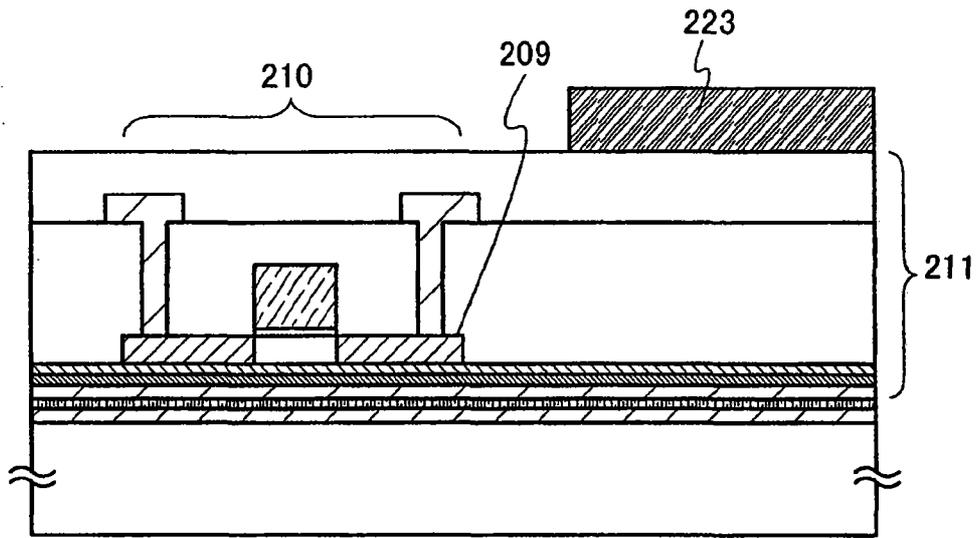


图 14C

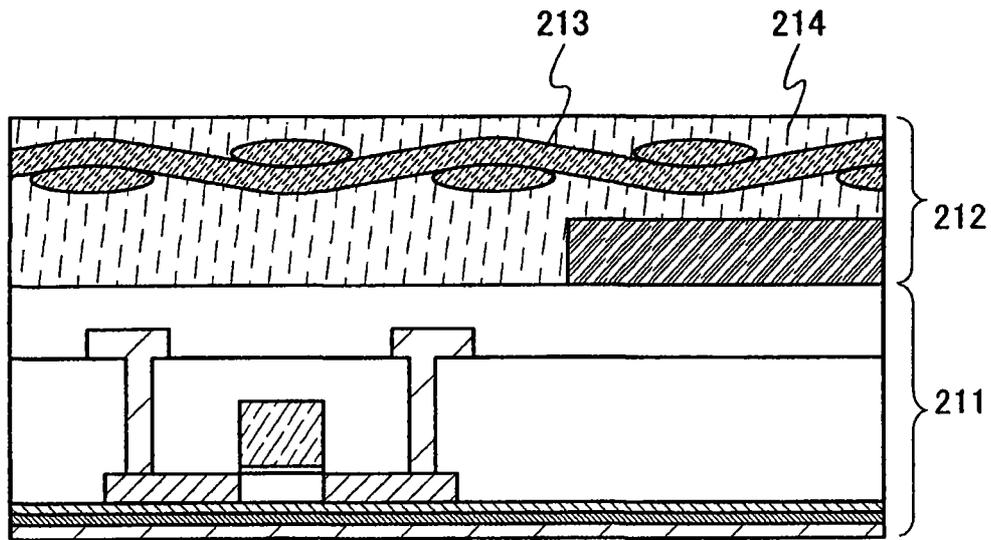


图 15A

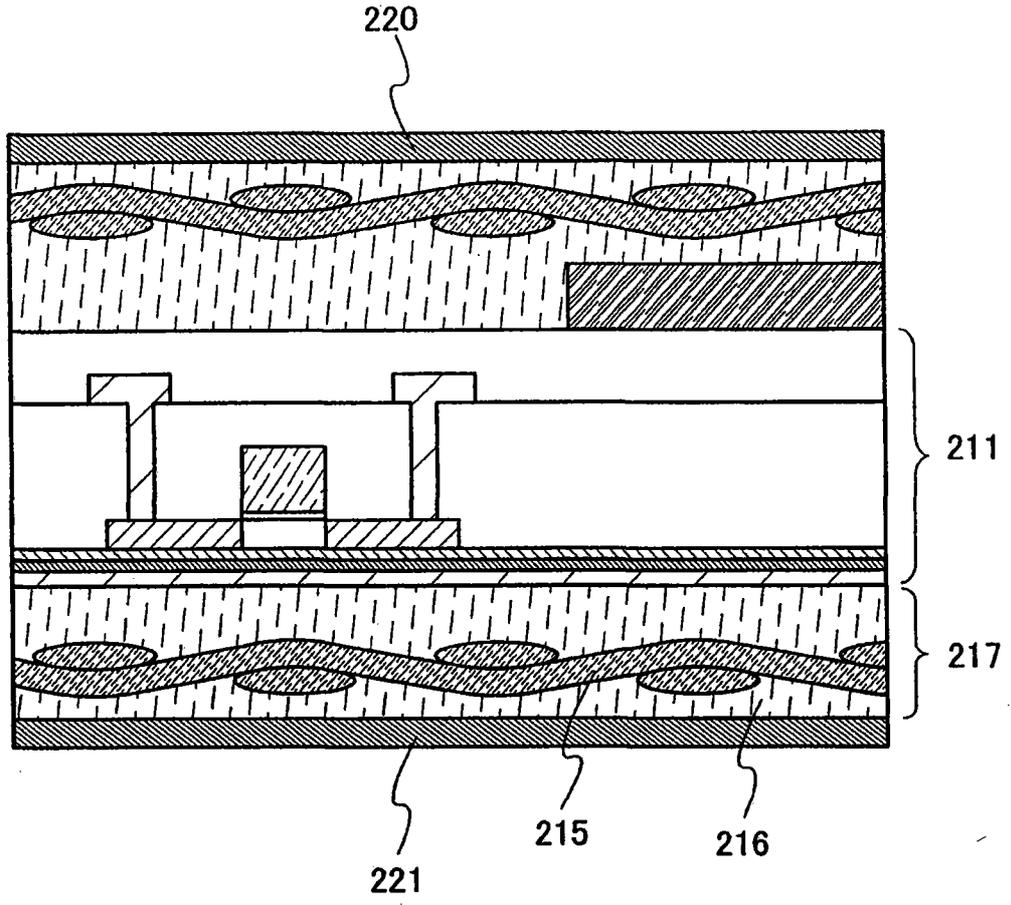


图 15B

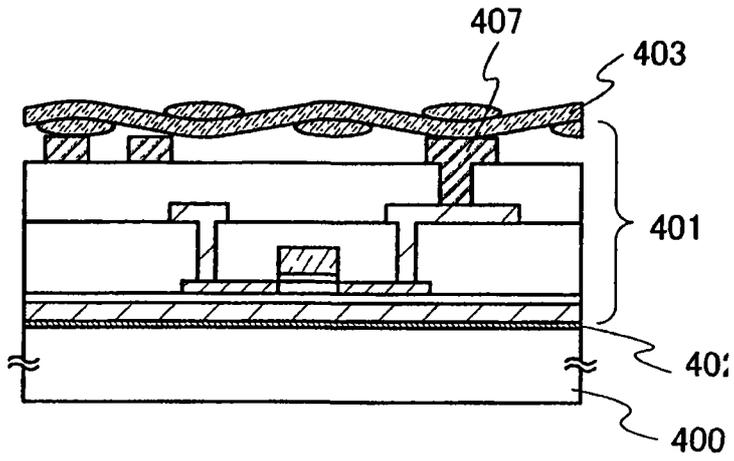


图 16A

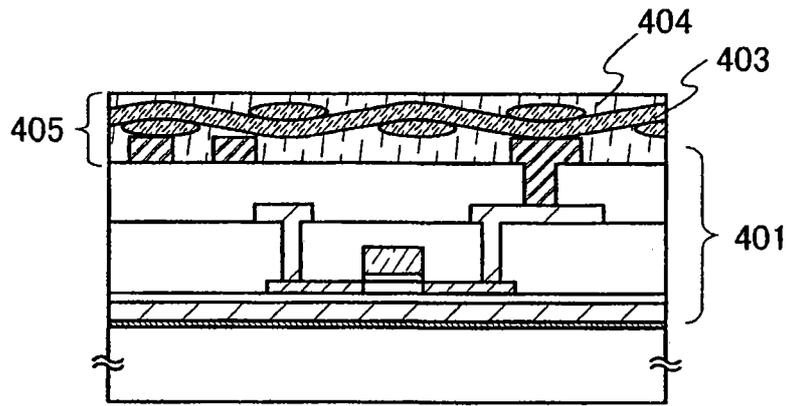


图 16B

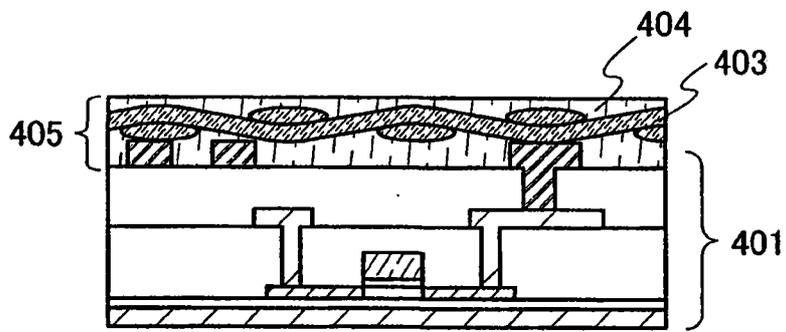


图 16C

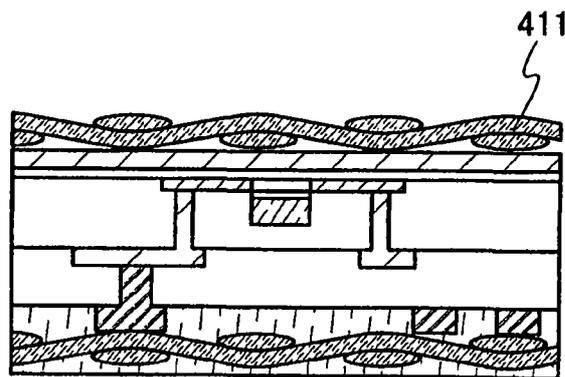


图 17A

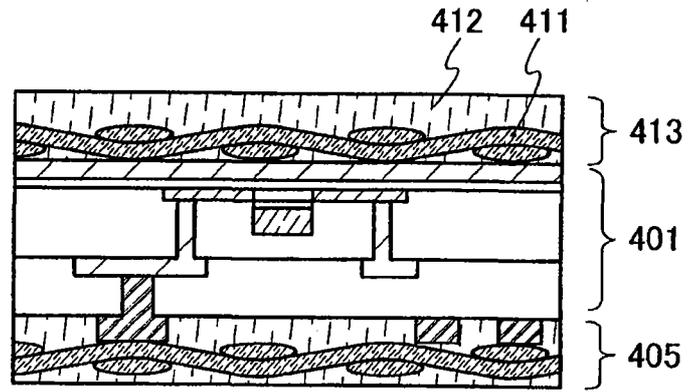


图 17B

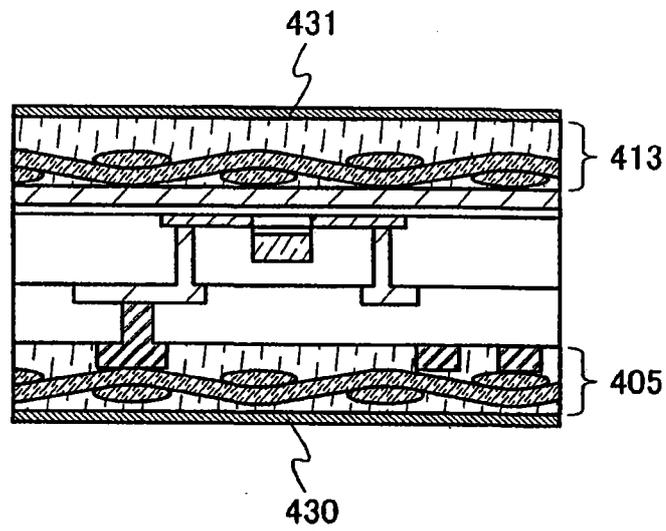


图 17C

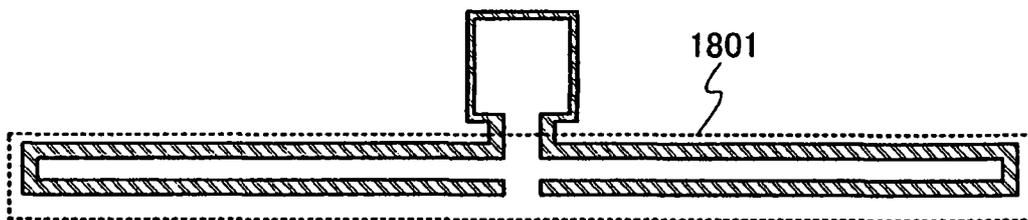


图 18A

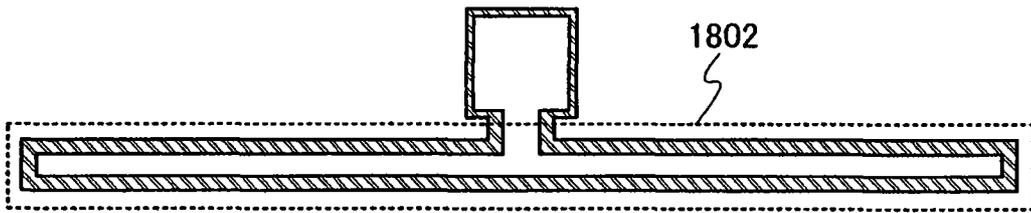


图 18B

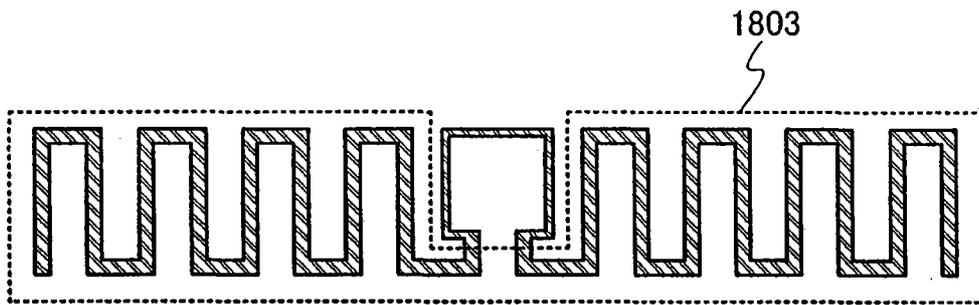


图 18C

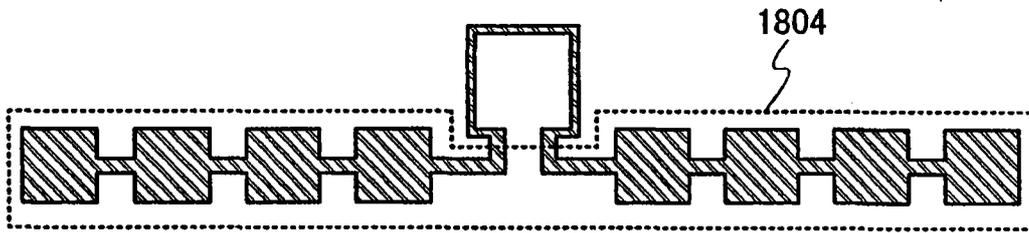


图 18D

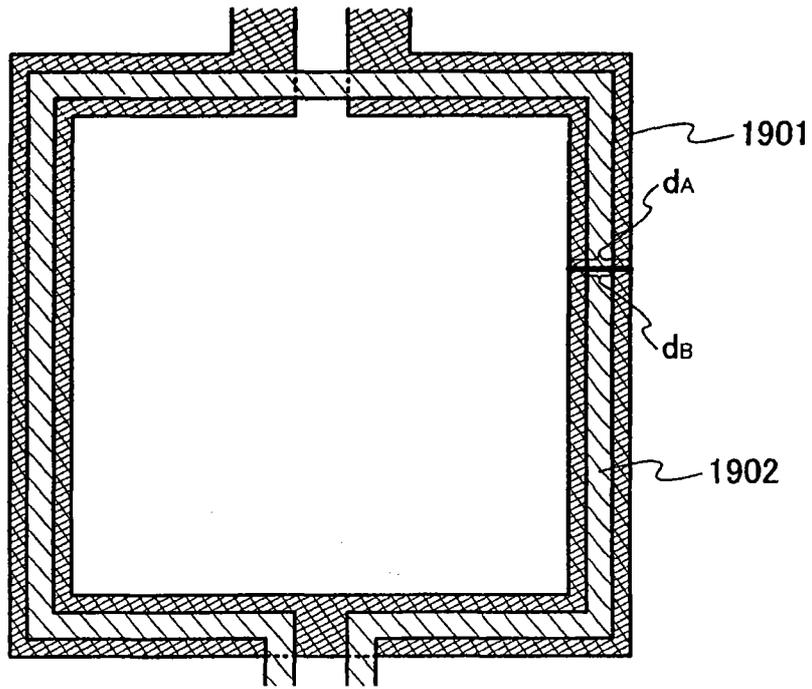


图 19A

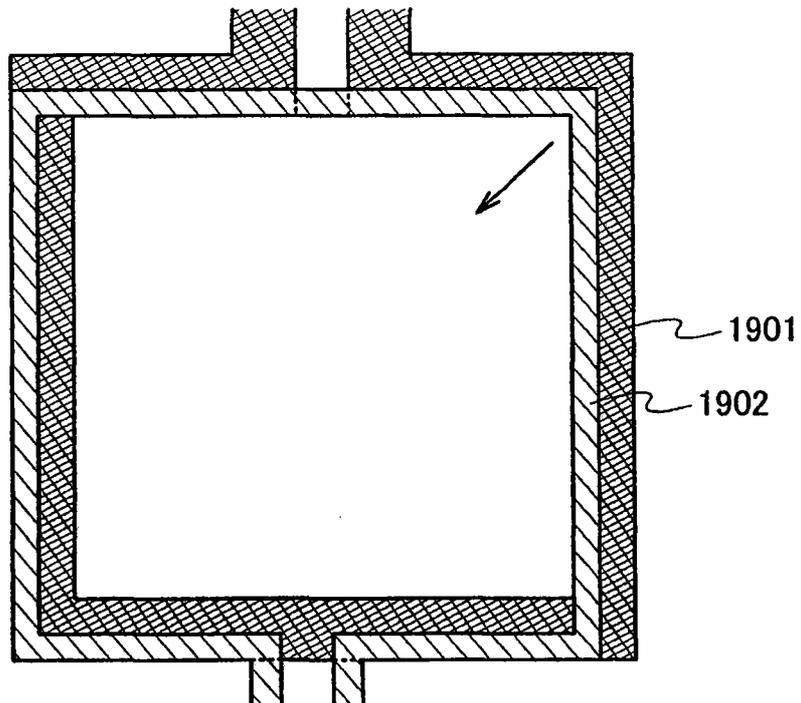


图 19B

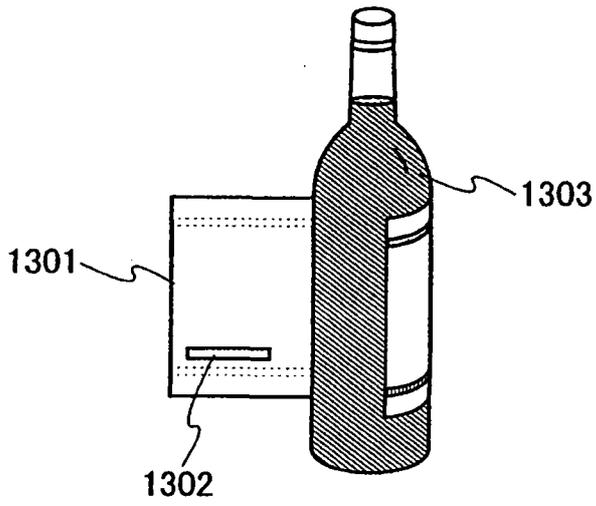


图 20A

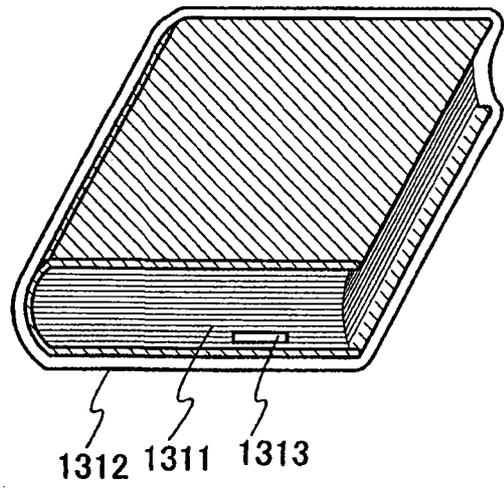


图 20B

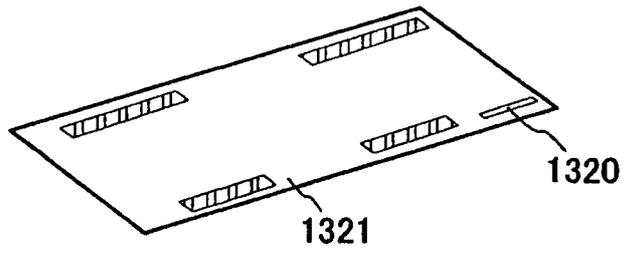


图 20C