



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월05일
(11) 등록번호 10-0754752
(24) 등록일자 2007년08월28일

(51) Int. Cl.

H01L 23/52(2006.01)

(21) 출원번호 10-1999-0038064
(22) 출원일자 1999년09월08일
심사청구일자 2004년09월08일
(65) 공개번호 10-2000-0022977
공개일자 2000년04월25일
(30) 우선권주장
09/149,804 1998년09월08일 미국(US)
(56) 선행기술조사문헌
JP07058276
(뒷면에 계속)

(73) 특허권자
루센트 테크놀로지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자
데가니이논
미국, 뉴저지주08904, 하이랜드파크, 클리블랜드가10
두데라디슨토머스
미국, 뉴저지주07928, 채텀, 스쿨가30
(뒷면에 계속)
(74) 대리인
이병호, 장훈

전체 청구항 수 : 총 15 항

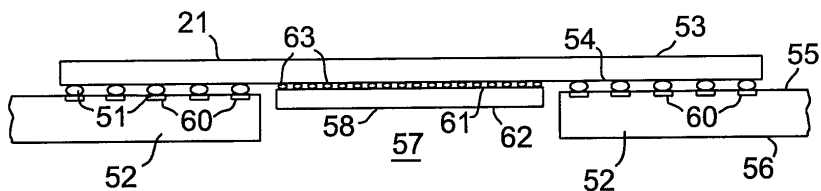
심사관 : 양성지

(54) 리세스된 플립 칩 패키지를 위한 트랜슬레이터

(57) 요약

본 발명은 리세스된 IC 칩 패키지에 관한 것으로서, IC 칩은 트랜슬레이터(translator)에 본딩되어 있고, IC 전원 및 접지 상호 접속들을 위한 전원 및 접지면들이 트랜슬레이터의 분리된 상호 접속 레벨들 상에 형성된다. 트랜슬레이터의 복수 레벨의 상호 접속 능력은, 크로스오버들을 허용하고, IC 칩으로부터의 전원 및 접지 핀들을 신호 I/O들로부터 둘 다 분리시키고, 다음 보드 레벨들로 향하는 소수의 상호 접속들에 통합되게 한다. 트랜슬레이터는 또한, 하이 핀 카운트 칩들로부터 다음 보드 레벨로의 상호 접속을 위한 큰 피치(pitch)의 상호 접속 사이트들로의 팬 아웃을 허용하기 위해 IC 칩 면적의 큰 면적 외부 보드를 갖는다.

대표도 - 도5



(72) 발명자

프라이찰스로버트

미국, 뉴저지주08854, 피츠카터웨이, 칼튼가334B

타이리엔킹

미국, 뉴저지주07922, 버클리하이츠, 하이랜드서클95

(56) 선행기술조사문헌

US05728606

US5608262

US5084961

특허청구의 범위

청구항 1

IC 패키지에 있어서:

- a. 상부 표면(55) 및 하부 표면(56)과, 상기 상부 표면 내에 형성되고 인쇄 배선 보드(PWB)를 통하여 적어도 부분적으로 연장하는 적어도 하나의 4변형 공동(quadrilateral cavity; 57)을 가진 상기 인쇄 배선 보드(PWB; 52);
- b. 상기 공동의 에지들을 둘러싸는 상기 PWB의 상기 상부 표면상의 PWB 본딩 패드들의 계열(series; 60);
- c. 상기 인쇄 배선 보드에 부착되고 상기 공동을 실질적으로 커버(cover)하는 트랜슬레이터(translator)로서,
 - i. 상부 표면(53) 및 하부 표면(54)과 면적 A_t 를 갖는 실리콘 기판(21, 34)으로서, 상기 기판의 하부 표면상에 중앙 IC 칩 상호 접속 영역(15)과, 상기 중앙 IC 칩 상호 접속 영역을 둘러싸는 외부 보드 상호 접속 영역(outboard interconnection region; 23)을 갖는 상기 실리콘 기판(21, 34)과,
 - ii. 상기 기판의 하부 표면상의 제 1 레벨간 유전체층(32a)과,
 - iii. 상기 레벨간 유전체층 상의 제 1 패터닝된 도전층(31)과,
 - iv. 상기 제 1 패터닝된 도전층 상의 절연층(31a)과,
 - v. 상기 절연층 상의 트랜슬레이터 본딩 패드들의 제 1 그룹(36, 37)으로서, 상기 IC 칩 영역 내에 위치되고 중앙 대 중앙 간격 S를 갖는 상기 제 1 그룹과,
 - vi. 상기 절연층 상의 트랜슬레이터 본딩 패드들의 제 2 그룹(38, 39, 41)으로서, 상기 중앙 IC 칩 상호 접속 영역 내에 위치되고 중앙 대 중앙 간격 S를 갖는 상기 제 2 그룹과,
 - vii. 상기 절연층 상의 트랜슬레이터 본딩 패드들의 제 3 그룹(66, 67)으로서, 상기 외부 보드 상호 접속 영역 내에 위치되고, 2S보다 큰 중앙 대 중앙 간격을 갖는 상기 제 3 그룹과,
 - viii. 상기 절연층 상의 트랜슬레이터 본딩 패드들의 제 4 그룹(68, 69, 71)으로서, 상기 외부 보드 상호 접속 영역 내에 위치되고, 2S보다 큰 중앙 대 중앙 간격을 갖는 상기 제 4 그룹과,
 - ix. 트랜슬레이터 본딩 패드들의 상기 제 1 그룹을 상기 기판에 상호 접속하는 수단(47)과,
 - x. 트랜슬레이터 본딩 패드들의 상기 제 2 그룹을 상기 제 1 패터닝된 도전층에 상호 접속하는 수단(48)과,
 - x i. 트랜슬레이터 본딩 패드들의 상기 제 3 그룹을 상기 기판에 상호 접속하는 수단(89)과,
 - x ii. 트랜슬레이터 본딩 패드들의 상기 제 3 그룹을 PWB 본딩 패드들에 상호 접속하는 수단(51)과,
 - x iii. 트랜슬레이터 본딩 패드들의 상기 제 4 그룹을 상기 제 1 패터닝된 도전층에 상호 접속하는 수단(88)과,
 - x iv. 트랜슬레이터 본딩 패드들의 상기 제 4 그룹을 PWB 본딩 패드들에 상호 접속하는 수단(51)을 포함하는, 상기 트랜슬레이터; 및
- d. 상부 표면(61) 및 하부 표면(62)과, 면적 $A_1(A_1 > 4A_2)$ 과, 상기 상부 표면상에 IC 칩 상호 접속들의 어레이(63)를 갖는 IC 칩(58)으로서, 상기 IC 칩 상호 접속들의 어레이(63)는 상기 IC 칩을 트랜슬레이터 본딩 패드들의 상기 제 1 그룹 및 상기 제 2 그룹에 상호 접속시키고, 상기 IC 칩은 상기 공동으로 연장하는, 상기 IC 칩을 포함하는, IC 패키지.

청구항 2

삭제

청구항 3

제 2 항에 있어서, 상기 기판은 금속의 도전층으로 코팅(coat)되는, IC 패키지.

청구항 4

제 1 항에 있어서, 상기 PWB는 볼 그리드 어레이(ball grid array)인, IC 패키지.

청구항 5

제 1 항에 있어서, 트랜슬레이터 본딩 패드들의 상기 제 1 그룹은 전원 또는 접지 상호 접속들을 포함하는, IC 패키지.

청구항 6

제 1 항에 있어서, 상기 IC 칩 본딩 패드들을 상기 트랜슬레이터 본딩 패드들에 본딩하는 수단은 납땀을 포함하는, IC 패키지.

청구항 7

IC 패키지에 있어서:

a. 트랜슬레이터로서,

- i. 면적 A_1 를 갖는 실리콘 기판(21, 34)과,
 - ii. 상기 기판상의 제 1 절연층(34a)과,
 - iii. 상기 제 1 절연층 상의 트랜슬레이터 상호 접속들의 제 1 패턴(33)과,
 - iv. 트랜슬레이터 상호 접속들의 상기 제 1 패턴상의 제 2 절연층(33a)과,
 - v. 상기 제 2 절연층 상의 트랜슬레이터 상호 접속들의 제 2 패턴(32)과,
 - vi. 트랜슬레이터 상호 접속들의 상기 제 2 패턴상의 제 3 절연층(31a)과,
 - vii. 상기 제 3 절연층 상의 복수의 IC 칩 본딩 패드들로서, 상기 트랜슬레이터의 중앙에 위치되고, IC 칩 본딩 패드들의 제 1 그룹(36, 37), IC 칩 본딩 패드들의 제 2 그룹(45, 46), 및 IC 칩 본딩 패드들의 제 3 그룹(42, 43, 44)을 포함하는 상기 복수의 IC 칩 본딩 패드들과,
 - viii. IC 칩 본딩 패드들의 상기 제 1 그룹과 상기 기판을 상호 접속하는, 상기 제 1, 제 2 및 제 3 절연층들에서의 복수의 비아 상호 접속들(via interconnections; 47)과,
 - ix. IC 칩 본딩 패드들의 상기 제 2 그룹과 트랜슬레이터 상호 접속들의 상기 제 1 패턴을 상호 접속하는, 상기 제 2 및 제 3 절연층들에서의 복수의 비아 상호 접속들(48)과,
 - x. IC 칩 본딩 패드들의 상기 제 3 그룹과 트랜슬레이터 상호 접속들의 상기 제 2 패턴을 상호 접속하는, 상기 제 3 절연층에서의 복수의 비아 상호 접속들(49)과,
 - xi. 상기 제 3 절연층 상의 복수의 PWB 본딩 패드들(60)로서, 상기 복수의 IC 칩 본딩 패드들의 외부 둘레에 구성되고, PWB 본딩 패드들의 제 1 그룹(66, 67), PWB 본딩 패드들의 제 2 그룹(85, 86) 및 PWB 본딩 패드들의 제 3 그룹(82, 83, 84)을 포함하는 상기 복수의 PWB 본딩 패드들과,
 - xii. PWB 본딩 패드들의 상기 제 1 그룹과 상기 기판을 상호 접속하는, 상기 제 1, 제 2 및 제 3 절연층들에서의 복수의 비아 상호 접속들(89)과,
 - xiii. PWB 본딩 패드들의 상기 제 2 그룹과 트랜슬레이터 상호 접속들의 상기 제 1 패턴을 상호 접속하는, 상기 제 2 및 제 3 절연층들에서의 복수의 비아 상호 접속들(92)과,
 - xiv. PWB 본딩 패드들의 상기 제 3 그룹과 트랜슬레이터 상호 접속들의 상기 제 2 패턴을 상호 접속하는, 상기 제 3 절연층에서의 복수의 비아 상호 접속들(91)을 포함하는, 상기 트랜슬레이터;
- b. 상부 표면(61) 및 하부 표면(62)과, 면적 A_1 과, 상기 상부 표면상의 IC 칩 상호 접속들(63)의 어레이를 갖는 IC 칩(58)으로서, 상기 IC 칩 상호 접속들(63)은 상기 IC 칩을 상기 트랜슬레이터 상의 상기 복수의 IC 칩 본딩 패드들에 상호 접속시키는, 상기 IC 칩(58); 및
- c. 상부 표면(55) 및 하부 표면(56)과, 상기 상부 표면 내에 형성되고 상기 PWB를 통하여 적어도 부분적으로 연

장하는 적어도 하나의 4변형의 공동(57)과, 상기 공동의 에지들을 따라 상기 PWB의 상기 상부 표면상의 PWB 본딩 패드들의 계열(60)을 갖는 인쇄 배선 보드(PWB; 52)로서, 상기 PWB 본딩 패드들의 계열은, 상기 IC 칩이 상기 공동 내로 리세스되도록 상기 트랜슬레이터 상의 상기 PWB 본딩 패드들에 본딩되는, 상기 인쇄 배선 보드(PWB; 52)를 포함하는, IC 패키지.

청구항 8

제 7 항에 있어서, IC 칩 본딩 패드들의 상기 제 1 그룹은 접지 I/O IC 상호 접속들을 포함하고, IC 칩 본딩 패드들의 상기 제 2 그룹은 신호 I/O IC 상호 접속들을 포함하고, IC 칩 본딩 패드들의 상기 제 3 그룹은 전원 및 접지 I/O IC 상호 접속들을 포함하는, IC 패키지.

청구항 9

제 7 항에 있어서, $A > 4 A_1$ 인, IC 패키지.

청구항 10

제 9 항에 있어서, IC 본딩 패드들의 수는 400 보다 큰, IC 패키지.

청구항 11

제 7 항에 있어서, 상기 복수의 PWB 본딩 패드들은 상기 트랜슬레이터의 각 에지를 따라 어레이되는, IC 패키지.

청구항 12

제 7 항에 있어서, 상기 복수의 PWB 본딩 패드들은 상기 IC 본딩 패드들과 상기 트랜슬레이터의 에지 사이의 면적을 커버하는, IC 패키지.

청구항 13

삭제

청구항 14

제 7 항에 있어서, 상기 기판을 커버하는 금속층을 더 포함하는, IC 패키지.

청구항 15

IC 패키지에 있어서:

- a. 트랜슬레이터로서,
 - i. 면적 A_1 를 갖는 실리콘 기판(21, 34)과,
 - ii. 상기 기판상의 제 1 절연층(34a)과,
 - iii. 상기 제 1 절연층 상의 트랜슬레이터 상호 접속들의 제 1 패턴(33)과,
 - iv. 트랜슬레이터 상호 접속들의 상기 제 1 패턴상의 제 2 절연층(33a)과,
 - v. 상기 제 2 절연층 상의 트랜슬레이터 상호 접속들의 제 2 패턴(32)과,
 - vi. 트랜슬레이터 상호 접속들의 상기 제 2 패턴상의 제 3 절연층(32a)과,
 - vii. 상기 제 3 절연층 상의 트랜슬레이터 상호 접속들의 제 3 패턴(31)과,
 - viii. 트랜슬레이터 상호 접속들의 상기 제 3 패턴상의 제 4 절연층(31a)과,
 - ix. 상기 제 4 절연층 상의 복수의 IC 칩 본딩 패드들로서, 상기 트랜슬레이터의 중앙에 위치되고, IC 칩 본딩 패드들의 제 1 그룹(36, 37), IC 칩 본딩 패드들의 제 2 그룹(45, 46), IC 칩 본딩 패드들의 제 3 그룹(42, 43, 44) 및 IC 칩 본딩 패드들의 제 4 그룹을 포함하는 상기 복수의 IC 칩 본딩 패드들과,
 - x. IC 칩 본딩 패드들의 상기 제 1 그룹과 상기 기판을 상호 접속하는, 상기 제 1, 제 2, 제 3 및 4

절연층들에서의 복수의 비아 상호 접속들(47)과,

x i. IC 칩 본딩 패드들의 상기 제 2 그룹과 트랜슬레이터 상호 접속들의 상기 제 1 패턴을 상호 접속하는, 상기 제 2, 제 3 및 제 4 절연층들에서의 복수의 비아 상호 접속들(50)과,

x ii. IC 칩 본딩 패드들의 상기 제 3 그룹과 트랜슬레이터 상호 접속들의 상기 제 2 패턴을 상호 접속하는, 상기 제 3 및 제 4 절연층들에서의 복수의 비아 상호 접속들(49)과,

x iii. IC 칩 본딩 패드들의 상기 제 4 그룹과 트랜슬레이터 상호 접속들의 상기 제 3 패턴을 상호 접속하는, 상기 제 4 절연층에서의 복수의 비아 상호 접속들(48)과,

x iv. 상기 제 4 절연층 상의 복수의 PWB 본딩 패드들(60)로서, 상기 복수의 IC 칩 본딩 패드들의 외부 둘레에 구성되고, PWB 본딩 패드들의 제 1 그룹(66, 67), PWB 본딩 패드들의 제 2 그룹(85, 86), PWB 본딩 패드들의 제 3 그룹(82, 83, 84) 및 PWB 본딩 패드들의 제 4 그룹(68, 69, 71)을 포함하는 상기 복수의 PWB 본딩 패드들과,

x v. PWB 본딩 패드들의 상기 제 1 그룹과 상기 기판을 상호 접속하는, 상기 제 1, 제 2, 제 3 및 제 4 절연층들에서의 복수의 비아 상호 접속들(89)과,

x vi. PWB 본딩 패드들의 상기 제 2 그룹과 트랜슬레이터 상호 접속들의 상기 제 1 패턴을 상호 접속하는, 상기 제 2, 제 3 및 제 4 절연층들에서의 복수의 비아 상호 접속들(92)과,

x vii. PWB 본딩 패드들의 상기 제 3 그룹과 트랜슬레이터 상호 접속들의 상기 제 2 패턴을 상호 접속하는, 상기 제 3 및 제 4 절연층들에서의 복수의 비아 상호 접속들(91)과,

x viii. PWB 본딩 패드들의 상기 제 4 그룹과 트랜슬레이터 상호 접속들의 상기 제 3 패턴을 상호 접속하는, 상기 제 4 절연층에서의 복수의 비아 상호 접속들(88)을 포함하는, 상기 트랜슬레이터;

b. 상부 표면(61) 및 하부 표면(62)과, 면적 A_1 과, 상기 상부 표면상의 IC 칩 상호 접속들의 어레이(63)를 갖는 IC 칩(58)으로서, 상기 IC 칩 상호 접속들의 어레이(63)는 상기 IC 칩을 상기 트랜슬레이터 상의 상기 복수의 IC 본딩 패드들에 상호 접속시키는, 상기 IC 칩(58); 및

c. 상부 표면(52) 및 하부 표면(56)과, 상기 상부 표면 내에 형성되고 상기 PWB를 통하여 적어도 부분적으로 연장하는 적어도 하나의 4변형 공동(57)과, 상기 공동의 에지들을 따라 상기 PWB의 상기 상부 표면상의 PWB 본딩 패드들의 계열(60)을 갖는 인쇄 배선 보드(PWB; 52)로서, 상기 PWB 본딩 패드들의 계열은, 상기 IC 칩이 상기 공동 내로 리세스되도록 상기 트랜슬레이터 상의 상기 PWB 본딩 패드들에 본딩되는, 상기 인쇄 배선 보드(PWB; 52)를 포함하는, IC 패키지.

청구항 16

제 15 항에 있어서, IC 칩 본딩 패드들의 상기 제 1 그룹은 접지 I/O IC 상호 접속들을 포함하고, IC 칩 본딩 패드들의 상기 제 2 및 상기 제 3 그룹들은 신호 I/O IC 상호 접속들을 포함하고, IC 칩 본딩 패드들의 상기 제 4 그룹은 전원 I/O IC 상호 접속들을 포함하는, IC 패키지.

청구항 17

삭제

청구항 18

제 15 항에 있어서, 상기 기판은 금속층으로 코팅되는, IC 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 플립 칩 집적 회로(IC) 패키지들에 관한 것으로서, 특히 IC 칩들이 상호 접속 기관 내의 공동들(cavities)에 리세스되는 IC 패키지들에 관한 것이다. 더 구체적으로, 증대된 상호 접속 밀도를 제공하기 위해 하나의 IC 칩이 트랜슬레이터와 상호 접속되는 리세스된 칩 상호 접속 구성에 관한 것이다.
- <7> 삭제
- <8> 리세스된 칩 IC 패키지들은, 상호 접속 기관 면적의 효율적 활용, 낮은 전체 패키지 프로파일, 및 감소된 상호 접속 길이로 인해, IC 디바이스 상호 접속 기술에 수용되고 있다. 다양한 리세스된 칩 패키지 옵션들은 1997년 3월 4일 특허 허여된 미국 특허 번호 제 5,608,262호에 개시 및 주장되었고, 이를 개시할 목적으로 본 명세서에 참조로 포함되어 있다.
- <9> 리세스된 칩 패키지들은 3개의 구성요소들을 특징으로 하는데, 즉, 설명의 목적상, 제 1 레벨 구성요소들로서 규정되는 IC 칩 또는 칩들과, 본 명세서에서 제 2 레벨 구성요소로서 규정되는 IC 칩 또는 수동 상호 접속 기관 일 수 있는(통상의 패키지에서) 중간 상호 접속 기관(IIS)과, 제 3 레벨 구성요소로서 규정되고 통상적으로 인쇄 회로 보드(PCB)인 시스템 상호 접속 기관(SIS)이다. 이들 구성요소들은, 제 2 레벨 구성요소(들)가 하나 이상의 IC 칩들을 지지할 수 있고, 제 3 레벨 구성요소들이 하나 이상의 제 2 레벨 구성요소들을 수용할 수 있도록 면적이 점진적으로 커진다. 3개의 구성요소 패키지에서, 제 1 레벨 구성요소들은 통상적으로 제 2 레벨 구성요소들에 본딩되는 플립 칩이고, 제 2 레벨 구성요소들은 제 3 레벨 구성요소들에 플립 본딩되고, 제 1 레벨 구성요소들은 제 3 레벨 구성요소에 형성된 공동 내로 리세스된다.
- <10> 이러한 기본개념을 사용하여 다수의 변형들이 가능하다. 예를 들어, 시스템 상호 접속 기관은 중간 상호 접속 기관으로서 자체 기능하며 제 4 보드 레벨에 부착할 수 있고, 제 2 레벨 구성요소들은 제 4 레벨 구성요소 내의 공동들에 리세스된다.
- <11> 리세스된 공동 구조들은 효과적인 상호 접속 구성들을 갖지만, 더 조밀한 상호 접속들과 더 높은 상호 접속 성능에 대한 필요가 늘어나고 있다.

발명이 이루고자 하는 기술적 과제

- <12> 본 발명자는 리세스된 칩 IC 패키지들을 위한 개선된 상호 접속 방식을 개발했다. 개선들 중에는, 복수 레벨의 상호 접속 트랜슬레이터에 설치된 분리된 전원 및 접지면들을 사용하는 개선된 전원 및 접지 상호 접속 구성이 있다. 본 발명의 양호한 실시예에서 트랜슬레이터는 실리콘이고, 전원 및 접지면들은 트랜슬레이터 상에 분리된 상호 접속 레벨들을 포함한다. 트랜슬레이터의 복수 레벨의 상호 접속 특성은 이 보드 레벨에서의 전원 및 접지 상호 접속들의 수의 통합과, 전원 및 접지 I/O들 및 신호 I/O들을 다음 보드 레벨로 재-라우팅(re-routing)하는 것 모두를 허용한다. 또한, 본 발명의 트랜슬레이터는 단일의 하이 핀 카운트 IC 칩을 수용하며 IC 칩들보다 실질적으로 더 크게 만들어진다. 큰 트랜슬레이터 면적은 실리콘 트랜슬레이터 상에서 라우팅과 팬 아웃 모두를 허용한다.
- <13> 최신 IC 칩들은 현재 400개가 넘는 I/O 카운트들을 구비하여 생산되고 있다. 요구되는 상호 접속들의 수가 이렇게 클 때, 종래 기술의 구성들에서 납땜 접착 상호 접속들을 위한 피치(pitch)는 매우 작았다. 종래의 상호 접속 방법들은 상호 접속들의 이들 큰 IC 어레이들을 상호 접속하는 일을 할 수 없었다.

발명의 구성 및 작용

- <14> 상호 접속 사이트들의 큰 면적 어레이를 가진 IC 칩이 도 1에 도시된다. IC 칩은 11로 표시되고, 그 면적 어레이 상호 접속들 사이트들은 12로 표시된다. 상호 접속 사이트들은 사각형으로 도시되었지만 둥글 수도 있다. 대표 도면에서, 본딩 패드들이 도시되어 있으며, 이들은 사각형일 수 있지만 더욱 흔히 둥글 수도 있다. 도 1의 IC 칩 설계에서, "x"가 도시된 에지 어레이된 사이트들(edge arrayed sites; 12)의 3개의 행들은 I/O 신호들이고 "x"가 도시되지 않은 내부 사이트들(13)은 전원 및 접지이다. 이들 할당들은 회로 설계에 따라 변화될 수 있는데, 즉, 핀들은 신호와 전원/접지 사이에서 혼합(mix)될 수 있다. 도 1은 전원 및 접지에 196개가 할당되고, 신호에 204개가 할당된 총 400개의 IC 칩 상호 접속 사이트들을 도시한다. 최근의 IC 칩들에서, I/O 상호 접속들의 조합된 수는 400개보다 훨씬 클 수 있으며, 이것은 이 발명에 의해 처리된 상호 접속 과제를 더 근접하게 표현한 것이다.
- <15> 본 발명에 따른 개선된 상호 접속 방식은, 제 2 상호 접속 레벨(즉, IC 칩이 본딩되는 기관)을 위해 트랜슬레이

터를 사용하는 것과, 상호 접속들의 큰 어레이가 수용될 수 있고, 크로스-오버되고 재-라우팅되며 팬 아웃될 수 있도록 복수 레벨의 상호 접속들을 구비한 큰 모듈로써 트랜슬레이터를 구성하는 것이다. 트랜슬레이터를 위한 추가 면적은 면적 어레이 상호 접속들의 수와 이들 상호 접속들을 위해 필요한 피치에 따라 다르다. 본 발명에 따른 통상적인 구성에서, 트랜슬레이터의 면적은 IC 칩의 면적의 최소 4배이고 바람직하게는 6배이다.

<16> 본 발명에 따른 도 1의 상호 접속 IC 칩을 위한 트랜슬레이터는 도 2에서 도시된다. 트랜슬레이터(21)의 중앙 부분은 플립 칩이 트랜슬레이터에 본딩된 IC 칩을 수용한다. IC 칩의 위치는 가상으로 15에 도시된다. 트랜슬레이터 상의 IC 상호 접속 사이트들의 어레이는 IC 칩 상의 어레이를 반영한다(mirror). 도 2에서 도시된 트랜슬레이터(21)는 IC 칩의 면적의 대략 7배 면적을 갖는다. IC 칩 면적 외부에 추가된 면적(23)은 상호 접속 사이트들(22)을 수용한다. 이 추가된 면적은 본 명세서에서 외부 보드 면적(outboard area)이라 칭하고, 이 면적 내의 상호 접속 사이트들은 다음 보드 레벨에 대한 접속들을 위한 것이다.

<17> 도 2의 실시예에서, 외부 보드 면적은 320개의 상호 접속 사이트들을 수용한다. 이 수는 IC 칩 상의 400개의 상호 접속 사이트들보다 적고, 명백하게 되기 위해 신중히 선택한 것이다. 핀 사이트들을 위한 핀은 도 2의 트랜슬레이터의 외부 보드 영역에서 수용될 수 있고, 여전히 IC 칩 상호 접속들의 피치보다 실질적으로 더 큰 피치를 갖는다는 것은 명확하다. 이 설계는 또한, 상호 접속들의 큰 어레이를 팬 아웃하기 위하여, 즉 다음 레벨로 향하는 외부 보드 상호 접속들의 피치를 증가시키기 위하여, 칩 사이트의 트랜슬레이터(21) 외부 보드의 넓은 면적을 이용한다. 패키지에서 이 레벨의 큰 피치를 갖는 이점은 트랜슬레이터가 큰 납땜 범프들(bumps) 또는 볼들(balls)을 사용하여 인쇄 배선 보드 또는 볼 그리드(grid) 어레이(BGA)에 플립-본딩될 수 있다는 점이다. 큰 납땜 상호 접속들은 더 신뢰성 있고 더 높은 생산율로 제조될 수 있다. 상호 접속 사이트들(22)에서 범프와 볼 패드들은 예를 들어 Cu-Cr 합금 또는 Ti-Pt-Au의 납땜 가용성 패드들이다.

<18> 본 발명에 따른 통상적인 트랜슬레이터 구조에서 외부 보드에서 피치는 IC 상호 접속들의 피치보다 클 것이다. 외부 보드 면적이 IC 칩 면적의 4배 이상이라면, 외부 보드 면적에서 상호 접속 사이트들의 피치는 IC 칩 사이트에서 IC 상호 접속들의 피치의 최소 두 배이다. 피치는 상호 접속들 사이트들 사이의 중앙에서 중앙까지의 공간이다.

<19> 중앙 영역의 면적 상호 접속 사이트들 중 5개를 포함하는 도 2의 트랜슬레이터의 부분 단면도는 도 3에 도시된다. 도 3은 도 2의 3-3 부분의 중앙 부분의 상세도이다. 이 패키지 설계의 중요한 특성은 복수 레벨들의 상호 접속이 도시되는 이 도면에서 명확하게 나타난다. 상호 접속들(36 내지 41)의 각 U-형상은 통상적인 납땜 가용성 금속을 나타낸다.

<20> 도 3의 상호 접속 구성에서 IC 칩 사이트의 중앙에서 면적 어레이는 전원 및 접지 상호 접속들을 위한 것이다. 본 발명에 따른 트랜슬레이터는 전원 및 접지 상호 접속을 위한 특별한 특성들을 갖는다. 단일 상호 접속 레벨은 전원용으로 예약되고 중간 레벨들에 의해 제 1 레벨로부터 바람직하게 분리되는 다른 레벨은 접지 상호 접속들용으로 예약된다. 도 3은 상호 접속(31, 32, 33 및 34)의 4개의 레벨을 도시한다. 명확히 하기 위해, 레벨간 유전체층들(interlevel dielectric layers)은 개별적으로 도면에서 도시되지는 않았지만 도전층들(33 및 34) 사이에 제 1 레벨간 유전체층(34a)이, 도전층들(32 및 33) 사이에 제 2 레벨간 유전체층(33a)이, 도전층들(31 및 32) 사이에 제 3 레벨간 유전체층(32a)이, 도전층(31) 및 패드들(36, 37, 38, 39 및 41) 사이에 상부 유전체층(31a)이 존재하는 점은 당 업계의 기술자들에게 명확하다. 하부 도전성 레벨(34)은 접지면이고, 상부 레벨(31)은 전원면이다. 두개의 중간 도전성 레벨들(32 및 33)은 I/O 신호에 할당되어 있다. 도전성 레벨들(31 내지 33)은 복수 레벨의 개념을 도시하기 위하여 도전체 패턴들로 도시되어 있다. 도시된 도면에서, 면적 어레이의 모든 상호 접속들이 전원 및 접지 접속이라면, 제 2 및 제 3 레벨들을 위한 도전체 패턴은 이 도면에서 생략된다. 그러나, 중앙 섹션에서 도전체 패턴들을 제공하는 것은 설계자에게 IC 칩상의 어떤 위치에서든지, 그리고 트랜슬레이터의 중앙에서 해당하는 어떤 위치에서든지 I/O 신호들과 전원 및 접지 I/O들의 상호 혼합의 선택권을 제공한다. 전원 및 접지 각각에 상부 레벨들 및 하부 레벨들 및 I/O 신호들에 할당된 중간 레벨들과 함께 도시된 구성은, 전원 및 접지를 분리할 수 있는 이점을 갖는다. 그러나 다른 할당들은 확실히 유용하다. 하부 상호 접속 레벨(34)은, 전원 또는 접지중의 하나 또는 전부에 할당되고, 접지면에 할당되는 것이 양호하고, 상호 접속들은 이 레벨을 통하여 생성되지 않기 때문에 연속 시트(sheet)로 도시된다. 그 접지면은 불순물이 첨가된 반도체와 같은 기관일 수 있고, 더 높은 도전성을 갖지 않는다면, 그 기관은 더 도전성 있는 재료, 예를 들면, Al, Ti-Pd-Au, 또는 Au으로 코팅될 수 있다. 그 상호 접속 레벨(31)은 도시된 것처럼 개구부들을 갖는 도전성 재료의 그물(mesh)이다. 상호 접속 사이트들(36 및 37)은 접지면(34)에 접속되어 있고, 상호 접속 사이트들(38, 39 및 41)은 전원면(31)에 접속되어 있다. 그 전원 및 접지면들은 트랜슬레이터 면적을 통하여 연장되어 있어서, 패드들(22) 중 어느 하나가 트랜슬레이터의 외부 보드 영역의 원하는 사이트에서의 레벨(31 또는

34)에 비아(via)를 제공함으로써 전원 및 접지에 접속될 수 있다.

<21> 도 2에 "x"를 가지고 이 실시예에서 신호 I/O들에 할당된 어레이의 에지에서 상호 접속 사이트들의 행들의 섹션 또는 도 4에서 주어지며, 도 4는 섹션(4-4)를 따른 도 2의 부분도이다. 여기서, 에지 어레이 상호 접속 사이트들(42, 43 및 44)는 도시된 비아들을 사용하여 상호 접속 레벨(32)에 접속되고, 상호 접속 사이트들(45 및 46)은 레벨(33)에 접속된다. 레벨들(32 및 33)에 대한 도전체 패턴들은 종래의 것인데, 즉 외부 보드 영역 내에 선택된 사이트(22)와 사이트(42)를 접속시키는 단일 러너(single runner; 42)이다. 대조적으로, IC 칩으로부터의 전원 및 접지 상호 접속들은 전원 및 접지면 시트들 상에서 함께 모여 있다. 상술된 바와 같이, 접지 시트는 연속적이고 전원 시트는 그물형이다. 적절한 비아를 사용하여 외부 보드 영역 내에 임의의 원하는 사이트(22)에서 이들 시트들에 대한 상호 접속들이 이루어진다. 이것은 회로 설계자가 전력 및 접지를 자유롭게 재-라우팅하고, 트랜슬레이터를 실행한(coming off) 전원 및 접지 상호 접속들의 수를 트랜슬레이터를 실행(coming on)할 접속들의 수로 변경하도록 허용한다.

도 3 및 도 4와 거의 동일하게 대응하는 외부 섹션은 도 6 및 도 7에 분명히 도시되어 있다. 공동의 요소들이 도시되어 있지만, 기관 도전체(34)에 대한 본딩 패드들은 참조 번호들(66 및 67)로 할당되고, 상호 접속을 위해 비아들(89)을 사용하며, 금속 레벨(33)에 대한 본딩 패드들은 참조 번호들(85 및 86)로 할당되고, 상호 접속을 위해 비아들(92)을 사용하며, 금속 레벨(32)에 대한 본딩 패드들은 참조 번호들(82, 83, 84)로 할당되고, 상호 접속을 위해 비아들(91)을 사용하며, 금속 레벨(31)에 대한 본딩 패드들은 참조 번호들(68, 69 및 71)로 할당되고, 상호 접속을 위해 비아들(88)을 사용한다.

도 3 및 도 4와 거의 동일하게 대응하는 외부 섹션이 도 6 및 도 7에 명백히 도시되어 있다. 공동 요소들이 도시되어 있지만, 기관 도전체(34)에 대한 본딩 패드들에는 참조 번호들(66 및 67)이 할당되며 상호 접속을 위해 비아들(89)을 사용하고, 금속 레벨(33)에 대한 본딩 패드들에는 참조 번호들(85 및 86)이 할당되며 상호 접속을 위해 비아들(92)을 사용하고, 금속 레벨(32)에 대한 본딩 패드들에는 참조 번호들(82, 83, 84)이 할당되며 상호 접속을 위해 비아들(91)을 사용하고, 금속 레벨(31)에 대한 본딩 패드들에는 참조 번호들(68, 69 및 71)이 할당되며 상호 접속을 위해 비아들(88)을 사용한다.

<22> 도 2는 204개의 IC 칩 신호 I/O 상호 접속 사이트들 및 196개의 전원 및 접지 상호 접속 사이트들을 도시한다. 그러나, 트랜슬레이터의 외부 보드 영역에서 단지 320개의 상호 접속 사이트들(22)이 있다. 통상적으로, IC 칩으로부터 각 I/O 신호는 각 보드 레벨에서 핀과 접속되어 있고, 전원 및 접지용으로 116개를 남겨두고 320개의 사이트들 중 204개를 소비한다. 전술한 내용으로부터 명확한 바와 같이, 보드 레벨들 사이의 전원 및 접지 상호 접속들은 불연속적이지 않다. 통상적인 회로 설계에서, 외부 보드 영역 둘레에 공간이 있는 매우 많은 수의 전원 및 접지 상호 접속 사이트들이 필요하지만, 통상적으로 이 수는 IC 칩으로부터 나오는 전원 및 접지 상호 접속들의 수보다 상당히 적다. 따라서 본 발명의 트랜슬레이터는 전원 및 접지 접속들을 통합하고, 그것들을 공간적으로 재분배한다. 종래의 기술에서 주로 레벨을 통한 1 대 1 전송이었던 보드 레벨에서의 이 통합 기능은 리세스된 플립 칩 패키징에서 중요한 발전이다. 전원 및 접지 접속들을 최소 10 %정도 줄이는 것은 중요하다. 또한, 이 보드 레벨에서 크로스오버들을 설계하고, 재-라우팅을 설정하고 전원 및 접지를 분리하며 팬-아웃을 실행하는 능력은 상호 접속 기술에서 주된 발전이다.

<23> 도 5에서, 상부 표면(53) 및 하부 표면(54)을 가진 트랜슬레이터(21)에는 하부 표면 상의 상호 접속들(51)의 계열에 의해, 도시된 것처럼 IC 칩이 리세스된 다음 보드 레벨(52)에 납땜 접속된 볼 또는 범프가 보인다. 상부 표면(55) 및 하부 표면(56)을 가진 인쇄 배선 보드(52)는 트랜슬레이터에서 그 다음 보드 레벨까지 많은 I/O 도선들의 신뢰할 수 있는 본딩을 제공하는 볼 그리드 어레이인 것이 바람직하다. 보드 레벨(52)은 중간 보드 레벨 또는 마더 보드(mother board)와 같은 시스템 인쇄 배선 보드(PWB)일 수도 있다. 어느 경우나, IC 칩(58)이 리세스되는 이 레벨에 개구부(57; 예를 들면 4변형 공동)가 제공된다. IC 칩은 상부 표면(61) 및 하부 표면(62)을 가지며, 상부 표면 상의 상호 접속들(63)은 IC 칩을 트랜슬레이터(21)에 본딩시킨다. 트랜슬레이터(21)를 그 보드(52)에 상호 접속하는 납땜 볼들은 IC 칩을 트랜슬레이터에 상호 접속하는 것들보다 대체적으로 크다는 것을 주지한다. 그 IC 칩 상호 접속들은 통상적으로 지름이 50 에서 200 microns까지의 플립-칩 마이크로-조인트들(micro-joints)이고 그 BGA 볼들은 통상적으로 지름이 20-100 mils 이다.

<24> IC 칩을 위한 공동은 보드의 두께를 통하여 완전히 연장되고, 그 IC 칩은 보드의 면 아래에 리세스하기 위하여 장착되고, 따라서 패키지 프로파일을 줄이도록 하는 점에서, 본 발명은 PWB 상호 접속 구성들로 응용 가능하다는 점은 명백하다. 이들 구조들 및 IC 칩을 위한 공동들은 사각형의 모양이고, 때때로 정사각형이다. 대체로, 리세스된 칩 패키지들은 공동들에 리세스된 IC 칩으로 만들어지고, 즉, IC 칩을 위한 공동은 트랜슬레이터가 부

착된 인쇄 배선 보드를 통하여 오직 부분적으로 연장된다. 본 발명을 규정하기 위하여 사용된 인쇄 배선 보드는, 예를 들어, FR4, 표준 에폭시 보드들 및 볼 그리드 어레이 상호 접속 기관들 및 다른 적당한 상호 접속 기관을 참조한다.

- <25> 트랜슬레이터의 재료는 IC 칩의 열 팽창 계수(CTE)와 정합되도록 반도체인 것이 바람직하다. 이것은 대부분 통상적으로 실리콘일 것이다. 실리콘을 사용하는 이점은 하부 도전체 레벨로써 충분히 도전성이 있다는 점이다. 실리콘을 사용하는 또 다른 이점은 실리콘 상에서 복수 레벨의 상호 접속들을 형성하는, 상호 접속 기술이 잘 알려져 있고 IC 칩 자체를 제조하는데 원칙적으로 사용되고 있다는 점이다. 따라서 복수의 상호 접속들은 레벨 간 유전체를 위하여 SiO₂ 와 Si IC 기술에서 표준인 것처럼 금속화를 위해서는 알루미늄을 사용할 수 있다. 그러나, 트랜슬레이터 상에서 상호 접속들은 IC 칩상에서의 상호 접속보다 상당히 크고 덜 정확하고 덜 비싼 기술로 만들어질 수 있다. 따라서, 트랜슬레이터 상에서 복수의 레벨 상호 접속들(즉, 도 3 및 4의 레벨들(31 내지 34)과 같은)을 형성하기 위한 바람직한 방법은 레벨간 유전체를 위한 재료에서 스핀(spin)을 사용하는 것이다. 재료들 상에서의 회전은 유리 상에서의 회전과 폴리이미드와 같은 알려진 다양한 폴리머 재료들을 포함한다. 복수의 레이어 도전체 패턴들은 다른 적당한 금속, 예를 들어, 구리, 알루미늄, Au, Ti-Pd-Au 등으로 만들어질 수 있다. 그 비아들은 다른 적당한 코팅 기술, 예를 들어, 스퍼터링(sputtering)에 의해 만들어질 수 있다. 층들(31 내지 34) 및 레벨간의 유전체의 두께는 작아서, 종래의 스퍼터링 처리로 비아들을 코팅하는 것은 어렵지 않다. 바람직하다면 비아 플러그들이 사용될 수 있다.
- <26> 실리콘(또는 반도체)이 트랜슬레이터를 위한 바람직한 재료이므로, 본 발명의 이점들은, 예를 들어, 복수 레벨의 상호 접속들을 가진 넓은 면적 상호 접속 기관은 다른 재료들, 그 중에서도 세라믹을 사용함으로써 또한 실현될 수 있다. 세라믹과 같은 절연체가 사용된다면, 금속층은 하부의 상호 접속 레벨을 위한 절연체상에 놓일 수 있다.
- <27> 이전에 주지했듯이, 본 발명은 첫째로 400개 이상의 I/O들을 갖는 IC에서 IC 패키지들을 다룬다. 또한 이전에 주지했듯이 트랜슬레이터의 크기는 트랜슬레이터의 외부 보드 영역에서 많은 상호 접속들을 수용하기 위하여 IC 보다 대체적으로 커야 한다. 트랜슬레이터가 사용되는 대부분의 패키지 설계들에서, 그 트랜슬레이터의 가장 긴 길이는 IC의 가장 긴 길이를 최소 2배 또는 바람직하게는 2.5배만큼 초과할 것이다. IC 칩의 면적에 대한 트랜슬레이터의 면적의 입장에서, 트랜슬레이터 면적은 대부분의 경우에 IC 칩 면적을 최소 4 배, 바람직하게는 최소 6 배만큼 초과할 것이다.
- <28> 본 발명의 다양한 부가적인 변형들은 당업자들에 의해 이루어질 것이다. 본 기술이 진보된 원리들 및 등가물들에 기본적으로 의존하는 본 명세서의 특정한 개시 내용들로부터의 모든 일탈들은 서술되고 청구된 본 발명의 범위 내에서 적절히 고려된다.

발명의 효과

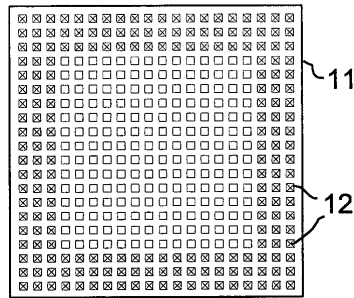
- <29> 본 발명에 따르면, 복수 레벨의 상호 접속 트랜슬레이터에 설치된 분리된 전원 및 접지면을 사용하여 전원 및 접지 상호 접속 구성을 개선시켰고, 보드 레벨에서의 전원 및 접지 상호 접속들의 수의 통합과 다음 보드 레벨로 전원 및 접지 I/O들 및 신호 I/O들을 재-라우팅하는 것 모두를 허용하는 트랜슬레이터의 복수 레벨의 상호 접속 특성을 제공하며, 본 발명의 트랜슬레이터는 단일의 하이 핀 카운트 IC 칩을 수용하고, IC 칩들보다 실질적으로 더 크게 만들 수 있다.

도면의 간단한 설명

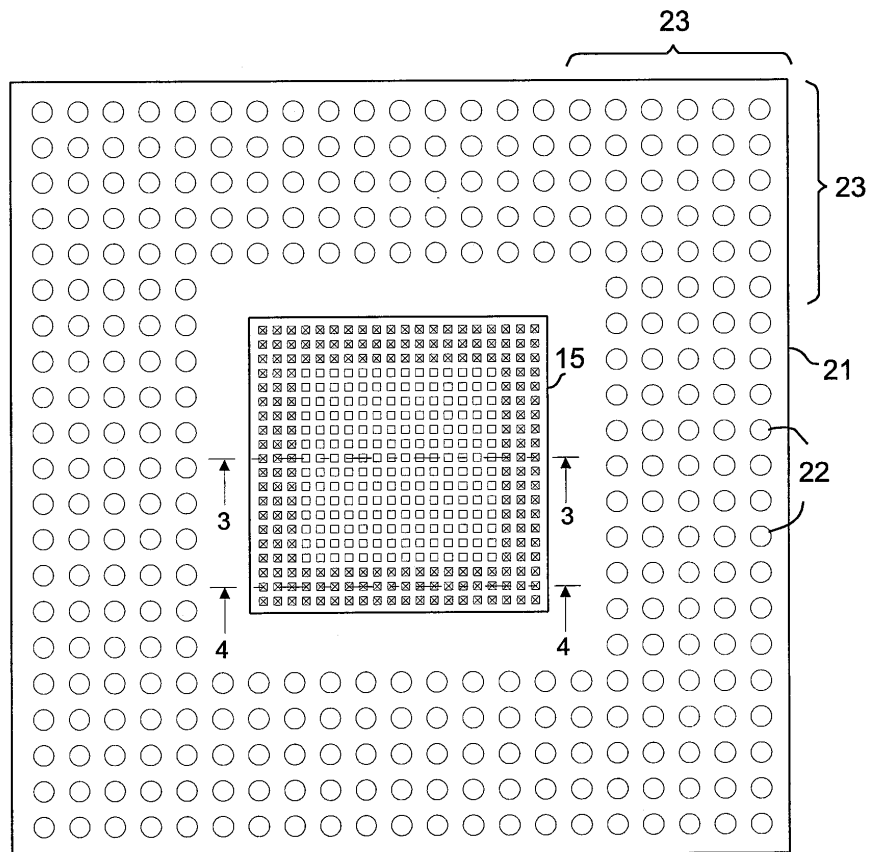
- <1> 도 1은 하이 핀 카운트 IC 칩의 평면도.
- <2> 도 2는 본 발명에 따른 트랜슬레이터의 평면도.
- <3> 도 3은 도 2의 3-3을 통한 부분 단면도.
- <4> 도 4는 도 2의 4-4를 통한 부분 단면도.
- <5> 도 5는 도 2의 트랜슬레이터를 갖는 조립된 IC 패키지의 부분 정면도.
- 도 6은 도 3의 단면과 유사하지만 트랜슬레이터의 외부 섹션에서 취해진 단면도.
- 도 7은 도 4의 단면과 유사하지만 트랜슬레이터의 외부 섹션에서 취해진 단면도.

도면

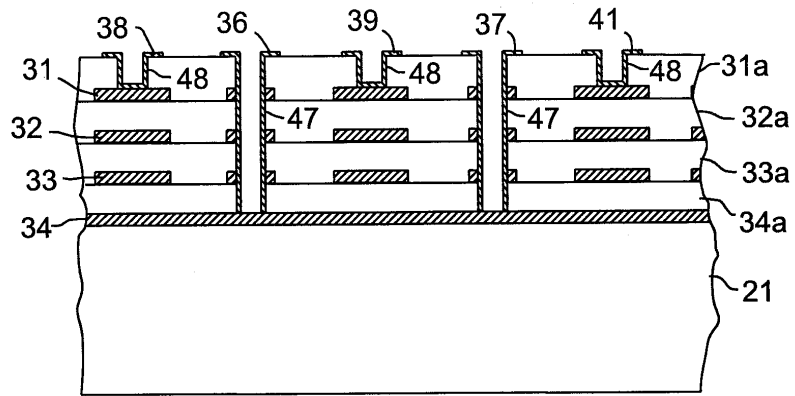
도면1



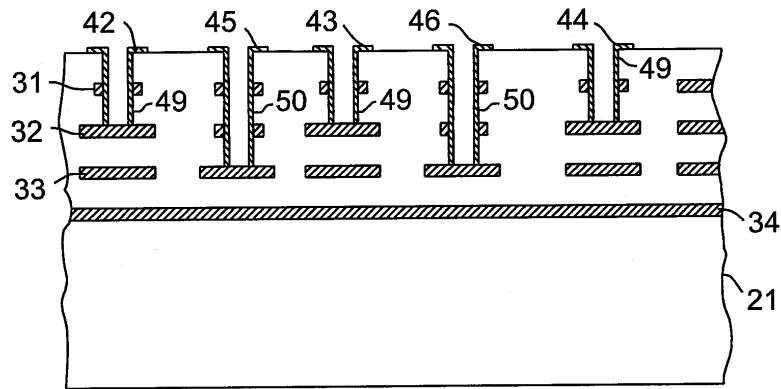
도면2



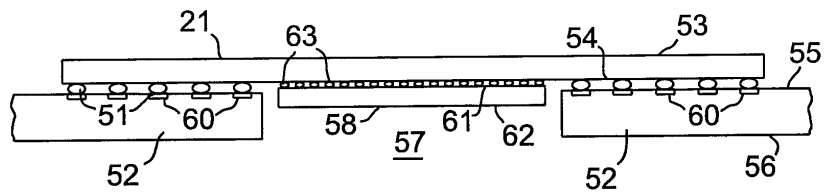
도면3



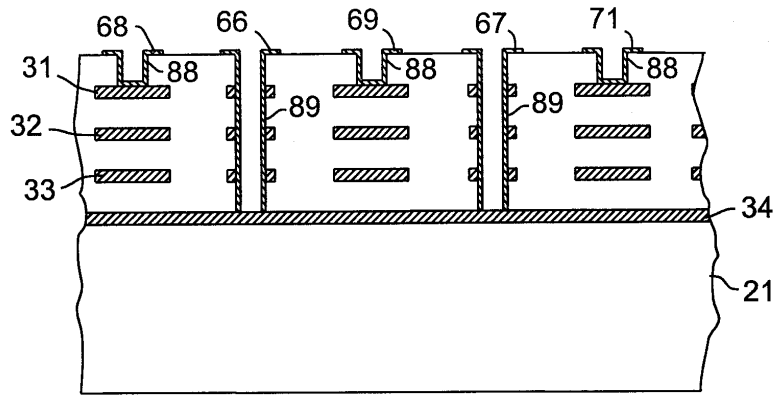
도면4



도면5



도면6



도면7

