

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6876482号  
(P6876482)

(45) 発行日 令和3年5月26日(2021.5.26)

(24) 登録日 令和3年4月28日(2021.4.28)

(51) Int. Cl. F I  
**HO2M 3/28 (2006.01)** HO2M 3/28 P  
 HO2M 3/28 D

請求項の数 9 (全 15 頁)

<p>(21) 出願番号 特願2017-65986 (P2017-65986)                  (22) 出願日 平成29年3月29日 (2017.3.29)                  (65) 公開番号 特開2018-170849 (P2018-170849A)                  (43) 公開日 平成30年11月1日 (2018.11.1)                  審査請求日 令和2年1月6日 (2020.1.6)</p> <p>前置審査</p>	<p>(73) 特許権者 000237721                  F D K 株式会社                  東京都港区港南一丁目6番4 1号</p> <p>(74) 代理人 100090022                  弁理士 長門 侃二</p> <p>(72) 発明者 ▲濱▼田 健志                  東京都港区港南一丁目6番4 1号 F D K                  株式会社内</p> <p>(72) 発明者 佐藤 匡                  東京都港区港南一丁目6番4 1号 F D K                  株式会社内</p> <p>(72) 発明者 福井 規生                  東京都港区港南一丁目6番4 1号 F D K                  株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
---	--

(54) 【発明の名称】 絶縁型スイッチング電源

(57) 【特許請求の範囲】

【請求項 1】

絶縁トランスを備えるフライバックコンバータ回路と、  
前記絶縁トランスの2次側に設けられ、前記フライバックコンバータ回路の出力電圧に  
基づいて前記フライバックコンバータ回路のスイッチング素子のP W M制御を行うフィ  
ードバック制御回路と、を備え、  
前記フィードバック制御回路は、前記スイッチング素子のP W M制御パルス信号のパル  
スを交互に取り出した第1のP W M制御パルス信号及び第2のP W M制御パルス信号をそ  
れぞれ生成して出力するP W M制御回路と、  
変成器と、  
前記第1のP W M制御パルス信号で前記変成器の一次巻線を正方向に励磁し、前記第2  
のP W M制御パルス信号で前記変成器の一次巻線を逆方向に励磁する双方向励磁回路と、  
前記変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させた  
パルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングす  
るスイッチング回路と、を含み、  
前記変成器の二次巻線は、第1の二次巻線及び第2の二次巻線を含み、  
前記スイッチング回路は、前記第1の二次巻線に誘起されるパルス信号を半波整流して  
出力する第1整流回路と、前記第2の二次巻線に誘起されるパルス信号の極性を反転させ  
たパルス信号を半波整流して出力する第2整流回路とを含み、前記第1整流回路の出力信号  
と前記第2整流回路の出力信号との論理和となるパルス信号を生成し、その生成したパル

ス信号で前記スイッチング素子をスイッチングし、

前記フィードバック制御回路は、前記第1整流回路の入力信号及び前記第2整流回路の入力信号がともにローレベルである間、前記スイッチング素子の制御端子の電荷を引き抜く引抜回路をさらに含み、

前記引抜回路は、ベースが前記第1の二次巻線の巻き始まり端に接続され、エミッタが前記スイッチング素子の制御端子に接続されている第1のPNP型トランジスタと、ベースが前記第2の二次巻線の巻き終わり端に接続され、エミッタが前記第1のPNP型トランジスタのコレクタに接続され、コレクタが前記スイッチング素子のグランド端子に接続されている第2のPNP型トランジスタと、を含む、絶縁型スイッチング電源。

【請求項2】

請求項1に記載の絶縁型スイッチング電源において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第1のPNP型トランジスタのベースとの間、及び前記第2の二次巻線の巻き終わり端と前記第2のPNP型トランジスタのベースとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源。

【請求項3】

絶縁トランスを備えるフライバックコンバータ回路と、

前記絶縁トランスの2次側に設けられ、前記フライバックコンバータ回路の出力電圧に基づいて前記フライバックコンバータ回路のスイッチング素子のPWM制御を行うフィードバック制御回路と、を備え、

前記フィードバック制御回路は、前記スイッチング素子のPWM制御パルス信号のパルスを交互に取り出した第1のPWM制御パルス信号及び第2のPWM制御パルス信号をそれぞれ生成して出力するPWM制御回路と、

変成器と、

前記第1のPWM制御パルス信号で前記変成器の一次巻線を正方向に励磁し、前記第2のPWM制御パルス信号で前記変成器の一次巻線を逆方向に励磁する双方向励磁回路と、

前記変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングするスイッチング回路と、を含み、

前記変成器の二次巻線は、第1の二次巻線及び第2の二次巻線を含み、

前記スイッチング回路は、前記第1の二次巻線に誘起されるパルス信号を半波整流して出力する第1整流回路と、前記第2の二次巻線に誘起されるパルス信号の極性を反転させたパルス信号を半波整流して出力する第2整流回路と含み、前記第1整流回路の出力信号と前記第2整流回路の出力信号との論理和となるパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングし、

前記フィードバック制御回路は、前記第1整流回路の入力信号及び前記第2整流回路の入力信号がともにローレベルである間、前記スイッチング素子の制御端子の電荷を引き抜く引抜回路をさらに含み、

前記引抜回路は、ベースが前記第2の二次巻線の巻き終わり端に接続され、エミッタが前記スイッチング素子の制御端子に接続されている第1のPNP型トランジスタと、ベースが前記第1の二次巻線の巻き始まり端に接続され、エミッタが前記第1のPNP型トランジスタのコレクタに接続され、コレクタが前記スイッチング素子のグランド端子に接続されている第2のPNP型トランジスタと、を含む、絶縁型スイッチング電源。

【請求項4】

請求項3に記載の絶縁型スイッチング電源において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第2のPNP型トランジスタのベースとの間、及び前記第2の二次巻線の巻き終わり端と前記第1のPNP型トランジスタのベースとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源。

【請求項5】

絶縁トランスを備えるフライバックコンバータ回路と、

前記絶縁トランスの2次側に設けられ、前記フライバックコンバータ回路の出力電圧に

10

20

30

40

50

基づいて前記フライバックコンバータ回路のスイッチング素子のPWM制御を行うフィードバック制御回路と、を備え、

前記フィードバック制御回路は、前記スイッチング素子のPWM制御パルス信号のパルスを交互に取り出した第1のPWM制御パルス信号及び第2のPWM制御パルス信号をそれぞれ生成して出力するPWM制御回路と、

変成器と、

前記第1のPWM制御パルス信号で前記変成器の一次巻線を正方向に励磁し、前記第2のPWM制御パルス信号で前記変成器の一次巻線を逆方向に励磁する双方向励磁回路と、

前記変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングするスイッチング回路と、を含み、

前記変成器の二次巻線は、第1の二次巻線及び第2の二次巻線を含み、

前記スイッチング回路は、前記第1の二次巻線に誘起されるパルス信号を半波整流して出力する第1整流回路と、前記第2の二次巻線に誘起されるパルス信号の極性を反転させたパルス信号を半波整流して出力する第2整流回路とを含み、前記第1整流回路の出力信号と前記第2整流回路の出力信号との論理和となるパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングし、

前記フィードバック制御回路は、前記第1整流回路の入力信号及び前記第2整流回路の入力信号がともにローレベルである間、前記スイッチング素子の制御端子の電荷を引き抜く引抜回路をさらに含み、

前記引抜回路は、ゲートが前記第1の二次巻線の巻き始まり端に接続され、ソースが前記スイッチング素子の制御端子に接続されている第1のPチャネル電界効果トランジスタと、ゲートが前記第2の二次巻線の巻き終わり端に接続され、ソースが前記第1のPチャネル電界効果トランジスタのドレインに接続され、ドレインが前記スイッチング素子のグランド端子に接続されている第2のPチャネル電界効果トランジスタと、を含む、絶縁型スイッチング電源。

【請求項6】

請求項5に記載の絶縁型スイッチング電源において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第1のPチャネル電界効果トランジスタのゲートとの間、及び前記第2の二次巻線の巻き終わり端と前記第2のPチャネル電界効果トランジスタのゲートとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源。

【請求項7】

絶縁トランスを備えるフライバックコンバータ回路と、

前記絶縁トランスの2次側に設けられ、前記フライバックコンバータ回路の出力電圧に基づいて前記フライバックコンバータ回路のスイッチング素子のPWM制御を行うフィードバック制御回路と、を備え、

前記フィードバック制御回路は、前記スイッチング素子のPWM制御パルス信号のパルスを交互に取り出した第1のPWM制御パルス信号及び第2のPWM制御パルス信号をそれぞれ生成して出力するPWM制御回路と、

変成器と、

前記第1のPWM制御パルス信号で前記変成器の一次巻線を正方向に励磁し、前記第2のPWM制御パルス信号で前記変成器の一次巻線を逆方向に励磁する双方向励磁回路と、

前記変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングするスイッチング回路と、を含み、

前記変成器の二次巻線は、第1の二次巻線及び第2の二次巻線を含み、

前記スイッチング回路は、前記第1の二次巻線に誘起されるパルス信号を半波整流して出力する第1整流回路と、前記第2の二次巻線に誘起されるパルス信号の極性を反転させたパルス信号を半波整流して出力する第2整流回路とを含み、前記第1整流回路の出力信号と前記第2整流回路の出力信号との論理和となるパルス信号を生成し、その生成したパル

10

20

30

40

50

ス信号で前記スイッチング素子をスイッチングし、

前記フィードバック制御回路は、前記第 1 整流回路の入力信号及び前記第 2 整流回路の入力信号がともにローレベルである間、前記スイッチング素子の制御端子の電荷を引き抜く引抜回路をさらに含み、

前記引抜回路は、ゲートが前記第 2 の二次巻線の巻き終わり端に接続され、ソースが前記スイッチング素子の制御端子に接続されている第 1 の P チャンネル電界効果トランジスタと、ゲートが前記第 1 の二次巻線の巻き始まり端に接続され、ソースが前記第 1 の P チャンネル電界効果トランジスタのドレインに接続され、ドレインが前記スイッチング素子のグランド端子に接続されている第 2 の P チャンネル電界効果トランジスタと、を含む、絶縁型スイッチング電源。

10

【請求項 8】

請求項 7 に記載の絶縁型スイッチング電源において、前記引抜回路は、前記第 1 の二次巻線の巻き始まり端と前記第 2 の P チャンネル電界効果トランジスタのゲートとの間、及び前記第 2 の二次巻線の巻き終わり端と前記第 1 の P チャンネル電界効果トランジスタのゲートとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源。

【請求項 9】

請求項 1 から 8 の何れか一に記載の絶縁型スイッチング電源において、

前記変成器は、前記第 1 の二次巻線の巻き終わり端及び前記第 2 の二次巻線の巻き始まり端が前記スイッチング素子のグランド端子に接続されており、

前記第 1 整流回路は、前記第 1 の二次巻線の巻き始まり端にアノードが接続され、前記スイッチング素子の制御端子にカソードが接続されている第 1 整流ダイオードを含み、

20

前記第 2 整流回路は、前記第 2 の二次巻線の巻き終わり端にアノードが接続され、前記スイッチング素子の制御端子にカソードが接続されている第 2 整流ダイオードを含む、絶縁型スイッチング電源。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フライバックコンバータ回路を備える絶縁型スイッチング電源に関する。

【背景技術】

30

【0002】

従来のフライバックコンバータ回路を備える絶縁型スイッチング電源は、出力電圧の定電圧制御を行うために、例えばフォトカプラや変成器等の絶縁回路を介して二次側の出力電圧を一次側にフィードバックし、一次側に設けられている PWM 制御回路でフライバックコンバータ回路のスイッチング素子のスイッチングデューティ比を制御している（例えば特許文献 1 又は 2 を参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 08 - 033341 号公報

40

【特許文献 2】特開 2007 - 020395 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら上記の従来技術は、一次側に PWM 制御回路を設ける構成であるため、高電圧を扱うことが多い一次側に PWM 制御回路用の定電圧電源を別個に設ける必要があり、回路の小型化やコストダウンが難しいという課題がある。そのため二次側に PWM 制御回路を設け、変成器を介して PWM 制御パルスを一次側に伝達する構成とすることが考えられる。

【0005】

50

しかしながら二次側にPWM制御回路を設け、変成器を介してPWM制御パルスを一次側に伝達する場合、変成器をリセットするリセット回路が必要になる。さらにPWM制御パルスのスイッチングデューティ比が50%を越えると、リセット回路で変成器をリセットできずに磁気飽和や逆起電圧等が発生して周辺回路が損傷等してしまう虞が生ずる。この場合、例えばPWM制御パルスを一次側に伝達する変成器や半導体素子を大型化すれば、そのような磁気飽和や逆起電圧等が生ずる虞を低減することができる。しかし大型の変成器等を用いることによって、回路の小型化やコストダウンが困難になるとともに、損失が大きくなって電力変換効率が低下してしまう虞も生ずる。他方、そのような事態を回避するために、例えばPWM制御パルスのスイッチングデューティ比を50%以下に制限するとすれば、50%を越えるスイッチングデューティ比で動作させることができるというフライバックコンバータ回路の利点を生かすことができなくなってしまう。

10

## 【0006】

このような状況に鑑み本発明はなされたものであり、その目的は、50%を越えるスイッチングデューティ比で動作可能であり、かつ小型で高効率な絶縁型スイッチング電源を低コストで提供することにある。

## 【課題を解決するための手段】

## 【0007】

<本発明の第1の態様>

本発明の第1の態様は、フライバックコンバータ回路と、前記フライバックコンバータ回路の出力電圧に基づいて前記フライバックコンバータ回路のスイッチング素子のPWM制御を行うフィードバック制御回路と、を備え、前記フィードバック制御回路は、前記スイッチング素子のPWM制御パルス信号のパルスを交互に取り出した第1のPWM制御パルス信号及び第2のPWM制御パルス信号をそれぞれ生成して出力するPWM制御回路と、変成器と、前記第1のPWM制御パルス信号で前記変成器の一次巻線を正方向に励磁し、前記第2のPWM制御パルス信号で前記変成器の一次巻線を逆方向に励磁する双方向励磁回路と、前記変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングするスイッチング回路と、を含む、絶縁型スイッチング電源である。

20

## 【0008】

このようにPWM制御パルス信号のパルスを交互に取り出した第1のPWM制御パルス信号及び第2のPWM制御パルス信号を生成し、その第1のPWM制御パルス信号と第2のPWM制御パルス信号で変成器の一次巻線を交互に双方向励磁する。そして変成器の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成することによって、PWM制御回路が生成するPWM制御パルス信号と同一のパルス信号が得られる。それによってフライバックコンバータ回路の二次側(出力側)でPWM制御回路が生成したPWM制御パルス信号をフライバックコンバータ回路の一次側(入力側)へ変成器を介して伝達してフライバックコンバータ回路のフィードバック制御を行うことができる。そして本発明は、第1のPWM制御パルス信号と第2のPWM制御パルス信号で変成器の一次巻線が交互に双方向励磁されるので、変成器のリセット回路が不要であり、またPWM制御パルス信号が50%を越えるスイッチングデューティ比であっても、変成器で磁気飽和や逆起電圧等が発生しない。

30

40

## 【0009】

これにより本発明の第1の態様によれば、50%を越えるスイッチングデューティ比で動作可能であり、かつ小型で高効率な絶縁型スイッチング電源を低コストで提供できるという作用効果が得られる。

## 【0010】

<本発明の第2の態様>

本発明の第2の態様は、前述した本発明の第1の態様において、前記変成器の二次巻線は、第1の二次巻線及び第2の二次巻線を含み、前記スイッチング回路は、前記第1の二次巻線に誘起されるパルス信号を半波整流して出力する第1整流回路と、前記第2の二次

50

巻線に誘起されるパルス信号の極性を反転させたパルス信号を半波整流して出力する第2整流回路と含み、前記第1整流回路の出力信号と前記第2整流回路の出力信号との論理和となるパルス信号を生成し、その生成したパルス信号で前記スイッチング素子をスイッチングする、絶縁型スイッチング電源である。

【0011】

第1整流回路では、第1の二次巻線に誘起されるパルス信号を半波整流することによって、第1のPWM制御パルス信号と同一のパルス信号が得られる。また第2整流回路では、第2の二次巻線に誘起されるパルス信号の極性を反転させたパルス信号を半波整流することによって、第2のPWM制御パルス信号と同一のパルス信号が得られる。そして第1整流回路の出力信号と第2整流回路の出力信号との論理和となるパルス信号を生成することによって、PWM制御回路が生成するPWM制御パルス信号と同一のパルス信号が得られる。

10

【0012】

これにより本発明の第2の態様によれば、2つの半波整流回路を用いたシンプルな回路構成のスイッチング回路によって、PWM制御回路が生成するPWM制御パルス信号と同一のパルス信号が得られるので、本発明に係る絶縁型スイッチング電源をより低コストで提供することができる。

【0013】

<本発明の第3の態様>

本発明の第3の態様は、前述した本発明の第2の態様において、前記変成器は、前記第1の二次巻線の巻き終わり端及び前記第2の二次巻線の巻き始まり端が前記スイッチング素子のグランド端子に接続されており、前記第1整流回路は、前記第1の二次巻線の巻き始まり端にアノードが接続され、前記スイッチング素子の制御端子にカソードが接続されている第1整流ダイオードを含み、前記第2整流回路は、前記第2の二次巻線の巻き終わり端にアノードが接続され、前記スイッチング素子の制御端子にカソードが接続されている第2整流ダイオードを含む、絶縁型スイッチング電源である。

20

本発明の第3の態様によれば、2つの整流ダイオードを用いた極めてシンプルな整流回路によって、PWM制御回路が生成するPWM制御パルス信号と同一のパルス信号が得られるので、本発明に係る絶縁型スイッチング電源をさらに低コストで提供することができる。

30

【0014】

<本発明の第4の態様>

本発明の第4の態様は、前述した本発明の第2の態様又は第3の態様において、前記フィードバック制御回路は、前記第1整流回路の入力信号及び前記第2整流回路の入力信号がともにローレベルである間、前記スイッチング素子の制御端子の電荷を引き抜く引抜回路をさらに含む、絶縁型スイッチング電源である。

【0015】

第1整流回路の入力信号及び第2整流回路の入力信号がともにローレベルである間は、第1のPWM制御パルス信号及び第2のPWM制御パルス信号がともにローレベルであり、すなわちPWM制御パルス信号がローレベルであることになる。そしてPWM制御パルス信号がローレベルである間、スイッチング素子の制御端子の電荷を引き抜くことによって、よりの確なタイミングでスイッチング素子を安定的にスイッチングさせることができるので、より高精度なPWM制御が可能になる。

40

【0016】

<本発明の第5の態様>

本発明の第5の態様は、前述した本発明の第4の態様において、前記引抜回路は、ベースが前記第1の二次巻線の巻き始まり端に接続され、エミッタが前記スイッチング素子の制御端子に接続されている第1のPNP型トランジスタと、ベースが前記第2の二次巻線の巻き終わり端に接続され、エミッタが前記第1のPNP型トランジスタのコレクタに接続され、コレクタが前記スイッチング素子のグランド端子に接続されている第2のPNP

50

型トランジスタと、を含む、絶縁型スイッチング電源である。

【0017】

このような構成の引抜回路は、PWM制御パルス信号がローレベルである間のみ、第1のPNP型トランジスタ及び第2のPNP型トランジスタがともにONした状態になって、スイッチング素子の制御端子がスイッチング素子のグラウンド端子に接続されることになる。それによってPWM制御パルス信号がローレベルである間、スイッチング素子の制御端子の電荷を引き抜くことができる。そして本発明の第5の態様によれば、変成器の第1の二次巻線及び第2の二次巻線に誘起される信号で2つのPNP型トランジスタをON/OFFさせるシンプルな回路構成の引抜回路によって、本発明に係る絶縁型スイッチング電源をさらに低コストで提供することができる。

10

【0018】

<本発明の第6の態様>

本発明の第6の態様は、前述した本発明の第5の態様において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第1のPNP型トランジスタのベースとの間、及び前記第2の二次巻線の巻き終わり端と前記第2のPNP型トランジスタのベースとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源である。

本発明の第6の態様によれば、電流制限抵抗の抵抗値を調整することによって、スイッチング素子の制御端子の電荷が的確なタイミングで引き抜かれるように、第1のPNP型トランジスタ及び第2のPNP型トランジスタの動作タイミングを調整することができる。

20

【0019】

<本発明の第7の態様>

本発明の第7の態様は、前述した本発明の第4の態様において、前記引抜回路は、ベースが前記第2の二次巻線の巻き終わり端に接続され、エミッタが前記スイッチング素子の制御端子に接続されている第1のPNP型トランジスタと、ベースが前記第1の二次巻線の巻き始まり端に接続され、エミッタが前記第1のPNP型トランジスタのコレクタに接続され、コレクタが前記スイッチング素子のグラウンド端子に接続されている第2のPNP型トランジスタと、を含む、絶縁型スイッチング電源である。

本発明の第7の態様によれば、本発明の第5の態様と同様に、変成器の第1の二次巻線及び第2の二次巻線に誘起される信号で2つのPNP型トランジスタをON/OFFさせるシンプルな回路構成の引抜回路によって、本発明に係る絶縁型スイッチング電源をさらに低コストで提供することができる。

30

【0020】

<本発明の第8の態様>

本発明の第8の態様は、前述した本発明の第7の態様において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第2のPNP型トランジスタのベースとの間、及び前記第2の二次巻線の巻き終わり端と前記第1のPNP型トランジスタのベースとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源である。

本発明の第8の態様によれば、本発明の第6の態様と同様に、電流制限抵抗の抵抗値を調整することによって、スイッチング素子の制御端子の電荷が的確なタイミングで引き抜かれるように、第1のPNP型トランジスタ及び第2のPNP型トランジスタの動作タイミングを調整することができる。

40

【0021】

<本発明の第9の態様>

本発明の第9の態様は、前述した本発明の第4の態様において、前記引抜回路は、ゲートが前記第1の二次巻線の巻き始まり端に接続され、ソースが前記スイッチング素子の制御端子に接続されている第1のPチャンネル電界効果トランジスタと、ゲートが前記第2の二次巻線の巻き終わり端に接続され、ソースが前記第1のPチャンネル電界効果トランジスタのドレインに接続され、ドレインが前記スイッチング素子のグラウンド端子に接続されている第2のPチャンネル電界効果トランジスタと、を含む、絶縁型スイッチング電源である

50

。本発明の第9の態様によれば、本発明の第5の態様と同様に、変成器の第1の二次巻線及び第2の二次巻線に誘起される信号で2つのPチャンネル電界効果トランジスタをON/OFFさせるシンプルな回路構成の引抜回路によって、本発明に係る絶縁型スイッチング電源をさらに低コストで提供することができる。

#### 【0022】

<本発明の第10の態様>

本発明の第10の態様は、前述した本発明の第9の態様において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第1のPチャンネル電界効果トランジスタのゲートとの間、及び前記第2の二次巻線の巻き終わり端と前記第2のPチャンネル電界効果トランジスタのゲートとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源である。

10

本発明の第10の態様によれば、本発明の第6の態様と同様に、電流制限抵抗の抵抗値を調整することによって、スイッチング素子の制御端子の電荷が的確なタイミングで引き抜かれるように、第1のPチャンネル電界効果トランジスタ及び第2のPチャンネル電界効果トランジスタの動作タイミングを調整することができる。

#### 【0023】

<本発明の第11の態様>

本発明の第11の態様は、前述した本発明の第4の態様において、前記引抜回路は、ゲートが前記第2の二次巻線の巻き終わり端に接続され、ソースが前記スイッチング素子の制御端子に接続されている第1のPチャンネル電界効果トランジスタと、ゲートが前記第1の二次巻線の巻き始まり端に接続され、ソースが前記第1のPチャンネル電界効果トランジスタのドレインに接続され、ドレインが前記スイッチング素子のグランド端子に接続されている第2のPチャンネル電界効果トランジスタと、を含む、絶縁型スイッチング電源である。

20

本発明の第11の態様によれば、本発明の第5の態様と同様に、変成器の第1の二次巻線及び第2の二次巻線に誘起される信号で2つのPチャンネル電界効果トランジスタをON/OFFさせるシンプルな回路構成の引抜回路によって、本発明に係る絶縁型スイッチング電源をさらに低コストで提供することができる。

#### 【0024】

<本発明の第12の態様>

本発明の第12の態様は、前述した本発明の第11の態様において、前記引抜回路は、前記第1の二次巻線の巻き始まり端と前記第2のPチャンネル電界効果トランジスタのゲートとの間、及び前記第2の二次巻線の巻き終わり端と前記第1のPチャンネル電界効果トランジスタのゲートとの間に、それぞれ電流制限抵抗が設けられている、絶縁型スイッチング電源である。

30

本発明の第12の態様によれば、本発明の第6の態様と同様に、電流制限抵抗の抵抗値を調整することによって、スイッチング素子の制御端子の電荷が的確なタイミングで引き抜かれるように、第1のPチャンネル電界効果トランジスタ及び第2のPチャンネル電界効果トランジスタの動作タイミングを調整することができる。

40

#### 【発明の効果】

#### 【0025】

本発明によれば、50%を越えるスイッチングデューティ比で動作可能であり、かつ小型で高効率な絶縁型スイッチング電源を低コストで提供することができる。

#### 【図面の簡単な説明】

#### 【0026】

【図1】本発明に係る絶縁型スイッチング電源の回路図。

【図2】本発明に係る絶縁型スイッチング電源の動作を図示したタイミングチャート。

#### 【発明を実施するための形態】

#### 【0027】

50

以下、本発明の実施の形態について図面を参照しながら説明する。

尚、本発明は、以下説明する実施例に特に限定されるものではなく、特許請求の範囲に記載された発明の範囲内で種々の変形が可能であることは言うまでもない。

【0028】

本発明に係る絶縁型スイッチング電源の構成について、図1を参照しながら説明する

図1は、本発明に係る絶縁型スイッチング電源の回路図である。

【0029】

本発明に係る絶縁型スイッチング電源は、フライバックコンバータ回路10、フィードバック制御回路20を備える。

【0030】

フライバックコンバータ回路10は、フライバック方式の絶縁型DC-DCコンバータであり、絶縁トランスT1、電界効果トランジスタQ1、抵抗R1、R2、コンデンサC1、C2、ダイオードD1を含む。

【0031】

絶縁トランスT1は、一次巻線L11及び二次巻線L12を含む。絶縁トランスT1の一次巻線L11は、巻き始まり端が入力Vinに接続され、巻き終わり端が電界効果トランジスタQ1のドレインに接続されている。抵抗R1及び抵抗R2は、一端が電界効果トランジスタQ1のゲート(制御端子)に接続されている。抵抗R1の他端は、フィードバック制御回路20に接続されている。抵抗R2の他端は、一次側グランドGND1に接続されている。コンデンサC1は、一端が入力Vinに接続され、他端が一次側グランドGND1に接続されている。電界効果トランジスタQ1のソースは、一次側グランドGND1に接続されている。

【0032】

絶縁トランスT1の二次巻線L12は、巻き始まり端が二次側グランドGND2に接続され、巻き終わり端がダイオードD1のアノードに接続されている。ダイオードD1のカソードは、出力Voutに接続されている。コンデンサC2は、一端が出力Voutに接続され、他端が二次側グランドGND2に接続されている。

【0033】

このような構成のフライバックコンバータ回路10は、「スイッチング素子」としての電界効果トランジスタQ1がONしている間、絶縁トランスT1に電力が蓄えられる。そして電界効果トランジスタQ1がOFFするタイミングで、絶縁トランスT1の逆起電力により、絶縁トランスT1に蓄えられている電力が出力される。

【0034】

フィードバック制御回路20は、フライバックコンバータ回路10の出力Voutの電圧に基づいてフライバックコンバータ回路10の電界効果トランジスタQ1のPWM制御を行う。フィードバック制御回路20は、パルストランス21、双方向励磁回路22、スイッチング回路23、ドライバ24、PWM制御回路25を含む。

【0035】

「変成器」としてのパルストランス21は、一次巻線L21、第1の二次巻線L22、第2の二次巻線L23を含む。第1の二次巻線L22の巻き終わり端及び第2の二次巻線L23の巻き始まり端は、一次側グランドGND1に接続されている。

【0036】

双方向励磁回路22は、後述するようにPWM制御回路25が生成するPWMパルス1でパルストランス21の一次巻線L21を正方向に励磁し、PWMパルス2でパルストランス21の一次巻線L21を逆方向に励磁する回路である。双方向励磁回路22は、トランジスタQ4~Q7、コンデンサC3、C4を含む。トランジスタQ4、Q6は、NPN型バイポーラトランジスタであり、トランジスタQ5、Q7は、PNP型バイポーラトランジスタである。

【0037】

トランジスタQ4のコレクタは、制御用の定電圧電源(図示省略)の出力Vccに接続

10

20

30

40

50

されている。トランジスタQ4のエミッタは、トランジスタQ5のエミッタに接続されている。トランジスタQ5のコレクタは、二次側グランドGND2に接続されている。トランジスタQ4のベースは、トランジスタQ5のベースに接続されており、この接続点がドライバ24に接続されている。トランジスタQ4のエミッタとトランジスタQ5のエミッタとの接続点は、コンデンサC3の一端に接続されている。コンデンサC3の他端は、パルストランス21の一次巻線L21の巻き始まり端に接続されている。

#### 【0038】

トランジスタQ6のコレクタは、出力Vccに接続されている。トランジスタQ6のエミッタは、トランジスタQ7のエミッタに接続されている。トランジスタQ7のコレクタは、二次側グランドGND2に接続されている。トランジスタQ6のベースは、トランジスタQ7のベースに接続されており、この接続点がドライバ24に接続されている。トランジスタQ6のエミッタとトランジスタQ7のエミッタとの接続点は、パルストランス21の一次巻線L21の巻き終わり端に接続されている。コンデンサC4は、一端が出力Vccに接続され、他端が二次側グランドGND2に接続されている。

10

#### 【0039】

スイッチング回路23は、パルストランス21の第1の二次巻線L22及び第2の二次巻線L23に誘起されるパルス信号の負極性のパルスを排除して正極性のパルスを合成したパルス信号を生成、すなわちパルストランス21の二次巻線に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号を生成し、その生成したパルス信号で電界効果トランジスタQ1をスイッチングする回路である。それによってフライバックコンバータ回路10の二次側（出力Vout側）でPWM制御回路25が生成したPWM制御パルス信号をフライバックコンバータ回路10の一次側（入力Vin側）へパルストランス21を介して伝達してフライバックコンバータ回路10のフィードバック制御を行うことができる。スイッチング回路23は、第1整流回路231、第2整流回路232、引抜回路233を含む。

20

#### 【0040】

第1整流回路231は、第1の二次巻線L22に誘起されるパルス信号を半波整流して出力する回路であり、第1整流ダイオードD2を含む。第2整流回路232は、第2の二次巻線L23に誘起されるパルス信号の極性を反転させたパルス信号を半波整流して出力する回路であり、第2整流ダイオードD3を含む。第1整流ダイオードD2及び第2整流ダイオードD3は、パルス信号を半波整流可能なダイオードであれば特に種類は限定されないが、当該実施例のようにスイッチング特性に優れるショットキーバリアダイオードを用いるのが好ましい。

30

#### 【0041】

第1整流ダイオードD2のアノードは、パルストランス21の第1の二次巻線L22の巻き始まり端に接続されている。第2整流ダイオードD3のアノードは、パルストランス21の第2の二次巻線L23の巻き終わり端に接続されている。第1整流ダイオードD2及び第2整流ダイオードD3のカソードは、フライバックコンバータ回路10の抵抗R1を介して電界効果トランジスタQ1のゲートに接続されている。それによって第1整流回路231の出力信号と第2整流回路232の出力信号との論理和となるパルス信号が生成され、その生成されたパルス信号で電界効果トランジスタQ1がスイッチングされる。

40

#### 【0042】

引抜回路233は、第1整流回路231の入力信号及び第2整流回路232の入力信号がともにローレベルである間、電界効果トランジスタQ1のゲートの電荷を引き抜く回路である。引抜回路233は、トランジスタQ2、Q3、抵抗R3、R4を含む。

#### 【0043】

「第1のPNP型トランジスタ」としてのトランジスタQ2及び「第2のPNP型トランジスタ」としてのトランジスタQ3は、例えばPNP型バイポーラトランジスタである。トランジスタQ2は、ベースが第1の二次巻線L22の巻き始まり端に接続され、エミッタが電界効果トランジスタQ1のゲートに接続されている。トランジスタQ3は、ベー

50

スが第2の二次巻線L23の巻き終わり端に接続され、コレクタが一次側グランドGND1に接続されている。トランジスタQ2のコレクタは、トランジスタQ3のエミッタに接続されている。

【0044】

「電流制限抵抗」としての抵抗R3は、トランジスタQ2のベース電流を制限する抵抗である。抵抗R3は、一端が第1の二次巻線L22の巻き始まり端に接続され、他端がトランジスタQ2のベースに接続されている。「電流制限抵抗」としての抵抗R4は、トランジスタQ3のベース電流を制限する抵抗である。抵抗R4は、一端が第2の二次巻線L23の巻き終わり端に接続され、他端がトランジスタQ3のベースに接続されている。

【0045】

本発明の変形例としては、図示は省略するが、引抜回路233は、トランジスタQ2のベースが抵抗R4を介して第2の二次巻線L23の巻き終わり端に接続され、トランジスタQ3のベースが抵抗R3を介して第1の二次巻線L22の巻き始まり端に接続されてもよい。さらに本発明の変形例としてトランジスタQ2、Q3は、例えばPチャネル電界効果トランジスタであってもよい。

【0046】

ドライバ24は、PWM制御回路25が出力する制御信号に基づいて双方向励磁回路22のトランジスタQ4~Q7を駆動する。PWM制御回路25は、例えば公知のマイコン制御回路や制御IC(Integrated Circuit)等である。PWM制御回路25は、フライバックコンバータ回路10の出力Voutの電圧に基づいて、電界効果トランジスタQ1を

【0047】

本発明に係る絶縁型スイッチング電源の動作について、図2を参照しながら説明する。図2は、本発明に係る絶縁型スイッチング電源の動作を図示したタイミングチャートである。

【0048】

双方向励磁回路22は、PWMパルス1がハイレベルである間(タイミングT1~T2)、トランジスタQ4がONし、トランジスタQ5がOFFした状態になる。またその間は、PWMパルス2はローレベル(0V)であるため、トランジスタQ6がOFFし、トランジスタQ7がONした状態になる。そのためパルストランス21の一次巻線L21は、巻き始まり端から巻き終わり端へ励磁電流が流れ、正方向に励磁される。それによってパルストランス21の第1の二次巻線L22の巻き始まり端の電圧(L22 V(パルストランス出力電圧1))は、正極性のパルス電圧になる。他方、パルストランス21の第2の二次巻線L23の巻き終わり端の電圧(L23 V(パルストランス出力電圧2))は、負極性のパルス電圧になる。

【0049】

双方向励磁回路22は、PWMパルス1がローレベルになり、PWMパルス1及びPWMパルス2がともにローレベルである間(タイミングT2~T3)、トランジスタQ4、Q6がOFFし、トランジスタQ5、Q7がONした状態になる。そのためパルストランス21の一次巻線L21に励磁電流は流れない。それによってパルストランス21の第1の二次巻線L22の巻き始まり端の電圧、及び第2の二次巻線L23の巻き終わり端の電圧は、いずれも0Vになる。

【0050】

双方向励磁回路22は、PWMパルス2がハイレベルである間(タイミングT3~T4)、トランジスタQ6がONし、トランジスタQ7がOFFした状態になる。またその間は、PWMパルス1はローレベル(0V)であるため、トランジスタQ4がOFFし、トランジスタQ5がONした状態になる。そのためパルストランス21の一次巻線L21は

10

20

30

40

50

、巻き終わり端から巻き始まり端へ励磁電流が流れ、逆方向に励磁される。それによってパルストランス 2 1 の第 1 の二次巻線 L 2 2 の巻き始まり端の電圧は、負極性のパルス電圧になる。他方、パルストランス 2 1 の第 2 の二次巻線 L 2 3 の巻き終わり端の電圧は、正極性のパルス電圧になる。

【 0 0 5 1 】

双方向励磁回路 2 2 は、P W M パルス 2 がローレベルになり、P W M パルス 1 及び P W M パルス 2 がともにローレベルである間（タイミング T 4 ~ T 1 ）、トランジスタ Q 4、Q 6 が O F F し、トランジスタ Q 5、Q 7 が O N した状態になる。そのためパルストランス 2 1 の一次巻線 L 2 1 に励磁電流は流れない。それによってパルストランス 2 1 の第 1 の二次巻線 L 2 2 の巻き始まり端の電圧、及び第 2 の二次巻線 L 2 3 の巻き終わり端の電圧は、いずれも 0 V になる。

10

【 0 0 5 2 】

第 1 整流回路 2 3 1 は、P W M パルス 1 がハイレベルである間（タイミング T 1 ~ T 2 ）、第 1 整流ダイオード D 2 に電流が流れる。他方、P W M パルス 2 がハイレベルである間は（タイミング T 3 ~ T 4 ）、第 1 の二次巻線 L 2 2 に流れる電流の方向が逆方向になるため、第 1 整流ダイオード D 2 に電流が流れない。つまりパルストランス 2 1 の第 1 の二次巻線 L 2 2 の巻き始まり端に誘起されるパルス信号（L 2 2 V（パルストランス出力電圧 1））は、第 1 整流ダイオード D 2 によって半波整流される。それによって P W M パルス 1 と同一のパルス信号が得られる（トランジスタ Q 2 の V C E（コレクタ - エミッタ間電圧））。

20

【 0 0 5 3 】

第 2 整流回路 2 3 2 は、P W M パルス 2 がハイレベルである間（タイミング T 3 ~ T 4 ）、第 2 整流ダイオード D 3 に電流が流れる。他方、P W M パルス 1 がハイレベルである間は（タイミング T 1 ~ T 2 ）、第 2 の二次巻線 L 2 3 に流れる電流の方向が逆方向になるため、第 2 整流ダイオード D 3 に電流が流れない。つまりパルストランス 2 1 の第 2 の二次巻線 L 2 3 の巻き終わり端に誘起されるパルス信号（L 2 3 V（パルストランス出力電圧 2））は、第 2 整流ダイオード D 3 によって半波整流される。それによって P W M パルス 2 と同一のパルス信号が得られる（トランジスタ Q 3 の V C E（コレクタ - エミッタ間電圧））。

30

【 0 0 5 4 】

そして第 1 整流ダイオード D 2 のカソードと第 2 整流ダイオード D 3 のカソードとが接続されていることによって、第 1 整流ダイオード D 2 の出力信号と第 2 整流ダイオード D 3 の出力信号との論理和となるパルス信号が生成される。つまりパルストランス 2 1 の第 1 の二次巻線 L 2 2 に誘起されるパルス信号の負極性のパルスを正極性に反転させたパルス信号が生成されることになる（電界効果トランジスタ Q 1 の V G S（ゲート - ソース間電圧））。それによって P W M 制御回路 2 5 が生成する P W M 制御パルス信号と同一のパルス信号が得られる。

【 0 0 5 5 】

引抜回路 2 3 3 は、P W M パルス 1 がハイレベルである間（タイミング T 1 ~ T 2 ）、トランジスタ Q 2 が O F F し、トランジスタ Q 3 が O N した状態になる。そのため電界効果トランジスタ Q 1 のゲートは一次側グランド G N D 1 に接続されない。同様に、P W M パルス 2 がハイレベルである間は（タイミング T 3 ~ T 4 ）、トランジスタ Q 2 が O N し、トランジスタ Q 3 が O F F した状態になる。そのため電界効果トランジスタ Q 1 のゲートは一次側グランド G N D 1 に接続されない。他方、引抜回路 2 3 3 は、P W M パルス 1 及び P W M パルス 2 がともにローレベルである間（タイミング T 2 ~ T 3、T 4 ~ T 1 ）、トランジスタ Q 2、Q 3 がともに O N した状態になる。それによって電界効果トランジスタ Q 1 のゲートが一次側グランド G N D 1 に接続され、電界効果トランジスタ Q 1 のゲートの電荷が引き抜かれる（トランジスタ Q 2、Q 3 のコレクタ電流 I c）。

40

【 0 0 5 6 】

以上説明したように本発明に係る絶縁型スイッチング電源は、P W M パルス 1 と P W M

50

パルス2でパルストランス21の一次巻線L21が交互に双方向励磁されるので、パルストランス21のリセット回路が不要であり、またPWM制御回路25が生成するPWM制御パルス信号が50%を越えるスイッチングデューティ比であっても、パルストランス21で磁気飽和や逆起電圧等が発生しない。したがって本発明によれば、50%を越えるスイッチングデューティ比で動作可能であり、かつ小型で高効率な絶縁型スイッチング電源を低コストで提供することができる。

【0057】

また当該実施例のスイッチング回路23の構成は、2つの半波整流回路(第1整流回路231、第2整流回路232)を用いたシンプルな回路構成であるため、本発明に係る絶縁型スイッチング電源をより低コストで提供できる点で好ましい。さらに当該実施例のスイッチング回路23の構成は、2つの整流ダイオード(第1整流ダイオードD2、第2整流ダイオードD3)を用いた極めてシンプルな整流回路であるため、本発明に係る絶縁型スイッチング電源をさらに低コストで提供できる点で好ましい。

10

【0058】

また本発明に係る絶縁型スイッチング電源は、当該実施例のように、第1整流回路231の入力信号及び第2整流回路232の入力信号がともにローレベルである間、電界効果トランジスタQ1のゲートの電荷を引き抜く引抜回路233を設けるのが好ましい。PWM制御パルス信号がローレベルである間、電界効果トランジスタQ1のゲートの電荷を引き抜くことによって、よりの確なタイミングで電界効果トランジスタQ1を安定的にスイッチングさせることができるので、より高精度なPWM制御が可能になる。

20

【0059】

さらに当該実施例の引抜回路233は、パルストランス21の第1の二次巻線L22及び第2の二次巻線L23に誘起される信号で2つのPNP型トランジスタ(トランジスタQ2、Q3)をON/OFFさせるシンプルな回路構成であるため、本発明に係る絶縁型スイッチング電源をさらに低コストで提供できる点で好ましい。さらに引抜回路233は、当該実施例のように、トランジスタQ2、Q3のベース電流を制限する抵抗R3、R4が設けられているのが好ましい。抵抗R3、R4の抵抗値を調整することによって、電界効果トランジスタQ1のゲートの電荷が的確なタイミングで引き抜かれるように、トランジスタQ2、Q3の動作タイミングを調整することができる。

30

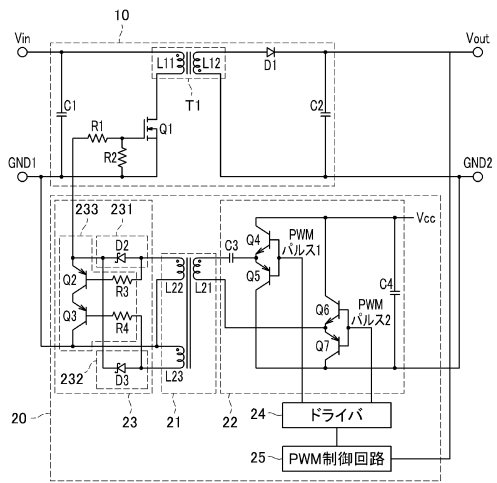
【符号の説明】

【0060】

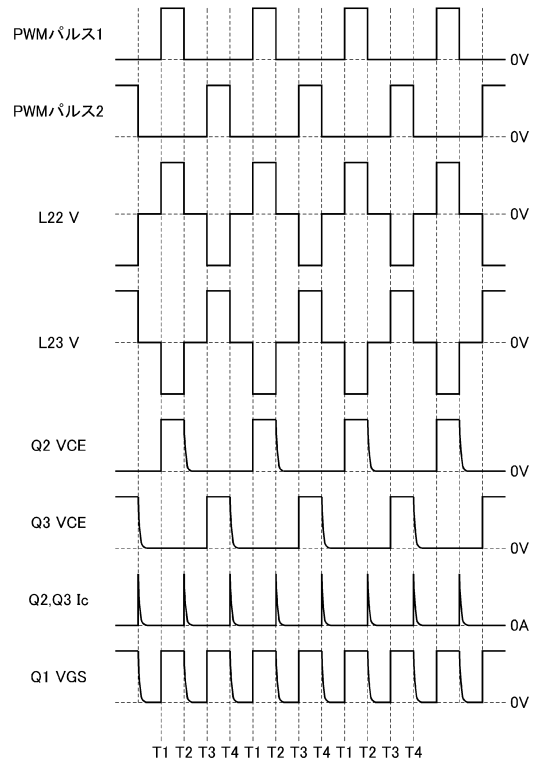
- 10 フライバックコンバータ回路
- 20 フィードバック制御回路
- 21 パルストランス
- 22 双方向励磁回路
- 23 スwitchング回路
- 24 ドライバ
- 25 PWM制御回路
- 231 第1整流回路
- 232 第2整流回路
- 233 引抜回路

40

【図1】



【図2】



---

フロントページの続き

審査官 東 昌秋

- (56)参考文献 特開昭63-121468(JP,A)  
米国特許第4607210(US,A)  
米国特許出願公開第2014/0029314(US,A1)  
国際公開第2010/092704(WO,A1)  
特開昭60-249869(JP,A)  
特開昭63-299772(JP,A)

- (58)調査した分野(Int.Cl.,DB名)  
H02M 3/00-3/44