



(12) Ausschließungspatent

(11) DD 287 364 A5

Erteilt gemäß § 17 Absatz 1
Patentgesetz der DDR
vom 27. 10. 1983
in Übereinstimmung mit den entsprechenden
Festlegungen im Einigungsvertrag

5(51) H 03 B 23/00

DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) DD H 03 B / 331 882 5 (22) 17.08.89 (44) 21.02.91

(71) Deutsche Post, Rundfunk- und Fernstehtechntsches Zentralamt, Agastraße 16, O - 1199 Berlin, DE
(72) Wüstenhagen, Ulf, Dipl.-Ing.; Jahne, Helmut, Dr.-Ing., DE
(73) Deutsche Post, Rundfunk- und Fernstehtechntsches Zentralamt, O - 1199 Berlin; Akademie der Wissenschaften, ZKI, O - 1080 Berlin, DE

(54) Durchstimmbarer Oszillator

(55) Frequenzdekade; Niederfrequenzbereich; Phasenlage; akustisch, Meßgerät; digital, Speicher; Durchstimmrate; Durchstimmcharakteristik; Sinusgenerator

(57) Die Erfindung bezieht sich auf einen durchstimmbaren Oszillator, der über mehrere Frequenzdekaden des Niederfrequenzbereiches durchstimmbar ist und dessen Phasenlage jederzeit exakt bestimmbar ist. Bevorzugtes Anwendungsgebiet sind akustische Meßgeräte nach dem Verfahren der Time Delay Spectrometry (TDS). Die Folgeschaltung von Taktgenerator, programmierbarem Takteiler, Tabellenadresszähler, Sinustabelle und Digital-Analog-Wandler sowie die Verbindung von Speicheradresszähler und Speicher wird durch die Erfindung zur Verringerung des Speicherbedarfs und freier Wählbarkeit der Zeitabhängigkeit der Durchstimmrate durch einen Teilersteuerzähler, einen Rückwärtszähler und einen Vor-Rückwärtszähler derart verändert, daß die Speichergröße unabhängig von der Zeitdauer wird, mit der der durchstimmbare Oszillator arbeitet. Fig. 2

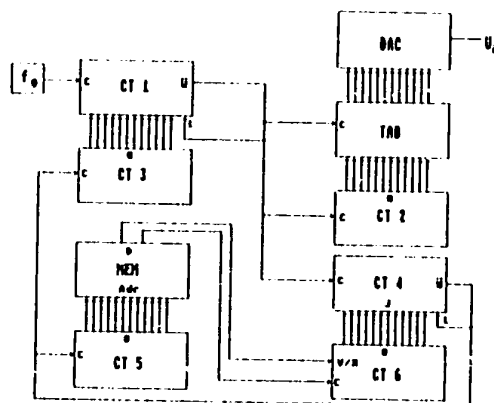


Fig. 2

Patentanspruch:

Durchstimmbarer Oszillator, der aus einer Folgeschaltung eines Taktgenerators, eines programmierbaren Takteilers, eines Tabellenadresszählers, einer Sinustabelle und eines Digital-Analog-Wandlers besteht und bei dem die Ausgänge eines Speicheradresszählers mit den Adreßeingängen eines Speichers verbunden sind, dadurch gekennzeichnet, daß ein Teilersteuerzähler (CT_3), ein Rückwärtszähler (CT_4), ein Vor-Rückwärts-Zähler (CT_6) derart angeordnet sind, daß der Takteingang (C) des Rückwärtszählers (CT_4) mit dem Ausgang (Q) des Takteilers (CT_1) verbunden ist, der Übertragungsausgang (Ü) des Rückwärts-Zählers (CT_4) mit seinem Parallelladeeingang (L), mit dem Takteingang (C) des Speicheradresszählers (CT_5) und mit dem Takteingang (C) des Teilersteuerzählers (CT_3) verbunden ist, daß die Datenausgänge (D) des Speichers (MEM) mit den Takt- und Richtungseingängen (C, V/R) des Vor-Rückwärts-Zählers (CT_6) verbunden sind, daß die Ausgänge (Q) des Vor-Rückwärts-Zählers (CT_6) mit den parallelen Eingängen (J) des Rückwärtszählers (CT_4) verbunden sind und daß die Ausgänge (Q) des Teilersteuerzählers (CT_3) mit den Eingängen (J) des Takteilers (CT_1) verbunden sind.

Hierzu 1 Seite Zeichnungen

Anwendungsgebiet der Erfindung

Der durchstimmbare Oszillator läßt sich im gesamten Gebiet der Niederfrequenz-Meßtechnik einsetzen, vorrangig bei Oszillatoren, die über mehrere Frequenzdekaden durchstimmbar sind und bei denen die Phasenlage zu jedem Zeitpunkt exakt bestimmbar ist. Die Anwendung erfolgt vorzugsweise in akustischen Meßgeräten, die nach dem Verfahren der Time Delay Spectrometry (TDS) arbeiten.

Charakteristik des bekannten Standes der Technik

Geräte zur Messung von akustischen Größen nach dem TDS-Verfahren verwenden zwei Oszillatoren, von denen der erste zur Erzeugung eines auszusendenden Tones verwendet wird und der zweite zum Herausfiltern aller Signalanteile des Signalaufnehmers (Meßmikrofon), die die gleiche Frequenz und Phasenlage besitzen, wie sie der zweite Oszillator erzeugt. Frequenz und Phase beider Oszillatoren müssen bis auf einen Zeitversatz, der der akustischen Laufzeit des Signals entspricht, übereinstimmen.

Bekannt ist, derartige Sinussignale auf analogem Weg durch Mischen aus hochfrequenten Signalen zu erzeugen, wobei das Signal eines hochfrequenten, linear mit der Zeit durchstimmbaren Oszillators mit den Signalen zweier unterschiedlicher in der Frequenz unveränderlicher Oszillatoren gemischt wird. Die beiden niederfrequenten Mischprodukte stellen hierbei die Signale der beiden Generatoren dar. (Brüel & Kjær, Master Catalogue 1986).

Nachteilig bei analog gesteuerten durchstimmbaren Oszillatoren ist die geringe erreichbare Genauigkeit der Phasenlage zweier Oszillatoren, da diese von der zeitlichen Linearität der Frequenzveränderung des jeweiligen durchstimmbaren Oszillators abhängt. Die Genauigkeit kann nur durch einen enormen Bauelementeaufwand gesteigert werden. Präzisionsbauelemente sind in den Oszillatoren, Mischern und den notwendigen Filtern unerlässlich. Nachteilig ist weiterhin, daß die Durchstimmrate nur linear mit der Zeit verknüpfbar ist.

Bekannt ist weiterhin die Möglichkeit, auf digitalem Weg durch eine Folge von Zahlen, die einen DA-Wandler steuern, Signale zu generieren. Werden zwei DA-Wandler zeitversetzt gestartet, so erhält man zwei identische Signale, die sich nur zeitlich unterscheiden. Da zur Ermittlung aller Signalanteile, die in Frequenz und Phase mit dem Signal eines zweiten Oszillators übereinstimmen, bevorzugt ein phasenempfindlicher Gleichrichter verwendet wird, werden zur Steuerung des phasenempfindlichen Gleichrichters nur die Nulldurchgänge und die Extremwerte der sinusförmigen Schwingungen des zweiten Generators benötigt. Um diese Punkte genau zu bestimmen und um den Einsatz einer Sinustabelle für den ersten Oszillator zu ermöglichen, müssen beide Oszillatoren mit einer variablen, ein ganzzahliges Vielfaches der Signalfrequenz betragenden Abtastfrequenz arbeiten.

Allgemein bekannt ist das Ablegen einer Folge von Zeitdifferenzen zwischen den einzelnen Abtastwerten in Speichern, wie es in der Fig. 1 dargestellt ist. Die dem Stand der Technik entsprechende Fig. 1 enthält den Festfrequenzgenerator f_0 , der einen Takt erzeugt, den programmierbaren Takteiler CT_1 , den Tabellenadresszähler CT_2 , der die Adressen für die Sinustabelle TAB erzeugt, den Digital-Analog-Wandler DAC, der eine der Sinustabelle entsprechende analoge Ausgangsspannung U_s erzeugt, den Speicherzähler CT_5 und den Speicher MEM, der die Folge aller Teilerverhältnisse enthält.

Die Folge von Zeitdifferenzen kann ebenfalls durch einen schnellen Prozessor in Echtzeit berechnet werden, wie das aus DE-OS 2831739, DE-OS 3124924 und anderen bekannt ist. Weiterhin kann diese Folge von Zeitdifferenzen durch eine Schaltungsanordnung, bestehend aus Multiplizierern und Flipflops, wie in US-PS 4,217,655 beschrieben, speziell für einen linear durchstimmbaren Oszillator erzeugt werden.

Bedingt durch das TDS-Meßprinzip erhöht sich die erreichbare Auflösung im Frequenzbereich bei Verringerung der Durchstimmrate des Oszillators. Eine verringerte Durchstimmrate des Oszillators erhöht die erforderliche Meßzeit und fordert eine größere Anzahl an zu erzeugenden Zeitdifferenzen.

Nachteilig bei digital durchstimmbaren Oszillatoren ist der enorm große Speicherbedarf, der bei wenigen Minuten Betriebszeit des Oszillators bereits mehr als 100 Megabit beträgt, wenn keine Beschränkung auf eine lineare Durchstimmrate des Oszillators erfolgt. Bei Verwendung von Arithmetikprozessoren ergibt sich eine unzureichende Geschwindigkeit und Genauigkeit der Ermittlung der Zeitdifferenzen, wodurch nicht der gesamte Niederfrequenzbereich von derartigen Oszillatoren durchgestimmt werden kann und immer nur kurzzeitige und damit mit einer geringen Frequenzauflösung behaftete Messungen erfolgen können.

Ziel der Erfindung

Das Ziel der Erfindung ist die Vermeidung der Nachteile des analogen Oszillators, wie schlechte Reproduzierbarkeit der Einstellparameter ohne Verwendung von Präzisionsbauelementen und die Beschränkung auf eine lineare Durchstimmrate. Das Ziel ist andererseits die Vermeidung der Nachteile digitaler Oszillatoren wie hohe Kosten, geringe Genauigkeit bzw. mangelnde Vielseitigkeit beim Einsatz.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, die Folge der Zeitdifferenzen zwischen den einzelnen Abtastwerten in solcher Weise zu erzeugen, daß der durchstimbare Oszillator einen geringen Speicherbedarf hat, ohne spezielle Prozessoren auskommt, den gesamten Niederfrequenzbereich überdeckt, lange Signale erzeugt und eine frei wählbare Abhängigkeit der Durchstimmrate von der Zeit gestattet.

Erfindungsgemäß wird die Aufgabe, ausgehend von der Folgeschaltung eines Taktgenerators, eines programmierbaren Takteilers, eines Tabellenadreßzählers, einer Sinustabelle und eines Digital-Analog-Wandlers sowie der Verbindung der Ausgänge eines Speicheradreßzählers mit den Adreßeingängen eines Speichers, dadurch gelöst, daß ein Teilersteuerzähler, ein Rückwärtszähler und ein Vor-Rückwärts-Zähler derart angeordnet sind, daß der Takteingang des Rückwärtszählers mit dem Ausgang des Takteiler verbunden ist, der Übertragsausgang des Rückwärtszählers mit seinem Paralleladeingang, mit dem Takteingang des Speicheradreßzählers und mit dem Takteingang des Teilersteuerzählers verbunden ist, daß die Datenausgänge des Speichers mit den Takt- und Richtungseingängen des Vor-Rückwärts-Zählers verbunden sind, daß die Ausgänge des Vor-Rückwärts-Zählers mit den parallelen Eingängen des Rückwärtszählers verbunden sind und daß die Ausgänge des Teilersteuerzählers mit den Eingängen des Takteilers verbunden sind.

Die Funktion der Schaltung beruht auf folgendem Prinzip: Der Rückwärtszähler zählt die Anzahl gleicher aufeinanderfolgender Teilerfaktoren. Der Vor-Rückwärts-Zähler zeigt die maximale Anzahl gleicher aufeinanderfolgender Teilerfaktoren an. Der Teilersteuerzähler dient zur Einstellung des Teilverhältnisses des Takteilers.

Beim langsamen Durchstimmen des Oszillators sind in einigen Frequenzbereichen aufgrund der vorgesehenen Zeitauflösung durch den Taktgenerator mehrere Zeitdifferenzen gleich groß. Die Anzahl der gleichen Zeitdifferenzen wird im Vor-Rückwärts-Zähler gespeichert. Bei jeder neu eingestellten Zeitdifferenz des Takteilers wird die Anzahl in den Rückwärtszähler übernommen. Bei jeder vollendeten Frequenzteilung des Takteilers wird die Anzahl, wie oft noch durch dieses Teilverhältnis geteilt werden soll, um eins vermindert und das konstant gebliebene Teilverhältnis aus dem Teilersteuerzähler in den Takteiler übernommen. Wenn der Rückwärtszähler durch Null geht, wird der Teilersteuerzähler um eins verändert, wodurch sich beim nächsten Laden des Takteilers die Zeitdifferenz um eins ändert. Außerdem wird der Speicheradreßzähler inkrementiert, wodurch die nächste Speicherzelle im Speicher angesprochen wird. Die Speicherzelle enthält ihrerseits nur die Information, ob die neu eingestellte Zeitdifferenz genausooft wie die alte Zeitdifferenz als Teilverhältnis des Takteilers dienen soll. Dementsprechend wird der Vor-Rückwärts-Zähler nicht verändert, inkrementiert oder dekrementiert. Der Speicher enthält also nur zwei bit pro möglichem Teilerfaktor. Da die Anzahl der verschiedenen Teilerfaktoren nur vom Frequenzbereich und der zeitlichen Auflösung durch die Frequenz des Taktgenerators, nicht aber von der Häufigkeit, wie oft dieser Teilerfaktor verwendet wird, bestimmt wird, ist die Speichergröße unabhängig von der Zeitdauer, mit der der durchstimbare Oszillator arbeiten soll.

Ausführungsbeispiel

In der Fig. 2 ist ein Blockschaltbild mit der Erfindung dargestellt. Der Taktgenerator f_0 arbeitet mit 100 MHz. Der Takteiler CT_1 besteht aus drei Schaltkreisen 74AS161, die einen programmierbaren 12-bit-Teiler bilden. Der Takteiler CT_1 wird durch den Teilersteuerzähler CT_3 eingestellt. Der Tabellenadreßzähler CT_2 , bestehend aus einer synchronen Teilerkette mit sechs Schaltkreisen 74LS112 und getaktet durch den vom Takteiler CT_1 erzeugten Abtasttakt, stellt die Adressen für die Sinustabelle TAB bereit. Die Sinustabelle TAB enthält zwei EPROMS U2732, an deren Datenausgängen zur Synchronisation zwei D-Register 74AS374, die ebenfalls durch den Abtasttakt getaktet sind, angeschlossen sind. Die Ausgänge der D-Register sind mit den Eingängen des Digital-Analog-Wandlers DAC AD585 verbunden, der die Ausgangsspannung U_s erzeugt. Der Teilersteuerzähler CT_3 , der Rückwärtszähler CT_4 , der Speicheradreßzähler CT_5 und auch der Vor-Rückwärts-Zähler CT_6 bestehen aus jeweils drei Schaltkreisen CD4029. Der Rückwärtszähler CT_4 wird vom Abtasttakt gesteuert und steuert seinerseits den Speicheradreßzähler CT_5 und den Teilersteuerzähler CT_3 . Der Speicher MEM, dessen Adreßeingänge ADR durch den Speicheradreßzähler CT_5 adressiert werden, besteht aus drei CMOS-RAMs U224 und einem Multiplexer CD4019, der die 4-bit-breiten Datenleitungen auf zwei bit multiplext. Auf diese Weise wird ein Speicher der Organisation $8k \times 2$ erzeugt. Die zwei bit breite Datenleitung bestehend aus den Signalen V/R und C, wird vom Vor-Rückwärts-Zähler CT_6 ausgewertet. Die Anfangswerte der Zähler und der Inhalt der RAMs werden durch einen 16-bit PC berechnet und voreingestellt. Die Schaltung eignet sich gleichermaßen für lineare und logarithmische Durchstimmcharakteristiken des Oszillators. Der Oszillator ist im Frequenzbereich von 20 Hz bis 25 kHz durchstimmbar und kann ein Signal mit einer Länge bis zu mehreren Stunden erzeugen.

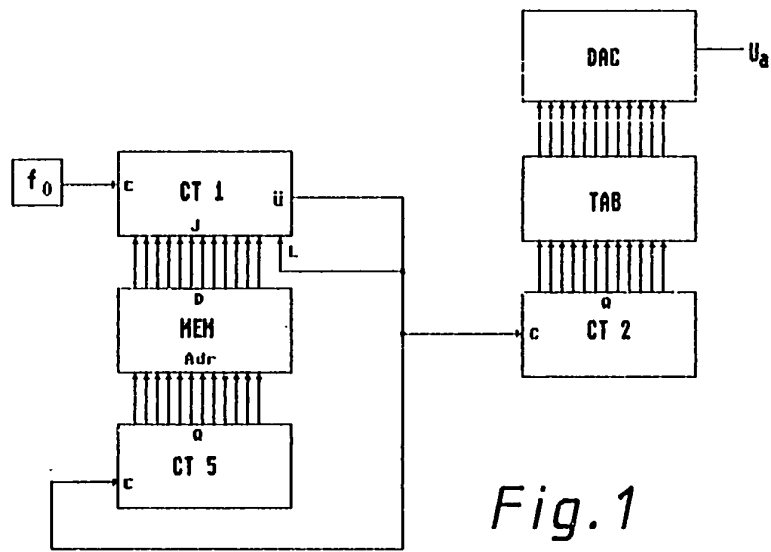


Fig. 1

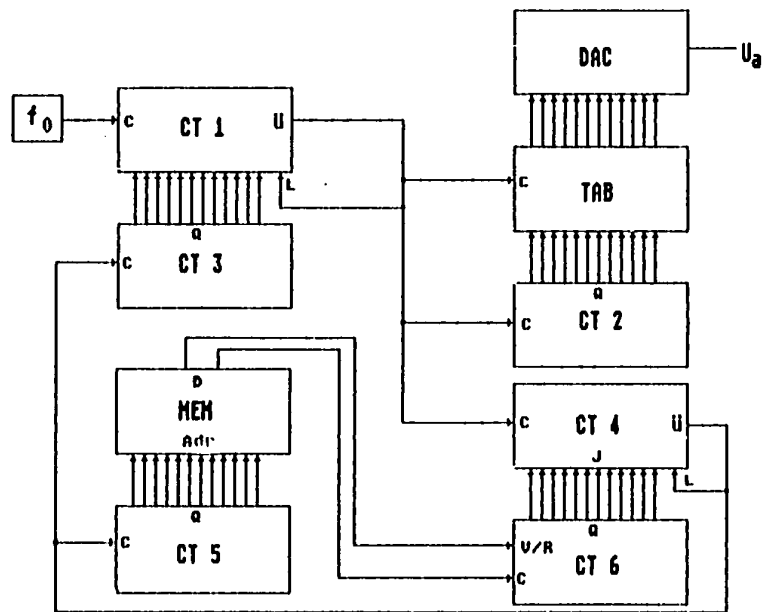


Fig. 2