

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/66

H01L 21/48



[12] 发明专利申请公开说明书

[21] 申请号 02130413.0

[43] 公开日 2003年3月19日

[11] 公开号 CN 1404121A

[22] 申请日 2002.8.19 [21] 申请号 02130413.0

[30] 优先权

[32] 2001.9.13 [33] JP [31] 277877/2001

[71] 申请人 日本电气株式会社

地址 日本东京

[72] 发明人 东邦彦

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

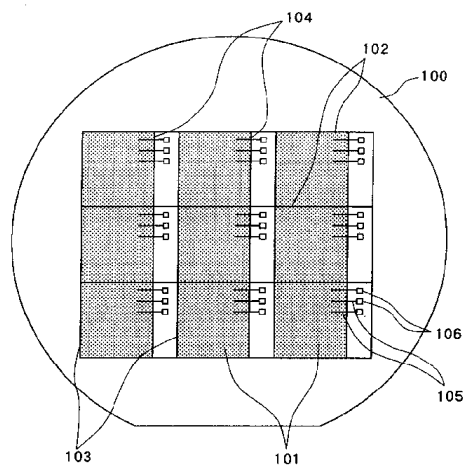
代理人 穆德骏 关兆辉

权利要求书6页 说明书10页 附图6页

[54] 发明名称 一种芯片制造方法

[57] 摘要

使用这种芯片制造方法，沿着在每个在电路基片上形成的基本上是矩形的集成电路的四个边中的至少一个边，设置相互平行的第一和第二分割线，并在第一和第二分割线之间的间隙里形成测试接线和测试焊垫。沿着第一分割线的外侧对电路基片进行分割之后，再对最终制得的集成电路进行电路测试。在电路测试完成之后，从每一片电路芯片上把第二分割线外侧的那部分切割下来。在接受电路测试的电路芯片上留有测试焊垫，而在要装运的电路芯片成品上没有保留测试焊垫。因此就有可能阻止用户采用欺骗手段通过电路芯片上的测试焊垫对集成电路进行访问。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种形成大量基本上是矩形的集成电路的芯片制造方法，每一片集成电路通过测试接线至少与一个测试焊垫相连接，并通过许多分割线排列在电路基片表面上，沿着许多所述分割线把所述电路基片分割成一些所述单块集成电路，以形成大量的电路芯片，并按照需求通过许多所述测试焊垫对大量所述电路芯片中的至少一些所述集成电路进行电路测试，所述方法包括的步骤有：

沿着在所述电路基片表面上形成和排列着的每个基本上是矩形的集成电路的四个边中的至少一个边设置许多相互平行的第一和第二分割线；

在所述第一和第二分割线之间的间隙里形成许多所述测试焊垫和/或每个所述测试接线的至少一部分；

沿着位于外侧的所述第一分割线对所述电路基片进行分割后进行所述电路测试；以及

在进行所述电路测试之后，沿着所述第二分割线切割每一块所述电路芯片，以从每块所述电路芯片里去除掉安置所述测试焊垫和/或至少部分所述测试接线的那一部分。

2. 一种形成大量基本上是矩形的集成电路的芯片制造方法，每一片集成电路通过测试接线至少与一个测试焊垫相连接，并通过许多分割线排列在电路基片表面上，沿着许多所述分割线把所述电路基片分割成一些所述单块集成电路以形成大量的电路芯片，并按照需求通过许多所述测试焊垫对大量所述电路芯片中的至少一些所述集成电路进行电路测试，所述方法包括的步骤有：

沿着在所述电路基片表面上形成和排列着的每个基本上是矩形的集成电路的四个边中的至少一个边设置许多相互平行的第一和第二分割线；

在所述第一和第二分割线之间的间隙里形成许多所述测试焊垫和/或每个所述测试接线的至少一部分；

沿着位于外侧的所述第一分割线，把所述电路基片分割成许多在上面要进行所述电路测试的所述电路芯片的所述集成电路；以及

沿着位于内侧的所述第二分割线，把所述电路基片分割成许多在上面不进行所述电路测试的所述电路芯片的所述集成电路。

5

3. 一种形成大量基本上是矩形的集成电路的芯片制造方法，每一片集成电路通过测试接线至少与一个测试焊垫相连接，并通过许多分割线排列在电路基片表面上，通过许多所述测试焊对在所述电路基片上形成的至少一些所述集成电路进行电路测试，并在完成所述电路测试之后，沿着许多所述分割线把所述电路基片分割成许多单块的所述集成电路，以形成大量所述电路芯片，所述方法包括的步骤有：

10

沿着在所述电路基片表面上形成和排列着的每个基本上是矩形的集成电路的四个边中的至少一个边设置许多相互平行的第一和第二分割线；

15

在所述第一和第二分割线之间的间隙里形成许多所述测试焊垫和/或每个所述测试接线的至少一部分；以及

在完成所述电路测试之后，沿着至少一些位于内侧的所述第二分割线对所述电路基片进行分割。

20

4. 如权利要求1中所述的芯片制造方法，其特征为：

所述测试焊垫位于所述第一和第二分割线之间的间隙里；以及

所述测试接线把位于所述第二分割线内侧的所述集成电路与位于所述第二分割线外侧的所述测试焊垫连接在一起。

25

5. 如权利要求2中所述的芯片制造方法，其特征为：

所述测试焊垫位于所述第一和第二分割线之间的间隙里；以及

所述测试接线把位于所述第二分割线内侧的所述集成电路与位于所述第二分割线外侧的所述测试焊垫连接在一起。

30

6. 如权利要求3中所述的芯片制造方法，其特征为：

所述测试焊垫位于所述第一和第二分割线之间的间隙里；以及
所述测试接线把位于所述第二分割线内侧的所述集成电路与位于
所述第二分割线外侧的所述测试焊垫连接在一起。

- 5 7. 如权利要求 1 中所述的芯片制造方法，其特征为：
所述测试焊垫形成在位于所述第二分割线内侧的所述集成电路
里；以及
在所述第一和第二分割线之间的间隙里形成部分所述测试接线。
- 10 8. 如权利要求 2 中所述的芯片制造方法，其特征为：
所述测试焊垫形成在位于所述第二分割线内侧的所述集成电路
里；以及
在所述第一和第二分割线之间的间隙里形成部分所述测试接线。
- 15 9. 如权利要求 3 中所述的芯片制造方法，其特征为：
所述测试焊垫形成在位于所述第二分割线内侧的所述集成电路
里；以及
在所述第一和第二分割线之间的间隙里形成部分所述测试接线。
- 20 10. 一种芯片制造系统包括：
形成大量基本上是矩形的集成电路的电路形成站，每一片集成电
路通过测试接线至少与一个测试焊垫相连接，并通过分割线排列在电
路基片表面上；
基片分割站，用于沿着所述分割线把所述电路基片分割成所述单
25 块的集成电路以形成大量电路芯片；以及
电路测试站，用于通过与所述电路芯片相关联的所述测试焊垫对
所述集成电路进行电路测试，其中：
所述电路形成站通过沿着在每个所述基本上是矩形的集成电路的
四个边中的至少一个边设置相互平行的第一和第二分割线，在所述电
30 路基片的表面上形成所述基本上是矩形的集成电路，以及在所述第一

和第二分割线之间的间隙里形成所述测试焊垫和 / 或每个所述测试接线的至少一部分；以及

5 所述基片分割站在所述电路测试完成之前，沿着位于外侧的所述第一分割线对所述电路基片进行分割，并在所述电路测试完成之后，沿着第二分割线切割所述电路芯片，以从每块所述电路芯片里去除掉安置所述测试焊垫和 / 或至少部分所述测试接线的那一部分。

11. 一种芯片制造系统，包括：

10 形成大量基本上是矩形的集成电路的电路形成站，每一片集成电路通过测试接线

至少与一个测试焊垫相连接，并通过分割线排列在电路基片表面上；

基片分割站，用于沿着所述分割线把所述电路基片分割成所述单块的集成电路以形成大量电路芯片；以及

15 电路测试站，用于通过与所述电路芯片相关联的所述测试焊垫对所述集成电路进行电路测试，其中：

20 所述电路形成站通过沿着在每个所述基本上是矩形的集成电路的四个边中的至少一个边设置相互平行的第一和第二分割线，在所述电路基片的表面上形成所述基本上是矩形的集成电路，以及在所述第一和第二分割线之间的间隙里形成所述测试焊垫和 / 或每个所述测试接线的至少一部分；以及

25 沿着位于外侧的所述第一分割线，所述基片分割站把所述电路基片分割成在上面要进行所述电路测试的所述电路芯片的所述集成电路，并沿着位于内侧的所述第二分割线，把所述电路基片分割成在上面不进行所述电路测试的所述电路芯片的所述集成电路。

12. 一种芯片制造系统，包括：

30 形成大量基本上是矩形的集成电路的电路形成站，每一片集成电路通过测试接线至少与一个测试焊垫相连接，并通过分割线排列在电路基片表面上；

电路测试站，用于通过所述测试焊垫对在所述电路基片上形成的至少一些所述集成电路进行电路测试；

基片分割站，用于沿着所述分割线把所述电路基片分割成所述单块的集成电路以在所述电路测试完成后形成大量电路芯片，其中：

5 所述电路形成站通过沿着在每个所述基本上是矩形的集成电路的四个边中的至少一个边设置相互平行的第一和第二分割线，在所述电路基片的表面上形成所述基本上是矩形的集成电路，以及在所述第一和第二分割线之间的间隙里形成所述测试焊垫和 / 或每个所述测试接线的至少一部分；以及

10 所述基片分割站在所述电路测试完成之后，至少沿着位于内侧的所述第二分割线对所述电路基片进行分割。

13. 一种在自身表面上形成大量基本上是矩形的集成电路的电路基片，这些集成电路通过分割线排列，每一片所述集成电路通过测试接线与至少一个测试焊垫相连接，其中：

15 每一片所述基本上是矩形的集成电路包括：

沿着所述集成电路的四个边中的至少一个边设置相互平行的第一和第二分割线；

20 在第一和第二分割线之间形成间隙，所述测试焊垫和 / 或至少部分所述测试接线位于所述间隙里。

14. 如权利要求 1 中所述的芯片制造方法制造的电路芯片，其特征在于：

25 在所述第二分割线处切去与所述集成电路相连接的所述测试接线。

15. 如权利要求 2 中所述的芯片制造方法制造的电路芯片，其特征在于：

30 在所述第二分割线处切去与所述集成电路相连接的所述测试接线。

16. 如权利要求 3 中所述的芯片制造方法制造的电路芯片，其特征为：

5 在所述第二分割线处切去与所述集成电路相连接的所述测试接线。

一种芯片制造方法

5

本发明的背景

本发明的领域

10

本发明与从电路基片上制造电路芯片的芯片制造方法有关，更准确地说，与制造电路芯片，并通过测试焊垫对此芯片进行电路测试的芯片制造方法有关。

相关现有技术的描述

15

目前，许多电子装置都使用包括集成电路在内的电路芯片，也有许多制造和测试这类芯片的方法。典型的芯片制造方法包括在硅晶片表面上以阵列的形式形成大量矩形集成电路，其相当于最终形成的集成电路的电路基片，通过划刻或切割成片，沿着划刻线对硅晶片进行分割以形成大量的电路芯片，每一块芯片都由集成电路组成。

20

当以上述方式制造电路芯片时，测试集成电路用的测试接线和测试焊垫也与集成电路一起形成。在这种情况下，这些测试焊垫通过集成电路形成时的测试接线与相关的部件相连，例如，在把测试仪与这些测试焊垫相连以对每一块电路芯片的集成电路进行测试的之前，要对硅晶片进行分割以形成许多电路芯片。

25

在另一种技术里，测试仪与在硅晶片上形成的集成电路的这些测试焊垫相连，以便对这些集成电路进行测试，在电路测试完成之后，对硅晶片进行分割以形成许多电路芯片。在这种把硅晶片分割成片以前就进行集成电路测试的技术里，从硅晶片上分割成的这些电路芯片并不需要有这些测试焊垫。

30

另一方面，当沿着划刻线对硅晶片进行分割或用类似方法切割成片时，划刻线要有一个预定的宽度。在日本专利审查出版物 No. 07-120696B（62199026A），08-030820B（62207970A）和 08-008288B（06244252A），以及专利号为 03093216B（03022456A）等的日本专利里都公开了一些去掉这些测试焊垫的技术，在用来定义划刻区域的划刻线上形成的这些测试焊垫本来是保留在这些电路芯片上的。

在这样的一种电路芯片里，由于这些测试焊垫是在用来对硅晶片进行分割的划刻区域里形成的，所以在分割成的芯片里不会有这些测试焊垫。因此，就有可能把电路芯片的尺寸做得更小，有可能阻止居心叵测的用户通过电路芯片里的这些测试焊垫以欺骗手段对集成电路进行访问。

不过，近些年来，由于划刻和切割成片的准确度有了改进，划刻线的宽度变得越来越窄，所以在用作划刻区域的划刻线上，测试焊垫也越来越不容易形成。

虽然在上述于测试完集成电路后再对硅晶片进行分割的技术里能形成这些测试焊垫，但在对集成电路进行测试前就对硅晶片进行分割的技术里，这些测试焊垫不可能在划刻区域内形成。

本发明概要

本发明的目的在于提供一种在对集成电路进行测试前，即使利用沿着高度准确且极窄的划刻线对硅晶片进行分割的技术，也能防止对电路芯片进行欺骗性访问的芯片制造方法。

本发明的第一种芯片制造方法与现行使用的技术类似，形成许多大体矩形集成电路，每一个集成电路经测试接线至少与一个测试焊垫相连，并按照电路基片表面上的分割线排列，沿着分割线把电路基片分成许多单独的集成电路，以形成许多电路芯片，并通过与电路芯片

有关联的测试焊垫进行电路测试。

5 具体地说，把第一和第二分割线沿着在电路基片表面上形成和排列的每个基本上是矩形的集成电路四个边中至少一个边设置成相互平行，而且在第一和第二分割线之间的间隙里形成测试焊垫和 / 或每个测试接线的至少一部分。

10 在沿着位于外侧的第一分割线对电路基片进行分割以后，再进行电路测试，在电路测试完成后，沿着第二分割线把每个电路芯片切割下来，这样就能把形成有测试焊垫和 / 或至少部分测试接线的那部分从电路芯片中去除掉。

15 在把电路基片分割成许多单个的电路芯片时，由于通过测试接线与集成电路相连接的这些测试焊垫，仍留在这些电路芯片上，所以通过这些测试焊垫能对集成电路进行简单而令人满意的电路测试。

20 从另一方面来讲，因为在电路测试完成之后装运这些电路芯片时，不再保留这些通过测试接线与集成电路相连的测试焊垫，所以能可靠地防止某些人以欺骗手段通过这些测试焊垫对集成电路进行访问。

25 按照本发明的第二种芯片制造方法，把经过电路测试的这些电路芯片上的集成电路，沿着位于外侧的第一分割线从电路基片上切割下来，而把没有经过电路测试的这些电路芯片上的集成电路，沿着位于内侧的第二分割线从电路基片上切割下来。

30 这样，在装运前经过电路测试的电路芯片上保留有测试焊垫，因此通过这些测试焊垫可对集成电路进行简单而令人满意的电路测试。从另一方面来讲，那些没有进行电路测试而已装运的电路芯片上，测试焊垫并没有通过芯片上的测试接线与集成电路相连接，因此就有可

能可靠地防止某些人以欺骗手段通过这些测试焊垫对集成电路进行访问。

5 本发明的第三种芯片制造方法与现行使用的技术类似，通过测试焊垫对至少一些在电路基片上形成的集成电路进行电路测试，并在进行电路测试后沿分割线把电路基片分割成许多单独的集成电路，以形成许多电路芯片。在完成电路测试之后，沿着至少一些位于内侧的第二分割线对电路基片进行分割。

10 这样，由于通过测试接线与集成电路相连接的这些测试焊垫在进行电路测试时仍留在电路芯片上，所以通过这些测试焊垫能对集成电路进行简单而令人满意的电路测试。从另一方面讲，经由测试接线与集成电路相连接的这些测试焊垫，在电路测试完成之后装运时不会留在电路芯片上，这样就有可能可靠地防止某些人以欺骗手段通过这些
15 测试焊垫对集成电路进行访问。

按照本发明的另一个方面，这些测试焊垫是在第一和第二分割线之间的间隙里形成的，所以测试接线把位于第二分割线内侧的集成电路与位于第二分割线外侧的这些测试焊垫连接在一起。

20

因此，当把第二分割线外侧的一部分从电路芯片上切割下来后，测试焊垫没有留在电路芯片上，这样就肯定能阻止以欺骗手段进行的访问。

25

作为一种可供选择的方案，在位于第二分割线内侧的集成电路里形成测试焊垫，以及把同样位于第二分割线内侧的集成电路与此测试焊垫相连接的部分测试接线都设置在第一和第二分割线之间的间隙里。

30

因此，当把第二分割线外侧的一部分从电路芯片上切割下来时，

集成电路与测试焊垫连接在一起的测试接线被切断，这样就以一种令人满意的方式阻止了以欺骗手段进行的访问。

5 从下面参照显示本发明实例的附图所作的说明，本发明的上面以及对其他一些目的、特征和优点将会更加明晰。

附图的简要说明

图 1 是本发明一个实施例里芯片制造系统的方块图；
图 2a 到 2c 是本发明一个实施例里芯片制造方法的工艺流程图；
10 图 3 是芯片制造方法的流程示意图；
图 4 是对电路芯片进行的第一个示范改进的平面俯视图；
图 5a 和 5b 是第二个示范改进的平面俯视图；
图 6a 和 6b 是第三个示范改进的平面俯视图；以及
图 7a 和 7b 是第四个示范改进的平面俯视图。

15

最佳实施方案详述

下面将参考附图来叙述本发明的一个实施方案。首先，像图 1 所示的那样，此实施方案中的芯片制造系统 200 在硬件的配置上与现行的技术相同，有电路成形站 201，基片分割站 202，以及电路测试站 203。
20 不过，芯片制造系统 200 在这些站点里进行的操作细节上与现有技术有所不同。

电路成形站 201 包括有晶片输入机构，溅射装置，CVD（化学蒸汽沉积）装置，以及如图 2a 所示，诸如能在起着最终集成电路电路
25 基片作用的硅晶片 100 的表面上形成大量矩形集成电路 101 的装置。

大量的集成电路 101 沿着划刻线 102 到 104 排列，硅晶片 10 也沿着这些线被分割成片。把第一和第二划刻线 103，104 设成与图 2 中这些集成电路 101 的右侧相平行。

30

然后，大量的集成电路 101 分别通过许多测试接线 105 把自己的预定部分与许多测试焊垫 106 相连接。这些测试焊垫 106 在许多第一和第二划刻线 103，104 之间的间隙里形成，而测试接线 105 则跨过第二划刻线 104。

5

基片分割站 202 包括有晶片传送机构，划刻装置，切割成片装置，以及诸如此类的装置，并在进行线路测试之前，能沿着划刻线 102 沿从前到后的方向（在图的平面里是从顶部到下部），并且沿着外侧定位的第一划刻线 103 的从左到右的方向上，对在上面提到的电路成形站 201 里形成的集成电路 101 的硅晶片 100 进行下面将要叙述的分割，以形成如图 2b 所示的部分加工完成的电路芯片 110。

10

电路测试站 203 包括有电路测试仪，晶片划分机构，以及诸如此类的设备，通过在电气上把测试终端与在上述基片分割站 202 里形成的部分加工完成的电路芯片 110 上的测试焊垫 106 相连，对集成电路 101 进行各种电路测试。

15

在电路测试完成之后，上述基片分割站 202 沿着第二划刻线 104 对电路芯片 110 进行分割，以去除包括有测试焊垫 106 和部分测试接线 105 的那些部分，得到如图 2c 所示的加工完的电路芯片 110。

20

在本实施方案里加工完的每一个电路芯片 110，都在进行过分割的硅晶片 100 的表面上形成有集成电路 101，且测试接线 105 与集成电路 101 的有关联部分相连接。不过，在第二划刻线 104 位置分割测试接线 105。

25

在上面叙述的结构中，如同图 3 所示，以这个实施方案里芯片制造系统 200 为基础的芯片制造方法，通过划刻线 102—104 在硅晶片 100 的表面上形成大量矩形集成电路，而像图 2a 所示的那样，第一和第二划刻线 103，104 与图中集成电路 101 的右侧相平行。

30

在这种情况下，在硅晶片 100 上形成的大量集成电路 101 上的预定部分，分别通过许多测试接线 105 与许多测试焊垫 106 相连接。这些测试焊垫 106 是在第一和第二划刻线 103, 104 之间的间隙里形成的，而测试接线 105 则跨过第一划刻线 103。

电路形成完成之后，沿着划刻线 102 在从前到后的方向上对硅晶片 100 进行分割，同时沿着划刻线 103 从左到右的方向上对硅晶片 100 进行分割，这样就对每一个集成电路 101 形成部分加工完成的电路芯片 110。

在这样形成的电路芯片 110 里，如图 2b 所示的那样，许多测试焊垫 106 穿过第二划刻线 104 定位在集成电路 101 的右边，每一个测试焊垫 106 单独通过许多跨过第二划刻线 104 的测试接线 105 中的一个，与集成电路 101 的有关联部分相连接。这样，通过测试焊垫 106 就可对这个集成电路 101 进行电路测试了。

沿第二划刻线 104 对在电路测试中确定为无缺陷的电路芯片 110 进行分割，这样，放置有测试焊垫 106 和部分测试接线 105 的那部分，就从如图 2c 所示的电路芯片 110 上切割下来了。

这样加工完成的电路芯片 110，在把引出线端与有关联部件接合在一起之后，就要进行封装，比如把其封装进树脂封壳里，并用在电子装置中当作安装在这里的部件。

在这个实施方案中，用上面描述的方式制造的电路芯片 110，在把硅晶片 100 分割成许多单独的如图 2b 所示的集成电路 101 之后，就具有许多专用的测试焊垫 106，这样，通过这些测试焊垫 106 就能很容易地对集成电路 101 进行电路测试了。

从另一方面看，在作为产品装运出去的电路芯片 110 成品里，如图 2c 所示，测试接线 105 与集成电路 101 的有关联部件相连接。不过，测试接线 105 在第二划刻线 104 处被切断了，这样就有可能有效地阻止居心叵测的用户，以欺骗手段通过测试焊垫 106 对集成电路 101 进行访问。

除此以外，与日本专利审查出版物 No. 07-120696B, 08-030820B 和 08-008288B 的和专利号为 03093216B 等日本专利里所公开的现有技术不同，在这个实施方案的芯片制造方法里，沿着集成电路 101 的一侧，把第一和第二划刻线 103, 104 设成是相互平行的，且测试焊垫 106 是在第一和第二划刻线 103, 104 之间的间隙里形成的，所以在分割之后，仍可对电路芯片 110 进行电路测试。此外，即使划刻线 103, 104 的宽度很窄且勾划准确的话，也能从电路芯片 110 的成品上把这些测试焊垫去除掉。

显而易见的是，本发明并不局限在上述实施方案内，而是，只要不背离本发明的构思和范围，允许进行各种改进。比如，虽然上述实施方案以图示说明，从硅晶片 100 上分割成许多电路芯片 110，在对所有的电路芯片 110 进行测试以后才装运出去，然而现在，只要对电路芯片 110 中的某些芯片进行了测试之后，就可以把全部电路芯片 110 装运出去。

也有可能把这些电路芯片 110 分成一些是要进行测试的和另一些是要装运的芯片，或者对一块硅晶片 100 上的这些电路芯片 110 进行测试而不装运，对另一块硅晶片 100 上的电路芯片不进行测试就装运，等等。

不过，在这些情况下，留在不装运的电路芯片 110 上的这些测试焊垫 106 不会引起任何问题，这样就可以在图 2b 所示状态下对电路芯片 110 进行维护，就可以省去沿第二划刻线 104 对许多电路芯片 110

进行分割这一步。也像图 4 所示的那样，对那些已装运的电路芯片 111 来说，测试焊垫基本上没有什么用处，这样就有可能省去沿第一划刻线 103 对许多电路芯片 110 进行分割这一步。

5 进一步说，上述实施方案以图示说明，在对集成电路 101 进行测试之前，从硅晶片 100 上已分割成许多电路芯片 110 了。作为一种可供选择的方案，比如集成电路 101 在硅晶片 100 上形成的时候，就可以对它们进行测试。

10 在这种情况下，由于硅晶片 100 是在对集成电路 101 进行测试后才进行分割的，所以如图 4 所示，不需要沿着第一划刻线 103 分成许多电路芯片，就可以形成电路芯片 111。

15 还要说的是，上述实施方案图示说明，九个集成电路 101 在硅晶片 100 表面排成三行三列，显而易见的是，集成电路 101 的数目及其之排列可以按照要求的那样以各种方式设置。

20 类似地，上述实施方案图示说明，每一片集成电路 101 在形成后同时具有三个测试接线 105 和测试焊垫 106，而测试接线 105 和测试焊垫 106 的数目也可以以不同的方式设定。

25 再者，上述实施方案以图示说明，把第一和第二划刻线 103，104 设成只与矩形集成电路 101 的一侧平行。作为一种可供选择的方案，像图 5 所示的那样，若把第一和第二划刻线 103，104 设成与集成电路 101 的两侧相平行，也可以实施电路芯片 112。

30 上述实施方案还以图示说明，测试焊垫 106 是在第一和第二划刻线 103，104 之间的间隙里形成的。作为一种可供选择的方案，像图 6a，6b 中所示的那样，测试焊垫 106 在集成电路 101 里面形成，而测试接线 105 单独在第一和第二划刻线 103，104 之间的间隙里形成，也可

以实施电路芯片 113。

5 由于要形成测试焊垫 106，上面提到的电路芯片 110 在第一和第二划刻线 103，104 之间需要有一个预定宽度的间隙，所以要耗费掉的硅晶片 100 的面积会增加，而集成电路 101 的成品里不含有测试焊垫 106，所以集成电路 101 在尺寸上可以减小。

10 另一方面，虽然制得的电路芯片 113 尺寸较大，这是因为在集成电路 101 的成品上保留有测试焊垫 106 的缘故，但是通过减少为单独形成测试接线 105 用的第一和第二划刻线 103，104 之间的间隙宽度，就有可能少耗费一些硅晶片 100 的面积。

15 从另一个角度来说，上述电路芯片 110，113 互相之间各有优缺点，这样，最好是考虑各种条件之后再选择一个最佳的。比如，当集成电路 101 包含有测试焊垫 106 形成的死区时，就能节省硅晶片 100 的耗费面积而不增大电路芯片 113 的尺寸。

20 如同图 7a，7b 所示的那样，若测试接线 105 在第一和第二划刻线 103，104 之间的间隙里形成，而测试焊垫 106 沿着第二划刻线 104 形成，也可以实施电路芯片 114。

25 在这个改进里，可以把第一和第二划刻线 103，104 之间的间隙作得比上述电路芯片 110 更窄些，因此集成电路 101 的面积要比电路芯片 113 更为节省得多。

虽然使用特殊的术语来描述本发明的最佳实施方案，这样描述的目的仅仅为了说明，显而易见的是，在不背离由附后的权利要求所限定的本发明的构思或范围的前提下，可以对本发明进行修改和变动。

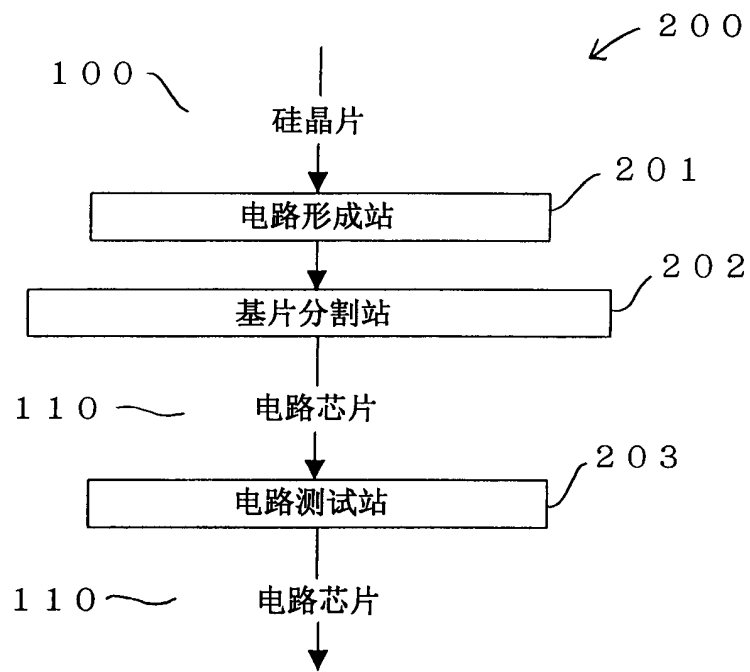


图1

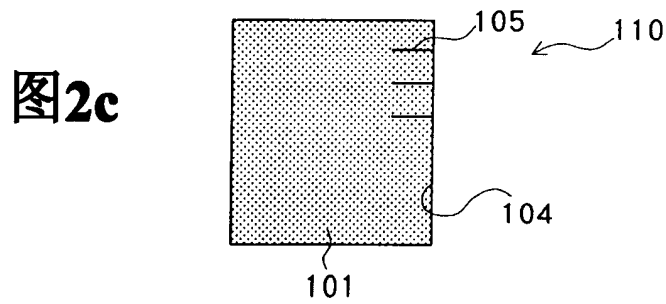
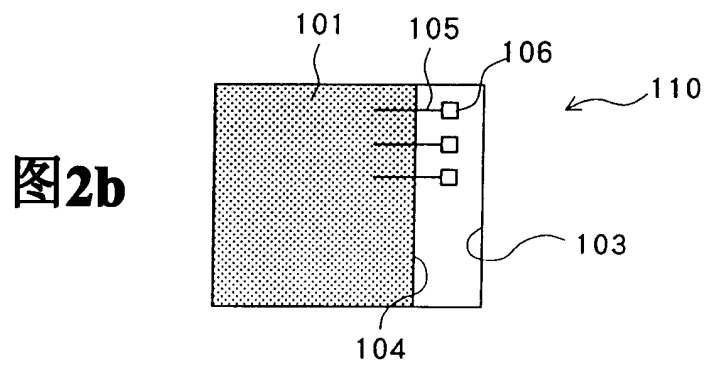
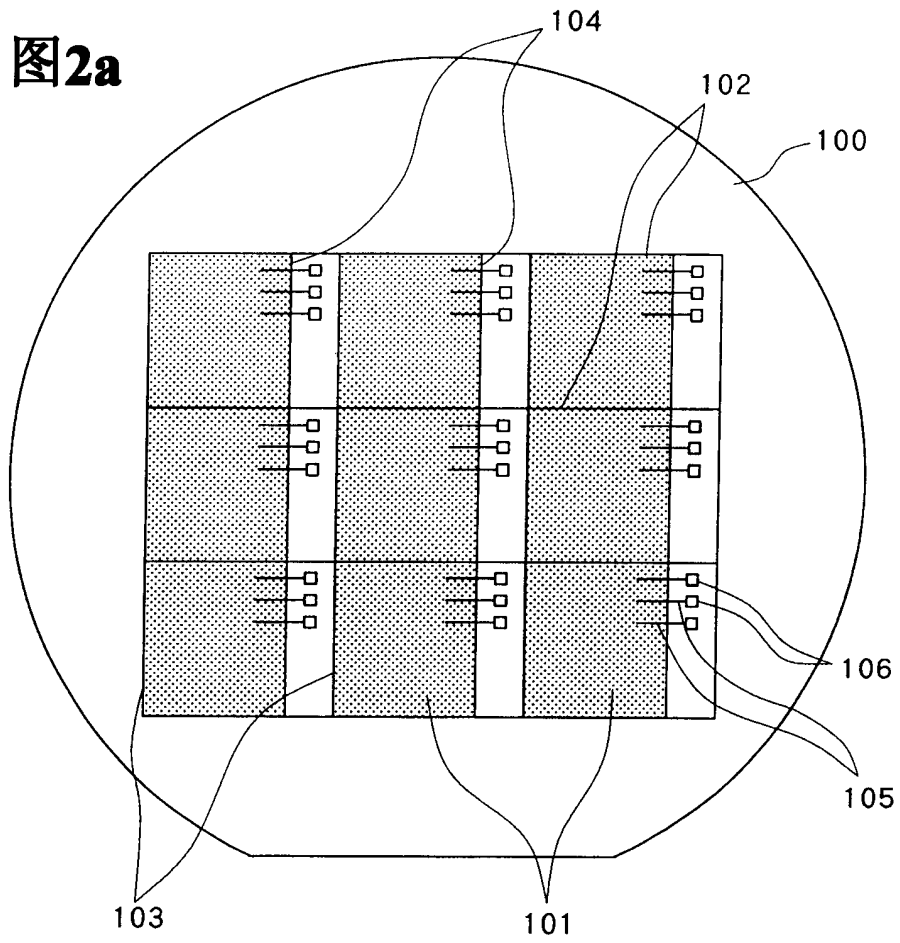


图3

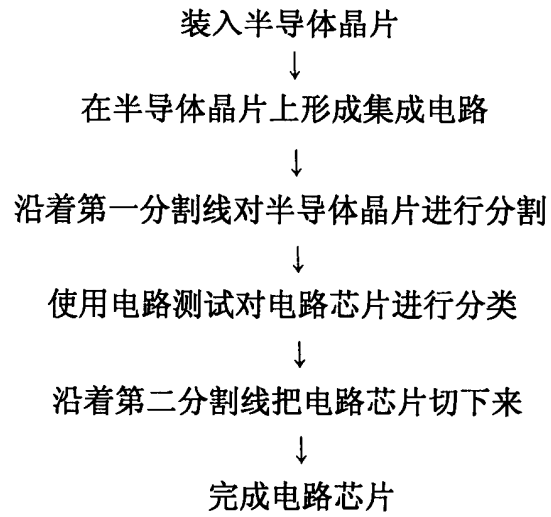


图4

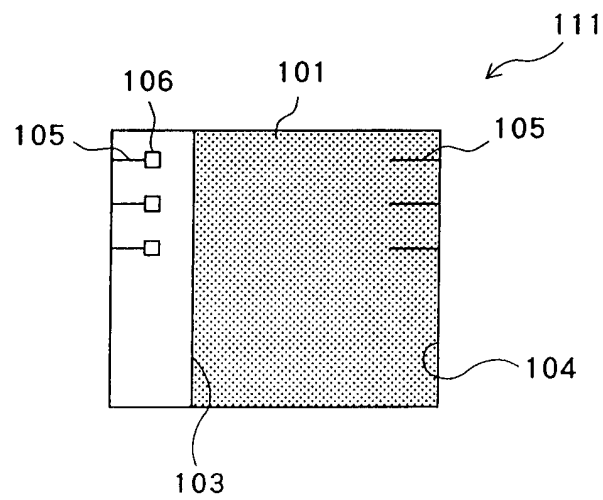


图5a

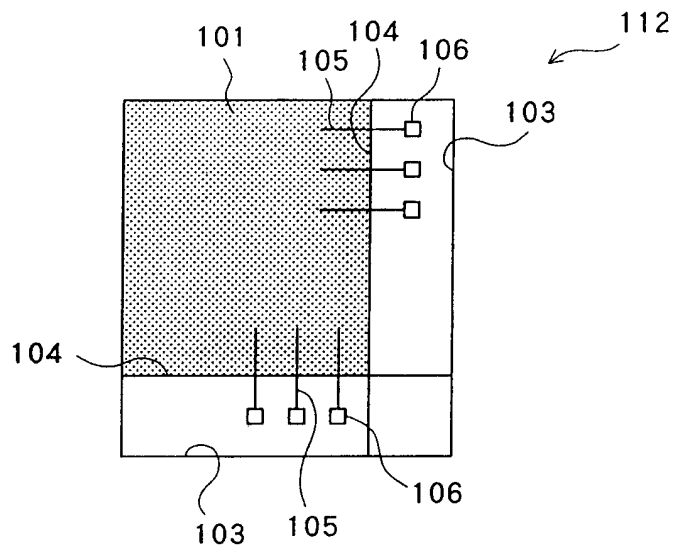
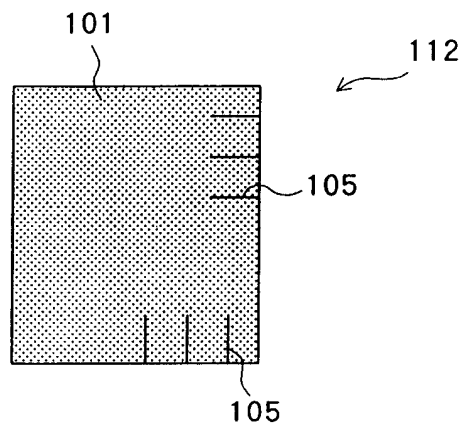


图5b



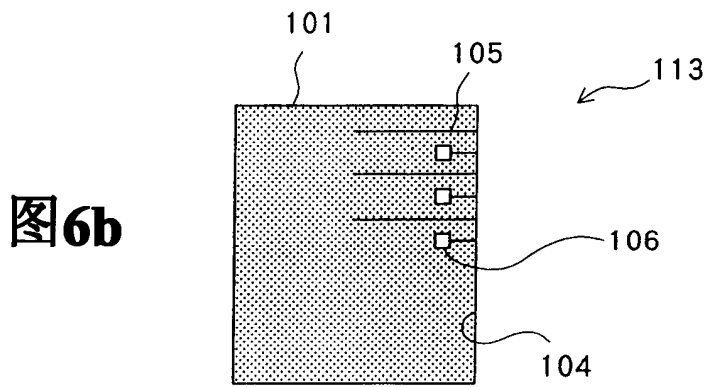
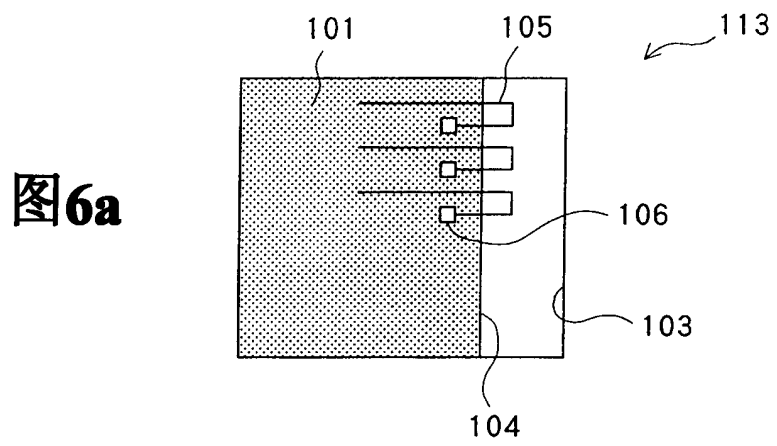


图7a

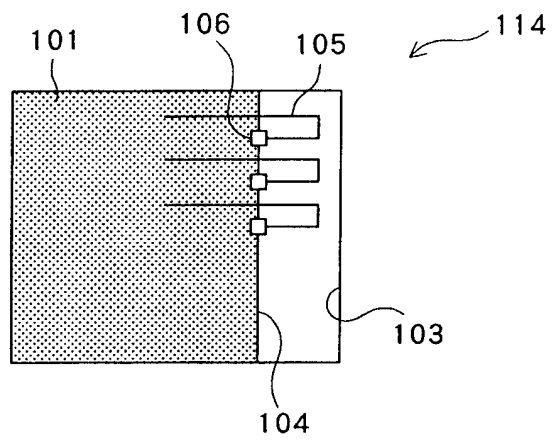


图7b

