



(12)发明专利

(10)授权公告号 CN 106464298 B

(45)授权公告日 2019.10.25

(21)申请号 201580033788.9

(72)发明人 S·K·潘迪 A·C·昆杜

(22)申请日 2015.06.23

G·A·威利 C·李

(65)同一申请的已公布的文献号

(74)专利代理机构 上海专利商标事务所有限公司 31100

申请公布号 CN 106464298 A

代理人 周敏

(43)申请公布日 2017.02.22

(51)Int.CI.

(30)优先权数据

H04B 3/00(2006.01)

14/315,142 2014.06.25 US

H04B 3/46(2015.01)

(85)PCT国际申请进入国家阶段日

H04B 3/54(2006.01)

2016.12.22

H04L 25/02(2006.01)

(86)PCT国际申请的申请数据

(56)对比文件

PCT/US2015/037132 2015.06.23

US 2003200475 A1, 2003.10.23, 说明书第

(87)PCT国际申请的公布数据

3、7、94-99、129-130段, 图2、5.

W02015/200292 EN 2015.12.30

CN 101162922 A, 2008.04.16, 全文.

(73)专利权人 高通股份有限公司

CN 101682545 A, 2010.03.24, 全文.

地址 美国加利福尼亚州

审查员 蒋玲

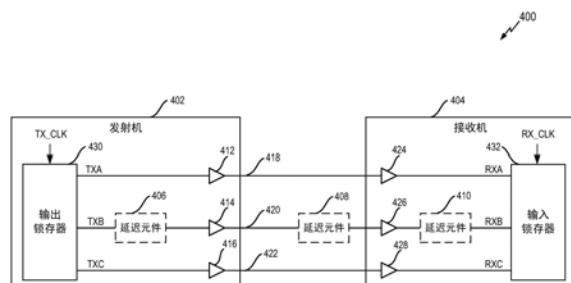
权利要求书4页 说明书25页 附图34页

(54)发明名称

在导线对之间具有匹配传播延迟的多导线信令的装置及方法

(57)摘要

在包括至少三条导线的多导线信道中，多导线信道的每个唯一性导线对具有大致相同的信号传播时间。以此方式，用于信令的多导线信道中的抖动可被缓解，其中对于给定数据传输，差分信号在这些导线中的特定导线对上传送并且每条其它导线浮动。在一些实现中，信号传播时间的匹配涉及向至少一条导线提供附加延迟。该附加延迟是使用无源信号延迟技术和/或有源信号延迟技术来提供的。



1. 一种用于多导线信令的装置,包括:

多条导线,其包括至少三条导线;

耦合至所述多条导线中的至少一条导线的至少一个延迟元件,所述至少一个延迟元件提供一信号延迟量以使得与所述多条导线中的一导线相关联的信号传播时间不等于与所述多条导线中的另一导线相关联的信号传播时间并且与所述多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等;以及

驱动器电路,其耦合至所述多条导线并且被配置成驱动所述多条导线中的所述导线对中的特定一个导线对,由此所述多条导线中的每条其它导线处于高阻抗状态。

2. 如权利要求1所述的装置,其特征在于,所述至少一个延迟元件包括无源延迟结构。

3. 如权利要求1所述的装置,其特征在于,所述至少一个延迟元件包括所定义长度的导线以使得所述多条导线中的所述至少一条导线中的每一条导线的总长度比所述多条导线中未耦合至延迟元件的每一条导线的长度长。

4. 如权利要求1所述的装置,其特征在于,所述至少一个延迟元件包括有源延迟设备。

5. 如权利要求1所述的装置,其特征在于:

所述至少一个延迟元件包括可编程延迟设备;以及

所述装置进一步包括用于生成用以控制所述至少一个延迟元件的延迟的至少一个控制信号的延迟控制器。

6. 如权利要求5所述的装置,其特征在于,所述至少一个控制信号控制所述至少一个延迟元件的延迟以使得与所述多条导线中的每个导线对相关联的信号传播时间在所述误差余裕内彼此相等。

7. 如权利要求5所述的装置,其特征在于,所述延迟控制器被进一步配置成基于所述多条导线的长度来生成所述至少一个控制信号。

8. 如权利要求5所述的装置,其特征在于,所述延迟控制器被进一步配置成基于与所述导线对相关联的信号传播时间来生成所述至少一个控制信号。

9. 如权利要求5所述的装置,其特征在于,所述延迟控制器被进一步配置成基于所述多条导线所承载的信号的信号频率来生成所述至少一个控制信号。

10. 如权利要求5所述的装置,其特征在于,所述延迟控制器被进一步配置成基于在所述多条导线上针对其传送信号的应用来生成所述至少一个控制信号。

11. 如权利要求5所述的装置,其特征在于,所述延迟控制器被进一步配置成基于工艺、电压和温度 (PVT) 条件来生成所述至少一个控制信号。

12. 如权利要求1所述的装置,其特征在于,所述至少一个延迟元件被纳入所述驱动器电路中。

13. 如权利要求1所述的装置,其特征在于,进一步包括接收机电路,其耦合至所述多条导线并且被配置成基于所述多条导线中的所述导线对中的所述特定一个导线对被驱动、以及所述多条导线中的每条其它导线处于所述高阻抗状态来解码用于所述特定数据传输的信息。

14. 如权利要求13所述的装置,其特征在于,所述至少一个延迟元件被纳入所述接收机电路中。

15. 如权利要求1所述的装置,其特征在于,所述多条导线包括三条导线以及三个导线

对。

16. 如权利要求15所述的装置,其特征在于,所述至少一个延迟元件包括耦合至所述三条导线中的中间导线的延迟元件。

17. 如权利要求1所述的装置,其特征在于,所述多条导线包括至少四条导线,所述至少四条导线包括至少两条中间导线。

18. 如权利要求17所述的装置,其特征在于,所述至少一个延迟元件包括至少两个延迟元件,其中所述延迟元件中的每一个耦合至所述至少两条中间导线中的相应一条导线。

19. 一种用于多导线信令的方法,包括:

确定与多条导线中的导线对相关联的信号传播时间,所述多条导线包括至少三条导线;

针对耦合至所述多条导线中的至少一条导线的至少一个延迟元件指定延迟,以使得与所述多条导线中的一导线相关联的信号传播时间不等于与所述多条导线中的另一导线相关联的信号传播时间并且与所述多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等;以及

对于特定数据传输,驱动所述多条导线中的所述导线对中的特定一个导线对,由此所述多条导线中的每条其它导线处于高阻抗状态。

20. 如权利要求19所述的方法,其特征在于:

所述至少一个延迟元件具有可编程延迟;以及

所述延迟的指定包括控制所述至少一个延迟元件的所述可编程延迟。

21. 如权利要求19所述的方法,其特征在于,进一步包括:

确定包括以下至少一者的参数:所述多条导线的长度、与所述导线对相关联的所述信号传播时间、由所述多条导线承载的信号的信号频率、在所述多条导线上针对其传送信号的应用、或者工艺、电压和温度(PVT)条件,

其中所述延迟的指定基于所述参数。

22. 如权利要求19所述的方法,其特征在于,进一步包括,对于所述特定数据传输,基于所述多条导线中的所述导线对中的所述特定一个导线对被驱动、以及所述多条导线中的每条其它导线处于所述高阻抗状态来解码信息。

23. 如权利要求19所述的方法,其特征在于,所述多条导线包括三条导线以及三个导线对。

24. 如权利要求23所述的方法,其特征在于,所述至少一个延迟元件包括耦合至所述三条导线中的中间导线的延迟元件。

25. 如权利要求19所述的方法,其特征在于,所述延迟的指定包括指定所述至少一个延迟元件的物理特性。

26. 如权利要求25所述的方法,其特征在于,所述至少一个延迟元件的所述物理特性包括导线区段的长度。

27. 如权利要求25所述的方法,其特征在于,所述延迟的指定进一步包括生成代表所述物理特性的电路描述。

28. 如权利要求25所述的方法,其特征在于,所述延迟的指定进一步包括生成实施所述物理特性的电路。

29. 一种用于多导线信令的装置,包括:

存储器设备;

处理电路,其耦合至所述存储器设备并被配置成:

确定与多条导线中的导线对相关联的信号传播时间,所述多条导线包括至少三条导线;

针对耦合至所述多条导线中的至少一条导线的至少一个延迟元件指定延迟,以使得与所述多条导线中的一导线相关联的信号传播时间不等于与所述多条导线中的另一导线相关联的信号传播时间并且与所述多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等;以及

驱动器电路,其被配置成对于特定数据传输,驱动所述多条导线中的所述导线对中的特定一个导线对,由此所述多条导线中的每条其它导线处于高阻抗状态。

30. 如权利要求29所述的装置,其特征在于,进一步包括接收机电路,其被配置成对于所述特定数据传输,基于所述多条导线中的所述导线对中的所述特定一个导线对被驱动、以及所述多条导线中的每条其它导线处于所述高阻抗状态来解码信息。

31. 如权利要求29所述的装置,其特征在于:

所述延迟的指定包括指定所述至少一个延迟元件的物理特性;以及

所述处理电路被进一步配置成生成表示所述物理特性的电路描述。

32. 如权利要求29所述的装置,其特征在于:

所述延迟的指定包括指定所述至少一个延迟元件的物理特性;以及

所述装置进一步包括用于生成实施所述物理特性的电路的制造系统。

33. 一种用于多导线信令的设备,包括:

用于确定与多条导线中的导线对相关联的信号传播时间的装置,所述多条导线包括至少三条导线;

用于针对耦合至所述多条导线中的至少一条导线的至少一个延迟元件指定延迟,以使得与所述多条导线中的一导线相关联的信号传播时间不等于与所述多条导线中的另一导线相关联的信号传播时间并且与所述多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等的装置;以及

用于对于特定数据传输,驱动所述多条导线中的所述导线对中的特定一个导线对,由此所述多条导线中的每条其它导线处于高阻抗状态的装置。

34. 一种用于多导线信令的装置,包括:

发射机;

接收机,

多条导线,其包括耦合至所述发射机和所述接收机的至少三条导线;以及

耦合至所述多条导线中的至少一条导线的至少一个延迟元件,所述至少一个延迟元件提供一信号延迟量以使得与所述多条导线中的一导线相关联的信号传播时间不等于与所述多条导线中的另一导线相关联的信号传播时间并且与所述多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等,

其中所述发射机被配置成对于特定数据传输,驱动所述多条导线中的所述导线对中的特定一个导线对,由此所述多条导线中的每条其它导线处于高阻抗状态。

35. 如权利要求34所述的装置,其特征在于,所述至少一个延迟元件包括无源延迟结构。

36. 如权利要求34所述的装置,其特征在于,所述至少一个延迟元件包括有源延迟设备。

37. 如权利要求34所述的装置,其特征在于:

所述至少一个延迟元件包括可编程延迟设备;以及

所述装置进一步包括用于生成用以控制所述至少一个延迟元件的延迟的至少一个控制信号的延迟控制器。

38. 如权利要求34所述的装置,其特征在于,所述至少一个延迟元件被纳入所述发射机中。

39. 如权利要求34所述的装置,其特征在于,所述接收机被配置成对于所述特定数据传输,基于所述多条导线中的所述导线对中的所述特定一个导线对被驱动、以及所述多条导线中的每条其它导线处于所述高阻抗状态来解码信息。

40. 如权利要求34所述的装置,其特征在于,所述至少一个延迟元件被纳入所述接收机中。

## 在导线对之间具有匹配传播延迟的多导线信令的装置及方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2014年6月25日在美国专利局提交的美国非临时申请No. 14/315,142的优先权和权益,其全部内容通过援引纳入于此。

### 技术领域

[0003] 以下内容一般涉及电子信令,更具体地但并非排他地涉及多导线信令。

[0004] 背景

[0005] 在一些电子系统中,电子组件之间的信令流经印刷电路板(PCB)、集成电路(IC)或电子系统的其它结构之上或之内的导线(有时被称为迹线、导体或电路径)。常规地,信号被承载在单条导线上或者对于差分信号被承载在导线对上。

[0006] 最近,已提议了多导线信令方案(即,多于两条导线上的信令)。例如,C-PHY是移动行业处理器接口(MIPI)联盟规范的移动设备通信接口。C-PHY 使用三相位信道(被称为“三重(trio)”)来传送数据。也就是说,与针对给定信道使用单条导线或差分导线对的常规物理接口(PHY)形成对比,C-PHY 信道采用三条导线(也被称为“通道”)。对于给定数据传输(例如,比特或码元的给定数据传输),这些导线中的两条导线被使用(是活跃的),而第三导线处于高阻抗状态(例如,浮动)。在一系列数据传输上,三条导线中的不同导线对被用来传送数据。

[0007] 多导线信令可遭遇信号传输问题,诸如抖动。抖动是数据传输中与假定周期性信号的真实周期性的不期望偏离。例如,在一系列码元传输上,在接收机处接收码元时可能存在这些码元之间的定时偏斜。该偏斜自己表现为抖动。鉴于以上内容,存在对于用于解决基于导线的信令中的抖动或其它类似传输问题的改进电路技术的需要。

[0008] 一些示例的简要概述

[0009] 以下概述本公开的一些方面以提供对此类方面的基本理解。此概述不是本公开的所有构想到的特征的详尽综览,并且既非旨在标识出本公开的所有方面的关键性或决定性要素亦非试图界定本公开的任何或所有方面的范围。其唯一目的是以概述形式给出本公开的一个或多个方面的一些概念,作为稍后给出的更详细描述之序言。

[0010] 本公开的各个方面提供多导线信令,其中多导线信道中的n条导线中的每条唯一导线对具有大致相同的信号传播时间(例如,在阈值余裕内)。这里,“n”为三或更大。

[0011] 根据本公开的一些方面,在多导线信令中采用针对不同导线对的相匹配的信号传播时间,其中不同导线对被用于不同数据传输。在此类多导线配置中,一对导线之间的距离可与另一对导线之间的距离不同。因此,一个导线对上的差分信号可按与其它导线对上的差分信号不同的速度行进,由此导致接收机处的抖动。然而,通过根据本文的教导来匹配每个导线对的信号传播时间,缓解了原本可能因导线对之间的该不相等间隔而产生的信号抖动。

[0012] 本公开在一些方面涉及为多导线信道的导线中的一条或多条导线提供附加延迟。例如,对于采用并排布线的三条导线的多导线信道,向中间导线提供附加延迟以平衡该信

道的三个唯一性导线对的信号传播时间。

[0013] 在一些实现中,通过适配导线的物理属性来向导线提供附加延迟。例如,该导线可具有比其它导线长的长度。可被适配成提供期望延迟的其它物理属性包括导线宽度、导线厚度、介电常数、以及到接地平面的距离。

[0014] 在一些实现中,通过将延迟元件纳入信令路径中来为导线添加附加延迟。例如,可沿路径(例如,沿PCB或集成电路的导线)或者在I/O电路(例如,驱动器或接收机)中添加延迟元件。此类延迟元件可以是无源(例如,指定长度的导线)或有源(例如,采用晶体管)的。

[0015] 在采用有源延迟元件的实现中,延迟可以基于初始设计准则和/或基于一个或多个操作因素来动态调节。这些操作因素可包括校准反馈、信号频率、信号上升时间、信号下降时间或路径长度。

[0016] 本公开的进一步方面提供了一种用于多导线信令的装置。该装置包括:多条导线,其包括至少三条导线;以及耦合至这些导线中的至少一条导线的至少一个延迟元件,每个延迟元件提供一信号延迟量以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。

[0017] 以下是与以上装置有关的本公开的其它方面的示例。在一些方面,每个延迟元件包括无源延迟结构。在一些方面,每个延迟元件包括所定义长度的导线以使得该至少一条导线中的每一条导线的总长度比未耦合至延迟元件的每一条导线的长度长。在一些方面,每个延迟元件包括有源延迟设备。在一些方面,每个延迟元件包括可编程延迟设备;并且该装置进一步包括用于生成用以控制每个延迟元件的延迟的至少一个控制信号的延迟控制器。

[0018] 在一些方面,该至少一个控制信号控制每个延迟元件的延迟,以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。在一些方面,延迟控制器被进一步配置成基于导线的长度来生成至少一个控制信号。在一些方面,延迟控制器被进一步配置成基于与导线对相关联的信号传播时间来生成至少一个控制信号。在一些方面,延迟控制器被进一步配置成基于导线所承载的信号的信号频率来生成至少一个控制信号。在一些方面,延迟控制器被进一步配置成基于在导线上针对其传送信号的应用来生成至少一个控制信号。在一些方面,延迟控制器被进一步配置成基于工艺、电压和温度(PVT)条件来生成至少一个控制信号。

[0019] 在一些方面,该装置包括驱动器电路,其耦合至导线并且被配置成对于特定数据传输驱动多条导线中的导线对中的特定一个导线对,由此多条导线中的每条其它导线处于高阻抗状态。在一些方面,驱动器电路实施至少一个延迟元件。

[0020] 在一些方面,该装置包括接收机电路,其耦合至导线并且被配置成基于多条导线的导线对中的特定一个导线对被驱动、以及多条导线中的每条其它导线处于高阻抗状态来解码用于特定数据传输的信息。在一些方面,接收机电路实施至少一个延迟元件。

[0021] 在一些方面,该多条导线包括三条导线以及三个导线对。在一些方面,该至少一个延迟元件包括耦合至三条导线中的中间导线的延迟元件。在一些方面,该多条导线包括至少四条导线,该至少四条导线包括至少两条中间导线。在一些方面,该至少一个延迟元件包括至少两个延迟元件,其中这些延迟元件中的每一个耦合至至少两条中间导线中的相应一条导线。

[0022] 本公开的进一步方面提供了一种用于多导线信令的装置，其包括存储器设备以及耦合至该存储器设备的处理电路。该处理电路被配置成：确定与多条导线中的每个导线对相关联的信号传播时间，该多条导线包括至少三条导线；以及针对耦合至这些导线中的至少一条导线的至少一个延迟元件指定延迟，以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。

[0023] 本公开的又进一步方面提供了一种用于通信的方法，包括：确定与多条导线中的每个导线对相关联的信号传播时间，该多条导线包括至少三条导线；以及针对耦合至这些导线中的至少一条导线的至少一个延迟元件指定延迟，以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。

[0024] 本公开的附加方面提供了一种用于多导线信令的设备，包括用于确定与多条导线中的每个导线对相关联的信号传播时间的装置，该多条导线包括至少三条导线；以及用于针对耦合至这些导线中的至少一条导线的至少一个延迟元件指定延迟，以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等的装置。

[0025] 本公开的其它方面提供了一种其上存储有指令的非瞬态机器可读存储介质，该指令在被处理电路执行时使得处理电路：确定与多条导线中的每个导线对相关联的信号传播时间，该多条导线包括至少三条导线；以及针对耦合至这些导线中的至少一条导线的至少一个延迟元件指定延迟，以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。

[0026] 以下是与以上装置、方法和介质有关的本公开的其它方面的示例。在一些方面，每个延迟元件具有可编程延迟；并且延迟的指定包括控制每个延迟元件的可编程延迟。在一些方面，参数被确定，该参数包括以下至少一者：导线的长度、与导线对相关联的信号传播时间、由导线承载的信号的信号频率、在导线上针对其传送信号的应用、或者工艺、电压和温度(PVT)条件；其中延迟的指定基于该参数。在一些方面，对于特定数据传输，驱动多条导线中的导线对中的特定一个导线对，由此该多条导线中的每条其它导线处于高阻抗状态。在一些方面，对于特定数据传输，基于该多条导线中的导线对中的特定一个导线对被驱动、以及该多条导线中的每条其它导线处于高阻抗状态来解码信息。在一些方面，该多条导线包括三条导线以及三个导线对。在一些方面，至少一个延迟元件包括耦合至三条导线中的中间导线的延迟元件。在一些方面，延迟的指定包括指定每个延迟元件的物理特性。在一些方面，每个延迟元件的物理特性包括导线区段的长度。在一些方面，延迟的指定包括生成代表物理特性的电路描述。在一些方面，延迟的指定包括生成实施物理特性的电路。

[0027] 本公开的进一步方面提供了一种用于多导线信令的装置。该装置包括：发射机；接收机；多条导线，其包括耦合至发射机和接收机的至少三条导线；以及耦合至这些导线中的至少一条导线的至少一个延迟元件，每个延迟元件提供一信号延迟量以使得与该多条导线中的导线对相关联的信号传播时间在误差余裕内彼此相等，其中发射机被配置成对于特定数据传输，驱动多条导线中的导线对中的特定一个导线对，由此该多条导线中的每条其它导线处于高阻抗状态。

[0028] 以下是与以上装置有关的本公开的其它方面的示例。在一些方面，每个延迟元件包括无源延迟结构。在一些方面，每个延迟元件包括有源延迟设备。在一些方面，每个延迟元件包括可编程延迟设备；并且该装置进一步包括用于生成用以控制每个延迟元件的延迟

的至少一个控制信号的延迟控制器。在一些方面,发射机和/或接收机实施至少一个延迟元件。在一些方面,接收机被配置成:对于特定数据传输,基于多条导线中的导线对中的特定一个导线对被驱动、以及多条导线中的每条其它导线处于高阻抗状态来解码信息。

[0029] 本公开的这些和其他方面将在阅览以下详细描述后将得到更全面的理解。在结合附图研读了下文对本公开的具体实现的描述之后,本公开的其他方面、特征和实现对于本领域普通技术人员将是明显的。尽管本公开的特征在以下可能是针对某些实现和附图来讨论的,但本公开的所有实现可包括本文所讨论的有利特征中的一个或多个。换言之,尽管可能讨论了一个或多个实现具有某些有利特征,但也可以根据本文讨论的本公开的各种实现使用此类特征中的一个或多个特征。以类似方式,尽管示例性实现在下文可能是作为设备、系统或方法实现进行讨论的,但是应该理解,此类实现可以在各种设备、系统、和方法中实现。

[0030] 附图简述

[0031] 图1是解说三导线信道的示例的电路图。

[0032] 图2是解说三导线信道的导线间隔的示例的示图。

[0033] 图3是解说常规多导线信道中的抖动的示例的眼图。

[0034] 图4是解说根据本公开的一些方面的用于三导线信道的延迟元件的示例的框图。

[0035] 图5是解说根据本公开的一些方面的多导线信道中的抖动的示例的眼图。

[0036] 图6是解说根据本公开的一些方面的无源延迟元件的示例的示图。

[0037] 图7是解说根据本公开的一些方面部署的延迟线的示例的示图。

[0038] 图8是解说根据本公开的一些方面的包括有源延迟元件的发射机的示例的框图。

[0039] 图9是解说根据本公开的一些方面的包括无源延迟元件的接收机的示例的框图。

[0040] 图10是解说根据本公开的一些方面的有源延迟元件的示例的框图。

[0041] 图11是解说根据本公开的一些方面的延迟控制器的示例的框图。

[0042] 图12是解说根据本公开的一些方面的延迟校准的示例的框图。

[0043] 图13是解说根据本公开的一些方面的延迟校准的另一示例的框图。

[0044] 图14是解说根据本公开的一些方面的用于三导线信道的延迟元件的示例的框图。

[0045] 图15是解说根据本公开的一些方面的用于三导线信道的延迟元件的另一示例的框图。

[0046] 图16是解说四导线信道的示例的电路图。

[0047] 图17是解说四导线信道的导线长度的示例的示图。

[0048] 图18是解说n导线信道的示例的电路图。

[0049] 图19是解说根据本公开的一些方面的用于n导线信道的延迟元件的示例的框图。

[0050] 图20-22是解说四导线信道的导线长度的示例的示图。

[0051] 图23-26是根据本公开的一些方面的用于改进信号传播定时的电路的横截面视图。

[0052] 图27是解说三导线信道的示例的电路图。

[0053] 图28是解说用于三导线信道的驱动器电路的示例的电路图。

[0054] 图29是解说用于三导线信道的信令的示例的示图。

[0055] 图30是解说采用三导线信道的系统的框图。

- [0056] 图31是解说N相极性数据编码器的示例的框图。
- [0057] 图32是解说N相极性编码接口中的信令的示图。
- [0058] 图33是解说3线、3相通信链路的示例中的状态转变的状态图。
- [0059] 图34是解说3相极性数据解码器的框图。
- [0060] 图35是解说本公开的一个或多个方面可在其中得到应用的装置的示图,该装置在该装置内的各设备之间采用N相极性编码数据链路。
- [0061] 图36是解说本公开的一个或多个方面可在其中得到应用的用于采用N相极性编码数据链路的装置的系统架构的框图。
- [0062] 图37是解说本公开的一个或多个方面可在其中得到应用的电路设计系统的示例的框图。
- [0063] 图38是解说被配置成提供根据本公开的一些方面的功能性的装置的组件选集的框图。
- [0064] 图39是解说根据本公开的一些方面的延迟指定方法的流程图。
- [0065] 图40是解说根据本公开的一些方面的延迟指定方法的流程图。
- [0066] 图41是解说根据本公开的一些方面的用于驱动多导线信道的方法的流程图。
- [0067] 图42是解说根据本公开的一些方面的用于解码多导线信道数据的方法的流程图。
- [0068] 详细描述
- [0069] 以下结合附图阐述的详细描述旨在作为各种配置的描述,而无意表示可实践本文所描述的概念的仅有配置。本详细描述包括具体细节以提供对各种概念的透彻理解。然而,对于本领域技术人员将显而易见的是,没有这些具体细节也可实践这些概念。在一些实例中,以框图形式示出众所周知的结构和组件以便避免淡化此类概念。
- [0070] 出于解说目的,本公开的各个方面将在采用三条导线的多导线信道的上下文中讨论。然而,本文的教导还可适用于具有多于三条导线的多导线信道。为了方便起见,多导线信道可被称为n导线信道,其中n表示三或更大。
- [0071] 图1解说了多导线信道100的一个示例。在该示例中,发射机102经由第一导线106、第二导线108和第三导线110向接收机104发送数据。第一、第二和第三导线106、108和110中的每一者的特性阻抗分别由第一特性阻抗112、第二特性阻抗114和第三特性阻抗116来表示。第一、第二和第三导线106、108和110各自在接收机104处分别通过耦合至共用模式电压V<sub>cm</sub>的第一端接电阻器118、第二端接电阻器120和第三端接电阻器122来端接。
- [0072] 常规地,导线的信号传播时间基于导线的长度以及与导线相关联的其它特性来计算。例如,导线的特性阻抗和端接电阻在某种程度上影响信号行进穿过该导线的信号传播时间。对于差分传输,精确的系统定时通过确保导线对中的每条导线的信号传播时间相等来维持。以此方式,差分信号的两个轨将在接收机处同时接收,由此使得接收机能够在相对较宽的定时窗口上采样收到码元。
- [0073] 相反,在多导线信道中,确保信道的所有导线的信号传播时间相等的常规办法导致不及最优的信令。该问题将进一步参照图1并且参照图2和3来详细描述。
- [0074] 在三导线信道中,对于给定数据传输(例如,码元或比特的给定数据传输),发射机驱动这些导线中的两条导线并且使剩下的导线处于高阻抗状态(例如,浮动)。对于下一数据传输,发射机再次驱动这些导线中的两条导线并且使剩下的导线处于高阻抗状态。然而,

用于任何后续数据传输的导线对可与用于先前数据传输的导线对不同或相同。通过此类多导线信令方案的使用,与采用单条导线或差分对的信道相比可达成改进的数据率和/或传输质量。

[0075] 使用命名A、B和C来指代图1的第一导线106、第二导线108和第三导线110,信道100上的给定传输可涉及导线对A-B被驱动、导线对B-C被驱动、或者导线对A-C被驱动。如以下结合图32和33更详细地讨论的,发射机102 可基于哪个导线对被用于给定数据传输以及该导线对从一个数据传输到下一个数据传输中使用的任何改变来对要传送的数据进行编码。例如,导线对A-B 上的传输继之以导线对B-C上的传输可表示特定值(例如,二进制01)。接收机104进而被配置成正确地解读以此方式编码的信号并且由此解码被传送的原始数据。

[0076] 在实践中,不同导线对A-B、B-C和A-C可具有不同的传输特性。例如,一个导线对的信号传播时间可以不同于另一导线对的信号传播时间。该不同可以部分地因导线的物理属性引起。

[0077] 图2解说了在基板202上实现的三条导线(再次被简单地命名为A、B和 C)的侧剖视图200。基板202包括厚度为63微米(um)的介电材料204以及厚度为21um的接地平面206。每条导线宽100um且厚40um。不同尺寸可被用在不同实现中。

[0078] 在一些实现中,导线A、B和C是印刷电路板(PCB)上的导电路径并且彼此并行延伸(进入图2的示例中的页面)。因此,图2的视图在一些方面与图1的视图2-2相关(尽管图1在形式上仅仅是框图、而非实际电路)。导线 A、B和C可在其它实现中以其它方式实现。例如,在一些实现中,导线A、B 和C是集成电路(IC)管芯上的导电路径。

[0079] 如图2中所指示的,从导线A到导线B的距离为100um。类似地,从导线B到导线C的距离为100um。然而,从导线A到导线C的距离为300um。由于差分信号在导线对上行进的信号传播时间至少部分地取决于导线之间的距离,因此在导线对A-B上行进的差分信号具有与在导线对A-C上行进的差分信号不同(即,较短)的信号传播时间。

[0080] 谨记在多导线信道中的一系列数据传输上使用不同导线对,在不同导线对上传送的码元(或比特)可在相对于接收时钟的不同时间抵达接收机。换言之,经由常规多导线信道传送的信号可遭遇抖动。参照图2,导线对A-C上的差分信号将以比导线对A-B上的差分信号慢的速度抵达。相应地,在接收机处,在不同对上传送的信号之间将存在定时偏斜。在使用不同导线对的一系列数据传输上,该偏斜自己表现为抖动。

[0081] 图3以简化方式解说了基于图2的配置对应于用于3导线信道的仿真的眼孔图样300(也被称为眼图)的示例。该仿真进一步基于10英寸长的微带模块,具有3.7的介电常数(Er)、0.02的损耗角正切(tanD)、1吉比特每秒(Gbps) 的数据率、100ps(20%-80%)的上升/下降时间、250毫伏(mV)的电压振幅、2皮法拉(pF)的垫电容(Cpad)、以及15pF的共用电容(参见图30)。

[0082] 在眼孔图样300中,可看到从一个电压电平到另一个电压电平的转变中的一些转变相比其它转变较晚发生。这些转变的宽度302集体地指示抖动。例如,在该情形中,抖动可以是160微微秒(ps)的量级。

[0083] 一般而言,减少通信系统中存在的抖动量是合乎期望的。通过减小抖动,系统的定时余裕可改进,因为相比于抖动高时,在抖动低时可在较宽的时间窗口上采样码元。

[0084] 本公开在一些方面涉及缓解多导线信令中的抖动和相关定时问题。抖动通过确保

n导线信道中的n导线中的每个唯一性导线对在阈值余裕内(例如,在误差余裕内)具有大致相同的信号传播时间来得到缓解。

[0085] 在一些方面,这通过向这些导线中的至少一条导线添加延迟来达成。例如,在3导线系统中,可通过在三重中的中央导线上纳入附加延迟(即,正延迟)来减小抖动。因此,为了使得每个导线对的信号传播时间大致相等(例如,传播延迟对于导线对A-B、B-C和A-C是相同的),使得个体导线的信号传播时间不同(例如,通过向一条或多条个体导线添加延迟)。

[0086] 一般而言,延迟可在沿导线的任何地方添加以达成导线对之间的信号传播时间的期望平衡。例如,图4解说了包括三导线发射机402和三导线接收机404 的通信系统400,其中第一延迟元件406可被纳入发射机402中,第二延迟元件408可被纳入发射机402与接收机404之间的通信介质中,或者第三延迟元件410可被纳入接收机404中。在此,用于第一到第三延迟元件406-410的虚线框表示每个延迟元件是可任选的。也就是说,第一到第三延迟元件406- 410中的一个或多个可被用在给定实现中。

[0087] 在图4中,被发射机402驱动的三条导线被命名为TXA、TXB和TXC(例如,对应于图2的导线A、B和C)。类似地,接收机404在其上接收信号的三条导线被命名为RXA、RXB和RXC(例如,再次对应于图2的导线A、B 和C)。

[0088] 在采用第一延迟元件406的实现中,由中间导线TXB承载的信号被延迟元件406延迟。由导线TXA承载的信号、由导线TXB承载的经延迟信号和由导线TXC承载的信号分别耦合至第一驱动器412、第二驱动器414和第三驱动器416,第一驱动器412、第二驱动器414和第三驱动器416驱动外部总线的第一导线418、第二导线420和第三导线422。

[0089] 在采用第二延迟元件408的实现中,由第二导线420承载的信号被延迟元件408延迟。由第一导线418承载的信号、由第二导线420承载的经延迟信号和由第三导线422承载的信号分别耦合至接收机的第一接收机电路424、第二接收机电路426和第三接收机电路428。

[0090] 在采用第三延迟元件410的实现中,由第二接收机电路426输出的信号被延迟元件410延迟。因此,第一接收机电路424驱动的信号、第二接收机电路 426驱动的经延迟信号和第三接收机电路428驱动的信号被耦合至接收机404 的输入锁存器432。

[0091] 在图4的示例中,对于给定导线感兴趣的信号传播时间对应于该导线上的信号在发射机402处(根据发射时钟TX\_CLK)被时钟控制出输出锁存器430 的时间到该信号在接收机404处(根据接收时钟RX\_CLK)被时钟控制进输入锁存器432的时间。因此,在该情形中,延迟元件可被纳入沿输出锁存器430 与输入锁存器432之间的导线路径的任何地方。延迟元件可以是自立的组件或者被实施在另一组件中。作为后一情形的示例,延迟元件可被实施在输入/输出 (I/O) 电路(诸如驱动器或接收机电路)中。

[0092] 图5以简化方式解说了对应于3导线信道的仿真的眼孔图样500的示例,其中40ps 延迟已被添加到中央导线中(例如,通过对图2的导线B的长度添加4-5毫米)。仿真的其它参数与不纳入该延迟的图3的仿真相同。这里,可看到作为增大中央导线上的延迟的结果,抖动已被减小。例如,在该情形中,抖动502的宽度可以是135微微秒(ps)的量级,减小25ps(约16%)。

[0093] 表1列出了在其它延迟值被用在仿真中时导致的抖动的若干示例。如所指示的,40ps的延迟在该情景中导致最低抖动。

[0094]	数据率 (Gbps)	RT/FT (20% 80%) (ps)	中央导线上 的延迟 (ps)	总抖动 (ps)	眼睛高度 (mV)
	1	100	0	160	194
	1	100	+20	160	194
	1	100	+40	135	194
	1	100	+60	140	194
	1	100	+80	145	194
	1	100	+100	220	194

[0095] 表1

[0096] 延迟元件可在不同实现中采取不同形式。例如,一些实现采用无源延迟元件,而其它实现采用有源延迟元件。

[0097] 无源延迟元件的示例不作为限定地包括所定义长度的导线以及所定义长度的导线的线圈形式的延迟线。无源延迟线还可包括电容器、电感器或其它无源组件。在一些实现中,延迟元件包括被纳入导线路径中以增大导线长度的导线区段。

[0098] 因此,在一些实现中,通过(例如在设计阶段期间)定义导线的物理属性来向导线提供延迟。例如,一条导线可被配置成具有比另一导线长的长度。可被适配成提供期望延迟的其它物理属性包括导线的宽度、导线的厚度、导线所处于的电介质的介电常数、以及从导线到接地平面的距离。

[0099] 有源延迟元件的示例不作为限定地包括固定延迟线,其包括有源电路系统(例如,晶体管)和可编程延迟器件。因此,在一些实现中,延迟元件是可调节的以使得施加在导线上的延迟可在面临操作条件的改变的情况下被改变。

[0100] 在采用有源延迟元件的实现中,延迟可以基于初始设计准则和/或基于一个或多个操作因素来动态调节。这些操作因素可不作为限定地包括校准反馈、信号频率、信号上升/下降时间或路径长度。

[0101] 图6解说了纳入无源延迟元件的多导线系统600的示例。发射机602经由第一导线606、第二导线608和第三导线610与接收机604通信。第二导线608已被配置有导线区段612以增大第二导线608的总长度。由此,导线区段612是无源延迟元件的形式,因为附加长度在第二导线608上施加一延迟。也就是说,导线区段612的纳入增加了从第二导线608的一端到另一端的总信号传输时间。

[0102] 图7解说了纳入延迟线的多导线系统700的示例。发射机702经由第一导线706、第二导线708和第三导线710与接收机704通信。延迟线712与第二导线708同线。延迟线712可以是无源或有源的,并且在第二导线708上施加附加延迟。相应地,延迟线712的纳入增加了从第二导线708的一端到另一端的总信号传输时间。

[0103] 图8解说了纳入可控制延迟元件的多导线发射机802的示例。发射机802 经由第一导线804、第二导线806和第三导线808传送数据。延迟电路810与第二导线806同线。延迟控制器812生成控制信号814，控制信号814控制在穿过延迟电路810的信号上施加的延迟量。延迟控制器812可如何生成控制信号814的示例在以下结合图11来描述。

[0104] 图9解说了纳入可控制延迟元件的多导线接收机902的示例。接收机902 经由第一导线904、第二导线906和第三导线908接收数据。延迟电路910与第二导线906同线。延迟控制器912生成控制信号914，控制信号914控制在穿过延迟电路910的信号上施加的延迟量。延迟控制器912可如何生成控制信号914的示例以下结合图11来描述。

[0105] 图10解说了沿发射机1002与接收机1004之间的导线路径纳入可控制延迟元件的多导线通信系统1000的示例。发射机1002经由第一导线1006、第二导线1008和第三导线1010向接收机1004传送数据。延迟电路1012与第二导线1008同线。延迟控制器1014生成控制信号1016，控制信号1016控制在穿过延迟电路1012的信号上施加的延迟量。延迟控制器1014可如何生成控制信号1016的示例现在将参照图11来描述。

[0106] 图11解说了延迟控制系统1100，其中延迟控制器1102生成用以控制可编程延迟电路1106的至少一个控制信号1104。如所指示的，延迟控制器1102可基于延迟控制器1102从存储器设备1110检索的信息1108或者基于延迟控制器1102从活跃操作1114检索的信息1112来生成至少一个控制信号1104。在其它实现中，延迟控制器1102可从其它源接收信息。

[0107] 存储器设备1110包括延迟表1116，其具有将由可编程延迟电路1106在某些操作条件期间使用的延迟值列表(或其指示)。例如，延迟表1116可列出将被用于特定数据传输速率、PVT(处理、电压和温度)条件、导线长度、信号传播时间、应用等的延迟值。延迟表1116可以例如基于经验学习或者基于标识每个对应条件的最优延迟的仿真来生成。相应地，对于给定操作条件或配置，延迟控制器1102可从延迟表1116中选择恰适的延迟值。

[0108] 在一些方面，以上引述的应用涉及正在多导线信道上接收或传送数据的对等设备(例如存储器设备、处理器、I/O设备等)的类型。这里，不同应用可对应于影响将如何设置延迟的不同操作条件(例如，数据率、信号传播时间、或导线长度)。其它类型的应用可被用来指定其它实现中的期望延迟值。

[0109] 存储器设备1110包括将被延迟控制器1102用来确定延迟值的参数1118。例如，参数1118可为由延迟控制器1102控制的多导线系统列出当前数据传输速率、PVT(处理、电压和温度)条件、导线长度、信号传播时间、应用等。在该情形中，对于给定操作条件或配置，延迟控制器1102可基于参数1118来确定(例如使用指定算法来计算)将被使用的恰适延迟值。参数1118可例如在静态参数(例如导线长度)情形中在系统初始化期间或者在动态参数情形中在活跃操作期间被存储在存储器设备1110中。作为后一情形的示例，由延迟控制器1102控制的多导线系统的组件(例如，传感器、处理电路、定时控制器等)可生成参数1118(例如，当前数据率、温度等)并且将参数1118存储在存储器设备1110中。

[0110] 在一些实现中，活跃操作1114直接向延迟控制器1102发送关于当前操作条件的信息1112。例如，由延迟控制器1102控制的多导线系统的组件(例如，传感器、处理电路、定时控制器等)可生成操作条件(例如，当前数据率、温度等)的指示并且将该指示发送给延迟控制器1102。如以上所讨论的，延迟控制器1102随后可确定给定当前操作条件下将使用的恰适延迟值。

[0111] 校准机制也可被用来确定延迟值。图12解说了发射机1202经由多导线信道1206向接收机1204发送数据的通信系统1200。数据处理器1208处理输入数据1210以生成经由多导线信道1206传送的数据。如本文所讨论的，其中一条导线包括被延迟控制器1214控制的延迟元件1212。

[0112] 在接收机1204处，数据处理器1216处理经由多导线信道1206接收到的数据以提供输出数据1218。另外，数据处理器1216向反馈控制器1222提供与收到数据相关的信息1220（例如，数据自身或者数据的某一特性）。基于该信息1220，反馈控制器1222向延迟控制器1214发送反馈1224，延迟控制器1214 使用反馈1224来生成用于控制延迟元件1214的控制信号1226。

[0113] 在一些实现中，反馈控制器1222提供环回功能。例如，在校准操作期间，数据处理器1208可在多导线信道1206上发送一系列码型。通过恰适码型的使用，可估计多导线信道1206上的信号传播时间。例如，以相对较高速率发送的码型在与对应收到信号相关联的抖动很高时可能以较多差错接收。结果，延迟控制器1214可将接收机1204所接收到的数据（如通过反馈1224反馈的）与发射机1202所发送的数据进行比较以确定差错率。对此，数据处理器1208 可向延迟控制器1214发送校准信息1228（例如，校准数据码型）。延迟控制器1214 随后可在校准操作期间调节延迟值以确定导致最低差错率的延迟值。

[0114] 也可在接收机处采用校准方案。图13解说了经由多导线信道1304接收数据的接收机1302。如本文所讨论的，其中一条导线包括被延迟控制器1308控制的延迟元件1306。数据处理器1310处理收到数据以提供输出数据1312。另外，数据处理器1310向反馈控制器1316 提供与收到数据相关的信息1314（例如，数据自身或者数据的某一特性）。基于该信息1314，反馈控制器1316向延迟控制器1308发送反馈1318，延迟控制器1318使用反馈1318来生成用于控制延迟元件1306的控制信号1320。

[0115] 在一些实现中，反馈控制器1316提供环回功能。因此，在校准操作期间，发射机（未示出）可在多导线信道1304上发送一系列码型。在该情形中，对应校准信息1322（例如，数据码型）可能先前已被提供给接收机1302。结果，延迟控制器1308可将接收机1302所接收到的数据（如通过反馈1318反馈的）与校准信息1322进行比较。再次，延迟控制器1308可在校准操作期间调节延迟值以确定导致最低差错率的延迟值。

[0116] 在先前附图中，延迟被解说为施加在单条导线上。在实践中，延迟可被施加在多条导线上。例如，不同延迟可被施加在不同导线上，从而这些导线中的一条或多条导线与这些导线中的至少一条其它导线相比具有较长的信号传播时间。以此方式，每个对应导线对的信号传播时间可根据本文的教导来匹配。图14和15分别解说了发射机1402和接收机1502，其各自采用多个延迟元件。

[0117] 在图14中，第一导线1404上的信号被第一延迟元件1406延迟，第二导线1408上的信号被第二延迟元件1410延迟，并且第三导线1412上的信号被第三延迟元件1414延迟。在该情形中，延迟控制器1416生成若干控制信号 1418，其个体地控制第一、第二或第三延迟元件1406、1410或1414中的给定一个延迟元件的延迟。

[0118] 在图15中，第一导线1504上的信号被第一延迟元件1506延迟，第二导线1508上的信号被第二延迟元件1510延迟，并且第三导线1512上的信号被第三延迟元件1514延迟。在该情形中，延迟控制器1516生成若干控制信号 1518，其个体地控制第一、第二或第三延迟

元件1506、1510或1514中的给定一个延迟元件的延迟。

[0119] 如以上所提及的,本文的教导还可适用于采用多于三条导线的多导线信道。图16解说了四导线信道1600的示例。发射机1602经由第一导线1606、第二导线1608、第三导线1610和第四导线1612向接收机1604发送数据。第一、第二、第三和第四导线1606、1608、1610和1612中的每一者的特性阻抗分别由第一特性阻抗1614、第二特性阻抗1616、第三特性阻抗1618和第四特性阻抗1620来表示。第一、第二、第三和第四导线1606、1608、1610和1612各自在接收机1604处分别通过耦合至共用模式电压Vcm的第一端接电阻器1622、第二端接电阻器1624、第三端接电阻器1626和第四端接电阻器1628来端接。

[0120] 在四导线信道中,对于给定数据传输(例如,码元或比特的给定数据传输),发射机驱动这些导线中的两条导线并且使剩下的两条导线处于高阻抗状态(例如,浮动)。对于下一数据传输,发射机再次驱动导线中的两条导线并且使剩下的两条导线处于高阻抗状态。如同三导线信道一样,用于任何后续数据传输的导线对可以与用于先前数据传输的导线对不同或相同。

[0121] 使用命名A、B、C和D来指代第一导线1606、第二导线1608、第三导线1610和第四导线1612,信道1600上的给定传输可涉及导线对A-B被驱动、导线对A-C被驱动、导线对A-D被驱动、导线对B-C被驱动、导线对B-D被驱动、或者导线对C-D被驱动。因此,由于较大多数的潜在组合,所以可看到在四导线信道上可传送比三导线信道更多的信息。

[0122] 然而,再次,不同导线对可具有不同传输特性。例如,一个导线对的信号传播时间可以不同于另一导线对的信号传播时间,这是因为在这些导线对中的每一个导线对的对应导线之间可能存在不同距离。例如,应领会,对于在基板上并行布线的四条导线,包括两条外面导线的导线对相比图2的三导线示例中甚至将进一步分开。因此,在该情形中,抖动甚至可更显著。

[0123] 图17以简化方式解说了包括四条导线(例如,传输线)1702、1704、1706和1708的电路1700。如该单层示例中所示,两条中央导线1704和1706长度相同,但比两条外部导线1702和1708长。通过以此方式向中央导线1704和1706添加延迟,电路1700中的六个唯一性导线对中的每一个导线对的信号传播时间可根据本文的教导来匹配。应领会,在其它实现中,可使用本文所描述的一种或多种其它技术(例如,活跃延迟元件、改变导线的其它物理特性、使用多个层等等)向中央导线1704和1706添加延迟。

[0124] 应领会,抖动问题存在于一般的n导线情景,其中“n”为三或更大。图18解说了n导线信道1800的示例。发射机1802经由第一导线1806、第二导线1808、和直至第n导线1810的任何其它导线向接收机1804发送数据。

[0125] 在n导线信道中,对于给定数据传输(例如,码元或比特的给定数据传输),发射机1802驱动这些导线中的两条导线并且使剩下的导线处于高阻抗状态(例如,浮动)。用于任何后续数据传输的导线对可以与用于先前数据传输的导线对不同或相同。再次,一个导线对的信号传播时间可以不同于另一导线对的信号传播时间,这是因为在这些导线对中的每一个导线对的对应导线之间可能存在不同距离。因此,抖动在n导线信道中可能是显著的问题。

[0126] 本文所描述的技术可一般地扩展到n信道情景。如在图19的通信系统1900中解说的,延迟元件1902可在沿每条导线的任何恰适位置处被纳入n导线中的任一条导线中。通过

向一条或多条导线添加延迟，每个导线对的信号传播时间可被匹配。例如，在缺少准确地描述哪条导线应当被延迟以及该延迟的程度（例如，对于较高阶数的“n”）的经验模型的情况下，试错算法或者基于回归的算法可被用来标识这些参数。

[0127] 图20-22分别解说了包括五条导线（例如，传输线）的电路2000-2200 的简化示例。对于利用单个层的五导线情景，中央三条导线比外部两条导线长。通过以此方式向中央导线添加延迟，电路2000-2200中的给定一个电路中的唯一性导线对中的每一个导线对的信号传播时间可根据本文的教导来匹配。使中央导线更长的确切量可例如通过仿真来确定。应领会，在其它实现中，可使用本文所描述的一种或多种其它技术（例如，活跃延迟元件、改变导线的其它物理特性、使用多个层等等）向中央导线添加延迟。图20-22解说了其中向中央导线添加不同的相对长度的三个不同示例。

[0128] 图20的电路2000包括导线2002、2004、2006、2008和2010。中央导线 2004、2006和2008比两条外部导线2002和2010长。在该情形中，中央导线 2004和2008的长度相同，但中央导线2006具有不同长度。两条外部导线2002 和2010具有相同长度。

[0129] 图21的电路2100包括导线2102、2104、2106、2108和2110。中央导线 2104、2106和2108比两条外部导线2102和2110长。在该情形中，中央导线 2104和2108的长度相同，但中央导线2106具有不同长度。两条外部导线2102 和2110具有相同长度。图22的电路2200包括导线2202、2204、2206、2208 和2210。中央导线2204、2206和2208比两条外部导线2202和2210长。在该情形中，中央导线2204、2206和2208的长度都相同。两条外部导线2202和 2210具有相同长度。

[0130] 如以上所提及的，可调节各种特性来控制与多导线信道中的导线对相关联的信号传播时间。图23-26解说了这些特性中的若干特性。

[0131] 图23解说了本文所描述的抖动问题可通过确保所有导线彼此等距离来缓解。图23描绘了在基板2302的不同层上实现的三条导线（命名为A、B和C）的侧剖视图2300。具体而言，第一导线A和第三导线C在第一层2304上，并且第二导线B在第二层2306上。如由线2308表示的，每条导线与其它导线等距离。

[0132] 在实践中，在电路设计阶段以图23的精确方式路由所有导线可能因路由限制而是困难的。然而，此类办法可被至少用于导线路径的一部分，由此本文所描述的其它技术被用来添加可能期望的任何附加延迟。有利地，此类组合办法可减少需要被添加到导线的延迟量，因为至少部分地被平衡的导线上的定时偏斜可预期较低。

[0133] 图24解说了在基板2400上实现的三条导线（命名为A、B和C）的侧剖视图2400。与导线相关联的信号传播时间至少部分地取决于导线到接地平面的距离。相应地，在电路设计阶段，金属层2406（以及由此该层上的导线）到接地平面2408的距离2404可被控制以向金属层2406上的任何导线（在该示例中为导线B）添加延迟。此外，本文所描述的其它技术可结合图24的技术来使用以添加可能期望的任何附加延迟。

[0134] 图25解说了在基板2502上实现的三条导线（命名为A、B和C）的侧剖视图2500。与导线相关联的信号传播时间至少部分地取决于导线的厚度。相应地，在电路设计阶段，第一导线A的厚度2504、第二导线B的厚度2506或第三导线C的厚度2508中的任一者可被控制以向对应导线添加延迟。此外，本文所描述的其它技术可结合图25的技术来使用以添加可能期望的任何附加延迟。

[0135] 图26解说了在基板2602上实现的三条导线(命名为A、B和C)的侧剖视图2600。与导线相关联的信号传播时间至少部分地取决于导线的宽度。相应地,在电路设计阶段,第一导线A的宽度2604、第二导线B的宽度2606或第三导线C的宽度2608中的任一者可被控制以向对应导线添加延迟。此外,本文所描述的其它技术可结合图26的技术来使用以添加可能期望的任何附加延迟。

[0136] 与一组导线相关联的信号传播时间还至少部分地取决于导线之间的间隔。相应地,两条或更多条导线之间的间隔可被控制以向给定导线添加延迟。此外,本文所描述的其它技术可结合导线间隔来使用以添加可能期望的任何附加延迟。

[0137] 现在参照图27-29,将在三导线信道(例如,对于C-PHY)的上下文中描述多导线信令的附加细节。

[0138] 图27解说了使用被命名为A、B和C的三重导线的系统2700。通过上拉(pu)开关和下拉(pd)开关的使用,对于将被传送的每个码元,其中两条导线被驱动到相反的电平,而第三导线被端接到中间电平。具体而言,开关pua 和pda被用来分别上拉或下拉导线A。开关pub和pdb被用来分别上拉或下拉导线B。开关puc和pdc被用来分别上拉或下拉导线C。

[0139] 在接收机处,三个OP放大器(amp)被耦合至导线A、B和C来解码收到码元信息。第一OP amp 2702生成指示导线A与B之间的差异的信号R\_AB。第二OP amp 2704生成指示导线B与C之间的差异的信号R\_BC。第三OP amp 2706生成指示导线C与A之间的差异的信号R\_CA。

[0140] 在图27中,感兴趣的信号传播时间对应于从开关到各OP amp的输入的导线路径。因此,如本文所教导的延迟元件可被纳入这些路径的任何区段中。

[0141] 更详细的驱动器电路2800在图28中示出。一般而言,上拉控制信号(PUA、PUB和PUC)对应于图27的上拉控制信号(pua、pub和puc)。类似地,下拉控制信号(PDA、PDB和PDC)一般对应于图27的下拉控制信号(pda、pdb 和pdc)。

[0142] 在一些方面,驱动器电路2800类似于常规的自串联端接(SST)驱动器。与图27的系统2700相比,额外的串联电阻器分支(其由控制信号PM[A,B,C] 控制)被添加以将中间级导线输出阻抗维持在50欧姆。不论任何开关MOSFET 的阻抗如何,R/2N被设为等于50欧姆以用于阻抗匹配。

[0143] 图29解说了由系统2700生成的波形的三个示例。左边的波形对应于对于三个情形在导线A、B和C上驱动的信号。右边的波形对应于对于三个情形中的每一个情形的OP amp 2702-2706的输出。

[0144] 此类信令方案的使用将结合在图30-36中提供的系统级描述来详细描述。

[0145] 在图30中,系统3000解说了与三导线信道的采样实现相关联的发射机组件、信道组件和接收机组件。编码器3002编码C-PHY数据3004并且将经编码数据发送给预驱动器3006。经预驱动信号通过驱动器I/O电路3008、3010 和3012被驱动到外部总线上。对应垫电容(Cp)针对外部总线的每条导线来指示。延迟D1 3014、D2 3016和D3 3018分别对应于三导线信道的导线A、B 和C的传播延迟时间。还表示了与施加在被实现在PCB中的导线A、B和C上的延迟相对应的附加PCB延迟3020。在接收区段,针对总线的每条导线再次指示对应的垫电容(Cp)、以及端接电阻器和端接电路的共用电容(Ccomm)。驱动器3022、3024和3026对应于图27的相应OP amp 2702、2704和2706。时钟生成器3028从由驱动器3022、3024和3026输出的信号推导出时钟信号 RSYM\_CLK。解码器3030随后生成与由发射侧传送的C-PHY数据相

对应的信号(极性、相位和相同\_相位)。图31和34分别更详细地解说了系统3000的发射侧和接收侧的示例。

[0146] 图31-34描述了涉及多条导线(即,M条导线)的多相数据编码和解码方法。这M条导线通常包括三条或更多条导线。这M条导线可包括电路板上或半导体集成电路(IC)器件的导电层内的导电迹线。该M条导线可被分成多个传输群,每一群对要传送的数据块的一部分进行编码。N相编码方案被定义,其中数据比特被编码在该M条导线上的相位转变和极性变化中。在一个示例中,用于3导线系统的N相编码方案可包括三个相位状态和两个极性,从而提供6个状态和从每个状态的5个可能转变。可检测并解码确定性的电压和/或电流变化以从M条导线中提取数据。解码不依赖于独立的导线或导线对,并且可直接从该M条导线中的相位和/或极性转变中推导出定时信息。N相极性数据传输可被应用于任何信令接口,诸如举例而言电气、光学以及射频(RF)接口。

[0147] 图31是解说被配置用于M=3和N=3的M线、N相极性编码发射机的示例的示图3100。出于简化对本公开的某些方面的描述的目的而单独选择了该3线、3相编码的示例。针对3线、3相编码器所公开的原理和技术可被应用在M线、N相极性编码器的其它配置中。

[0148] 当使用N相极性编码时,连接器(诸如M导线总线上的信号导线3110a、3110b和3110c)可不被驱动、被驱动为正、或被驱动为负。不被驱动的信号导线3110a、3110b或3110c可处于高阻抗状态。不被驱动的信号导线3110a、3110b 或3110c可被驱动到处于在被驱动的信号导线上提供的正和负电压电平之间的基本中间点的电压电平。不被驱动的信号导线3110a、3110b或3110c可不具有流过它的电流。在图31中所解说了的示例中,每条信号导线3110a、3110b和3110c 可以处于使用驱动器3108的三种状态(标记为+1、-1、或0)中的一种。在一个示例中,驱动器3108可包括单位电平的电流模式驱动器。在另一示例中,驱动器3108可在两个信号3110a和3110b上驱动相反极性电压,而第三信号 3110c处于高阻抗和/或被拉到接地。对于每个所传送的码元区间,至少一个信号处于不被驱动(0)状态,而被驱动为正(+1状态)的信号的数目等于被驱动为负(-1状态)的信号的数目,以使得流向接收机的电流之和总是为零。对于每一对连续码元传输区间,至少一条信号导线3110a、3110b或3110c在该两个码元传输区间中具有不同状态。

[0149] 在图31中描绘的示例中,16比特数据3118被输入到映射器3102,该映射器将输入数据3118映射到7个码元3112,以供通过信号导线3110a、3110b 和3110c顺序传送。可使用例如并-串转换器3104来串行化该7个码元3112。M线、N相编码器3106一次一码元地接收由映射器产生的7个码元3112,并且针对每个码元区间计算每条信号导线3110a、3110b和3110c的状态。编码器 3106基于输入码元以及信号导线3110a、3110b和3110c的先前状态来选择信号导线3110a、3110b和3110c的状态。

[0150] 对M线、N相编码的使用准许数个比特被编码在多个码元中,其中每码元的比特不是整数。在3导线系统的简单示例中,有3种可用的可被同时驱动的 2导线组合、以及被同时驱动的导线对上的2种可能的极性组合,从而产生6 个可能状态。由于每个转变从当前状态发生,因此在每次转变时有6种状态之中的5种状态可用。在每次转变时,要求至少一条导线的状态改变。在有5种状态的情况下,每码元可编码 $\log_2(5) \cong 2.32$ 个比特。相应地,映射器可接受16 比特字并将其转换成7个码元,因为每码元携带2.32个比特的7个码元可编码16.24个比特。换句话说,编码五种状态的七码元组合具有 $5^7 (78,125)$  种排列。相应地,这7

个码元可被用于编码16比特的 $2^{16}$ (65,536) 种排列。

[0151] 图32基于循环状态转变图3250解说了采用3相调制数据编码方案的信令 3200的示例。根据数据编码方案,3相信号可在两个方向上旋转并且可在三条导线3110a、3110b和3110c上传送。这三个信号中的每一个信号在导线3110a、3110b、3110c上被独立驱动。这三个信号中的每一个信号包括3相信号,其中每条导线3110a、3110b和3110c上的每个信号相对于其他两条导线3110a、3110b 和3110c上的信号异相120度。在任何时间点,这三条导线3110a、3110b、3110c 中的每一者处于状态{+1,0,-1} 中不同的一个状态。在任何时间点,该3导线系统中的三条导线3110a、3110b、3110c中的每一条导线处于与其他两条导线不同的状态。当使用多于三条导线时,两个或更多个导线对可处于相同状态。所解说的编码方案还在被活跃地驱动到+1和-1状态的两条导线3110a、3110b 和/或3110c的极性中编码信息。在3208处指示了针对所描绘的状态序列的极性。

[0152] 在所解说的三导线示例中的任何相位状态,导线3110a、3110b、3110c中的恰好两条导线携带实际上是针对该相位状态的差分信号的信号,而第三导线 3110a、3110b或3110c不被驱动。每条导线3110a、3110b、3110c的相位状态可由导线3110a、3110b或3110c与至少一条其它导线3110a、3110b和/或3110c 之间的电压差、或者由导线3110a、3110b或3110c中的电流方向或电流缺失来决定。如状态转变图3250中所示,定义了三种相位状态(S<sub>1</sub>、S<sub>2</sub>和S<sub>3</sub>)。信号可顺时针地从相位状态S<sub>1</sub>流到相位状态S<sub>2</sub>、从相位状态S<sub>2</sub>流到相位状态S<sub>3</sub>、和/或从相位状态S<sub>3</sub>流到相位状态S<sub>1</sub>,且该信号可逆时针地从相位状态S<sub>1</sub>流到相位状态S<sub>3</sub>、从相位状态S<sub>3</sub>流到相位状态S<sub>2</sub>、和/或从相位状态S<sub>2</sub>流到相位状态S<sub>1</sub>。对于其它的N值,在这N个状态之间的转变可任选地根据对应的状态图来定义,以获得状态转变之间的循环旋转。

[0153] 在三线、三相通信链路的示例中,状态转变处的顺时针旋转(S<sub>1</sub>到S<sub>2</sub>)、(S<sub>2</sub>到S<sub>3</sub>)、和/或(S<sub>3</sub>到S<sub>1</sub>) 可被用于编码逻辑1,而状态转变处的逆时针旋转(S<sub>1</sub>到 S<sub>3</sub>)、(S<sub>3</sub>到S<sub>2</sub>)、和/或(S<sub>2</sub>到S<sub>1</sub>) 可被用于编码逻辑0。相应地,可通过控制该信号是顺时针还是逆时针“旋转”来在每次转变处编码比特。例如,在三条导线 3110a、3110b、3110c从相位状态S<sub>1</sub>转变到相位状态S<sub>2</sub>时逻辑1可被编码,而在三条导线3110a、3110b、3110c从相位状态S<sub>1</sub>转变到相位状态S<sub>3</sub>时逻辑0 可被编码。在所描绘的简单的三线示例中,旋转的方向可容易地基于在转变前以及转变后三条导线3110a、3110b、3110c中的哪一条没有被驱动来确定。

[0154] 信息还可以被编码在被驱动的导线3110a、3110b、3110c的极性中或者两条导线3110a、3110b、3110c之间的电流方向中。信号3202、3204和3206解说了在3线、3相链路中的每个相位状态处分别施加于导线3110a、3110b、3110c 的电压电平。在任何时间,第一导线3110a、3110b、3110c被耦合到正电压(例如+V),第二导线3110a、3110b、3110c被耦合到负电压(例如-V),而第三导线3110a、3110b、3110c可为开路或以其他方式未被驱动。如此,可通过第一和第二导线3110a、3110b、3110c之间的电流流动或第一和第二导线3110a、3110b、3110c的电压极性来确定一种极性编码状态。在一些实施例中,可在每个相位转变3210处编码两比特的数据。解码器可确定信号相位旋转的方向以获得第一比特,而第二比特可基于信号3202、3204和3206中的两者之间的极性差来确定。已确定了旋转方向的解码器可确定当前相位状态和施加在两个活跃连接器3110a、3110b和/或3110c之间的电压的极性,或者流过两条活跃导线3110a、3110b和/或3110c的电流的方向。

[0155] 在本文所描述的三线、三相链路的示例中,一比特的数据可以旋转的形式,或者以该三线、三相链路中的相位变化的形式来被编码,而附加比特可以被编码在两条被驱动的导线的极性中。某些实施例通过允许从当前状态转变到可能状态中的任何状态来在三线、3相编码系统的每次转变中编码不止两个比特。给定有三个旋转相位并且每个相位有两种极性,则定义了6种状态,从而使得从任何当前状态有5种状态可用。相应地,可以有每码元(转变)  $\log_2(5) \cong 2.32$  个比特,并且映射器可接受16比特字并将其转换成7个码元。

[0156] 图33是解说3线、3相通信链路的示例中的6个状态和30个可能状态转变的状态图3300。图33通过描绘所有可能的状态3302、3304、3306、3312、3314和3316来在图32中的状态转变图3250上进行了扩展。这些状态3302、3304、3306、3312、3314和3316包括图32的相位转变图3250中解说的相位状态S<sub>1</sub>、S<sub>2</sub>和S<sub>3</sub>的正极性和负极性版本。为了清楚起见,该相位/极性状态集合以字母标记且包括 {+x, -x, +y, -y, +z, -z} ,其中例如+x和-x表示具有相同相位状态但是具有不同极性的状态。如在模型状态元素3320中所示,状态图3300中的每种状态3302、3304、3306、3312、3314和3316包括示出分别在导线3110a、3110b和3110c上传送的信号3202、3204和3206的电压状态的字段3322。例如,在状态3302 (+x) 中,信号3202=+1,信号3204=-1,且信号3206=0。图33中还示出了状态3302、3304、3306、3312、3314和3316之间的5条可能的转变路径,包括例如在-x状态3312和-y状态3314之间的转变路径3324。

[0157] 图34是解说3相PHY中的接收机的示例的示意框图3400。比较器3402 和解码器3404被配置成提供三条传输线3412a、3412b和3412c中的每一条传输线的状态以及这三条传输线的状态与前一码元周期中传送的状态相比而言的变化的数字表示。从所解说的示例中可以看出,每个连接器3412a、3412b 或3412c的电压可与另两个连接器3412a、3412b和/或3412c的电压比较以确定每个连接器3412a、3412b或3412c的状态,以使得可以由解码器3404基于比较器3402的输出来检测并解码转变的发生。串-并转换器3406组装7个连续状态,该串-并转换器产生具有7个码元的组供解映射器3408处理以获得16比特数据,其可被缓冲在FIFO 3410中。

[0158] 某些方面可适用于被部署在电子组件之间的通信链路,这些电子组件可包括设备(诸如电话、移动计算设备、电器、汽车电子、航空电子系统等)的子组件。参考图35,例如,采用M线、N相编码的装置3500可包括被配置成控制装置3500的操作的处理电路3502。处理电路3502可访问并执行软件应用以及控制装置3500内的逻辑电路和其他设备。在一个示例中,装置3500可包括无线通信设备,该无线通信设备通过RF通信收发机3506与无线电接入网 (RAN)、核心接入网、因特网和/或另一网络通信。通信收发机3506可操作地耦合到处理电路3502。处理电路3502可包括一个或多个IC设备,诸如专用 IC (ASIC) 3508。ASIC 3508可包括一个或多个处理设备、逻辑电路等等。处理电路3502可包括和/或耦合到处理器可读存储3512,该处理器可读存储3512 可维护可由处理电路3502执行的指令和数据。处理电路3502可由操作系统以及应用编程接口 (API) 3510层中的一者或者两者来控制,该API 3510层支持并实现驻留在无线设备的存储3512中的软件模块的执行。存储3512可包括只读存储器 (ROM) 或随机存取存储器 (RAM) 、电可擦除可编程只读存储器 (EEPROM) 、闪存设备、或可被用于处理系统和计算平台中的任何存储器设备。处理电路3502可包括和/或访问本地数据库3514,该本地数据库3514可维护用于配置和操作该装置3500的操作参数和其它信息。该本地数据库3514 可使用数据库模块或服务器、闪存、磁介质、EEPROM、光学介质、磁带、软盘

或硬盘等中的一者或多者来实现。处理电路也可以可操作地耦合至外部设备,诸如天线3522、显示器3524、操作者控件(诸如按钮3528和按键板3526)、以及其他组件。

[0159] 图36是解说装置的某些方面的框图3600,该装置诸如是无线移动设备、移动电话、移动计算系统、无线电话、笔记本计算机、平板计算设备、媒体播放器、游戏设备等。装置3600可包括通过通信链路3620交换数据和控制信息的多个IC设备3602和3630。通信链路3620可被用于连接可定位成彼此靠近或者物理上位于装置3600的不同部件中的IC设备3602和3630。在一个示例中,通信链路3620可设在承载IC设备3602和3630的芯片载体、基板或电路板上。在另一示例中,第一IC设备3602可位于折叠式电话的按键板部分中,而第二IC设备3630可位于折叠式电话的显示器部分中。通信链路3620的一部分可包括电缆或光连接。

[0160] 通信链路3620可包括多个信道3622、3624和3626。一个或多个信道3626可以是双向的,并且可以在半双工模式和/或全双工模式中操作。一个或多个信道3622、3624可以是单向的。通信链路3620可以是非对称的,由此在一个方向上提供较高带宽。在本文描述的一个示例中,第一通信信道3622可被称为前向链路3622,而第二通信信道3624可被称为反向链路3624。第一IC设备3602可以被指定为主机(host)、主设备(master)和/或发射机,而第二IC设备3630可以被指定为客户端(slave)、从设备(slave)和/或接收机,即便IC设备3602和3630两者都被配置成在通信链路3620上进行传送和接收。在一个示例中,前向链路3622可以在将数据从第一IC设备3602传达给第二IC设备3630时以较高数据率操作,而反向链路3624可以在将数据从第二IC设备3630传达给第一IC设备3602时以较低数据率操作。

[0161] IC设备3602和3630可各自包括处理器或其它处理和/或计算电路或设备3606、3636。在一个示例中,第一IC设备3602可执行装置3600的核心功能,包括维护通过无线收发机3604和天线3614的无线通信,而第二IC设备3630可支持管理或操作显示器控制器3632的用户接口,并且可使用相机控制器3634来控制相机或视频输入设备的操作。IC设备3602和3630中的一者或多者所支持的其它特征可包括键盘、语音识别组件、以及其它输入或输出设备。该显示器控制器3632可包括支持显示器(诸如液晶显示器(LCD)面板、触摸屏显示器、指示器等)的电路和软件驱动器。存储介质3608和3638可包括瞬态和/或非瞬态存储设备,其被适配成维护由相应处理电路3606和3636和/或IC设备3602和3630的其它组件所使用的指令和数据。每个处理电路3606、3636及其相应的存储介质3608和3638以及其它模块和电路之间的通信可分别由一个或多个总线3612和3642来促成。

[0162] 反向链路3624可按与前向链路3622相同的方式工作。前向链路3622和反向链路3624可以能够以相当的速度或以不同的速度进行传送,其中速度可被表达为数据传输速率和/或时钟速率。取决于应用,前向和反向数据率可以基本上相同或相差几个数量级。在一些应用中,单个双向链路3626可支持第一IC设备3602与第二IC设备3630之间的通信。当例如前向和反向链路3622和3624共享相同的物理连接并且以半双工方式工作时,前向链路3622和/或反向链路3624可被配置成以双向模式工作。

[0163] 在某些示例中,反向链路3624从前向链路3622推导时钟信号,以用于同步目的、用于控制目的、促进功率管理和/或用于简化设计。该时钟信号可具有通过对用于在前向链路3622上传送信号的码元时钟的频率进行分频所获得的频率。码元时钟可被叠加或以其他方式编码在前向链路3622上传送的码元中。使用作为码元时钟的衍生的时钟信号允许发射机

和接收机(收发机3610、3640)的快速同步并使得数据信号能够快速开始和停止而无需成帧(framing)来启用训练和同步。

[0164] 在某些示例中,单个双向链路3626可支持第一处理设备3602与第二处理设备3630之间的通信。在一些实例中,第一处理设备3602和第二处理设备3630 提供在处理设备与存储器设备(诸如动态随机存取存储器(DRAM))之间传送的数据、地址和控制信号的编码和解码。

[0165] 在一个示例中,总线3612和/或3642中的一条或多条总线可使用M线、N 相编码技术来提供对双数据率(DDR) SDRAM的访问。N相极性编码设备3610 和/或3640可每个转变编码多个比特,且多组导线可被用来传送和接收来自SDRAM的数据、控制信号、地址信号等。

[0166] 在另一示例中,通信链路3620包括高速数字接口,诸如移动显示数字接口(MDDI),且一条或多条数据链路3622、3624和3626可使用N相极性编码。收发机3610和3640可编码和解码在通信链路3620上传送的数据。对N 相极性编码的使用提供了高速数据传输,并且可消耗其它接口的功率的一半或更少,因为在N相极性编码数据链路3620中更少的驱动器是活跃的。N相极性编码设备3610和/或3640可在该接口(其可包括总线)上每转变编码多个比特。在一个示例中,3相和极性编码的组合可被用于支持宽视频图形阵列(WVGA)、每秒80帧的LCD驱动器IC而不需要帧缓冲器,从而以810Mbps 的速率递送像素数据以供显示器刷新。

[0167] 根据本文所公开的某些方面,M线、N相极性通信链路的特性可被动态修改以容适变化的操作要求和环境。例如,用于传送N相信号的导线数目可被增加以获得更高可用带宽和/或用于传送N相信号的导线数目可被减少以降低IC 设备3602和3630的功耗。用于在一个方向上传送N相信号的导线数目可独立于用于在另一方向上传送N相信号的导线数目来适配。可使用在通信链路3620 在休眠或上电之后被激活时传送的控制信息来配置物理层驱动器3610和3640 中的接收电路和传送电路。该控制信息可根据预定义协议来传送,由此最小数目的导线被激活以携带指定例如通信链路3620的配置的控制消息。该控制消息可替换地或附加地与关机命令、唤醒命令一起传送、和/或在每次传输之前的前置码中传送。在一些示例中,通信链路3620的配置可在训练和/或同步序列期间确定,由此接收方物理层驱动器3610或3640监视可用导线或其他导体以发现与N相信号相对应的转变,以便确定哪些导线是活跃的。

[0168] 图37解说了本公开的一个或多个方面可在其中得到应用的电路设计系统 3700的示例。系统3700包括计算机3702(例如,工作站),其与用户显示设备3704和用户输入设备3706通信地耦合。计算机3702还通信地耦合至网络 3708以使得由计算机3702生成的设计数据能够被传输到制造PCB、IC等的制造系统3710。

[0169] 装置3702包括处理器3712和存储器3714。该处理器3712可以是任何合适类型的处理单元,诸如中央处理单元(CPU)、协处理器、算术处理单元、图形处理单元(GPU)、数字信号处理器(DSP)等。存储器3714可包括任何合适类型的存储器技术,诸如, RAM、ROM、FLASH、盘驱动器、以及类似物。

[0170] 存储在存储器3714中和/或由处理器3712实现的布线程序3716和仿真模型3718使得用户能够根据本文的教导来生成电路设计。例如,用户可使用显示设备3704和用户输入设备在(例如IC或PCB的)至少一个基板上定位电路组件、在电路组件之间布线导线、以及如本文所教导地添加延迟。用户随后可向制造系统3710发送电路设计3720以产生期望电路组

件。

[0171] 现在转向图38,示出了解说根据本公开的至少一个示例的装置3800的组件选集的框图。装置3800包括外部总线接口3802、存储介质3804、用户接口 3806、存储器设备3808以及处理电路3810。处理电路耦合至外部总线接口 3802、存储介质3804、用户接口 3806和存储器设备3808中的每一者或被置于与其处于电通信。

[0172] 外部总线接口3802提供接口以供装置3800的各组件与外部总线3812对接。外部总线接口3802可包括例如以下一者或多者:信号驱动器电路、信号接收机电路、放大器、信号滤波器、信号缓冲器、或者用来与信令总线或其它类型的信令媒体对接的其它电路系统。

[0173] 处理电路3810被安排成获得、处理和/或发送数据、控制数据的访问与存储、发布命令,以及控制其他期望操作。在至少一个示例中,处理电路3810 可包括被适配成实现由恰适介质提供的期望编程的电路系统。在一些实例中,处理电路3810可包括适配成执行期望功能(在实现编程或在不实现编程的情况下)的电路系统。作为示例,处理电路3810可被实现为一个或多个处理器、一个或多个控制器、和/或配置成执行可执行编程和/或期望功能的其他结构。处理电路3810的示例可包括被设计成执行本文所描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA) 或其他可编程逻辑组件、分立的门或晶体管逻辑、分立的硬件组件、或者其任何组合。通用处理器可包括微处理器,以及任何常规处理器、控制器、微控制器、或状态机。处理电路3810还可实现为计算组件的组合,诸如DSP与微处理器的组合、数个微处理器、与DSP核协作的一个或多个微处理器、ASIC和微处理器、或任何其他数目的变化配置。处理电路3810的这些示例是为了解说,并且还设想了落在本公开范围内的其他合适的配置。

[0174] 处理电路3810适配成用于进行处理,包括执行可存储在存储介质3804上的编程。如本文中使用的,术语“编程”或“指令”应当被宽泛地解释成不构成限定地包括指令集、指令、代码、代码段、程序代码、程序、编程、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数等,无论其被称为软件、固件、中间件、微代码、硬件描述语言、还是其他术语。

[0175] 在一些实例中,处理电路3810可包括以下一者或多者:用于确定信号传播时间的模块3814,用于指定延迟的模块3816,用于确定参数的模块3818,用于驱动的模块3820,或者用于解码的模块3822。

[0176] 用于确定信号传播时间的模块3814可包括适配成收集关于信号传播时间的信息的电路系统和/或编程(例如,存储在存储介质3804上的用于确定信号传播时间的模块3824)。例如,在一些实现中,信息是从存储器设备3808检索或者通过激活估计或测量信号传播时间的进程来收集的。信号传播时间的指示随后被输出(例如存储在存储器设备3808中或传递到另一组件)。

[0177] 用于指定延迟的模块3816可包括适配成获取用来指定延迟的信息的电路系统和/或编程(例如,存储在存储介质3804上的用于指定延迟的模块3826)。例如,在一些实现中,信息是从存储器设备3808(例如,图11的存储器设备 1110)或从活跃处理(例如,图11的活跃操作1114)检索的。随后基于该信息(例如,如以上关于图11的延迟控制器1102结合讨论的)来确定延迟值。延迟的指示随后被输出(例如,存储在存储器设备3808中或传递到另一组件)。

[0178] 用于确定参数的模块3818可包括适配成获取参数信息的电路系统和/或编程(例如,存储在存储介质3804上的用于确定参数的模块3828)。例如,在一些实现中,信息是从存储器设备3808(例如,图11的存储器设备1110)或从活跃过程(例如,图11的活跃操作1114)检索的。

[0179] 用于驱动的模块3820可包括适配成使得数据被驱动到多导线信道上的电路系统和/或编程(例如,存储在存储介质3804上的用于驱动的模块3830)。例如,在一些实现中,获取在信道上发送的信息,并且将该信息发送到驱动器电路。

[0180] 用于解码的模块3822可包括适配成解码经由多导线信道接收到的信息的电路系统和/或编程(例如,存储在存储介质3804上的用于解码的模块3832)。例如,在一些实现中,通过将在不同导线上接收到的信号(例如,如在图27中的)进行比较来解码收到信息。

[0181] 存储介质3804可代表用于存储编程、电子数据、数据库、或其他数字信息的一个或多个处理器可读设备。存储介质3804还可被用于存储由处理电路3810在执行编程时操纵的数据。存储介质3804可以是能被处理电路3810访问的任何可用介质,包括便携式或固定存储设备、光学存储设备、以及能够存储、包含和/或携带编程的各种其他介质。作为示例而非限定,存储介质3804可包括处理器可读存储介质,诸如磁存储设备(例如,硬盘、软盘、磁条)、光学存储介质(例如,压缩盘(CD)、数字多用盘(DVD))、智能卡、闪存设备(例如,闪存卡、闪存条、钥匙型驱动)、随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、可擦式PROM(EPROM)、电可擦式PROM(EEPROM)、寄存器、可移动盘、和/或用于存储编程的其他介质、以及其任何组合。因此,在一些实现中,存储介质可以是非瞬态(例如,有形)存储介质。

[0182] 存储介质3804可被耦合至处理电路3810以使得处理电路3810能从存储介质3804读取信息和向存储介质3804写入信息。也就是说,存储介质3804可耦合至处理电路3810,从而存储介质3804至少能由处理电路3810访问,包括其中存储介质3804整合到处理电路3810的示例和/或其中存储介质3804与处理电路3810分开的示例。

[0183] 由存储介质3804存储的编程在由处理电路3810执行时使处理电路3810执行本文描述的各种功能和/或过程步骤中的一者或多者。例如,存储介质3804可包括以下一者或多者:用于确定信号传播时间的模块3824,用于指定延迟的模块3826,用于确定参数的模块3828,用于驱动的模块3830,或者用于解码的模块3832。因此,根据本公开的一个或多个方面,处理电路3810被适配成(结合存储介质3804)执行用于本文所描述的任何或所有装置的任何或所有过程、功能、步骤和/或例程。如本文所使用的,涉及处理电路3810的术语“适配”可指代处理电路3810(协同存储介质3804)被配置、采用、实现和/或编程(以上一者或多者)以执行根据本文描述的各种特征的特定过程、功能、步骤和/或例程。

[0184] 存储器设备3808可表示一个或多个存储器设备并且可包括以上列出的任何存储器技术或者任何其它合适的存储器技术。存储器设备3808可存储延迟相关信息连同装置3800的一个或多个组件所使用的其它信息。存储器设备3808还可用于存储由处理电路3810或由装置3800的某种其他组件操纵的数据。在一些实现中,存储器设备3808和存储介质3804被实现为共用存储器组件。

[0185] 用户接口3806包括使得用户能够与装置3800交互的功能性。例如,用户接口3806可与一个或多个用户输出设备(例如,显示设备等)以及一个或多个用户输入设备(例如,按

键板、触觉输入设备等)对接。

[0186] 谨记以上内容,根据本公开的与多导线信令相关的操作的示例将结合图39 -42的流程图更详细地描述。出于方便目的,图39-42的操作(或本文所讨论或教导的任何其它操作)可被描述为是由特定组件来执行的。然而,应当领会,在各个实现中,这些操作可由其他类型的组件来执行,并且可使用不同数目个组件来执行。还应当领会,在给定实现中可以不采用本文所描述的操作中的一个或多个操作。

[0187] 图39解说了根据本公开的一些方面的用于指定延迟的过程3900。在本公开的范围内的各个方面,过程3900可以由能够支持延迟指定操作的任何合适的装置来实现。

[0188] 在一些实现中,过程3900可发生在处理系统(例如,图38的处理电路3810)内,该处理系统可位于通信设备或某种其他合适的装置中。例如,与多导线信道相关联的延迟控制器可执行过程3900以动态地调节在多导线信道的导线上所施加的延迟并且由此控制多导线信道的导线对的信号传播时间。

[0189] 在其他实现中,过程3900在电路设计系统(例如,图37中解说的电路设计系统3700)内进行。例如,多导线信道的导线可被设计和制造成在某些操作条件下具有某些信号传播时间。因此,在多导线信道的导线上施加的延迟可在设计过程期间指定并且由此控制后续操作期间多导线信道的导线对的信号传播时间。

[0190] 在框3902,确定与多个导线对中的每一个导线对相关联的信号传播时间。作出该确定的方式在一些方面可取决于该过程是在制造过程期间还是在制造过程之后执行。

[0191] 在制造过程期间,可使用仿真工具来估计多导线信道的每个唯一性差分对的信号传播时间,该仿真工具已使用电路设计工具创建。此类仿真工具可将各种参数纳入考虑,不作为限定地诸如信号频率、信号上升时间、信号下降时间、基板的介电常数( $\epsilon_r$ )、导线到接地平面的距离、导线路径不连续性、导线宽度以及导线厚度。

[0192] 在制造过程之后,延迟控制器或其它类似组件可确定(例如,测量)在实际操作条件下与多导线信道的导线相关联的信号传播时间。例如,发射机可在这些导线上向接收机发送数据并且接收机可将该数据环回到发射机。基于对应的往返时间(以及在适用的情况下接收机处的已知延迟),发射机可确定给定导线上的信号传播时间。作为另一示例,发射机可在这些导线上向接收机发送已知数据码型。接收机随后可确定(例如通过以相对较高的速率采样收到信号)某些导线是否比其它导线具有更长的信号传播时间。

[0193] 在框3904,针对耦合至这些导线中的至少一条导线的至少一个延迟元件指定延迟,以使得与该多条导线中的每个导线对相关联的信号传播时间在误差余裕内彼此相等。在其中多条导线包括三条导线和三个导线对的一些实现中,该至少一个延迟元件包括耦合至三条导线中的中间导线的延迟元件。然而,如本文所讨论的,延迟元件可被置于沿多导线总线的各个位置中,并且不同数目的延迟元件可被用于不同实现中。

[0194] 将在给定导线上施加的延迟可以根据其它导线的信号传播时间(如在框 3902处确定的)来指定(例如,选择)。例如,通过使用信号特征化技术,给定差分对的信号传播时间可以基于个体导线的信号传播时间(或者相关联的特性阻抗)来确定。相应地,可确定将被添加到给定导线以确保所有导线对都具有基本上相同的信号传播时间的延迟值。

[0195] 在实践中,不同导线对的信号传播时间可能不是精确地相等的。确切而言,延迟可被指定为使得不同导线对的信号传播时间都在所定义的误差余裕内。此类误差余裕在不同

实现中可按不同方式定义。例如,在一些实现中,误差余裕被定义为百分比(例如,1%、2%等等)。因此,在该情形中,延迟可被指定为使得不同导线对的信号传播时间都落在彼此的所定义百分比内。作为另一示例,在一些实现中,误差余裕被定义为离散值(例如,1ps、2ps等等)。因此,在该情形中,延迟可被指定为使得不同导线对的信号传播时间都落在所定义时间范围内。

[0196] 在一些实现中,延迟的指定涉及控制延迟元件。例如,在其中每个延迟元件具有可编程延迟的实现中,延迟的指定涉及控制每个延迟元件的可编程延迟。

[0197] 在一些实现中,延迟的指定包括指定每个延迟元件的物理特性。例如,导线区段的长度可被指定为使得在每条导线上施加的结果所得的延迟确保对应多导线信道的所有导线对具有基本上相同的信号传播时间。

[0198] 相应地,在电路设计过程的一些实现期间,延迟的指定涉及生成代表物理特性的电路描述。例如,设计工具可指定导线的长度、厚度或宽度中的一者或者者。

[0199] 在制造过程的一些实现期间,延迟的指定涉及生成实施该物理特性的电路(例如,在PCB或IC管芯上)。例如,制造系统可生成具有所指定的长度、厚度或宽度中的一者或者者的导线的电路。

[0200] 图40解说了根据本公开的一些附加方面的用于指定延迟的过程4000。过程4000可发生在处理电路3810(图38)内,该处理电路可位于通信设备或某种其他合适的装置中。例如,与多导线信道相关联的延迟控制器可结合图39的过程3900来执行过程4000。当然,在本公开的范围内的各个方面,过程4000可以由能够支持延迟指定操作的任何合适的装置来实现。

[0201] 在框4002,确定参数。例如,参数可以从存储器检索或者在活跃过程(例如,参数测量过程)期间生成。该参数可以在不同实现中采取不同形式。在一些实现中,该参数是以下至少一者:导线长度、与导线对相关联的信号传播时间、由导线承载的信号的信号频率、在导线上传送信号的应用、或者工艺、电压和温度(PVT)条件。

[0202] 在框4004,基于框4002所确定的参数针对至少一个延迟元件指定延迟。例如,通过使用信号特征化技术,给定差分对的信号传播时间可以基于该参数(例如,通过至少部分地基于该参数导出个体导线的信号传播时间或相关联的特性阻抗)来确定。相应地,可确定将被添加到给定导线以确保所有导线对都具有基本上相同的信号传播时间的延迟值。

[0203] 图41解说了根据本公开的一些方面的驱动多导线信道的过程4100。过程4100可发生在处理电路3810(图38)内,该处理电路可位于通信设备或某种其他合适的装置中。具体而言,过程4100可由在多导线信道上传送数据的装置来执行。当然,在本公开的范围内的各个方面,过程4100可以由能够支持多导线操作的任何合适的装置来实现。

[0204] 在框4102,在发射机处针对至少一个延迟元件指定延迟。在一些实现中,框4102的操作采用过程3900和/或过程4000。

[0205] 在框4104,获取用于多导线信道上的数据传输的数据。例如,发射机可从系统(诸如,处理系统、存储器设备、RF接收机或某一其它组件)的另一组件接收数据。

[0206] 如本文所使用,术语“数据”宽泛地指代可被传达的任何类型的信息。因此,数据可不作为限定地包括控制信息、应用数据(例如,用户数据)、命令、地址等等。

[0207] 典型地,给定数据传输涉及在时钟循环期间或者与时钟信号的转变相结合地传送

所定义的数据集。例如，在多导线信道的双数据率实现中，可使用每个时钟转变来传送一个或多个码元或比特。

[0208] 在框4106，对于特定数据传输，驱动多导线信道的导线中的导线对中的特定一个导线对，由此每个其它导线对处于高阻抗状态。例如，如图31和34所解说的，对于三导线信道，驱动其中两条导线并且使第三导线浮动。在四导线信道中，驱动其中两条导线并且使其它两条导线浮动(开路)。

[0209] 图42解说了根据本公开的一些方面的用于经由多导线信道接收数据的过程4200。过程4200可发生在处理电路3810(图38)内，该处理电路可位于通信设备或某种其他合适的装置中。具体而言，过程4200可由在多导线信道上接收数据的装置来执行。当然，在本公开的范围内的各个方面，过程4200可以由能够支持多导线操作的任何合适的装置来实现。

[0210] 在框4202，在发射机处针对至少一个延迟元件指定延迟。在一些实现中，框4202的操作采用过程3900和/或过程4000。

[0211] 在框4204，开始数据传输的接收。例如，在一些实现中，接收机从发射机接收“写数据”命令并且开始来自多导线信道的数据中的时钟控制。作为另一示例，在一些实现中，接收机往往在某些时钟循环上进行接收。

[0212] 再次，如本文所使用地，术语“数据”宽泛地指代可被传达的任何类型的信息。因此，框4204的数据传输可不作为限定地包括接收控制信息、应用数据(例如，用户数据)、命令、地址等等。

[0213] 在框4206，解码针对数据传输接收到的信息。这里，信息是基于多条导线的导线对中的特定一个导线对正被驱动、以及该多条导线中的每条其它导线处于高阻抗状态来解码的。例如，在一些实现中，接收机根据图34中所解说的映射和/或图35中所解说的状态来解码信息。在其它实现中，接收机可采用其它类型的解码。

[0214] 附图中解说得组件、步骤、特征和/或功能之中的一个或多个可以被重新编排和/或组合成单个组件、步骤、特征或功能，或可以实施在数个组件、步骤或功能中。还可添加附加的元件、组件、步骤、和/或功能而不会脱离本文中所公开的新颖特征。各附图中所解说得装置、设备和/或组件可以被配置成执行本文所描述的一个或多个方法、特征、或步骤。本文中描述的新颖算法还可以高效地实现在软件中和/或嵌入到硬件中。

[0215] 应该理解，所公开的方法中各步骤的具体次序或阶层是示例性过程的解说。基于设计偏好，应该理解，可以重新编排这些方法中各步骤的具体次序或阶层。所附方法权利要求以样本次序呈现各种步骤的要素，且并不意味着被限定于所呈现的具体次序或阶层，除非在本文中有特别叙述。附加的元件、组件、步骤、和/或功能也可被添加或不被利用，而不会脱离本公开。

[0216] 尽管本公开的特征可能已经针对某些实现和附图作了讨论，但本公开的所有实现可包括本文所讨论的有利特征中的一个或多个。换言之，尽管可能讨论了一个或多个实现具有某些有利特征，但也可以根据本文中讨论的各种实现中的任一实现来使用此类特征中的一个或多个。以类似方式，尽管示例实现在本文中可能是作为设备、系统或方法实现来进行讨论的，但是应该理解，此类示例实现可以在各种设备、系统、和方法中实现。

[0217] 另外，注意到至少一些实现是作为被描绘为流图、流程图、结构图、或框图的过程来描述的。尽管流程图可能会把诸操作描述为顺序过程，但是这些操作中有许多操作能够

并行或并发地执行。另外,这些操作的次序可被重新安排。过程在其操作完成时终止。过程可对应于方法、函数、规程、子例程、子程序等。当过程对应于函数时,它的终止对应于该函数返回调用方函数或主函数。因此,本文中描述的各种方法可部分地或全部地由可存储在机器可读、计算机可读和/或处理器可读存储介质中并由一个或多个处理器、机器和/或设备执行的编程(例如,指令和/或数据)来实现。

[0218] 本领域技术人员将可进一步领会,结合本文中公开的实现描述的各种解说性逻辑框、模块、电路、和算法步骤可被实现为硬件、软件、固件、中间件、微代码、或其任何组合。为清楚地解说这种可互换性,以上已经以其功能性的形式一般地描述了各种解说性组件、框、模块、电路和步骤。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。

[0219] 在本公开内,措辞“示例性”用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实现或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的所有方面都包括所讨论的特征、优点或操作模式。术语“耦合”在本文中被用于指两个对象之间的直接或间接耦合。例如,如果对象A物理地接触对象B,且对象B接触对象C,则对象A和C可仍被认为是彼此耦合的——即便它们并非彼此直接物理接触。例如,第一管芯可以在封装中耦合至第二管芯,即便第一管芯从不直接与第二管芯物理接触。术语“电路”和“电路系统”被宽泛地使用且意在包括电子器件和导线的硬件实现以及信息和指令的软件实现两者,这些电子器件和导线在被连接和配置时使得能执行本公开中描述的功能而在电子电路的类型上没有限制,这些信息和指令在由处理器执行时使得能执行本公开所描述的功能。

[0220] 如本文所使用的,术语“确定”涵盖各种各样的动作。例如,“确定”可包括演算、计算、处理、推导、研究、查找(例如,在表、数据库或其他数据结构中查找)、查明、及类似动作。而且,“确定”可包括接收(例如接收信息)、访问(例如访问存储器中的数据)、及类似动作。同样,“确定”还可包括解析、选择、选取、建立、及类似动作。

[0221] 提供先前描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。对这些方面的各种改动将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示出的各方面,而是应被授予与权利要求的语言相一致的全部范围,其中对要素的单数形式的引述并非旨在表示“有且仅有一个”——除非特别如此声明,而是旨在表示“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。引述一列项目中的“至少一个”的短语是指这些项目的任何组合,包括单个成员。作为示例,“a、b或c中的至少一者”旨在涵盖: a;b;c;a和b;a和c;b和c;以及a、b和c。本公开通篇描述的各种方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。权利要求的任何要素都不应当在35U.S.C. §112第六款的规定下来解释,除非该要素是使用措辞“用于……的装置”来明确叙述的或者在方法权利要求情形中该要素是使用措辞“用于……的步骤”来叙述的。

[0222] 相应地,与本文中所描述的和附图中所示的示例相关联的各种特征可实现在不同示例和实现中而不会脱离本公开的范围。因此,尽管某些具体构造和安排已被描述并在附

图中示出,但此类实现仅是解说性的并且不限制本公开的范围,因为对所描述的实现的各种其他添加和修改、以及删除对于本领域普通技术人员而言将是明显的。因此,本公开的范围仅由所附权利要求的字面语言及其法律等效来确定。

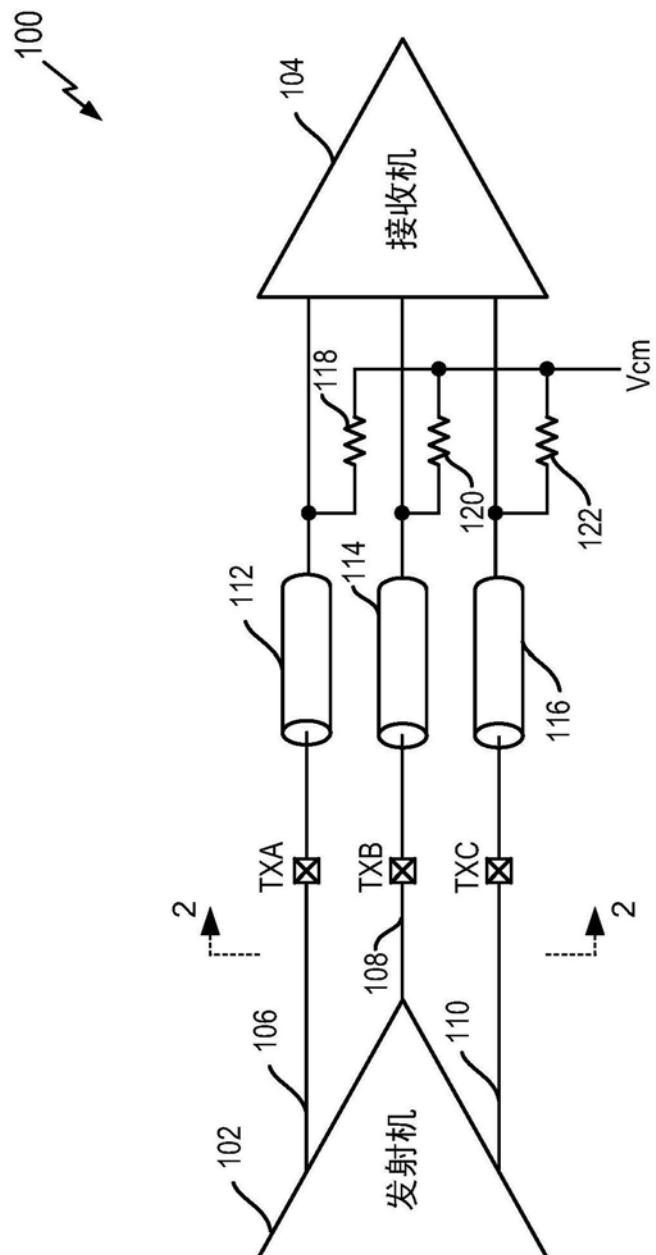


图1

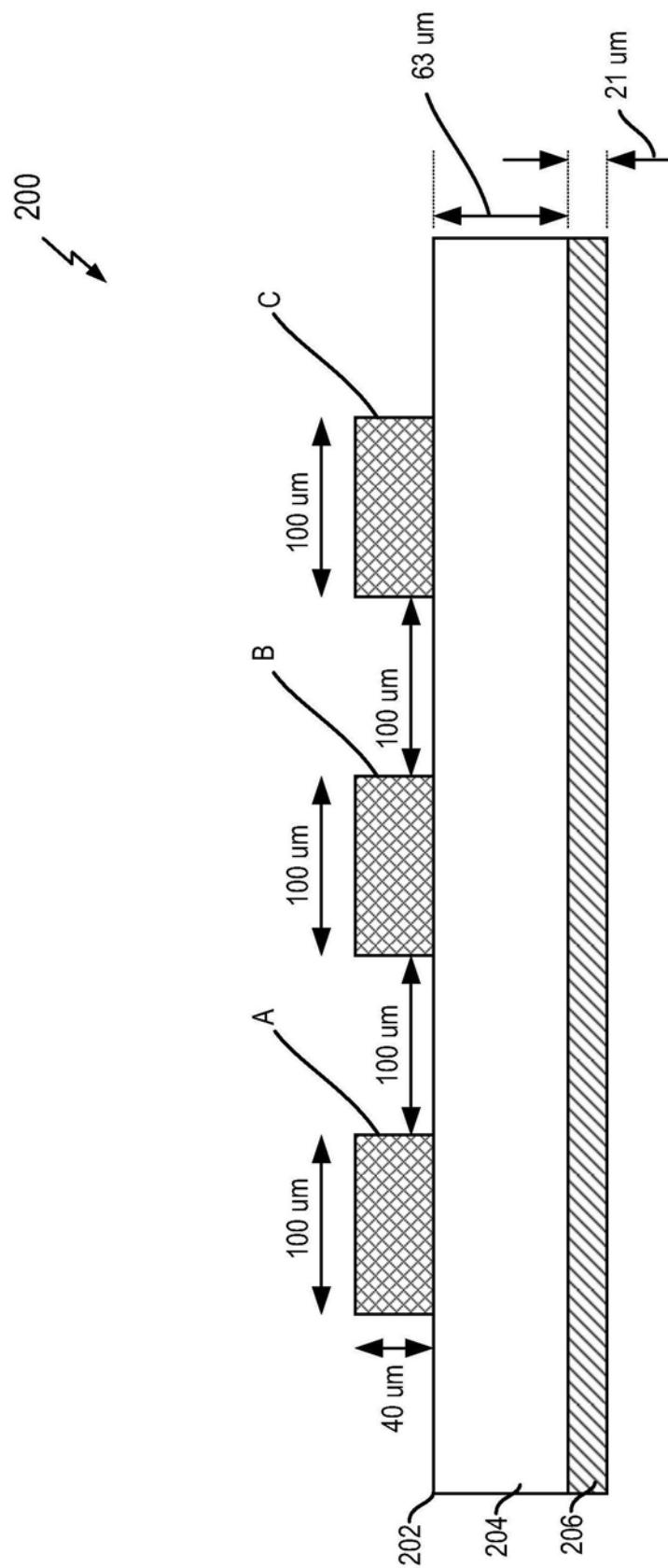


图2

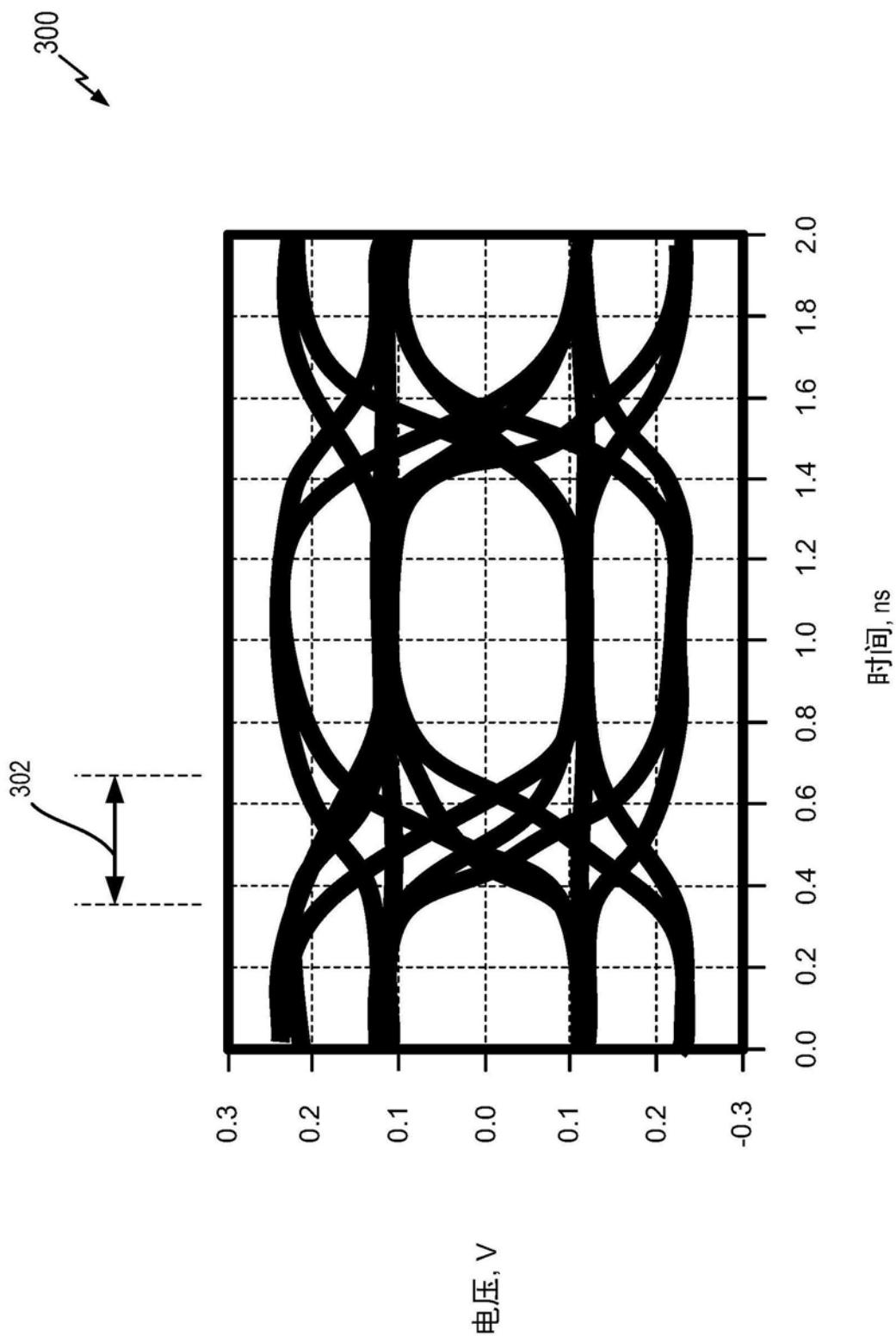


图3

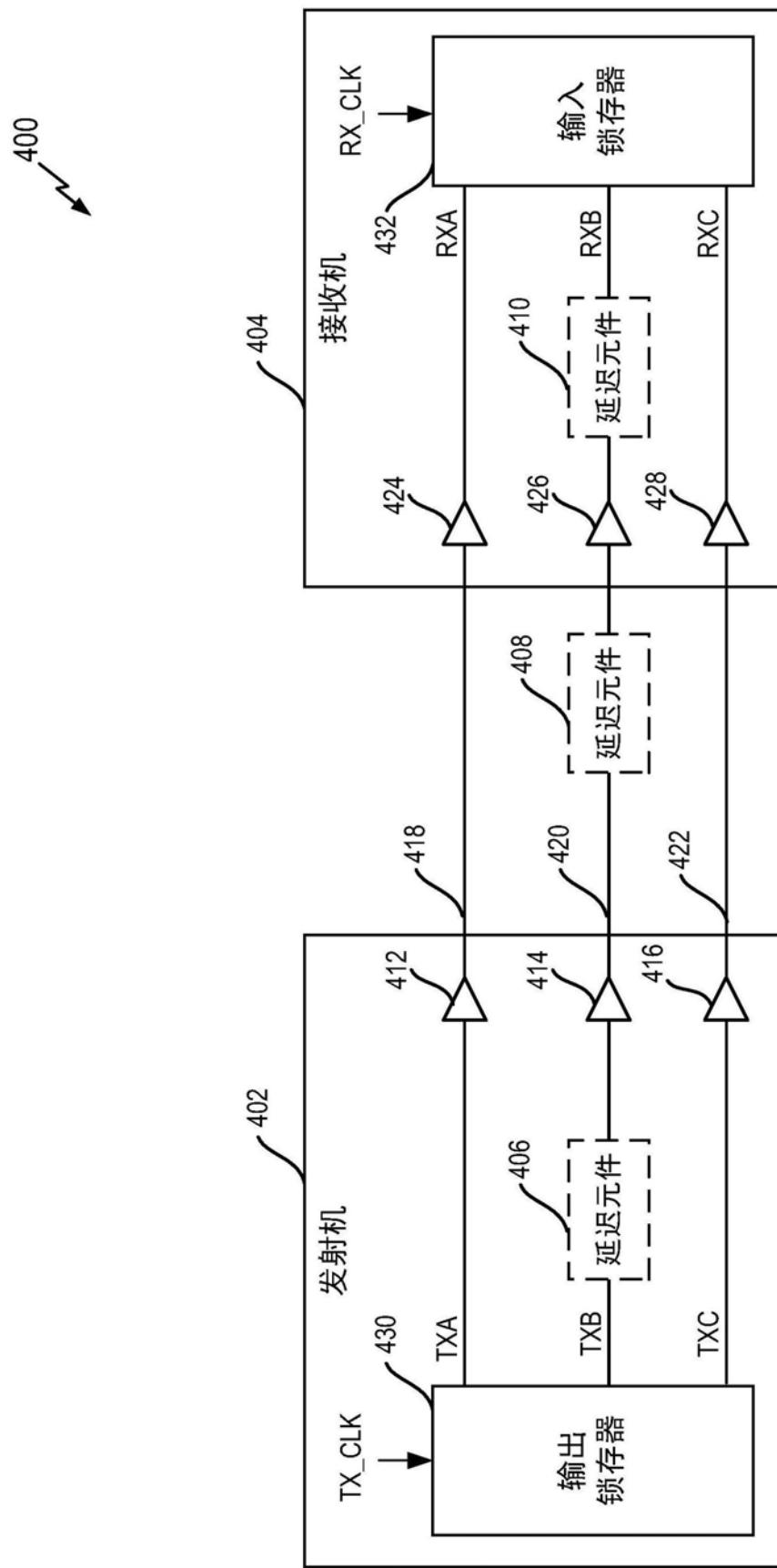


图4

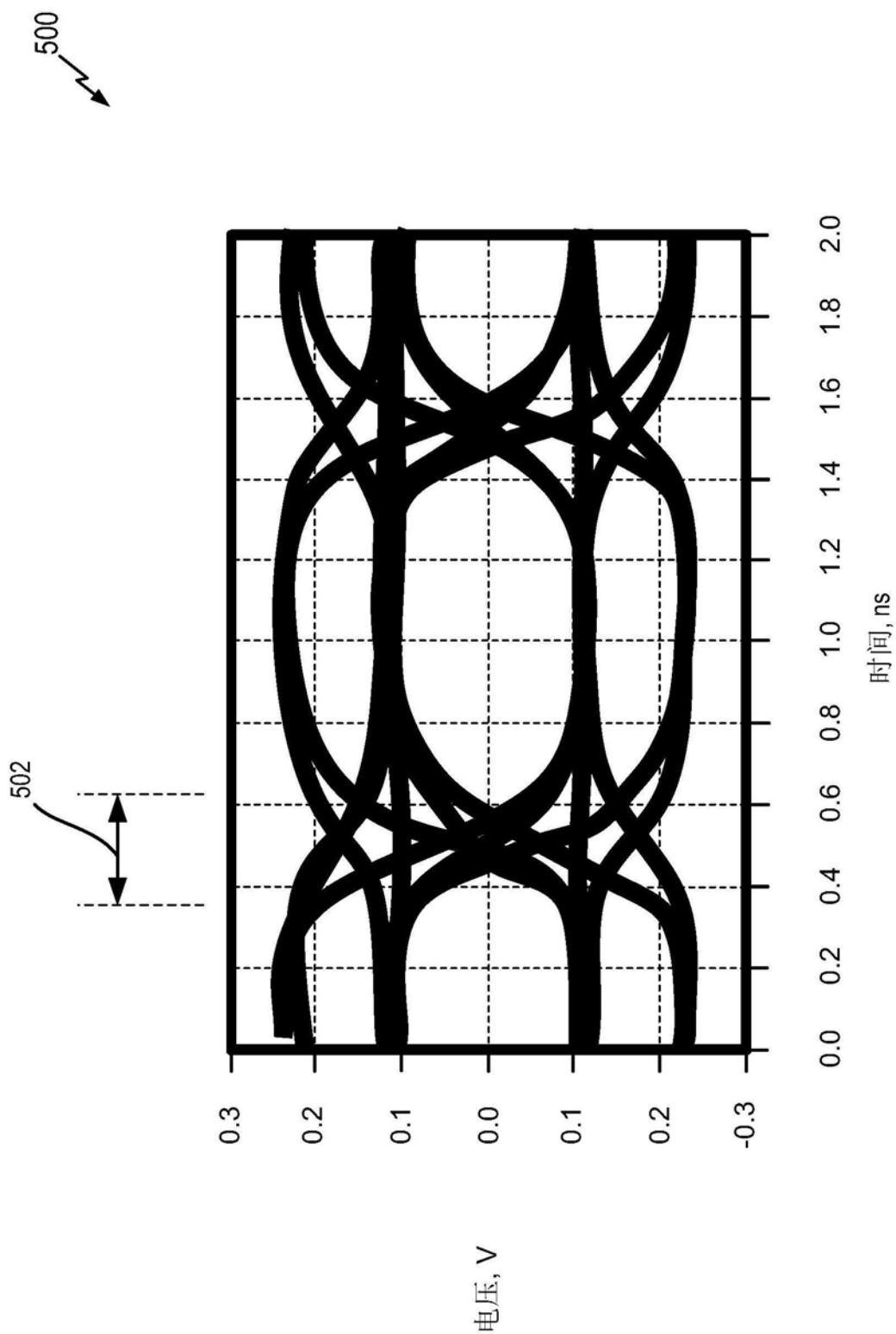


图5

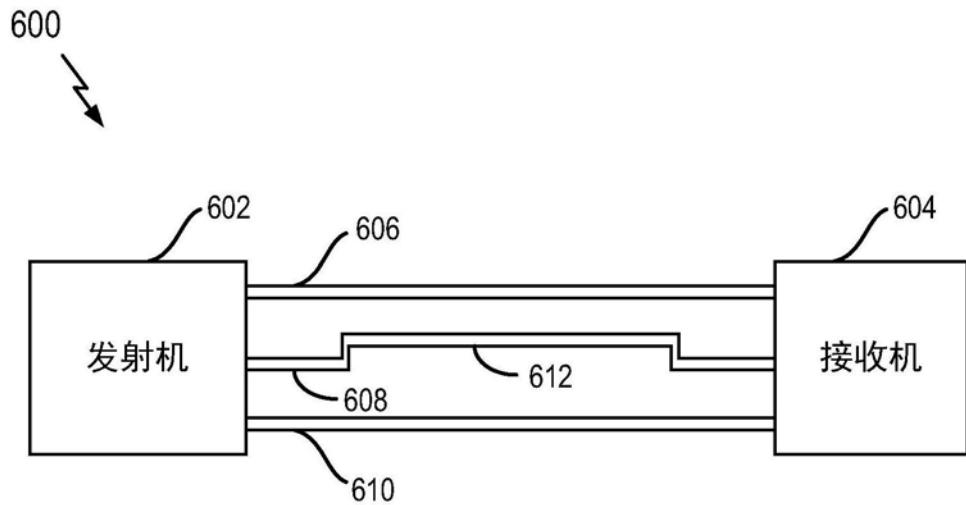


图6

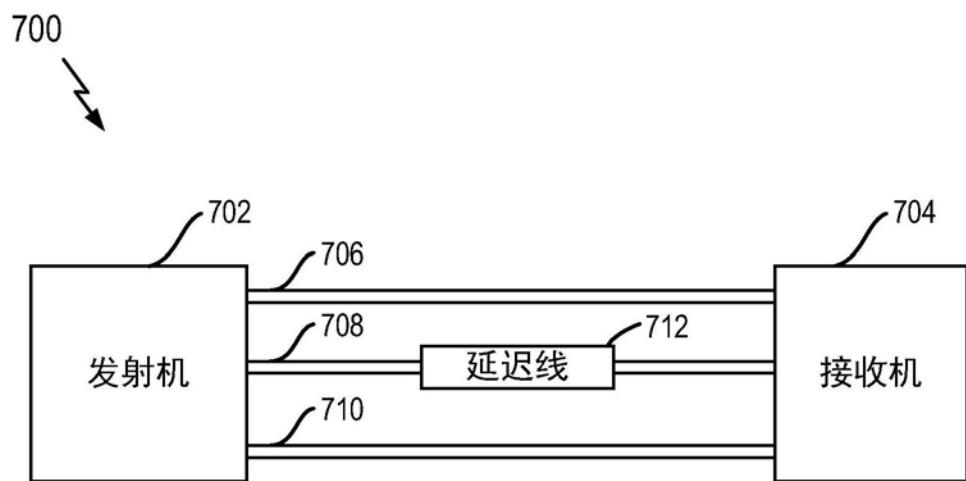


图7

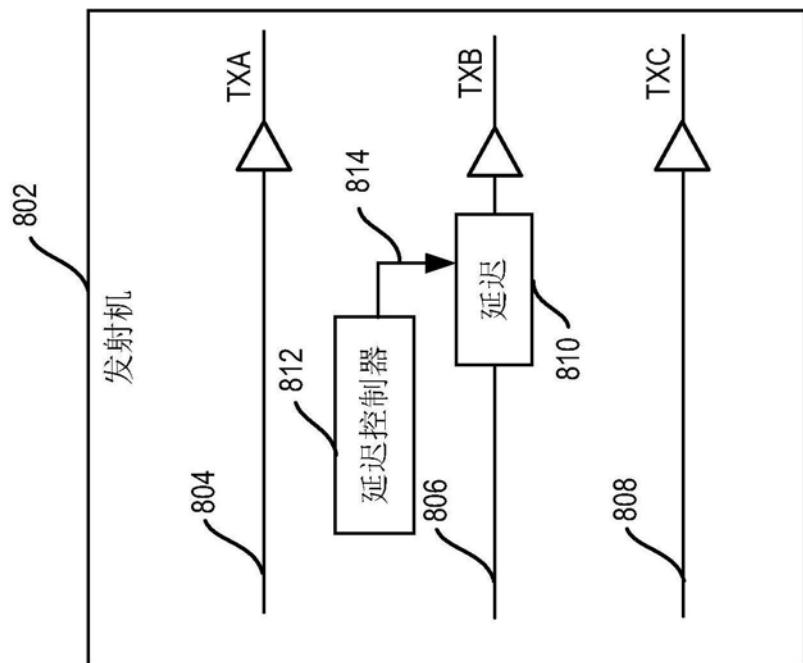


图8

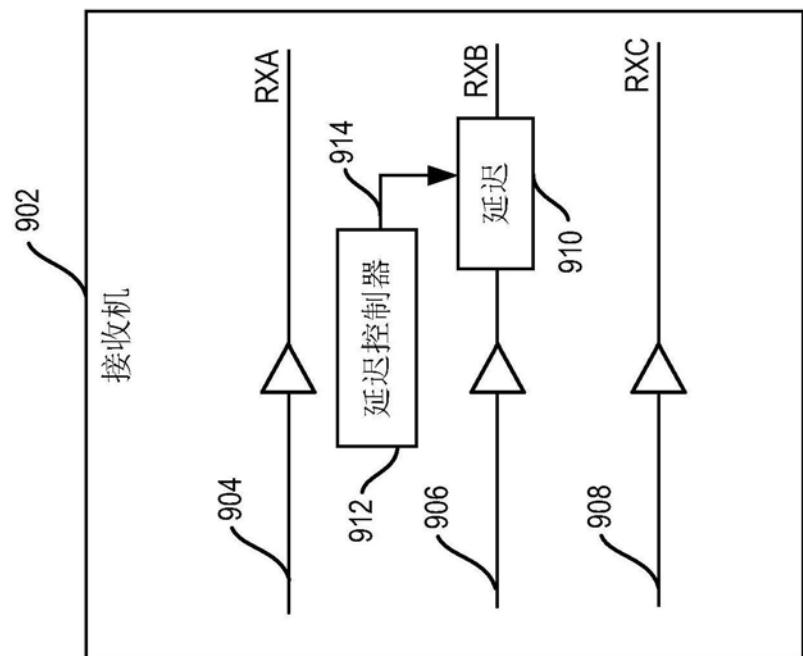


图9

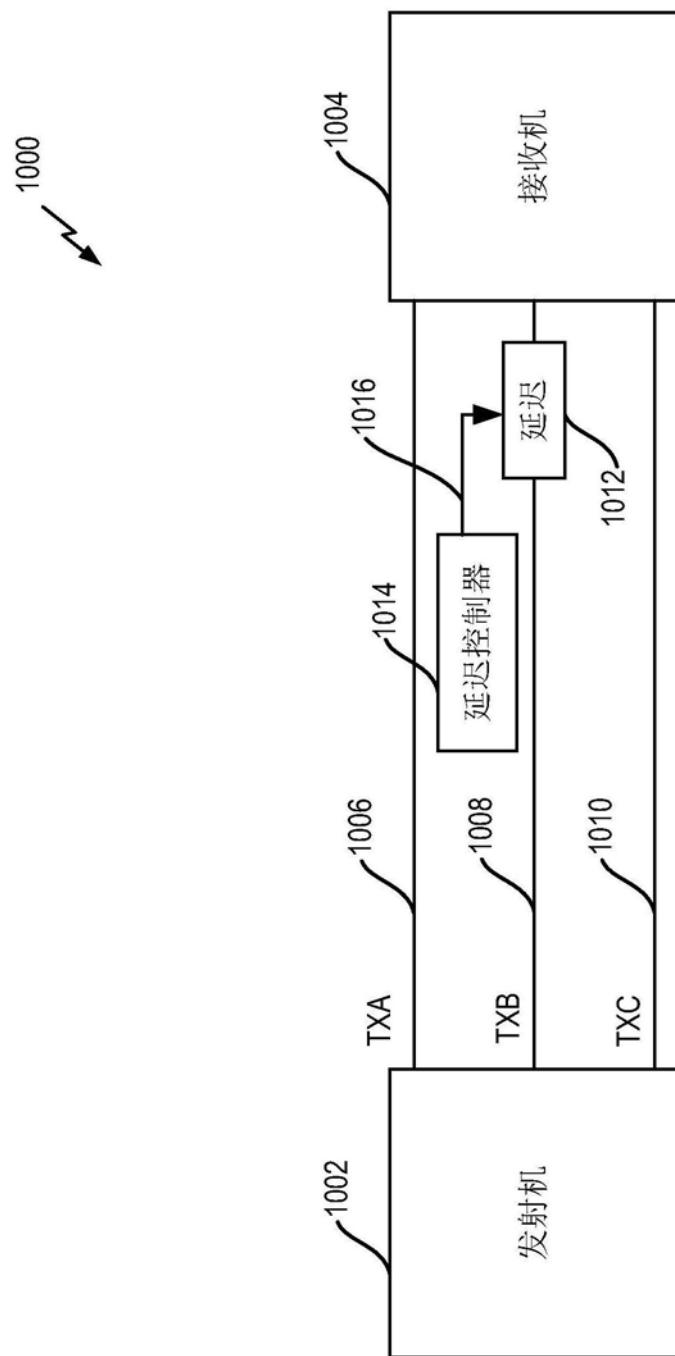


图10

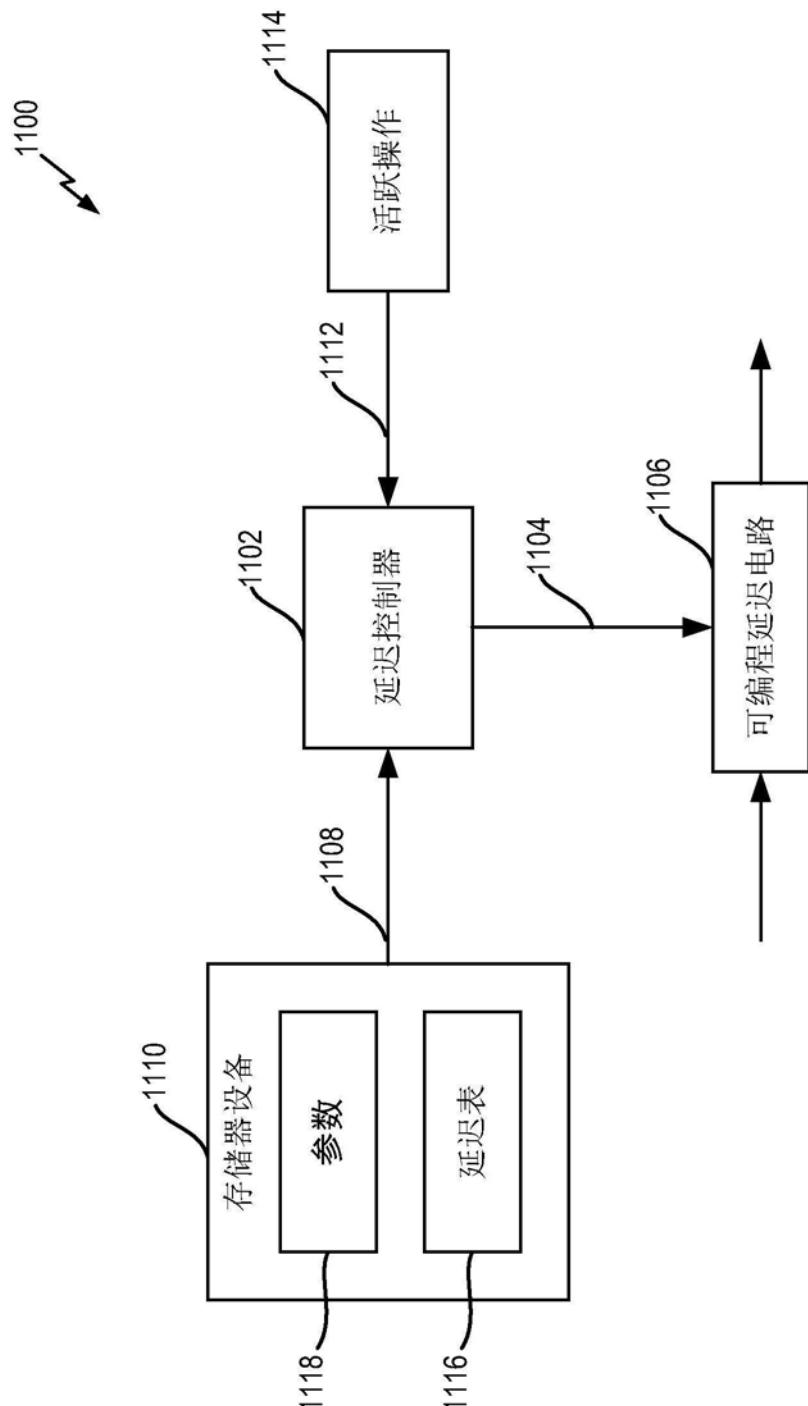


图11

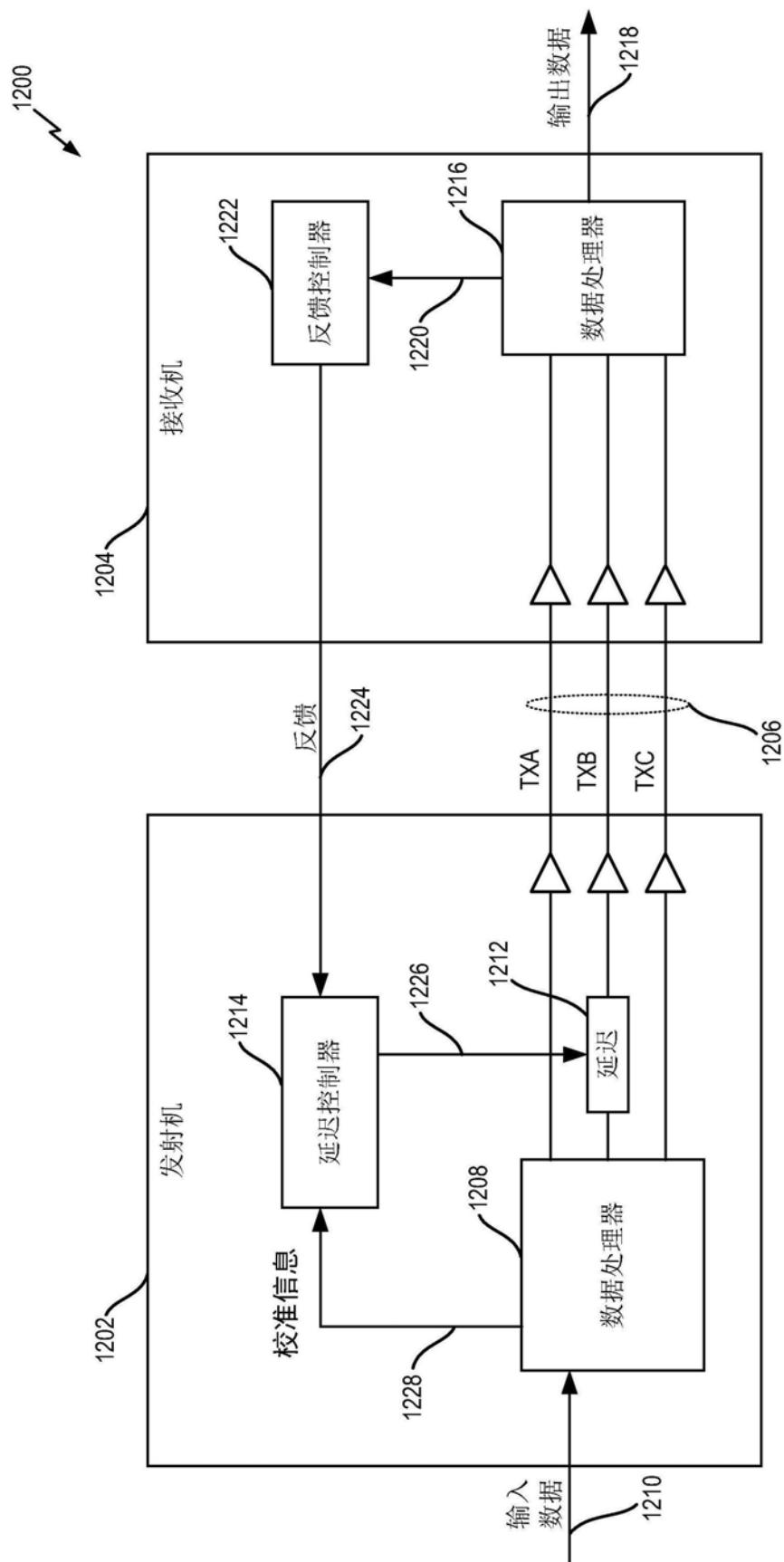


图12

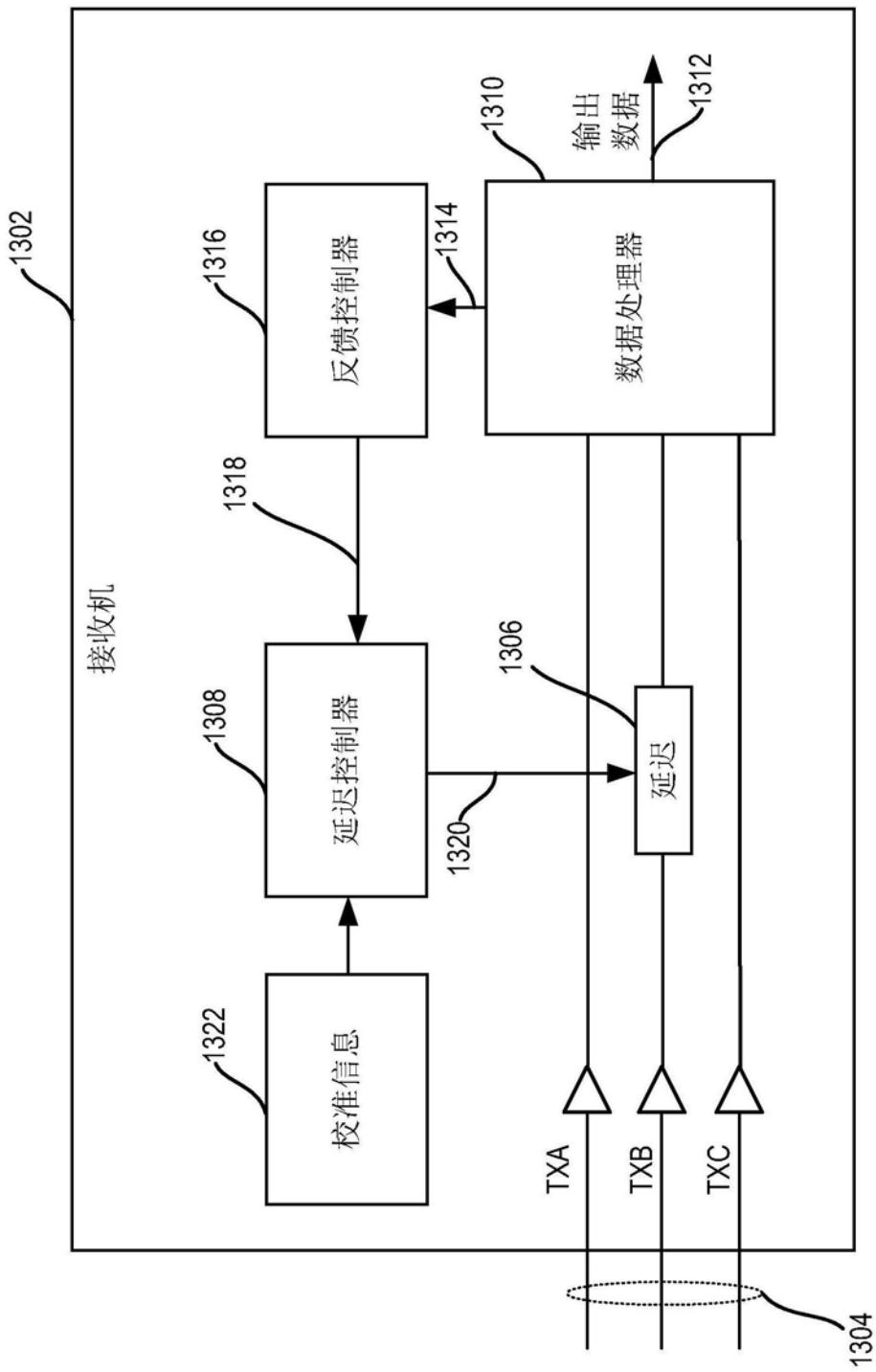


图13

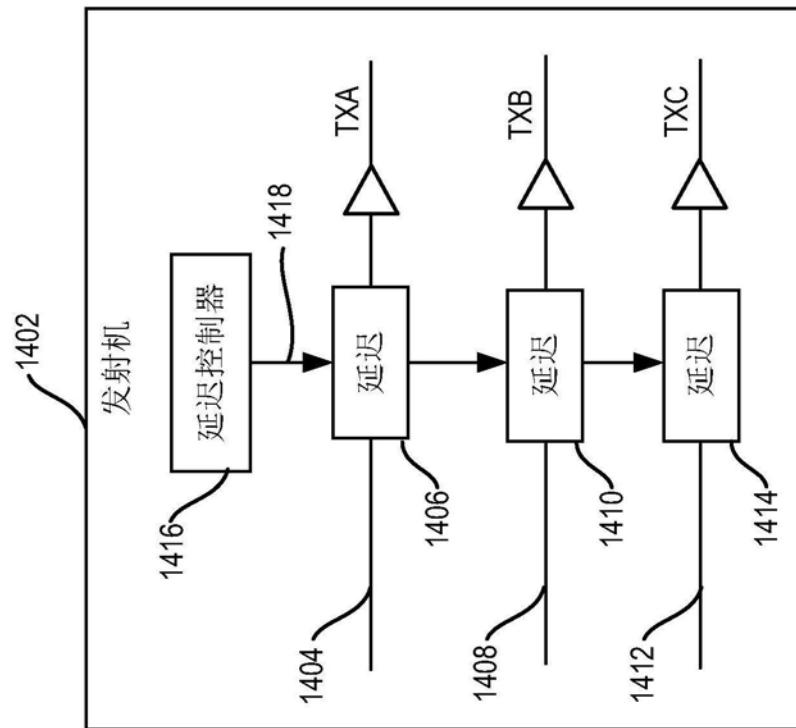


图14

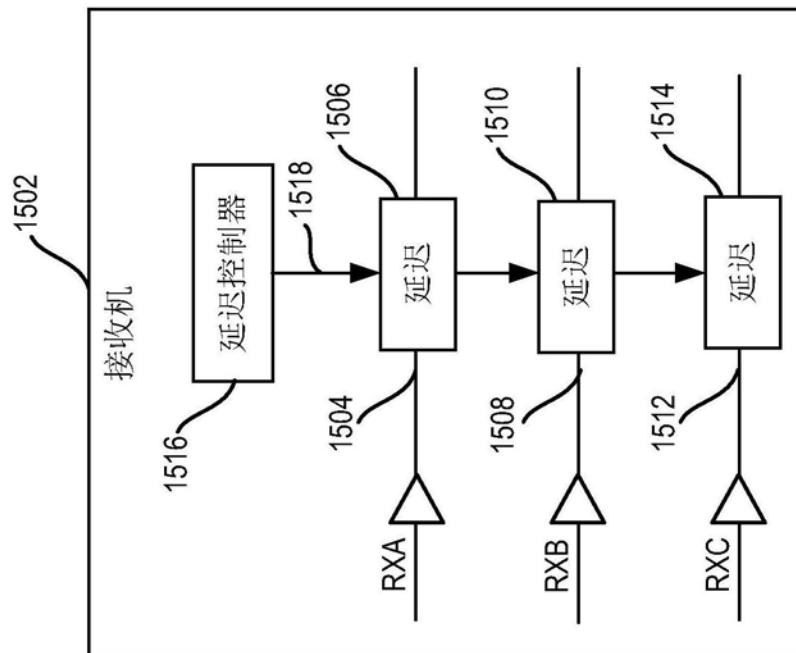


图15

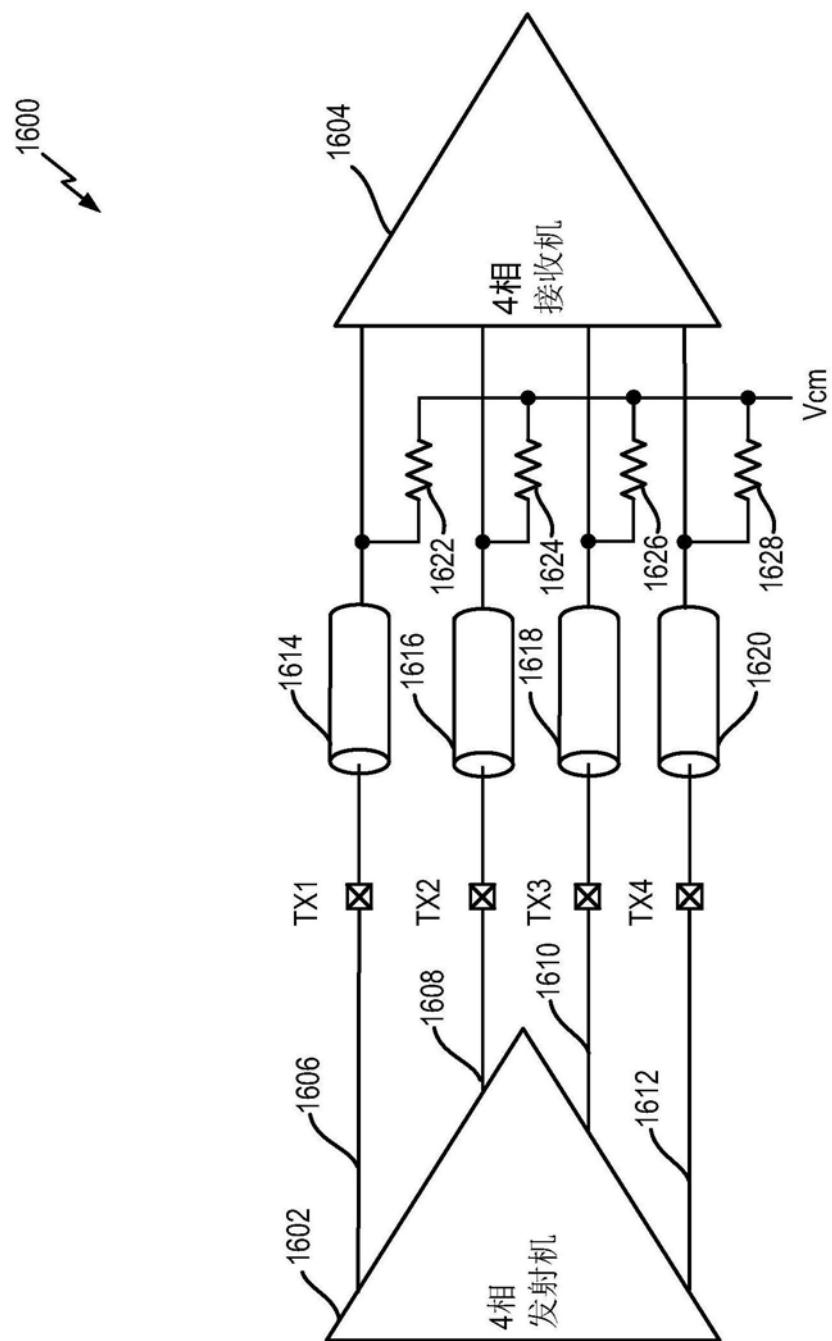


图16

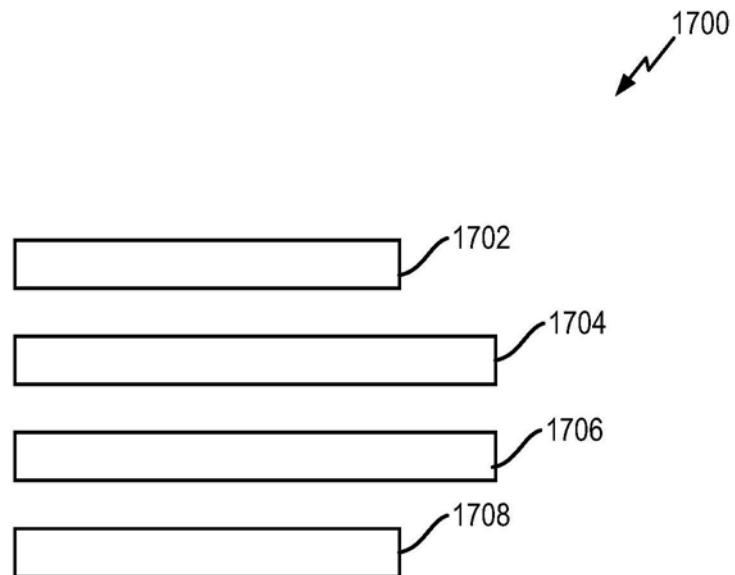


图17

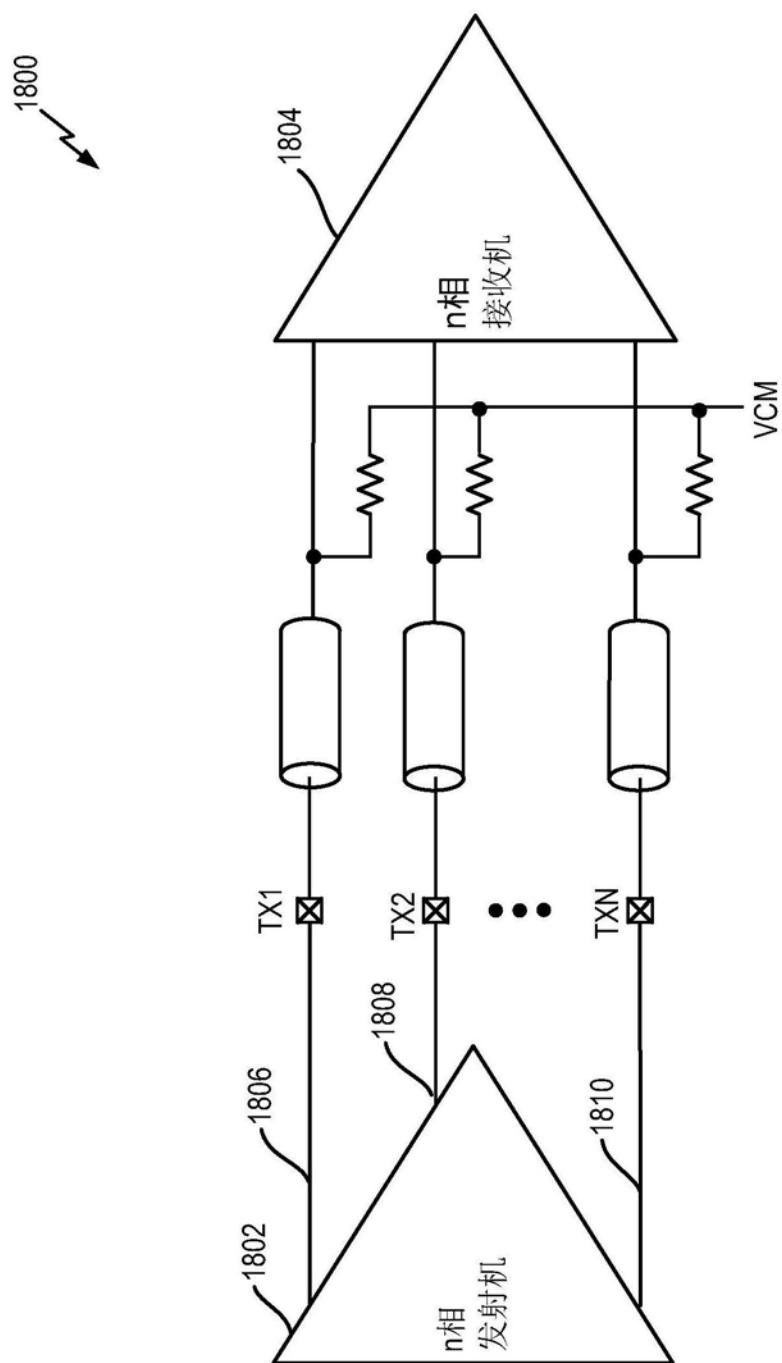


图18

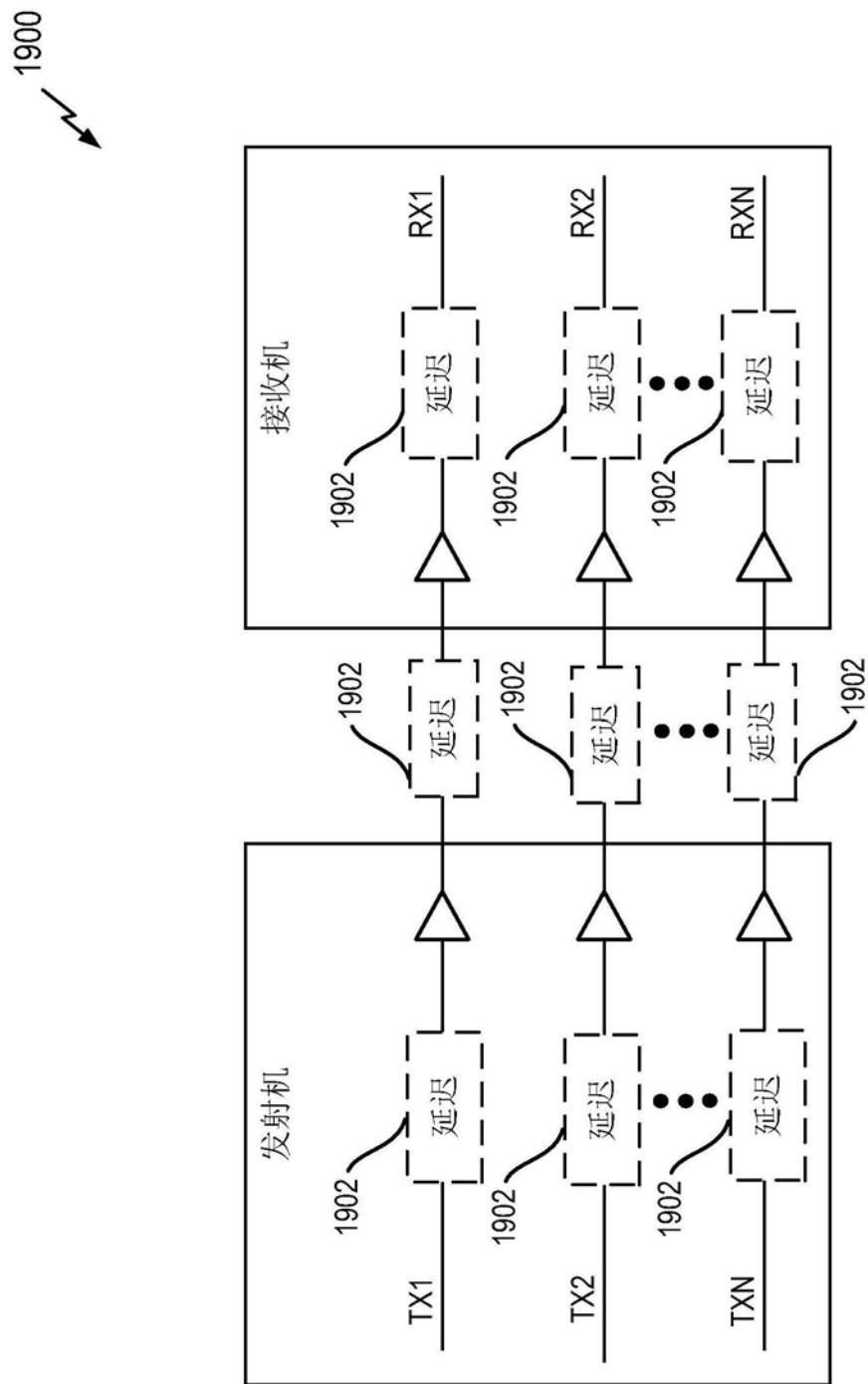


图19

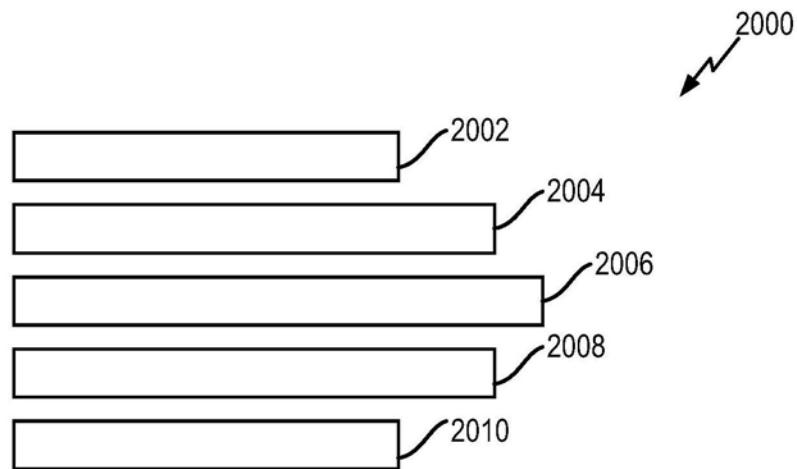


图20

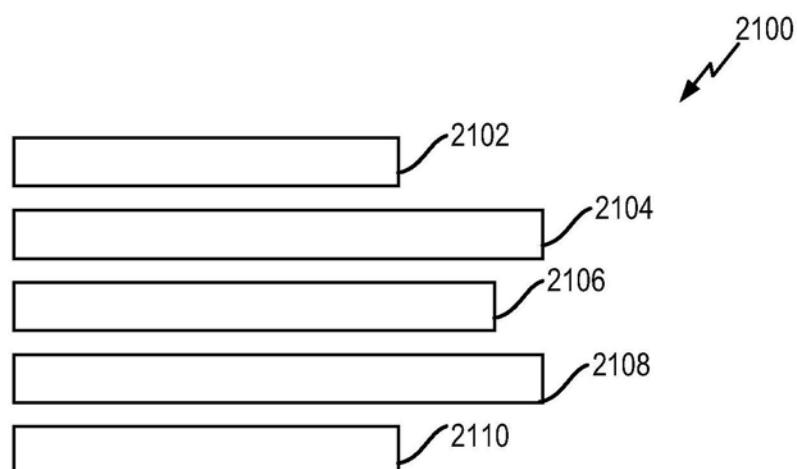


图21

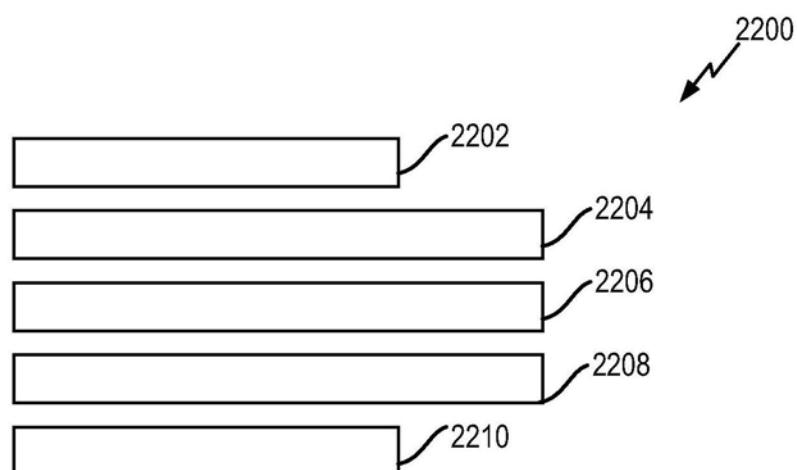


图22

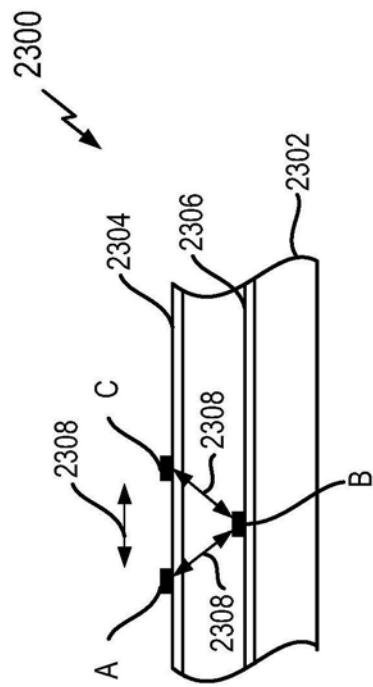


图23

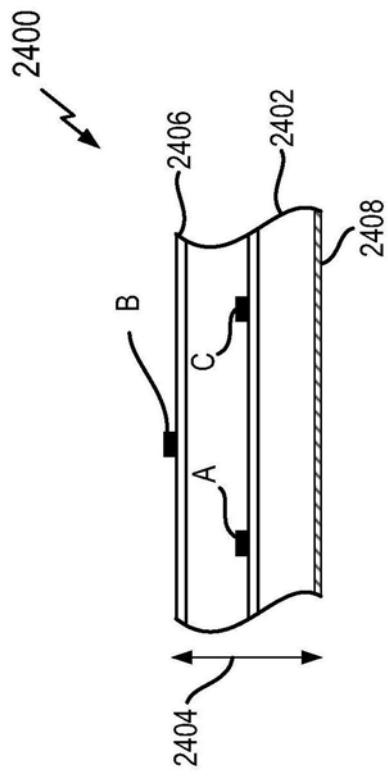


图24

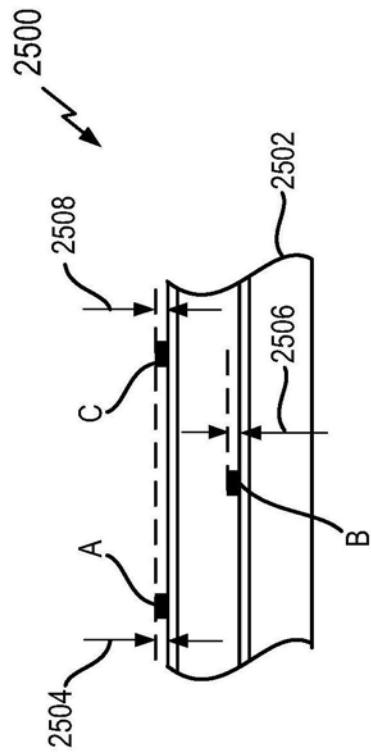


图25

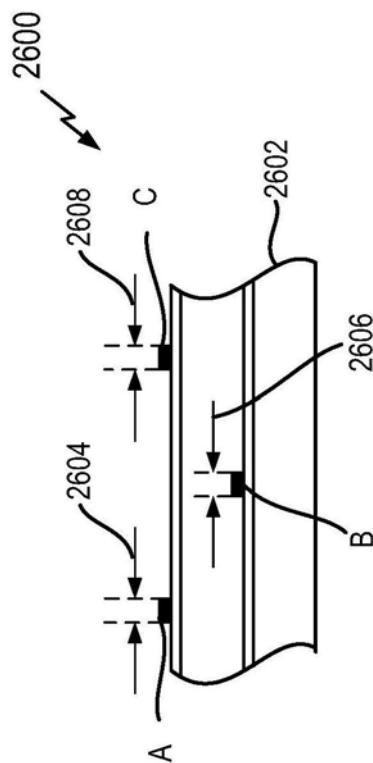


图26

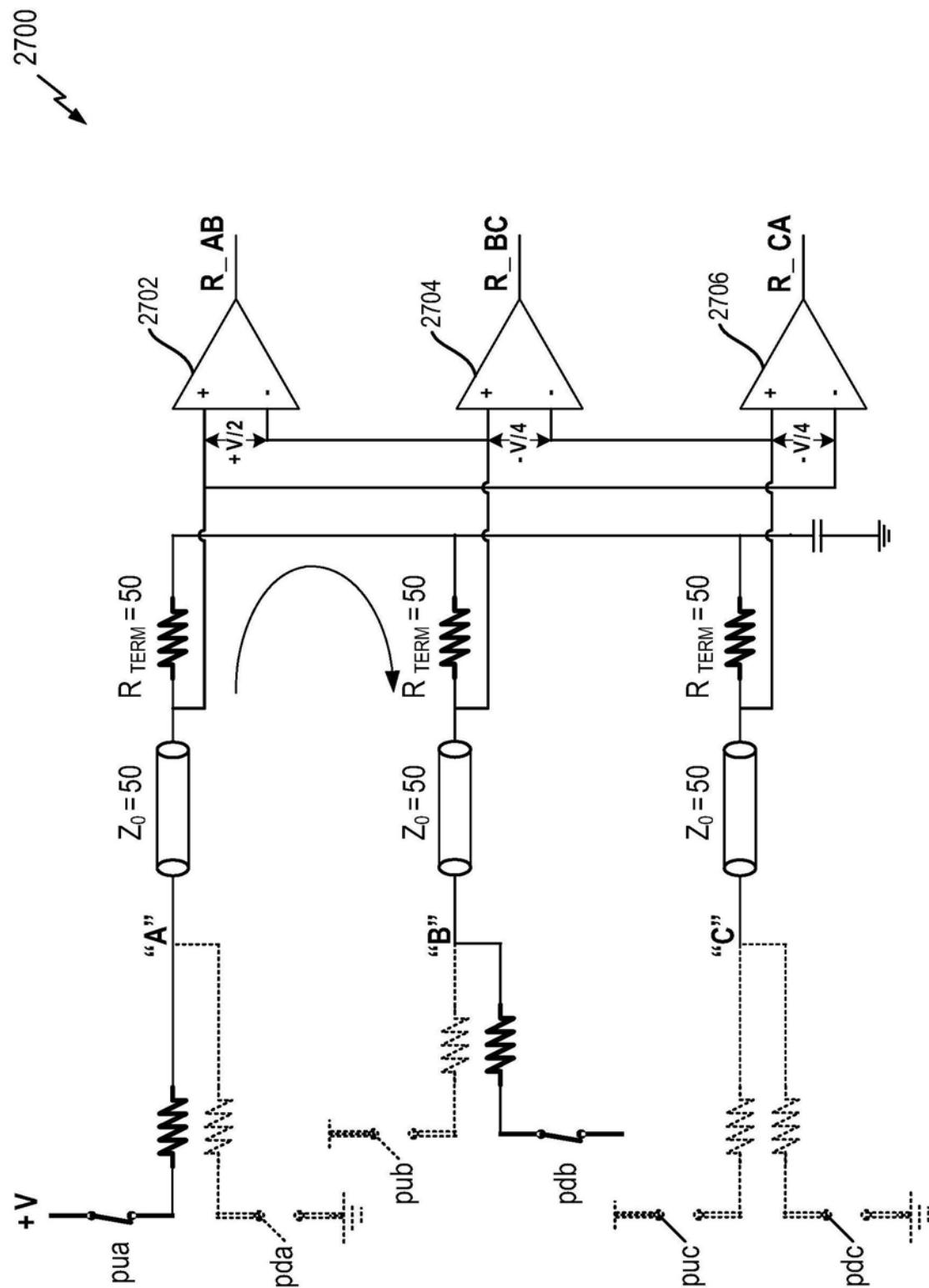


图27

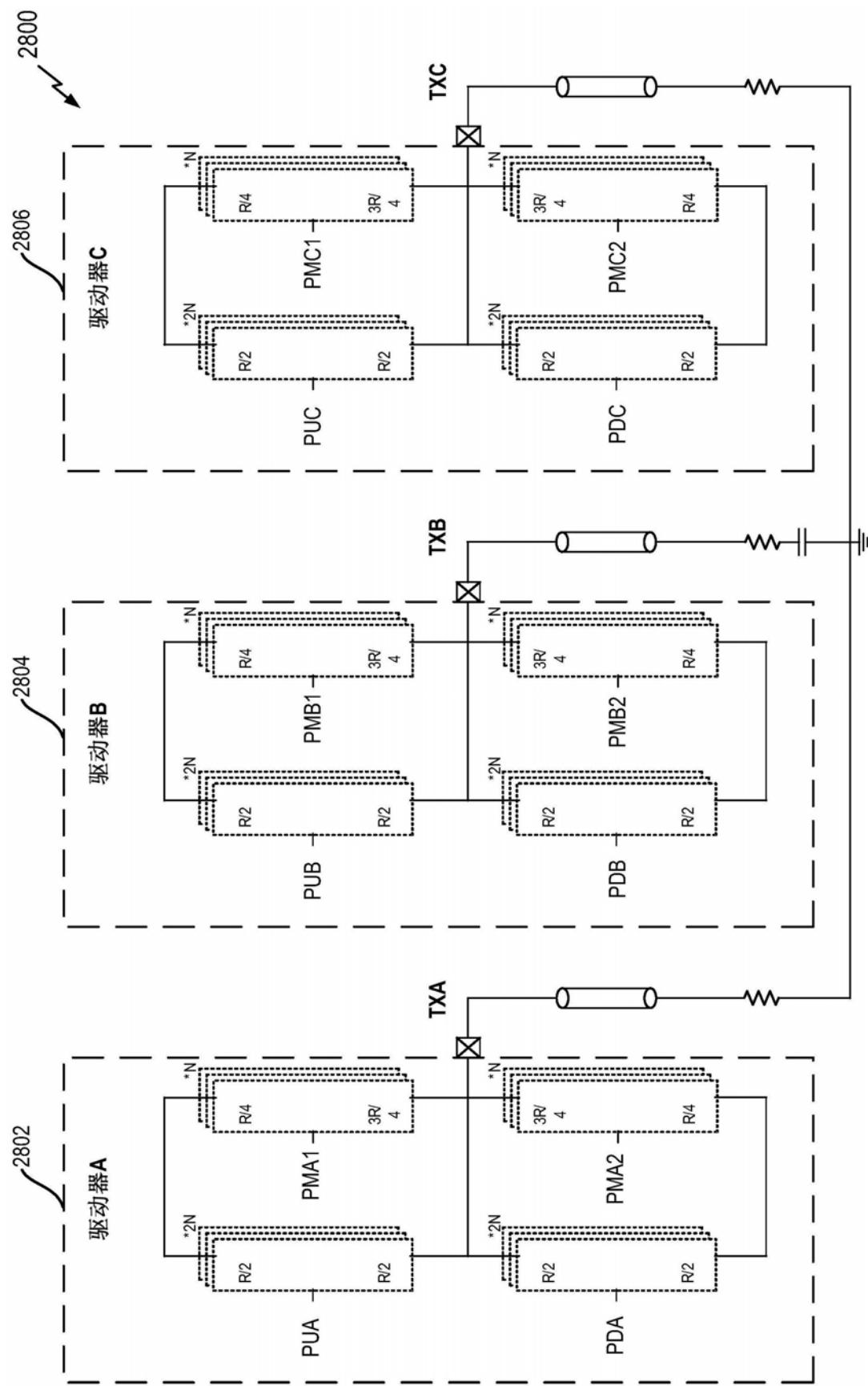


图 28

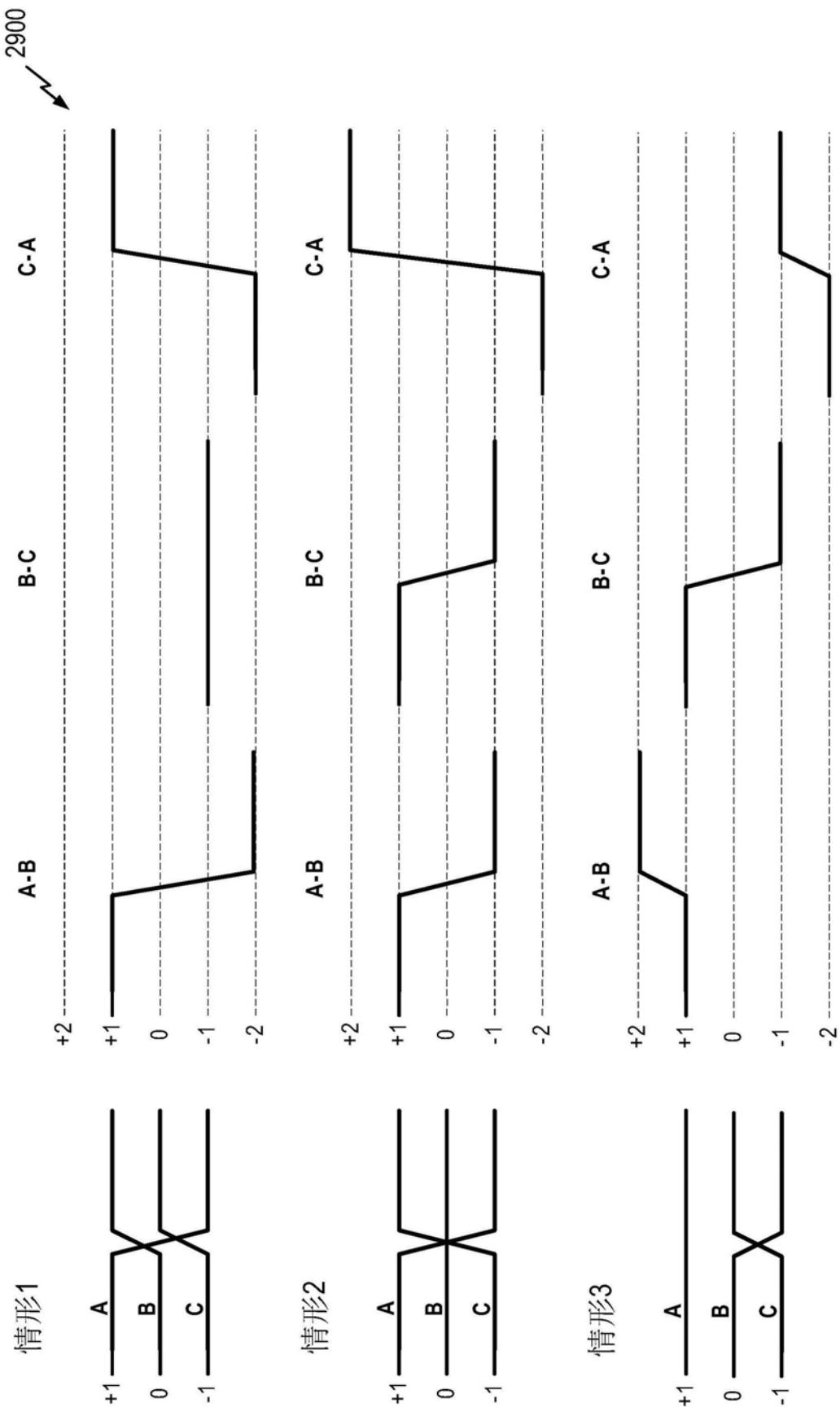


图29

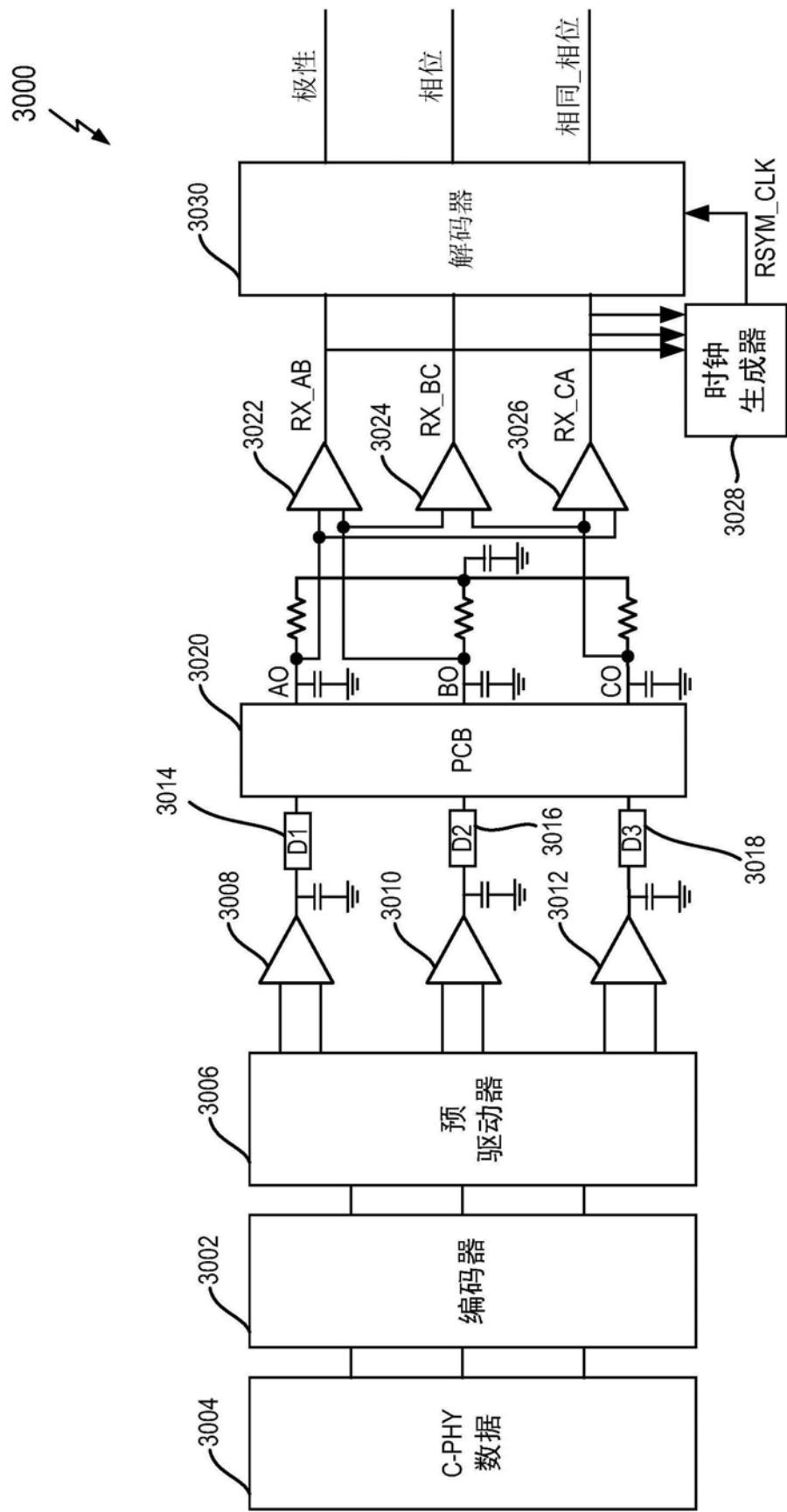


图30

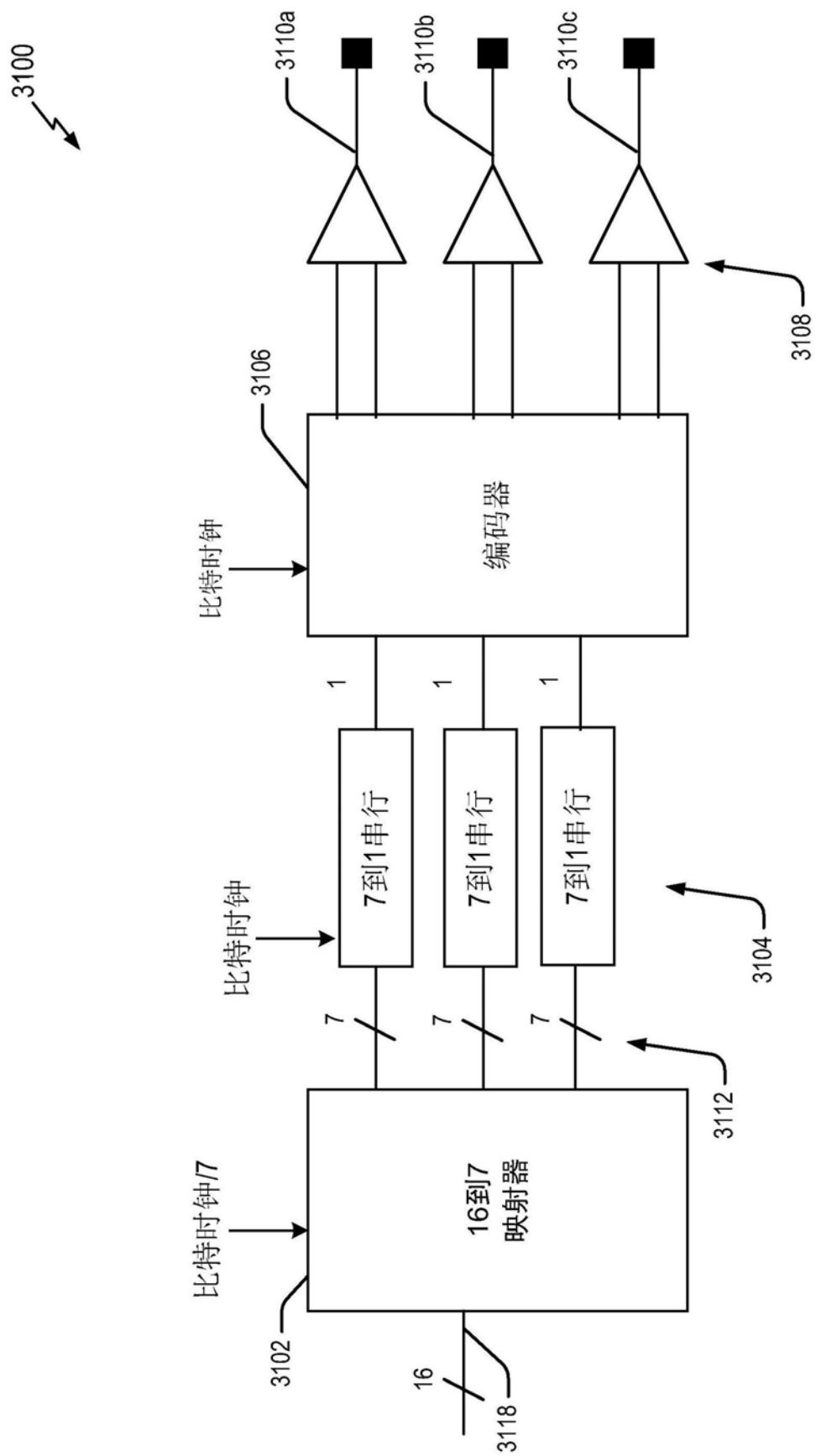


图31

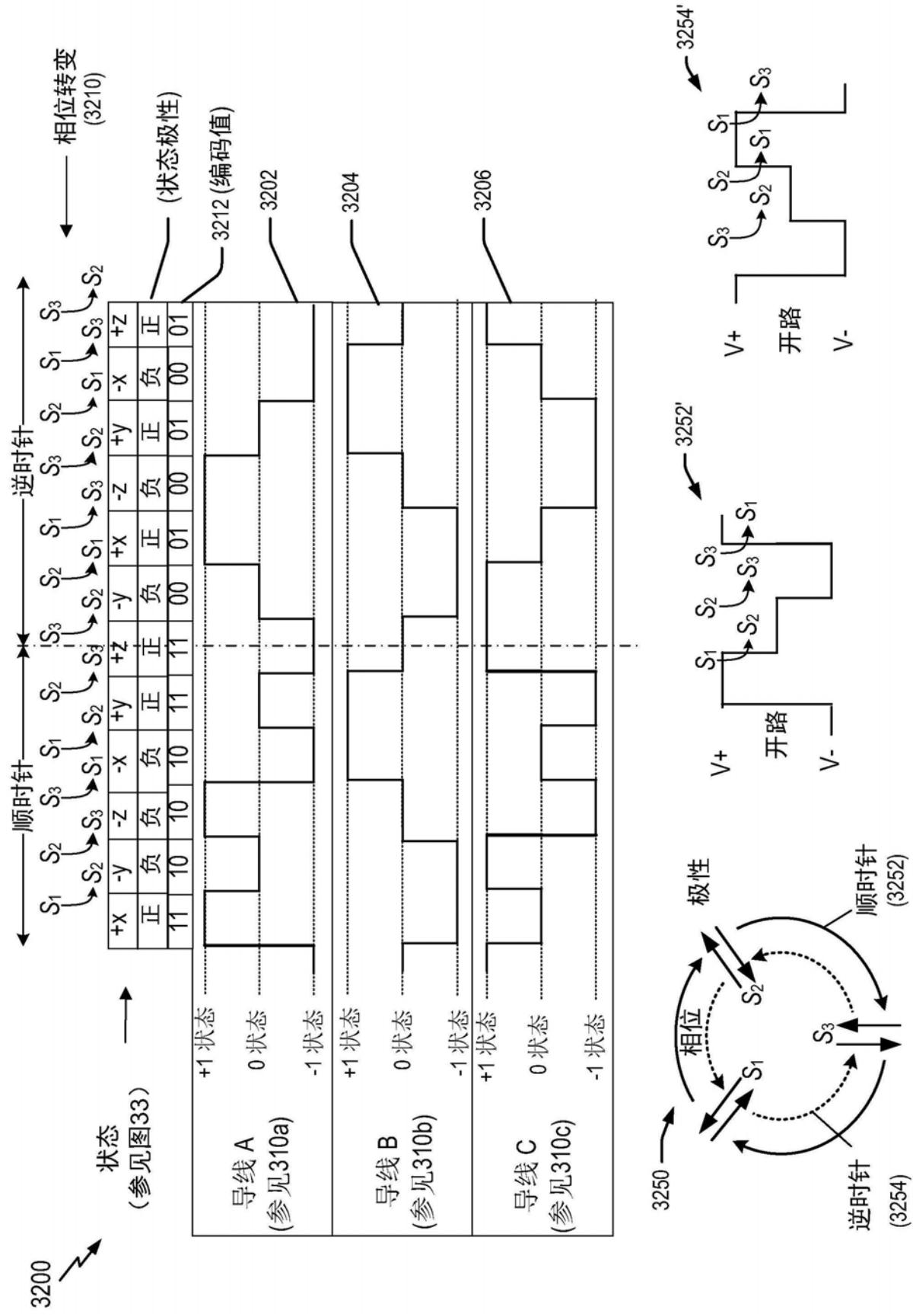


图32

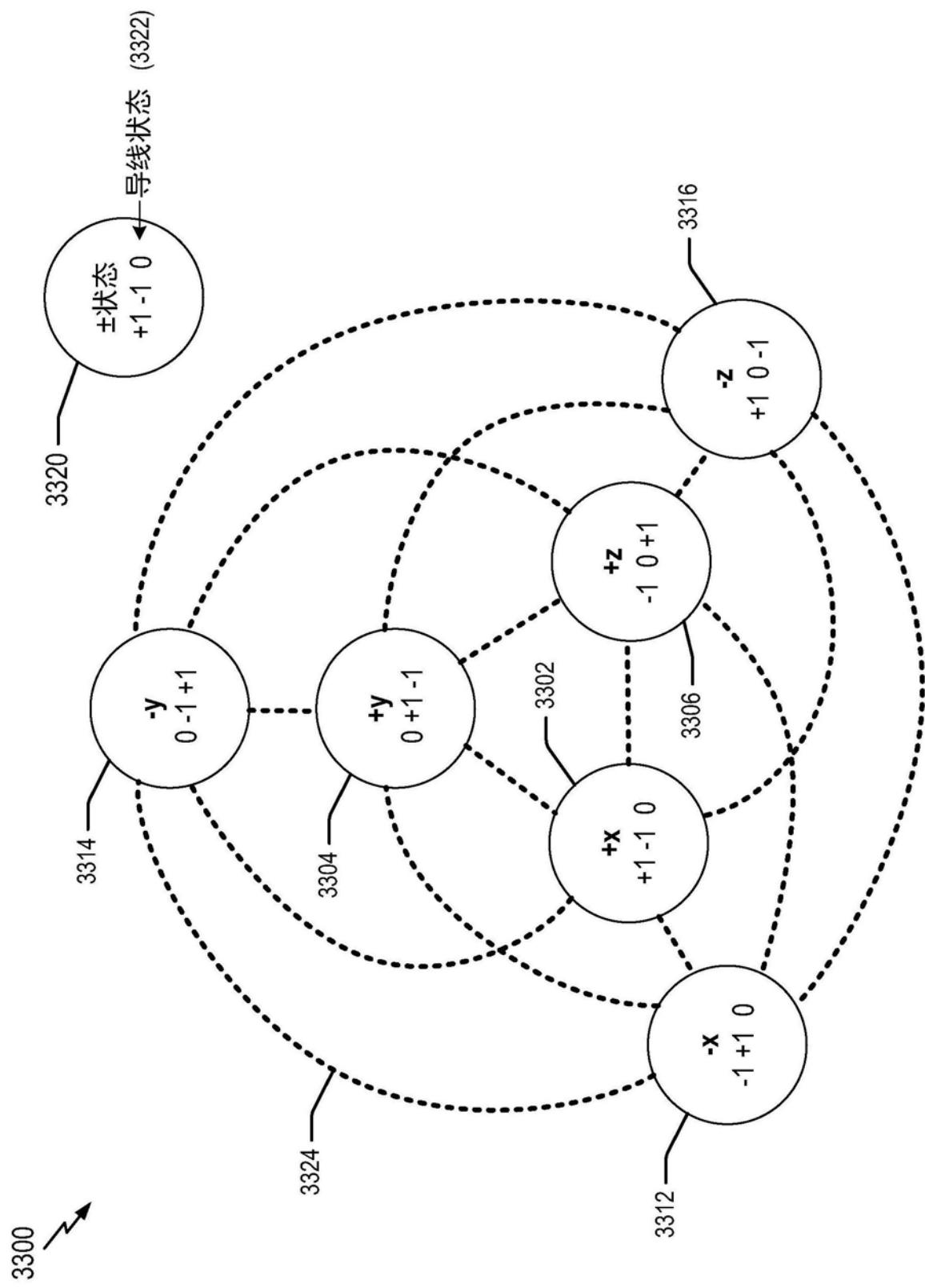


图33

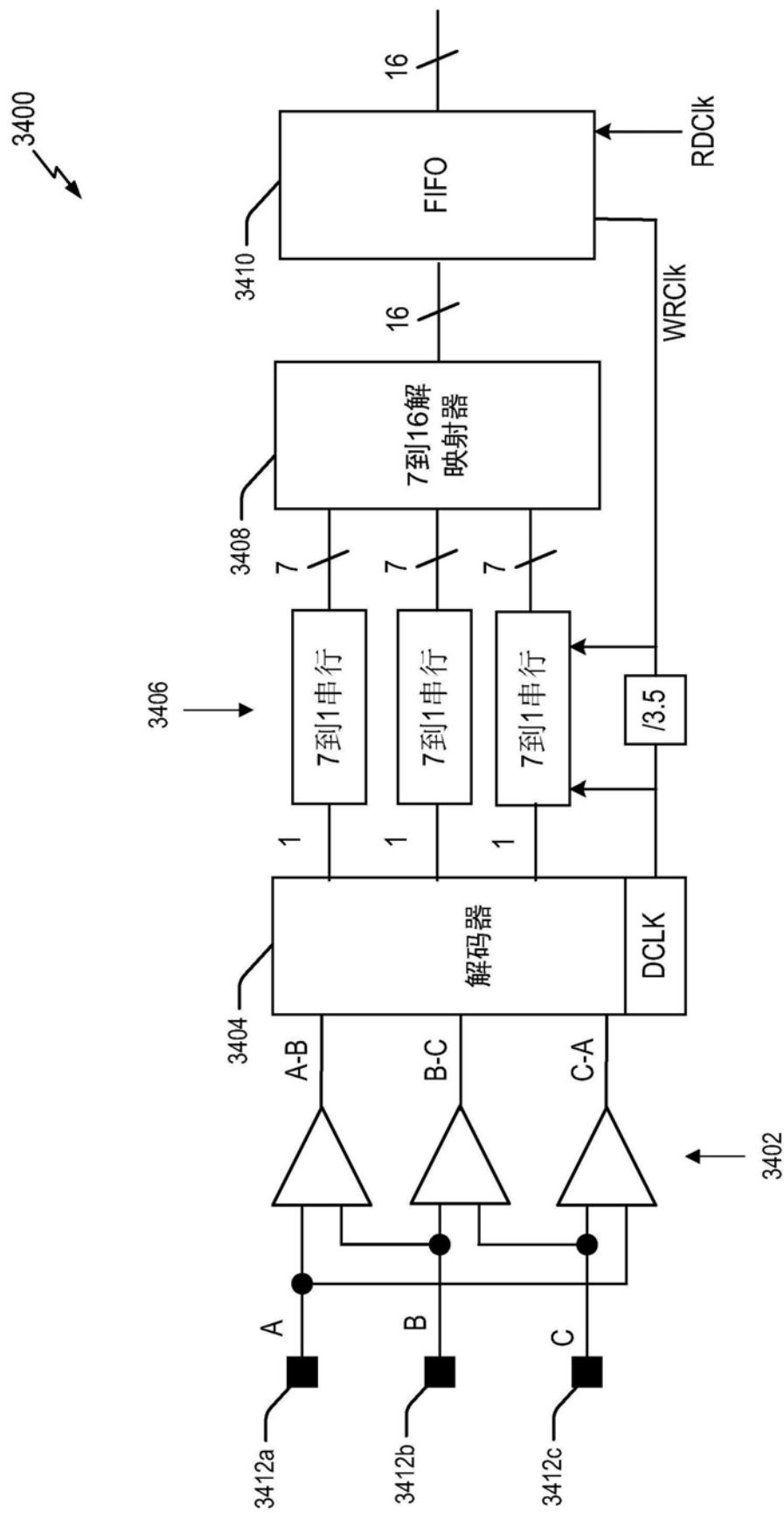


图34

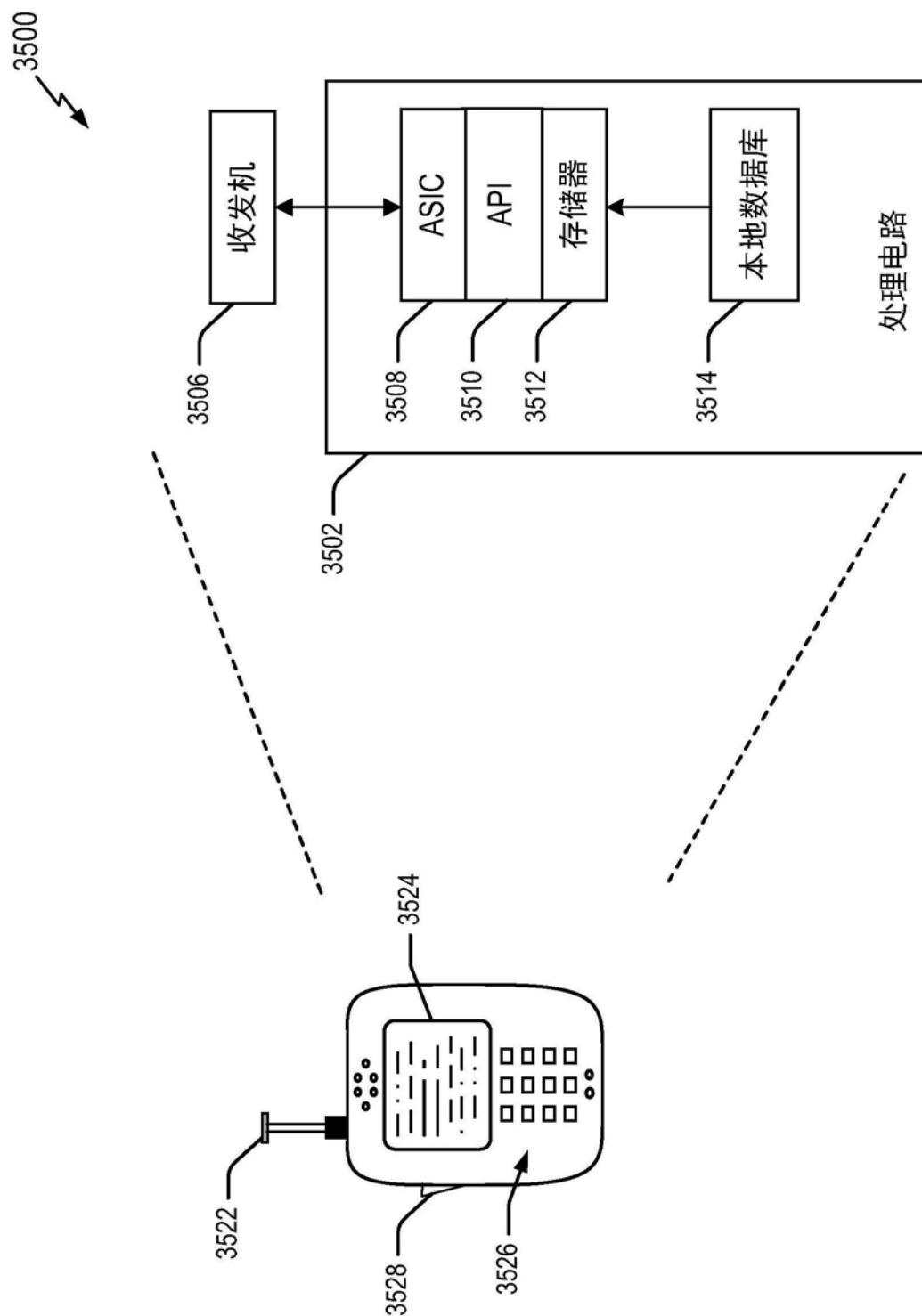


图35

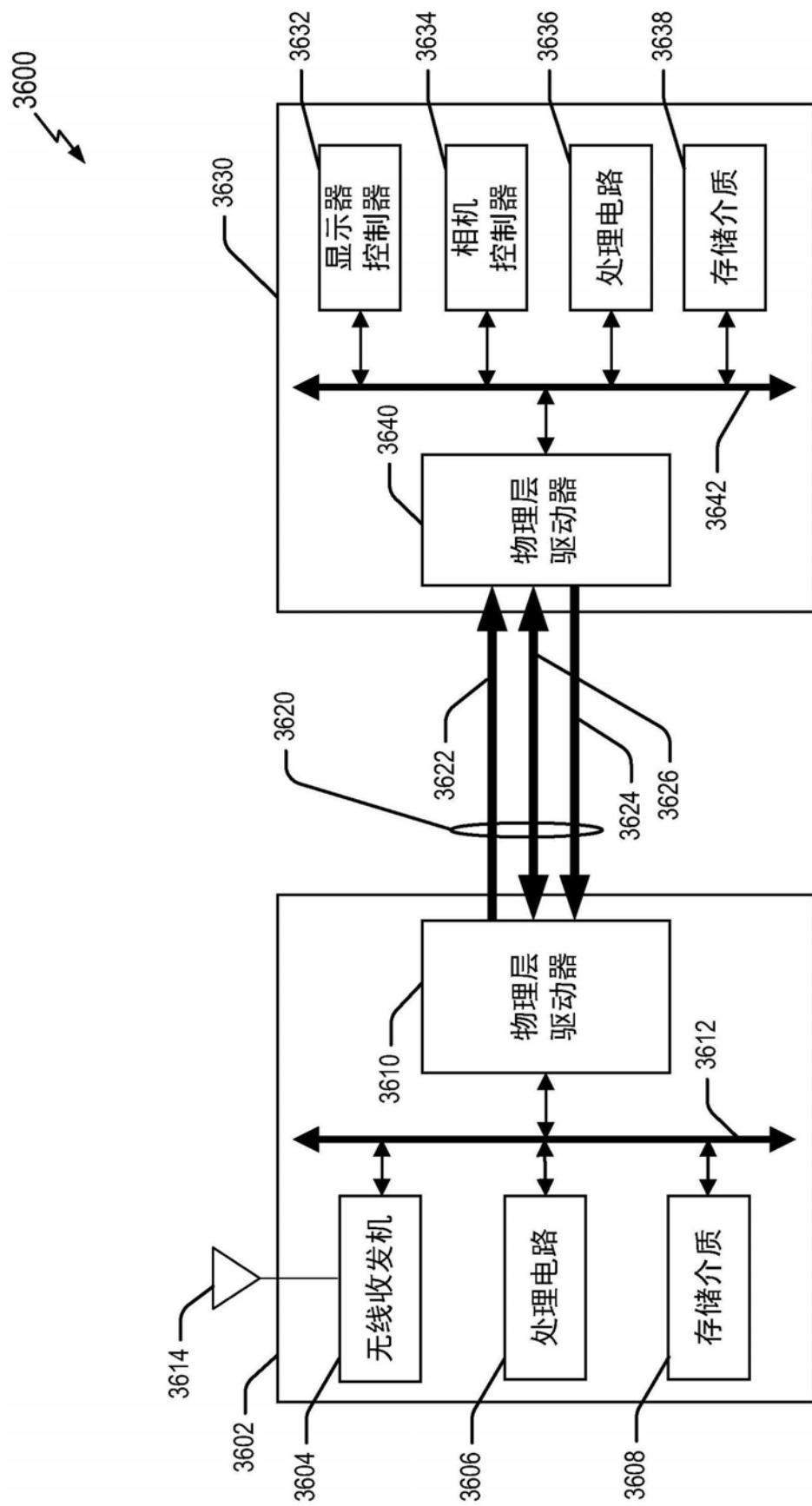


图36

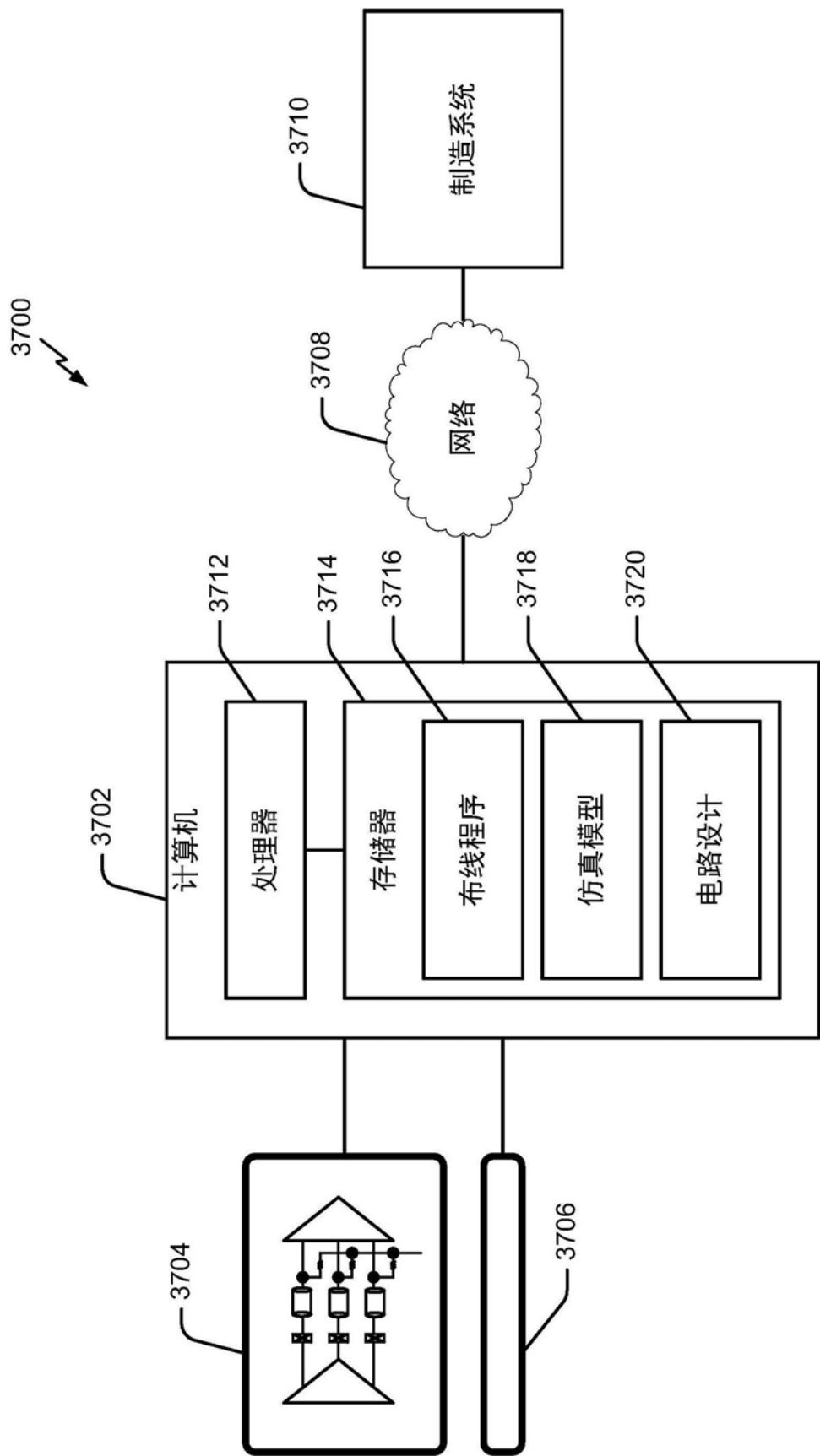


图37

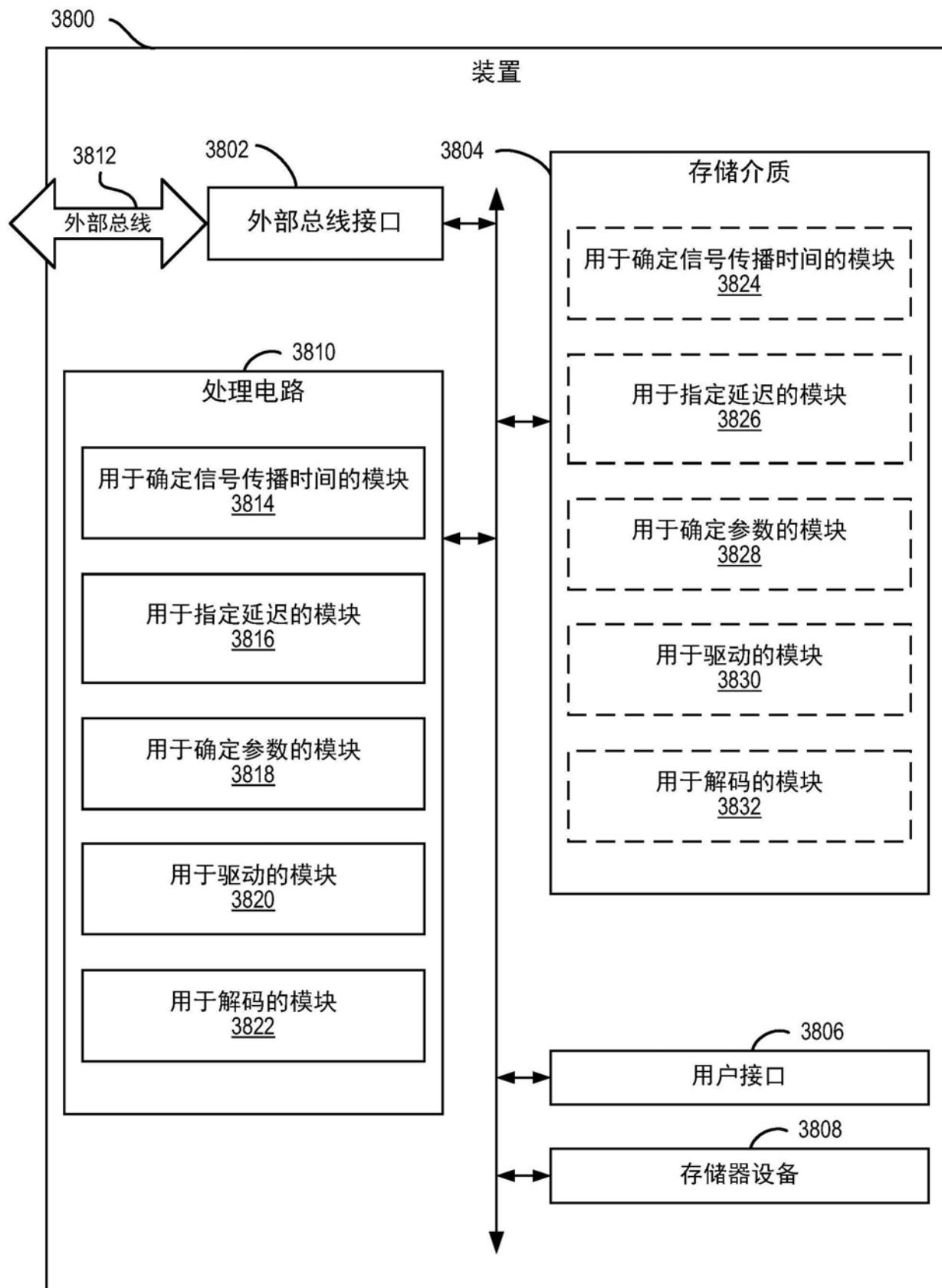


图38

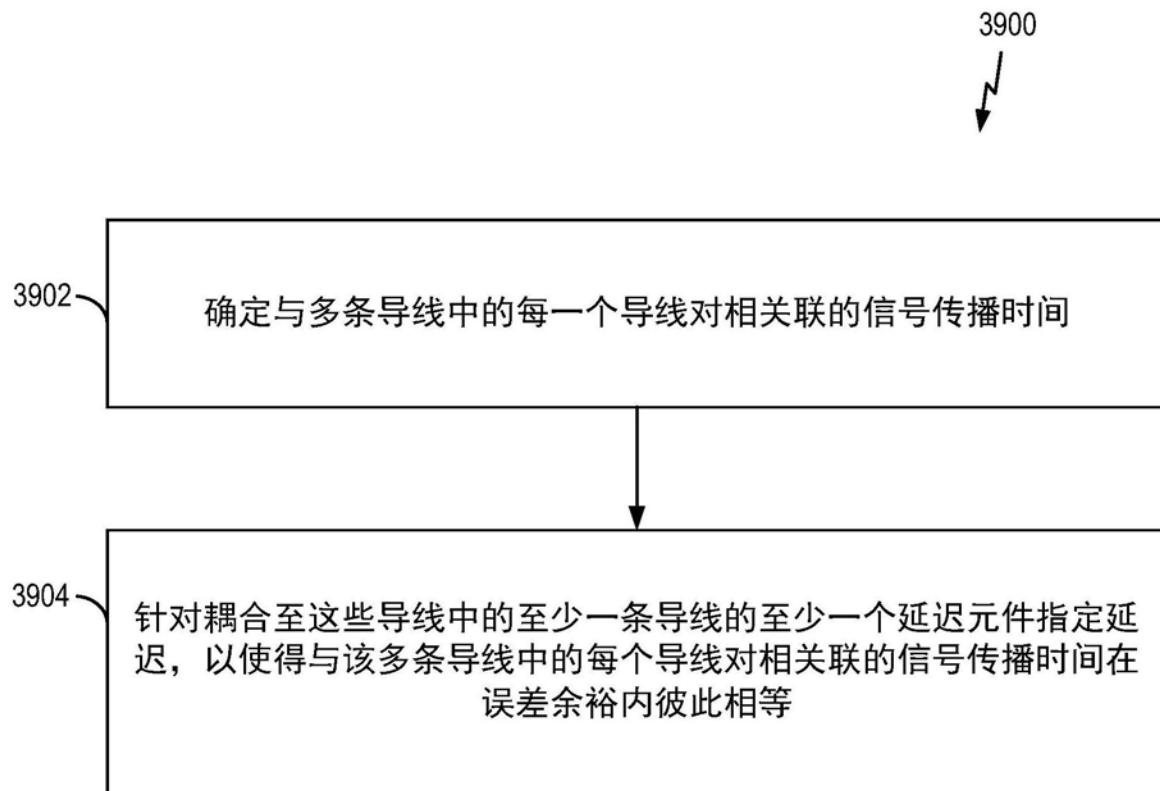


图39

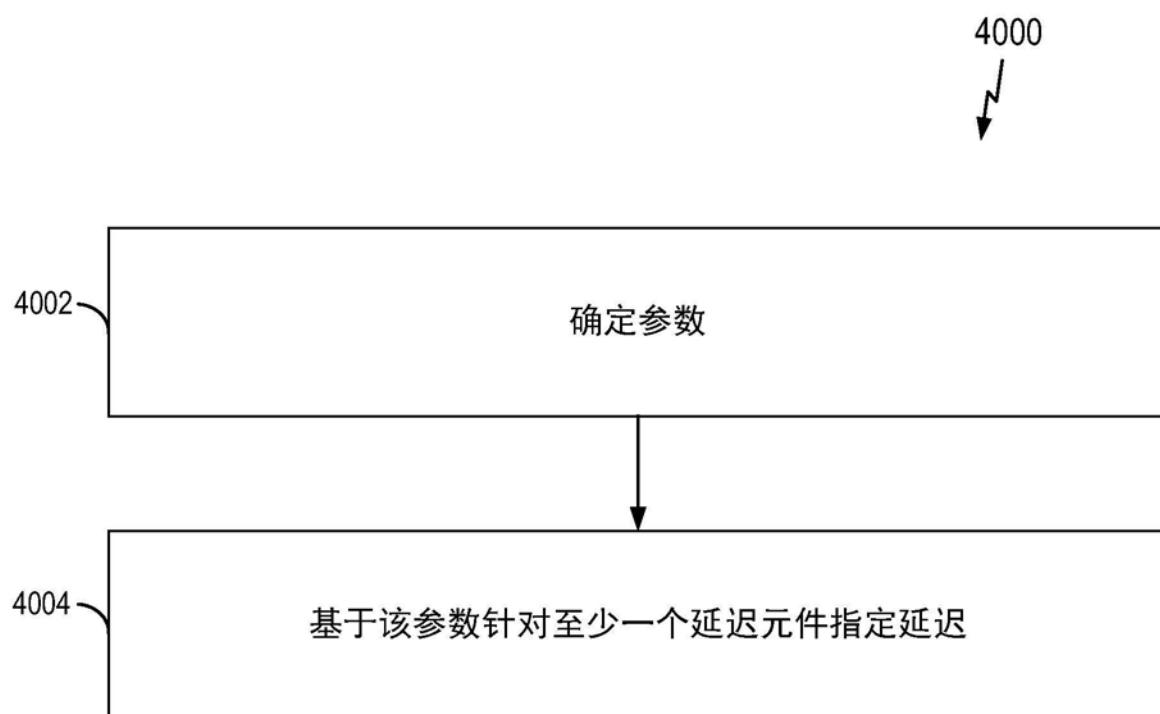


图40

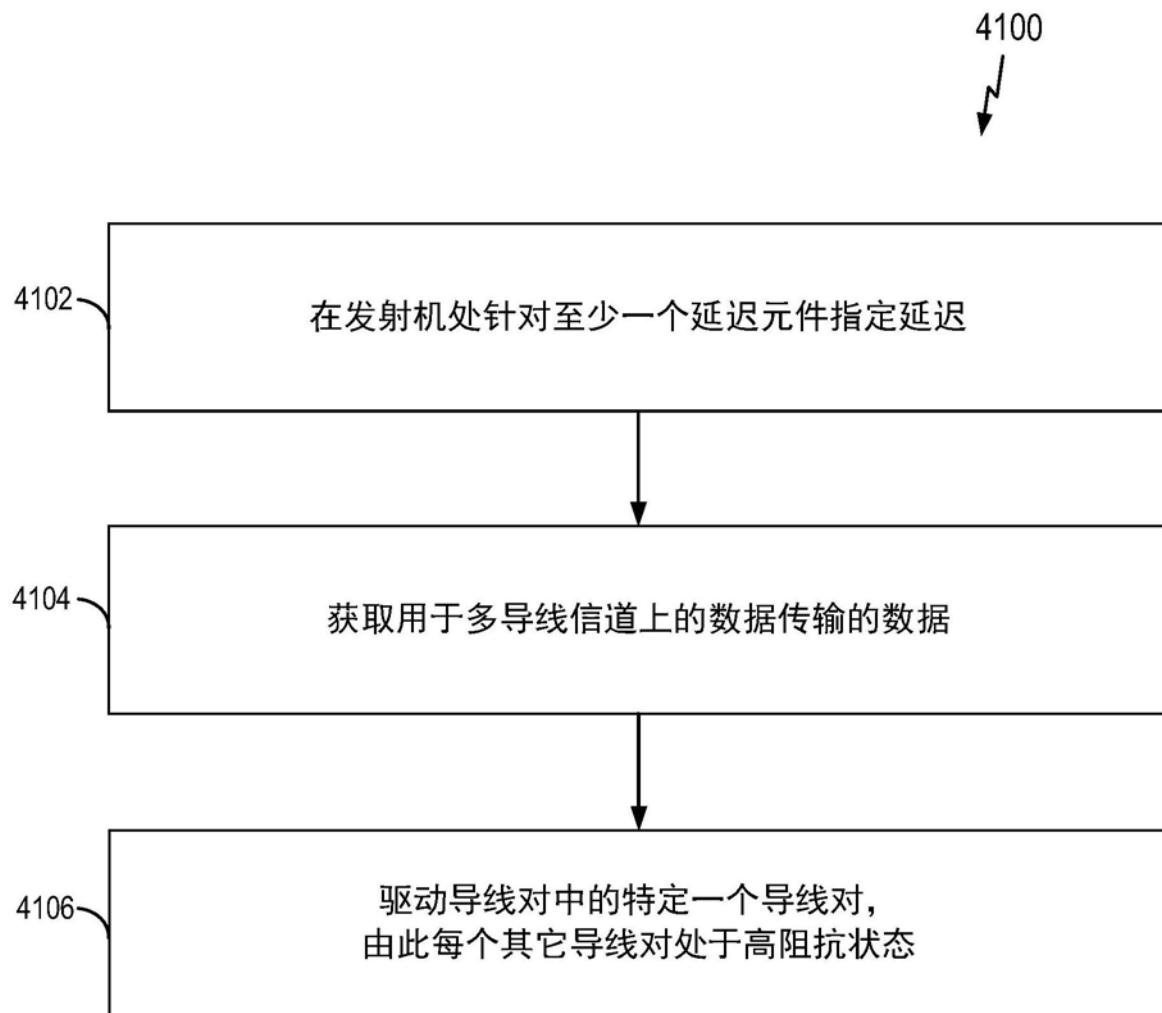


图41

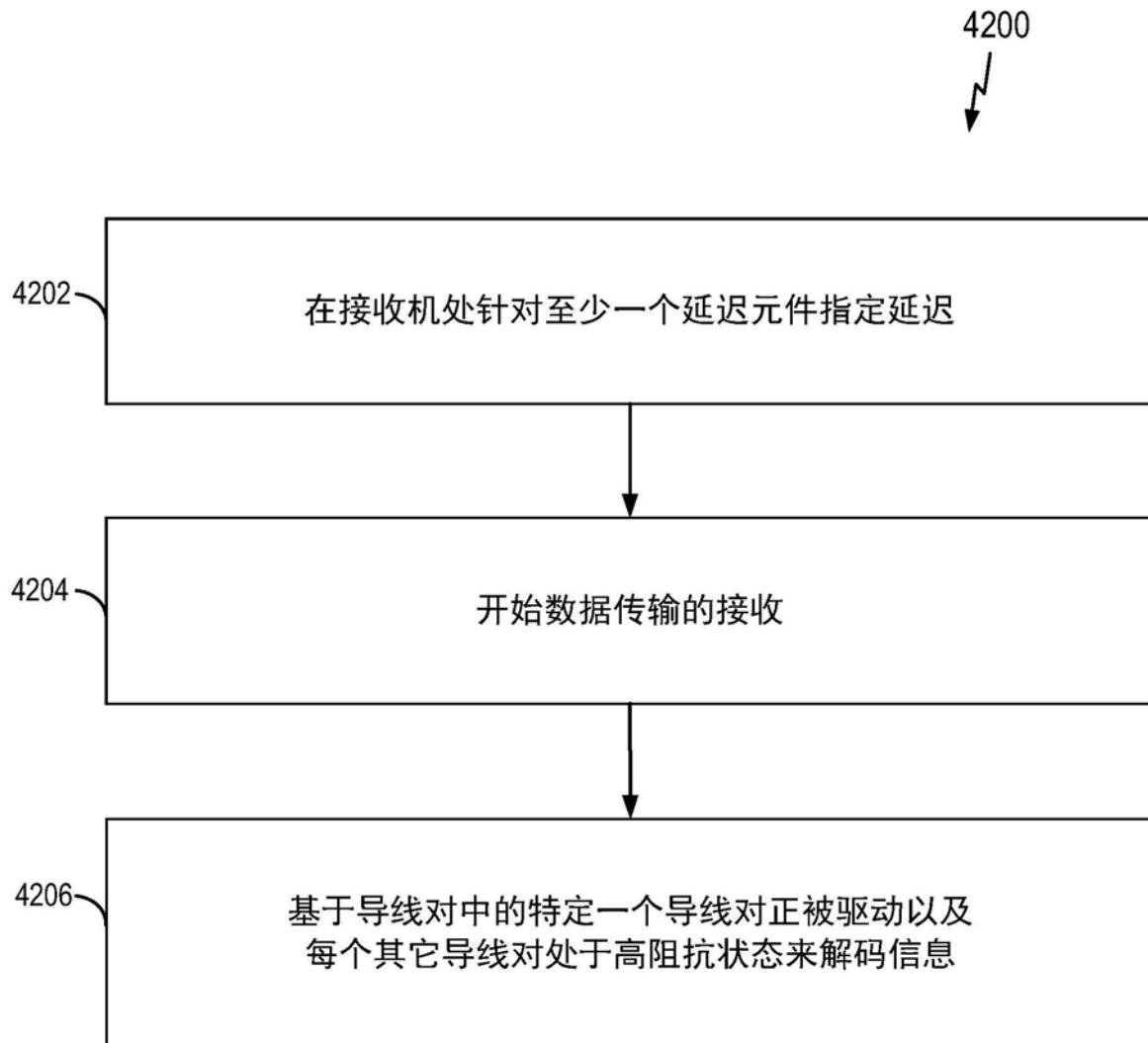


图42