

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012年8月23日(23.08.2012)

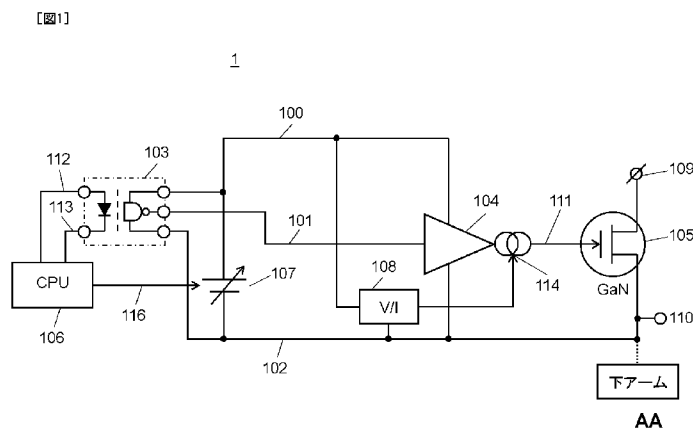


(10) 国際公開番号  
WO 2012/111273 A1

- (51) 国際特許分類:  
H02M 1/08 (2006.01)
  - (21) 国際出願番号: PCT/JP2012/000757
  - (22) 国際出願日: 2012年2月6日(06.02.2012)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (30) 優先権データ:  
特願 2011-033802 2011年2月18日(18.02.2011) JP
  - (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)  
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人(米国についてのみ): 中村 尚幸 (NAKAMURA, Naoyuki). 宮地 博幸 (MIYACHI, Hiroyuki).
  - (74) 代理人: 内藤 浩樹, 外 (NAITO, Hiroki et al.); 〒5718501 大阪府門真市大字門真1006番地 パナソニック株式会社内 Osaka (JP).
  - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告(条約第21条(3))

(54) Title: POWER DEVICE APPARATUS

(54) 発明の名称: パワーデバイス装置



AA - Lower arm

(57) Abstract: The present invention provides a power device apparatus, which is capable of finely controlling a gate current with a simple circuit configuration. A power device apparatus (1) is provided with a source terminal, a drain terminal and a gate terminal, and the power device apparatus is also provided with a power device (105) that performs on/off operations with a gate current applied to the gate terminal. The power device apparatus is provided with: a variable voltage source (107), which generates a variable voltage; a gate current setting unit (108), which changes the gate current, corresponding to the voltage generated from the variable voltage source (107); a current gate driver (104), which outputs a current, corresponding to an output current of the gate current setting unit; and a level shift circuit (103), which ensures insulation, and which turns on and off the gate current.

(57) 要約:

[続葉有]



WO 2012/111273 A1

---

本発明は、簡単な回路構成で、ゲート電流を細かく制御できるパワーデバイス装置を提供する。ソース端子と、ドレイン端子と、ゲート端子とを備え、前記ゲート端子に印加されたゲート電流によりオンオフ動作するパワーデバイス（105）を備えたパワーデバイス装置（1）であって、可変電圧を発生する可変電圧源（107）と、可変電圧源（107）から発生する電圧に応じて、ゲート電流を変化させるゲート電流設定部（108）と、ゲート電流設定部の出力電流に応じて、電流を出力する電流ゲートドライバ（104）と、絶縁を確保し、ゲート電流をオン／オフさせるためのレベルシフト回路（103）を備える。

## 明 細 書

発明の名称：パワーデバイス装置

### 技術分野

[0001] 本発明は、インバータシステム等の上アームのパワーデバイスである。具体的には、ゲート電流値を制御するために専用の制御線を増やすことなく、上アームの制御電源電圧値を利用し、ゲート電流を細かく制御することを可能にするパワーデバイス装置に関する。

### 背景技術

[0002] 従来、インバータシステム等のパワーデバイスは、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) やIGBT (Insulated Gate Bipolar Transistor) が使われ、定電圧駆動方式のゲートドライバにより、パワーデバイスの駆動が制御されることが多かった。

[0003] 近年、オン抵抗が低く高速で動作する次世代のパワーデバイスとして、GaN・GIT (Gate Injection Transistor) デバイスが登場している。GaN・GITデバイスの駆動を制御するためのゲートドライバとしては、定電流駆動方式が注目されている。具体的には、定電流を発生する定電流回路により、GaN・GITデバイスのゲートに定電流を印加する、または、印加しないことによって、GaN・GITデバイスがオンオフ動作をする。定電流回路は、通常はリニア回路のバイアス電流として使われていることが多い。オンオフ動作と定電流回路の組合せは、発振回路などに使われている（例えば、特許文献1）。

[0004] 特許文献1には、オンオフ動作と定電流回路の組合せからなる発振回路が開示され、この発振回路は、電源電圧に比例した定電流回路を備えている。この定電流回路は、電源電圧が高くなると、発振周波数が高くなる従来技術のF/V変換回路（周波数/電圧変換回路）である。

### 先行技術文献

## 特許文献

[0005] 特許文献1：特開平4－133113号公報

## 発明の概要

[0006] しかし、従来技術に示された回路では、パワーデバイス装置のゲート電流を細かく制御するためにゲート制御線とフォトカプラなどの回路を増やす必要がある。また、逆に回路を単純にすると、パワーデバイス装置のゲート電流の細かい制御が難しい。

[0007] 本発明は、簡単な回路構成で、ゲート電流を細かく制御できるパワーデバイス装置を提供する。

[0008] 本発明の一形態に係るパワーデバイス装置は、ソース端子と、ドレイン端子と、ゲート端子とを有する。さらに、パワーデバイス装置は、ゲート端子に印加されたゲート電流によりオンオフ動作するパワーデバイスを有する。さらに、パワーデバイス装置は、可変電圧を発生する可変電圧源を有する。さらに、パワーデバイス装置は、可変電圧源から発生する電圧に応じて、ゲート電流を変化させるゲート電流設定部を有する。さらに、パワーデバイス装置は、ゲート電流設定部の出力電流に応じて、電流を出力する電流ゲートドライバを有する。さらに、パワーデバイス装置は、絶縁を確保し、ゲート電流をオン／オフさせるためのレベルシフト回路を有する。

[0009] この構成によれば、大電流負荷の時、絶縁型可変DCDCコンバータの電源電圧を高くすることでゲート電流を増やすことができる。また、小電流負荷の時、絶縁型可変DCDCコンバータの電源電圧を低くすることができる。これにより、ゲート電流を減らすことで最適のゲート電流に設定でき、回路構成を複雑にすることなく、ゲート電流を細かく制御することができる。

[0010] また、ゲート電流設定部が、V/I変換回路から構成され、V/I変換回路は、可変電圧源の出力電圧に比例してゲート電流を設定することが好ましい。

[0011] この構成によれば、V/I変換回路により絶縁型可変DCDCコンバータの出力電圧に比例してゲート電流を変化させることで、ゲート電流を精度よ

く制御することができる。

[0012] また、ゲート電流設定部が、 $V/I$ 変換回路から構成され、 $V/I$ 変換回路は、電流自乗回路を有する。

[0013] この構成によれば、ゲート電流をより精度よく制御することができる。

[0014] また、パワーデバイス装置は、可変電圧源が、ゲート端子のゲート電圧に所定の電圧を重畳するためのブートストラップ電源回路を有する。

[0015] この構成によれば、ゲート電流をより精度よく制御することができる。

[0016] また、パワーデバイス装置は、ゲート電流設定部の直前に、電圧サンプルホールド回路を有する。

[0017] また、パワーデバイス装置は、ゲート電流設定部の直後に、電流サンプルホールド回路を有する。

[0018] この構成によれば、電源電圧を $V/I$ 変換回路で電流に変換し、サンプルホールド回路によりその電流を取り込むタイミングを固定し、次の取り込みまで電流をホールドすることができる。これにより、 $GaN \cdot G\ I\ T$ デバイスのドレイン電流に合わせて最適のゲート電流を設定することが可能である。

[0019] また、パワーデバイス装置は、レベルシフト回路と電流ゲートドライバとゲート電流設定部とが一体となったフォトカプラ・ドライバを有する。さらに、パワーデバイス装置は、フォトカプラ・ドライバとパワーデバイスのゲート端子との間に、ゲート電流設定部としてゲート電流設定抵抗を備えることが好ましい。

[0020] この構成によれば、パワーデバイスのソースまたはドレインとゲートとの間に電位差を変化させることにより、ゲート電流を制御することができる。

[0021] 本発明によると、簡単な回路構成で、ゲート電流を細かく制御できるパワーデバイス装置を提供することができる。

### 図面の簡単な説明

[0022] [図1]図1は、本発明の第1の実施形態に係るパワーデバイス装置の上アームの構成図である。

[図2]図2は、同実施形態のパワーデバイス装置に含まれるV/I変換回路の第1の構成図である。

[図3]図3は、同実施形態のパワーデバイス装置に含まれるV/I変換回路の第2の構成図である。

[図4]図4は、同実施形態のパワーデバイス装置に含まれるV/I変換回路の第3の構成図である。

[図5]図5は、同実施形態のV/I変換回路に含まれる電流自乗回路の構成図である。

[図6]図6は、同実施形態のブートストラップ電源回路とその周辺回路の構成図である。

[図7]図7は、同実施形態のV/I変換回路の第1の構成における入出力電流電圧特性を示す図である。

[図8]図8は、同実施形態のV/I変換回路の第2の構成における入出力電流電圧特性を示す図である。

[図9]図9は、同実施形態のV/I変換回路の第3の構成における入出力電流電圧特性を示す図である。

[図10]図10は、本発明の第2の実施形態に係るパワーデバイス装置の構成図である。

[図11]図11は、同実施形態の電圧S/H（サンプルホールド）回路の構成図である。

[図12]図12は、本発明の第3の実施形態に係るパワーデバイス装置の構成図である。

[図13]図13は、同実施形態の電流S/H（サンプルホールド）回路の構成図である。

[図14]図14は、本発明の第4の実施形態に係るパワーデバイス装置の構成図である。

[図15]図15は、本発明の実施形態の比較例に係るパワーデバイス装置の構成図である。

## 発明を実施するための形態

[0023] (第1の実施形態)

以下、本発明の実施例におけるパワーデバイス装置について、図面を参照しながら説明する。

[0024] 図1は、第1の実施形態に係るパワーデバイス装置の構成図である。通常、これは上アームと呼ばれる部分であり、ほぼ同じ構成を持つ下アームを接続し、組み合わせて使用される。

[0025] 図1に示すように、本実施の形態に係るパワーデバイス装置1は、レベルシフト回路の一種であるフォトカプラ103と、電流ゲートドライバ104と、電流制御端子114と、GaN・GITデバイス105と、CPU（または制御ロジック）106と、絶縁型可変DCDCコンバータ107と、V/I変換回路（電圧/電流変換回路）108と、主回路正電源電圧端子109とを有する。なお、CPU（または制御ロジック）106は、以下、CPU106を例として説明するが、CPUに限定されるものではなく、制御ロジックであってもよい。

[0026] GaN・GITデバイス105は、GaN基板に形成されたゲートインジェクショントランジスタであり、本発明の実施形態におけるパワーデバイスに相当する。GaN・GITデバイス105は、オン抵抗が低く高速でオンオフ動作（スイッチ動作）するパワーデバイスとして機能する。

[0027] 電流ゲートドライバ104は、GaN・GITデバイス105のゲートに定電流のオン電流を印加するか、0Vまたは負電圧のオフ電圧を印加し、GaN・GITデバイス105のオンオフ動作を制御する。なお、電流ゲートドライバに代えて、例えば、ゲート電流設定抵抗を用いてもよい。

[0028] 絶縁型可変DCDCコンバータ107は、絶縁された可変電圧源であり、本発明の実施形態における可変電圧源に相当する。

[0029] フォトカプラ103は、本発明におけるレベルシフト回路である。フォトカプラ103は、上アームにおいて、数百ボルトの電圧遷移があるにもかかわらず、CPU（または制御ロジック）106からの電流オンオフ信号（例

えば、HまたはL)を伝達できる。上アームは、ハイサイドとも呼ばれる。

[0030] V/I変換回路108は、本発明の実施形態におけるゲート電流設定部である。V/I変換回路108は、電流ゲートドライバ104の出力端に設けられた電流制御端子114を介して、絶縁型可変DCDCコンバータ107の出力電圧に応じてゲート電流を変化させる。

[0031] CPU(または制御ロジック)106は、フォトカプラ103へ電流オンオフ信号を送ることで、フォトカプラ103の2次側出力端子に主回路負電源(主回路グランド)からフロートした電圧を発生させる。また、CPU106は、絶縁型可変DCDCコンバータ107の出力電圧が所望の値になるよう、絶縁型可変DCDCコンバータ107の制御端子116に信号を出力する。

[0032] 図1に示すように、レベルシフト回路の一種であるフォトカプラ103の2次側の正の電源端子と、電流ゲートドライバ104の正の電源端子と、V/I変換回路108の入力端子と、絶縁型可変DCDCコンバータ107の正の電源端子とが、ノード100と接続されている。また、フォトカプラ103の2次側の負の電源端子と、電流ゲートドライバ104の負の電源端子と、GaN・GITデバイス105のソース端子と、絶縁型可変DCDCコンバータ107の負の電源端子とが、ノード102と接続されている。また、ノード102は、下アームと接続されており、かつパワーデバイス装置1の出力端子110と接続されている。下アームは、ローサイドとも呼ばれる。また、フォトカプラ103の2次側の出力端子と、電流ゲートドライバ104の入力端子とが、ノード101と接続されている。また、電流ゲートドライバ104の出力端子は、電流制御端子114を介して、GaN・GITデバイス105のゲート端子111と接続されている。また、V/I変換回路108の出力端子は、電流制御端子114と接続されている。また、GaN・GITデバイス105のドレイン端子は、主回路正電源電圧端子109と接続されている。また、CPU(または制御ロジック)106は、フォトカプラ103の1次側のアノード端子112とカソード端子113とそれぞれ

れ接続され、同じくCPU（または制御ロジック）106は、絶縁型可変DCDCコンバータ107の制御端子116と接続される構成を有する。

[0033] 図2は、図1に示したパワーデバイス装置1に含まれるV/I変換回路108の第1の構成図である。

[0034] 図2に示すように、本構成におけるV/I変換回路2において、電圧入力端子200は、上側の分圧抵抗( $r_1$ )201の一端に接続されている。また、上側の分圧抵抗( $r_1$ )201の他端と、下側の分圧抵抗( $r_2$ )203の一端と、オペアンプ204の正入力端子202とが接続されている。また、下側の分圧抵抗( $r_2$ )203の他端と、V/I変換回路2のグランド端子210とが接続されている。そして、オペアンプ204の出力端子205と、NPNトランジスタ206のベース端子とが接続されている。また、オペアンプ204の負入力端子208と、NPNトランジスタ206のエミッタ端子と、 $g_m$ （相互コンダクタンス）設定抵抗( $R$ )209の一端とが接続されている。また、 $g_m$ 設定抵抗( $R$ )209の他端と、V/I変換回路2のグランド端子210とが接続され、NPNトランジスタ206のコレクタ端子と、電流出力端子207とが接続される構成を有する。

[0035] また、図3は、図1に示したパワーデバイス装置1に含まれるV/I変換回路108の別の構成（第2の構成）図である。

[0036] 図3に示すように、本構成におけるV/I変換回路3において、電圧入力端子300は、上側の分圧抵抗( $r_1$ )301の一端に接続されている。また、上側の分圧抵抗( $r_1$ )301の他端と下側の分圧抵抗( $r_2$ )303の一端と、オペアンプ304の正入力端子302が接続されている。また、下側の分圧抵抗( $r_2$ )303の他端と、V/I変換回路3のグランド端子310が接続されている。そして、オペアンプ304の出力端子305と、NPNトランジスタ306のベース端子とが接続されている。また、オペアンプ304の負入力端子308と、NPNトランジスタ306のエミッタ端子と、 $g_m$ 設定抵抗( $R_1$ )309の一端とが接続されている。また、 $g_m$ 設定抵抗( $R_1$ )309の他端と、V/I変換回路3のグランド端子310とが接続さ

れている。また、バンドギャップ基準電圧回路 ( $V_{BG}$ ) 311の出力と、オペアンプ313の正入力端子312とが接続され、バンドギャップ基準電圧回路 ( $V_{BG}$ ) 311の他端と、 $V/I$ 変換回路3のグランド端子310とが接続されている。また、オペアンプ313の出力端子315と、NPNトランジスタ316のベース端子とが接続されている。また、オペアンプ313の負入力端子317と、NPNトランジスタ316のエミッタ端子と、 $g_m$ 設定抵抗 ( $R_2$ ) 318の一端が接続され、 $g_m$ 設定抵抗 ( $R_2$ ) 318の他端と $V/I$ 変換回路3のグランド端子310とが接続されている。また、NPNトランジスタ316のコレクタ端子322と、PNPトランジスタ320のコレクタ端子およびベース端子と、PNPトランジスタ321のベース端子とが接続されている。また、PNPトランジスタ320のエミッタ端子と、PNPトランジスタ321のエミッタ端子とが、電源端子319に接続されている。また、NPNトランジスタ306のコレクタ端子と、PNPトランジスタ321のコレクタ端子と、電流出力端子307とが接続されている。

[0037] 図4は、図1に示したパワーデバイス装置1に含まれる $V/I$ 変換回路108の別の構成(第3の構成)図である。

[0038] 図4に示すように、本構成における $V/I$ 変換回路4は、図3で示した $V/I$ 変換回路3と、電流自乗回路401とからなる。 $V/I$ 変換回路3は、入力された電圧を電流に変換して出力する。電流自乗回路401は、入力された電流を自乗して電流を出力する構成を有する。

[0039] さらに、図5は、図4の $V/I$ 変換回路4に含まれる電流自乗回路401の構成図である。

[0040] 図5に示すように、電流自乗回路401は、電流入力端子500と、ダイオード501のアノード端子と、NPNトランジスタ505のベース端子とが接続されている。また、ダイオード501のカソード端子と、ダイオード502のアノード端子とが接続され、ダイオード502のカソード端子と電流自乗回路401のグランド端子503とが接続されている。また、NPN

トランジスタ505のコレクタ端子と、電流自乗回路401の電源端子504とが接続されている。また、NPNトランジスタ505のエミッタ端子と、NPNトランジスタ508のベース端子と、定電流源507と、ノード506とが接続されている。また、NPNトランジスタ508のエミッタ端子と、電流自乗回路401のグランド端子503とが接続され、NPNトランジスタ508のコレクタ端子と、電流出力端子509とが接続されている。すなわち、電流入力端子500に入力された電流は、自乗され、NPNトランジスタ508のコレクタに流れ、電流出力端子509にシンク電流として出力される。これにより、ゲート電流をより細かく制御することができる。

[0041] 次に、図6は、本実施形態に係る上アームの制御回路の電源として使われているブートストラップ電源回路とその周辺回路の構成図である。パワーデバイス装置1は、絶縁型可変DCDCコンバータ107の代わりに、図6に示すような、GaN・GITデバイス606、607およびブートストラップ電源回路611を備えてもよい。GaN・GITデバイス606、607の中点の電圧に対し、上アームのGaN・GITデバイス606のゲート端子のゲート電圧に所定の電圧を重畳させるため、ブートストラップ電源回路611が機能する。

[0042] ここで、上アームとは、直流電源のプラス側に配置された回路をいい、下アームとは、直流電源のマイナス側に配置された回路をいう。詳細には、上アームとは、直流電源のプラス側に上アームのスイッチ動作を行うパワーデバイス（例えば、図1におけるGaN・GITデバイス105）の一端が接続されている。そして、パワーデバイスの他端から負荷回路と下アームのスイッチ動作を行うパワーデバイスの一端が接続された回路である。下アームとは、前記負荷回路と上アームのスイッチ動作を行うパワーデバイスの他端と下アームのスイッチ動作を行うパワーデバイスの一端に接続され、直流電源のマイナス側に下アームのスイッチ動作を行うパワーデバイスの他端が接続された回路のことをいう。本実施形態では、主回路正電源電圧端子605側とGaN・GITデバイス606が接続された回路を上アーム、GaN・

G I Tデバイス607と負電源電圧端子608と接続された回路を下アームとしている。従って、G a N・G I Tデバイス606は上アーム制御回路として機能し、G a N・G I Tデバイス607は下アーム制御回路として機能する。

[0043] なお、図6の負電源電圧端子604は、図1のノード102に対応する。

さらに、図6の正電源電圧端子603は、図1のノード100に対応する。

[0044] ブートストラップ電源回路611は、G a N・G I Tデバイス606のゲート電圧を発生させるために、上アーム制御回路の負電源電圧端子604に対し、下アーム制御回路の正電源電圧端子600で与えられた電圧（例えば10Vの電圧）だけ高い電圧を上アーム制御回路の正電源電圧端子603から発生させる機能を有する。通常、上アーム制御回路の負電源電圧端子604の電圧は、0V-300Vの振幅の矩形波となるソース出力である。

[0045] 図6に示すように、ブートストラップ電源回路611において、下アーム制御回路の正電源電圧端子600と、ダイオード601のアノード端子が接続され、ダイオード601のカソード端子と、コンデンサ602の一端が上アーム制御回路の正電源電圧端子603に接続されている。また、上アーム用のG a N・G I Tデバイス606のソース端子と、下アーム用のG a N・G I Tデバイス607のドレイン端子と、コンデンサ602の他端とが、上アーム制御回路の負電源電圧端子604に接続されている。また、上アーム用のG a N・G I Tデバイス606のドレイン端子が主回路正電源電圧端子605に接続され、下アーム用のG a N・G I Tデバイス607のソース端子が、主回路グランド端子であり、かつ下アーム制御回路の負電源電圧端子608に接続されている。また、上アーム用のG a N・G I Tデバイス606のゲート端子609が、上アーム用電流ゲートドライバに接続され、下アーム用のG a N・G I Tデバイス607のゲート端子610が下アーム用電流ゲートドライバに接続されている。また、ブートストラップ電源回路611は、コンデンサ602の両端を電源端子とする構成を有する。このような構成により、パワーデバイス装置1において、絶縁型可変D C D Cコンバー

タ107を使用しなくても、GaN・GITデバイス105のゲート電圧に所定の電圧を重畳することができる。ここで、所定の電圧とは、例えば、0-10Vの電圧であり、この場合、上アーム制御回路の正電源電圧端子603と上アーム制御回路の負電源電圧端子（ソース出力）604の電圧差を0-10Vとすることができる。

[0046] 以上が、本発明の第1の実施形態に係るパワーデバイス装置1の装置構成である。

[0047] 次に、図面を用いて、本実施形態に係るパワーデバイス装置1の動作について説明する。

[0048] まず、図1より、CPU（または制御ロジック）106は、通常のシステム同様、PWM（Pulse Width Modulation）変調を利用し、パワーデバイスであるGaN・GITデバイス105をオンオフ動作させる。これにより、GaN・GITデバイス105がリニアな動作領域を使うことがなく、駆動ロスを減らす。具体的には、CPU106からフォトカプラ103の一次入力側のアノード端子112とカソード端子113へ電流オンオフ信号を送る。電流オンオフ信号を受けたフォトカプラ103は、フォトカプラ103の2次側出力端子に主回路負電源（主回路グランド）からフロートした電圧を発生させることができる。フォトカプラ103の2次側出力端子は、電流ゲートドライバ104の入力端子に接続されている。また、電流ゲートドライバ104の出力端子は、電流制御端子114を介して、GaN・GITデバイス105のゲート端子111に接続されている。このような構成により、GaN・GITデバイス105をオンオフ動作させることができる。

[0049] また、CPU（または制御ロジック）106は、GaN・GITデバイス105のドレイン電流を把握している。例えば、GaN・GITデバイス105にはモーターが接続されていることとする。GaN・GITデバイス105が接続されたモーターが最大回転運転をしているときのGaN・GITデバイス105のドレイン端子に流れるドレイン電流を50Aとする。また

、GaN・GITデバイス105が接続されたモーターが最小回転運転をしているときのドレイン電流を1Aとする。このとき、GaN・GITデバイス105にドレイン電流50Aを流すために必要なゲート電流は、例えば50mAであり、ドレイン電流1Aを流すために必要なゲート電流は、例えば1mAである。

[0050] モーターの最大回転運転時に、電流ゲートドライバ104が50mAのゲート電流を発生する。そのために、CPU（または制御ロジック）106は、絶縁型可変DCDCコンバータ107に10Vの電圧が出力されるよう、絶縁型可変DCDCコンバータ107の制御端子116に信号を出す。また、モーターの最小回転運転時に、電流ゲートドライバ104が1mAのゲート電流を発生する。そのために、CPU（または制御ロジック）106は、絶縁型可変DCDCコンバータ107に5Vの電圧が出力されるように、絶縁型可変DCDCコンバータ107の制御端子116に信号を出す。

[0051] V/I変換回路108は、絶縁型可変DCDCコンバータ107の出力電圧を入力とし、電流出力を行う。

[0052] この電流を電流ゲートドライバ104の電流制御端子114に入力することで、GaN・GITデバイス105にとって必要十分なゲート電流に制御することができる。このような、電流制御を行っても、GaN・GITデバイス105は、リニアな動作領域に入ることなくオンオフ動作をするため、損失が増えることはない。

[0053] また、図2を用いて説明したように、第1の構成であるV/I変換回路2では、絶縁型可変DCDCコンバータ107の出力電圧( $V_{CC}$ )は、電圧入力端子200とV/I変換回路2のグランド端子210間の電位差と等しい。第1の分圧抵抗( $r_1$ )201と第2の分圧抵抗( $r_2$ )203によって分圧された正入力端子202に係る電圧は、オペアンプ204の正側に入力される。オペアンプ204の負入力には、gm設定抵抗(R)209が接続されている。オペアンプ204は、正負の入力電圧が等しくなるように動作することから、NPNトランジスタ206のコレクタ電流、つまり第1の構成

であるV/I変換回路2の出力電流は以下の(式1)のようになる。

[0054] [数1]

$$I(V_{CC}) = \frac{r_2}{r_1 + r_2} \cdot \frac{V_{CC}}{R} \quad (\text{式1})$$

[0055] 上記(式1)より、本構成におけるV/I変換回路2は、絶縁型可変DCDCコンバータ107の出力電圧( $V_{CC}$ )に比例してGaN・GITデバイス105のゲート電流を変化させる。

[0056] 図7は、この式をグラフにしたV/I変換回路の第1の構成における入出力電流電圧特性を示す図である。

[0057] 関数としては、原点を通る1次関数となっている。

[0058] 仮に、 $r_1 = 100 \text{ k}\Omega$ 、 $r_2 = 100 \text{ k}\Omega$ 、 $R = 100 \Omega$ とし、前記の説明を使うと、

$$V_{CC} = 10 \text{ V} \text{ のとき、 } I(V_{CC}) = 50 \text{ mA}$$

$$V_{CC} = 5 \text{ V} \text{ のとき、 } I(V_{CC}) = 25 \text{ mA}$$

となる。

[0059] 通常、電流ゲートドライバ104で用いられる半導体プロセスの電源電圧定格は、例えば5V~10V、または10V~30Vが多い。従って、電源電圧の可変範囲の比は1~3程度である。前記説明の中で、ゲート電流の必要な範囲を例えば1mA~50mAとしたが、図2に示した第1のV/I変換回路2では、ゲート電流の比を1~3にしかできない。

[0060] これに対し、図3を用いて説明したように、第2の構成におけるV/I変換回路3では、絶縁型可変DCDCコンバータ107の出力電圧( $V_{CC}$ )は、電圧入力端子300とV/I変換回路のグランド端子310間の電位差と等しい。第1の分圧抵抗( $r_1$ )301と第2の分圧抵抗( $r_2$ )303によって分圧された電圧は、オペアンプ304の正側に入力される。オペアンプ304の負入力には、gm設定抵抗( $R_1$ )309が接続されている。オペアンプの正負の入力電圧が等しくなるように動作することから、NPNトランジスタ306のコレクタ電流は、以下の(式2)のようになる。

[0061] [数2]

$$I_1(V_{CC}) = \frac{r_2}{r_1 + r_2} \cdot \frac{V_{CC}}{R_1} \quad (\text{式 2})$$

[0062] また、バンドギャップ基準電圧回路 3 1 1 からの出力電圧は、オペアンプ 3 1 3 の正側に入力され、オペアンプ 3 1 3 の負入力には、g m 設定抵抗 (  $R_2$  ) 3 1 8 が接続されている。オペアンプ 3 1 3 の正負の入力電圧が等しくなるように動作し、NPN トランジスタ 3 1 6 のコレクタ電流は、PNP トランジスタ 3 2 0 と 3 2 1 によって構成されるミラー回路に入力される。よって、PNP トランジスタ 3 2 1 のコレクタ電流は、以下の (式 3) のようになる。

[0063] [数3]

$$I_2(V_{CC}) = \frac{-V_{BG}}{R_2} \quad (\text{式 3})$$

[0064] 従って、V / I 変換回路の出力電流は、以下の (式 4) のようになる。

[0065] [数4]

$$I(V_{CC}) = \frac{r_2}{r_1 + r_2} \cdot \frac{V_{CC}}{R_1} - \frac{V_{BG}}{R_2} \quad (\text{式 4})$$

[0066] 上記 (式 4) より、本構成における V / I 変換回路 3 は、絶縁型可変 DC DC コンバータ 1 0 7 の出力電圧に比例して GaN ・ GIT デバイス 1 0 5 のゲート電流を変化させる。

[0067] 図 8 は、この式をグラフにした V / I 変換回路の第 2 の構成における入出力電流電圧特性を示す図である。

[0068] 関数としては、Y 切片 8 0 0 が  $-V_{BG} / R_2$  となる 1 次関数となっている。

[0069] もし、 $r_1 = 100 \text{ k}\Omega$ 、 $r_2 = 100 \text{ k}\Omega$ 、 $R_1 = 55.55 \Omega$ 、 $V_{BG} = 1.25 \text{ V}$ 、 $R_2 = 31.25 \Omega$  とし、前記の説明を使うと、 $V_{CC} = 10 \text{ V}$  のとき、 $I(V_{CC}) = 50 \text{ mA}$

$V_{CC} = 5 \text{ V}$  のとき、 $I(V_{CC}) = 5 \text{ mA}$

となる。

[0070] 従って、第2の構成におけるV/I変換回路3では、半導体プロセスの電源電圧の可変範囲の比が2（例えば、5～10V）であっても、ゲート電流の範囲を、例えば5mA～50mAにすることができる。すなわち、ゲート電流の可変範囲の比は10となる。

[0071] 次に、図4を用いて説明したように、図1に含まれるV/I変換回路108の第3の構成では、電流自乗回路401により、 $V_{CC}$ の変化に対し $I(V_{CC})$ は以下の(式5)のように、急な変化を持たせることが可能である。

[0072] [数5]

$$I(V_{CC}) = \left( \frac{r_2}{r_1 + r_2} \cdot \frac{V_{CC}}{R_1} - \frac{V_{BG}}{R_2} \right)^2 \quad (\text{式5})$$

[0073] 図9は、この式をグラフにしたV/I変換回路の第3の構成における入出力電流電圧特性を示す図である。図8に示す第2の構成におけるV/I変換回路3の電流電圧特性は1次関数で示されるものであり、図9に示す第3の構成におけるV/I変換回路4の電流電圧特性は2次関数で示されるものであることから、V/I変換回路4では電流に急な変化を持たせることが可能であり、パワーデバイスに合わせたパワーデバイス装置の設計が可能である。

もし、 $r_1 = 100 \text{ k}\Omega$ 、 $r_2 = 100 \text{ k}\Omega$ 、 $R_1 = 13 \Omega$ 、 $V_{BG} = 1.25 \text{ V}$ 、 $R_2 = 7.8 \Omega$ とし、前記の説明を使うと、

$V_{CC} = 10 \text{ V}$  のとき、 $I(V_{CC}) = 50 \text{ mA}$

$V_{CC} = 5 \text{ V}$  のとき、 $I(V_{CC}) = 1 \text{ mA}$

となる。

[0074] 従って、第3の構成におけるV/I変換回路4では、半導体プロセスの電源電圧の可変範囲の比が2（例えば、5～10V）であっても、ゲート電流の範囲を、例えば1mA～50mAにすることができる。すなわち、ゲート

電流の可変範囲の比は50となる。

[0075] 以上説明したように、第1の構成から第3の構成までのいずれかのV/I変換回路2、3、4を備える本発明の第1の実施形態に係るパワーデバイス装置1は、GaN・GITデバイス105のドレイン電流に合わせ、高い精度でゲート電流を設定することができる。

[0076] なお、図1の絶縁型可変DCDCコンバータ107は、図6のブートストラップ電源回路611に置き換えても、本発明のパワーデバイス装置1は同様の動作を行う。また、図1のフォトカプラ103は、高耐圧トランジスタ等で構成されたレベルシフト回路に置き換えても、本発明のパワーデバイス装置1は同様の動作を行う。

[0077] (第2の実施形態)

次に、本発明の第2の実施形態について説明する。本実施形態におけるパワーデバイス装置が第1の実施形態におけるパワーデバイス装置と異なる点は、V/I変換回路の入力側の端子に電圧サンプルホールド回路が配置されている点である。

[0078] 図10は、第2の実施形態に係るパワーデバイス装置の構成図である。

[0079] 電圧S/H(サンプルホールド)回路1015は、電源電圧を取り込むタイミングを固定し、次の取り込みまで電圧をホールドする機能を有する。これにより、例えばGaN・GITデバイス1005のドレイン電流オンの直前のタイミングに合わせて最適のゲート電流を設定することが可能であり、GaN・GITデバイス1005が動作することによる電磁誘導ノイズ等の影響を避けることが可能である。

[0080] 図10に示すように、本実施形態に係るパワーデバイス装置10は、フォトカプラ1003の2次側の正の出力端子と、電流ゲートドライバ1004の正の電源端子と、電圧S/H(サンプルホールド)回路1015の入力端子と、絶縁型可変DCDCコンバータ1007の正の電源端子とが、ノード1000と接続されている。また、フォトカプラ1003の2次側の負の電源端子と、電流ゲートドライバ1004の負の電源端子と、GaN・GIT

デバイス1005のソース端子と、絶縁型可変DCDCコンバータ1007の負の電源端子とが、ノード1002と接続されている。また、ノード1002は、下アームと接続されており、かつパワーデバイス装置10の出力端子1010と接続されている。また、フォトカプラ1003の2次側の出力端子と、電流ゲートドライバ1004の入力端子と電圧S/H（サンプルホールド）回路1015の制御端子とが、ノード1001と接続されている。また、電流ゲートドライバ1004の出力端子は、電流制御端子1014を介して、GaN・GITデバイス1005のゲート端子1011と接続されている。また、電圧S/H（サンプルホールド）回路1015の出力端子1017と、V/I変換回路1008の入力端子とが接続されている。また、V/I変換回路1008の出力端子と、電流ゲートドライバ1004の電流制御端子1014とが接続されている。また、GaN・GITデバイス1005のドレイン端子が、主回路正電源電圧端子1009と接続されている。また、CPU（または制御ロジック）1006は、フォトカプラ1003の1次側のアノード端子1012とカソード端子1013にそれぞれ接続されている。また、CPU（または制御ロジック）1006は、絶縁型可変DCDCコンバータ1007の制御端子1016へ接続されている。

[0081] 図11は、図10に含まれる電圧S/H（サンプルホールド）回路1015の構成図である。電圧入力端子1100は、スイッチ1101の一端に接続される。また、スイッチ1101の他端と、コンデンサ1103の一端と、オペアンプ1105の正入力端子1102とが接続されている。また、コンデンサ1103の他端と、電圧S/H（サンプルホールド）回路のグラウンド端子1104が接続されている。また、スイッチ制御端子1107がスイッチ1101の制御入力端子に接続されている。また、オペアンプ1105の負入力端子とオペアンプ1105の出力端子と電圧S/H（サンプルホールド）回路の電圧出力端子1106が接続される構成を有する。

[0082] 以上のように構成されたパワーデバイス装置10において、第1の実施形態との差分を中心に、以下、その動作を説明する。

- [0083] 図10に示す本実施形態に係るパワーデバイス装置10は、図1のパワーデバイス装置1におけるV/I変換回路108に相当するV/I変換回路1008の直前に、電圧S/H（サンプルホールド）回路1015を設けたところが差分である。
- [0084] 絶縁型可変DCDCコンバータ1007は、上アームに使われるが、主回路のグラウンドレベルから数百ボルトの電位差まで、短時間で変化するため、電源ノイズが多いことがある。従って、図10におけるCPU（または制御ロジック）1006を任意の電源電圧に設定したい場合でも、電源ノイズにより、所望の電圧にならないことがある。そのため、フォトカプラ1003の出力端子を電圧S/H（サンプルホールド）回路1015の制御端子に接続し、電源電圧であるノード1000を取り込むタイミングを固定し、次の取り込みまで電圧をホールドする。取り込みタイミングは、例えばGaN・GITデバイス1005のドレイン電流オンの直前のタイミングなどであり、GaN・GITデバイス1005が動作することによる電磁誘導ノイズ等の影響を避けることが可能である。
- [0085] その後は、図1で説明したパワーデバイス装置1と同じ動作を行う。なお、V/I変換回路1008は、図2～図5で説明したものをそのまま使用できる。
- [0086] 以上に説明したように、本発明の第2の実施形態に係るパワーデバイス装置10は、GaN・GITデバイス1005のドレイン電流に合わせ、最適なゲート電流を設定することが可能となる。よって、従来の簡単な構成では、細かいゲート電流設定が難しいという課題を解決できる。
- [0087] なお、図10の絶縁型可変DCDCコンバータ1007を図6のブートストラップ電源回路611に置き換えても、本発明のパワーデバイス装置10は上記した動作と同様の動作を行う。ブートストラップ電源回路611を使用した場合は、特に電源電圧の変動が大きい。そのため、電源電圧であるノード1000を取り込むタイミングを固定した第2の実施形態に係るパワーデバイス装置10は、特に有効である。また、図10のフォトカプラ100

3は、高耐圧トランジスタ等で構成されたレベルシフト回路に置き換えても、本発明のパワーデバイス装置は上記した動作と同様の動作を行う。

[0088] (第3の実施形態)

次に、本発明の第3の実施形態について説明する。本実施形態におけるパワーデバイス装置が第1および第2の実施形態におけるパワーデバイス装置と異なる点は、パワーデバイス装置において、V/I変換回路の出力側の端子に電流S/H(サンプルホールド)回路が配置されている点である。

[0089] 図12は、第3の実施形態に係るパワーデバイス装置の構成図である。

[0090] 図12に示すように、パワーデバイス装置12は、フォトカプラ1203の2次側の正の電源端子と、電流ゲートドライバ1204の正の電源端子と、V/I変換回路1208の入力端子と、絶縁型可変DCDCコンバータ1207の正の電源端子とが、ノード1200と接続されている。また、フォトカプラ1203の2次側の負の電源端子と、電流ゲートドライバ1204の負の電源端子と、GaN・GITデバイス1205のソース端子と、絶縁型可変DCDCコンバータ1207の負の電源端子とが、ノード1202と接続されている。ノード1202は、下アームと接続されており、かつパワーデバイス装置12の出力端子1210と接続されている。また、フォトカプラ1203の2次側の出力端子と、電流ゲートドライバ1204の入力端子とが、ノード1201と接続されている。また、電流ゲートドライバ1204の出力端子は、電流制御端子1214を介して、GaN・GITデバイス1205のゲート端子1211に接続されている。また、V/I変換回路1208の出力端子と、電流S/H回路1215の入力端子1217とが接続されている。また、電流S/H回路1215の出力端子と、電流ゲートドライバ1204の電流制御端子1214とが接続されている。また、GaN・GITデバイス1205のドレイン端子は、主回路正電源電圧端子1209と接続されている。また、CPU(または制御ロジック)1206は、フォトカプラ1203の1次側のアノード端子1212とカソード端子1213にそれぞれ接続されている。また、CPU(または制御ロジック)120

6は、絶縁型可変DCDCコンバータ1207の制御端子1216へ接続されている。

[0091] 図13は、図12に含まれる電流S/H回路1215の構成図である。

[0092] 電流S/H回路1215の電流入力端子1300は、スイッチ1301の一端と、NchMOSトランジスタ1302のドレイン端子とに接続されている。また、スイッチ1301の他端と、NchMOSトランジスタ1302のゲート端子と、NchMOSトランジスタ1304のゲート端子とは、ノード1303に接続されている。また、NchMOSトランジスタ1302のソース端子と、NchMOSトランジスタ1304のソース端子とは、電流S/H回路1215のグランド端子1306に接続されている。また、スイッチ制御端子1307は、スイッチ1301の制御入力端子に接続されている。また、NchMOSトランジスタ1304のドレイン端子と電流S/H回路の電流出力端子1305が接続されている。

[0093] 以上のように構成されたパワーデバイス装置12において、第1の実施形態との差分を中心に以下、その動作を説明する。

[0094] 図12に示す本実施形態に係るパワーデバイス装置12は、図1のパワーデバイス装置1におけるV/I変換回路108に相当するV/I変換回路1208の直後に、電流S/H回路1215を設けたところが差分である。

[0095] 図10の説明と同様に、絶縁型可変DCDCコンバータ1207は、上アームに使われるが、主回路のグランドレベルから数百ボルトの電位差まで、短時間で変化するため、電源ノイズが多いことがある。従って、図12におけるCPU（または制御ロジック）1206が任意の電源電圧に設定したい場合でも、電源ノイズにより、所望の電圧にならないことがある。そのため、フォトカプラ1203の出力端子を電流S/H回路1215の制御端子に接続し、電源電圧であるノード1200をV/I変換回路1208で電流に変換する。そして、V/I変換回路1208からの電流を取り込むタイミングを電流S/H回路1215で固定し、次の取り込みまで電流をホールドする。

[0096] 更に詳細に、図13、電流S/H回路1215の動作を説明する。電流入力端子1300より印加された入力電流はスイッチ1301が閉じているときは、NchMOSトランジスタ1302、1304がミラー回路を構成していることにより、入力電流と同じ電流が電流出力端子1305より出力電流として引き込む。スイッチ制御端子1307は、電流S/Hのサンプリング制御端子であり、スイッチ1301を開かせることにより、ノード1303のゲート電圧を保持することができ、電流が保持（ホールド）される。以上のように電流S/H回路は動作する。

[0097] その後は、図1で説明したパワーデバイス装置1と同じ動作を行う。なお、V/I変換回路は、図2～図5で説明したものをそのまま使用できる。

[0098] 以上に説明したように、本発明の第3の実施形態に係るパワーデバイス装置12は、GaN・GITデバイス1205のドレイン電流に合わせ、最適なゲート電流を設定することが可能となる。よって、従来の簡単な構成では、細かいゲート電流設定が難しいという課題を解決できる。

[0099] なお、図12の絶縁型可変DCDCコンバータ1207を図6のブートストラップ電源回路611に置き換えても、本発明のパワーデバイス装置12は上記した動作と同様の動作を行う。ブートストラップ電源回路611を使用した場合、特に電源電圧の変動が大きく、V/I変換回路1208からの電流を取り込むタイミングを固定した第3の実施形態に係るパワーデバイス装置12は、特に有効である。また、図12のフォトカップラ1203は、高耐圧トランジスタ等で構成されたレベルシフト回路に置き換えても、本発明のパワーデバイス装置は上記した動作と同様の動作を行う。

[0100] （第4の実施形態）

次に、本発明の第4の実施形態について説明する。本実施形態におけるパワーデバイス装置が第1の実施形態におけるパワーデバイス装置と異なる点は、フォトカップラ103と電流ゲートドライバ104とV/I変換回路108の代わりに、フォトカップラ103と電流ゲートドライバ104とV/I変換回路108とが一体となったフォトカップラ・ドライバ1403を備える点

である。さらに、フォトカプラ・ドライバ1403とGaN・GITデバイス1405のゲートとの間に、ゲート電流設定部としてゲート電流設定抵抗1404を備える点である。

- [0101] 図14は、第4の実施形態に係るパワーデバイス装置の構成図である。
- [0102] フォトカプラ・ドライバ1403の2次側の正の電源端子1400は、絶縁型可変DCDCコンバータ1407の正の電源端子に接続されている。また、フォトカプラ・ドライバ1403の2次側の負の電源端子1402と、GaN・GITデバイス1405のソース端子と、絶縁型可変DCDCコンバータ1407の負の電源端子とがノード1410と接続されている。また、フォトカプラ・ドライバ1403の2次側の出力端子1401は、ゲート電流設定抵抗1404の一端に接続されている。また、ゲート電流設定抵抗1404の他端は、GaN・GITデバイス1405のゲート端子1411に接続されている。また、GaN・GITデバイス1405のドレイン端子は、主回路正電源電圧端子1409と接続されている。また、CPU（または制御ロジック）1406は、フォトカプラ・ドライバ1403の1次側のアノード端子1412とカソード端子1413にそれぞれ接続されている。また、CPU（または制御ロジック）1406は、絶縁型可変DCDCコンバータ1407の制御端子1416へ接続されている。
- [0103] 以上のように構成されたパワーデバイス装置14において、以下、その動作を説明する。
- [0104] 図14において、CPU（または制御ロジック）1406は、通常システム同様、PWM変調を利用し、パワーデバイスをオンオフ動作させることで、リニアな動作領域を使うことなく駆動ロスを減らす。具体的には、CPU（または制御ロジック）1406は、フォトカプラ・ドライバ1403のアノード端子1412とカソード端子1413へ電流オンオフ信号を送る。フォトカプラ・ドライバ1403は、2次側の出力端子1401に主回路負電源（主回路グランド）からフロートした電圧を発生させることができる。フォトカプラ・ドライバ1403の2次側の出力端子1401は、ゲート電

流設定抵抗1404の一端に接続され、ゲート電流設定抵抗1404の他端からGaN・GITデバイス1405のゲート端子1411へゲート電流を供給する。ゲート端子1411とノード1410の電位差を $V_F$ と定義すると、ゲート電流 $I(V_{CC})$ は以下の(式6)で表される。

[0105] [数6]

$$I(V_{CC}) = \frac{V_{CC}}{R} - \frac{V_F}{R} \quad (\text{式6})$$

[0106]  $V_F$ は、GaN・GITデバイス1405の $V_{GS}$ であるが、ゲートソース間にダイオードが接続されたものと同じ式で等価的に表せることから、順方向電圧をあらわす $V_F$ と表記している。

[0107] (式6)に示すように、パワーデバイス装置14において、一般的なシステムと同じように、GaN・GITデバイス1405をオンオフ動作させることができる。一般的にCPU(または制御ロジック)1406は、GaN・GITデバイス1405のドレイン電流を把握している。例えば、GaN・GITデバイス1405にモーターが接続されていることとする。GaN・GITデバイス1405が接続されたモーターが最大回転運転をしているときのGaN・GITデバイス1405のドレイン端子に流れるドレイン電流を50A、最小回転運転をしているときのドレイン電流を1Aとする。このとき、GaN・GITデバイス1405にドレイン電流50Aを流すために必要なゲート電流は、例えば50mAであり、ドレイン電流1Aを流すために必要なゲート電流は、例えば1mAである。

[0108] モーターの最大回転運転時に、フォトカプラ・ドライバ1403が50mAのゲート電流を発生する。そのために、CPU(または制御ロジック)1406は、絶縁型可変DCDCコンバータ1407に10Vの電圧が出力されるよう、絶縁型可変DCDCコンバータ1407の制御端子1416に信号を出す。また、モーターの最小回転運転時に、フォトカプラ・ドライバ1403が1mAのゲート電流を発生する。そのために、CPU(または制御ロジック)1406は、絶縁型可変DCDCコンバータ1407に5Vの電

圧が出力されるように、絶縁型可変DCDCコンバータ1407の制御端子1416に信号を出す。ゲート電流設定抵抗1404は、上記、ゲート電流 $I(V_{CC})$ の式に従って電流を流すので、 $V_F$ が一定値3Vとすると、 $R=140\Omega$ となる。

[0109] つまり、 $V_F=3V$ 、 $R=140\Omega$ とすると、

$V_{CC}=10V$ の時、ゲート電流 $I(V_{CC})=50mA$ 、

$V_{CC}=5V$ の時、ゲート電流 $I(V_{CC})=14mA$

となる。これは、図1の第1の実施形態の $V/I$ 変換回路108、すなわち図3の $V/I$ 変換回路3を使った場合とほぼ同じ挙動となる。また、電流電圧特性は、図8とほぼ同じであり、 $Y$ 切片を $-V_F/R$ に置き換えたものと等価である。

[0110] 以上に説明したように、本発明の第4の実施形態に係るパワーデバイス装置14は、GaN・GITデバイス1405のドレイン電流に合わせ、最適なゲート電流を設定することが可能であり、従来の簡単な構成では、細かいゲート電流設定が難しいという課題を解決できる。

[0111] なお、図14の絶縁型可変DCDCコンバータ1407は、図6のブートストラップ電源回路611に置き換えても、本発明のパワーデバイス装置14は上記した動作と同様の動作を行う。また、図14のフォトカプラ・ドライバ1403は、高耐圧トランジスタ等で構成されたレベルシフト回路に置き換えても、本発明のパワーデバイス装置は上記した動作と同様の動作を行う。

[0112] (比較例)

図15は、本発明の実施形態の比較例に係るパワーデバイス装置の構成図である。

[0113] 図15において、フォトカプラ1503の2次側の正の電源端子1500と、フォトカプラ1508の2次側の正の電源端子1500とは、絶縁型DCDCコンバータ1507の正の電源端子に接続されている。また、フォトカプラ1503の2次側の負の電源端子1502と、フォトカプラ1508

の2次側の負の電源端子1502と、GaN・GITデバイス1505のソース端子と、絶縁型DCDCコンバータ1507の負の電源端子とは、ノード1510に接続されている。また、フォトカプラ1503の2次側の出力端子1501と、ゲート電流設定抵抗( $R_1$ )1504の一端とが接続され、フォトカプラ1508の2次側の出力端子1517と、ゲート電流設定抵抗( $R_2$ )1512の一端とが接続され、ゲート電流設定抵抗( $R_1$ )1504の他端と、ゲート電流設定抵抗( $R_2$ )1512の他端と、GaN・GITデバイス1505のゲート端子1511とが接続されている。また、GaN・GITデバイス1505のドレイン端子は、主回路正電源電圧端子1509に接続され、CPU(または制御ロジック)1506は、フォトカプラ1503の1次側のアノード端子1513とカソード端子1514にそれぞれ接続され、同じくCPU(または制御ロジック)1506からフォトカプラ1508の1次側のアノード端子1516とカソード端子1515にそれぞれ接続されている。

[0114] 以上のように構成されたパワーデバイス装置において、以下、その動作を説明する。

[0115] 図15において、CPU(または制御ロジック)1506は、PWM変調を利用し、パワーデバイスをオンオフ動作させることで、リニアな動作領域を使うことなく駆動ロスを減らす。具体的には、フォトカプラ1503のアノード端子1513とカソード端子1514へ電流オンまたはオフ信号を送り、フォトカプラ1508のアノード端子1516とカソード端子1515へ電流オンオフ信号を送ることで、フォトカプラ1503とフォトカプラ1508の2次側出力端子に主回路負電源(主回路グランド)からフロートした電圧を発生させることができる。説明の便宜上、ゲート電流設定抵抗( $R_2$ )1512は、ゲート電流設定抵抗( $R_1$ )1504の2倍の抵抗値とする。

[0116] ゲート電流 $I(V_{CC})$ は、以下の(式7)で表される。

[0117]

[数7]

$$I(V_{CC}) = \frac{V_{CC}}{R} - \frac{V_F}{R} \quad (\text{式7})$$

[0118] (式7)の $V_F$ は、GaN・GITデバイス1505の $V_{GS}$ であるが、ゲートソース間にダイオードが接続されたものと同じ式で等価的に表せることから、順方向電圧をあらわす $V_F$ と表記している。

[0119] また、ゲート設定抵抗 $R$ は、ゲート電流設定抵抗( $R_1$ )1504、ゲート電流設定抵抗( $R_2$ )1512の並列合成抵抗値であり、フォトカプラ1503と1508のオンまたはオフの組合せにより以下の(式8)に示す値を有する。

[0120] [数8]

$$I(V_{CC}) = \begin{cases} \frac{V_{CC} - V_F}{R_1} + \frac{V_{CC} - V_F}{R_2} & (\text{フォトカプラ1503オン、1508オン}) \\ \frac{V_{CC} - V_F}{R_1} & (\text{フォトカプラ1503オン、1508オフ}) \\ \frac{V_{CC} - V_F}{R_2} & (\text{フォトカプラ1503オフ、1508オン}) \\ 0 & (\text{フォトカプラ1503オフ、1508オフ}) \end{cases} \quad (\text{式8})$$

[0121] ここで、具体的数値として、

ゲート電流設定抵抗1512： $R_2 = 400 \Omega$ 、

ゲート電流設定抵抗1504： $R_1 = 200 \Omega$ 、

絶縁型DCDCコンバータ1507の電源電圧： $V_{CC} = 10V$ 、

GaN・GITデバイス1505のゲートソース間順方向電圧： $V_F = 3V$ とする。

[0122] 一般的に、CPU(または制御ロジック)1506は、GaN・GITデバイス1505のドレイン電流を把握している。例えば、GaN・GITデバイス1505にモーターが接続されている場合、GaN・GITデバイス1505接続されたモーターが最大回転運転をしているときのGaN・GITデバイス1505のドレイン端子に流れるドレイン電流を50A、最小回

転運転をしているときのドレイン電流を1 Aとする。このとき、Ga N・G I Tデバイス1505にドレイン電流50 Aを流すために必要なゲート電流は、例えば50 mAであり、ドレイン電流1 Aを流すのに必要なゲート電流は1 mAである。

[0123] モーターの最大回転運転時に、ゲート電流設定抵抗1504とゲート電流設定抵抗1512がこれらのゲート電流を発生するように、CPU（または制御ロジック）1506は、フォトカプラ1503のアノード端子1513とカソード端子1514へ電流オン信号を送り、また、フォトカプラ1508のアノード端子1516とカソード端子1515へ電流オン信号を送る。これにより、ゲート電流Iは、 $I(V_{CC}) = 52.5 \text{ mA}$ となる。

[0124] また、モーターの中間回転運転時に、CPU（または制御ロジック）1506は、フォトカプラ1503のアノード端子1513とカソード端子1514へ電流オン信号を送り、また、フォトカプラ1508のアノード端子1516とカソード端子1515へ電流オフ信号を送る。これにより、ゲート電流Iは、 $I(V_{CC}) = 35 \text{ mA}$ となる。

[0125] また、モーターの最小回転運転時に、CPU（または制御ロジック）1506は、フォトカプラ1503のアノード端子1513とカソード端子1514へ電流オフ信号を送り、また、フォトカプラ1508のアノード端子1516とカソード端子1515へ電流オン信号を送る。これにより、ゲート電流Iは、 $I(V_{CC}) = 17.5 \text{ mA}$ となる。

[0126] このように、ゲート電流を3値で送るために、図15に示すように、パワーデバイス装置にはフォトカプラ1503、1508の2系統が必要となり、複雑さが増し、コストが増大し、信頼性は落ちるという問題が発生する。

[0127] すなわち、フォトカプラ（レベルシフト回路）1503、1508をn個使うことで（2のn乗-1）値のゲート電流を切り替えることが可能である。つまりフォトカプラを1系統とすると、ゲート電流は1つの固定値となり、コストを優先すれば細かい電流設定が難しいという問題が発生する。

[0128] なお、本発明は、上記した実施形態に限定されるものではなく、本発明の

要旨を逸脱しない範囲内で種々の改良、変形を行ってもよい。

[0129] 例えば、上記した実施形態において、絶縁型可変DCDCコンバータをブートストラップ電源回路に置き換えてもよい。また、上記した実施形態において、フォトカプラを高耐圧トランジスタ等で構成されたレベルシフト回路に置き換えてもよい。

[0130] また、本発明に係るパワーデバイス装置には、上記実施の形態における任意の構成要素を組み合わせて実現される別の実施形態や、実施形態に対して本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係るパワーデバイス装置を備えた各種デバイスなども本発明に含まれる。例えば、本発明に係るパワーデバイス装置を備えたエアコンなどのインバータシステムも本発明に含まれる。

### 産業上の利用可能性

[0131] 本発明は、エアコンなどのインバータシステム、ハーフブリッジ回路、フルブリッジ回路において、低出力時の消費電力の大幅削減を実現でき、省エネ性能の改善に大きく貢献することが可能なパワーデバイス装置である。

### 符号の説明

[0132] 1, 10, 12, 14      パワーデバイス装置  
 2, 3, 4, 108, 1008, 1208      V/I変換回路  
 100, 101, 102, 506, 1000, 1001, 1002, 1200, 1201, 1202, 1303, 1410, 1510      ノード  
 103, 1003, 1203, 1503, 1508      フォトカプラ  
 104, 1004, 1204      電流ゲートドライバ  
 105, 606, 607, 1005, 1205, 1405, 1505  
 GaN・GITデバイス  
 106, 1006, 1206, 1406, 1506      CPU  
 107, 1007, 1207, 1407      絶縁型可変DCDCコンバータ  
 109, 605, 1009, 1209, 1409, 1509      主回路正

## 電源電圧端子

110, 205, 305, 315, 1010, 1017, 1210, 1401, 1501, 1517 出力端子

111, 609, 610, 1011, 1211, 1411, 1511

## ゲート端子

112, 1012, 1212, 1412, 1513, 1516 アノード端子

113, 1013, 1213, 1413, 1514, 1515 カソード端子

114, 1014, 1214 電流制御端子

116, 1016, 1216, 1416 制御端子

200, 300, 1100 電圧入力端子

201, 203, 301, 303 分圧抵抗

202, 302, 312, 1102 正入力端子

204, 304, 313, 1105 オペアンプ

206, 306, 316, 505, 508 NPNトランジスタ

207, 307, 509, 1305 電流出力端子

208, 308, 317 負入力端子

209, 309, 318 gm設定抵抗

210, 310, 503, 1104, 1306 グランド端子

1217 入力端子

311 バンドギャップ基準電圧回路

319, 504, 1400, 1402, 1500, 1502 電源端子

320, 321 PNPトランジスタ

322 コレクタ端子

401 電流自乗回路

500, 1300 電流入力端子

501, 502, 601 ダイオード

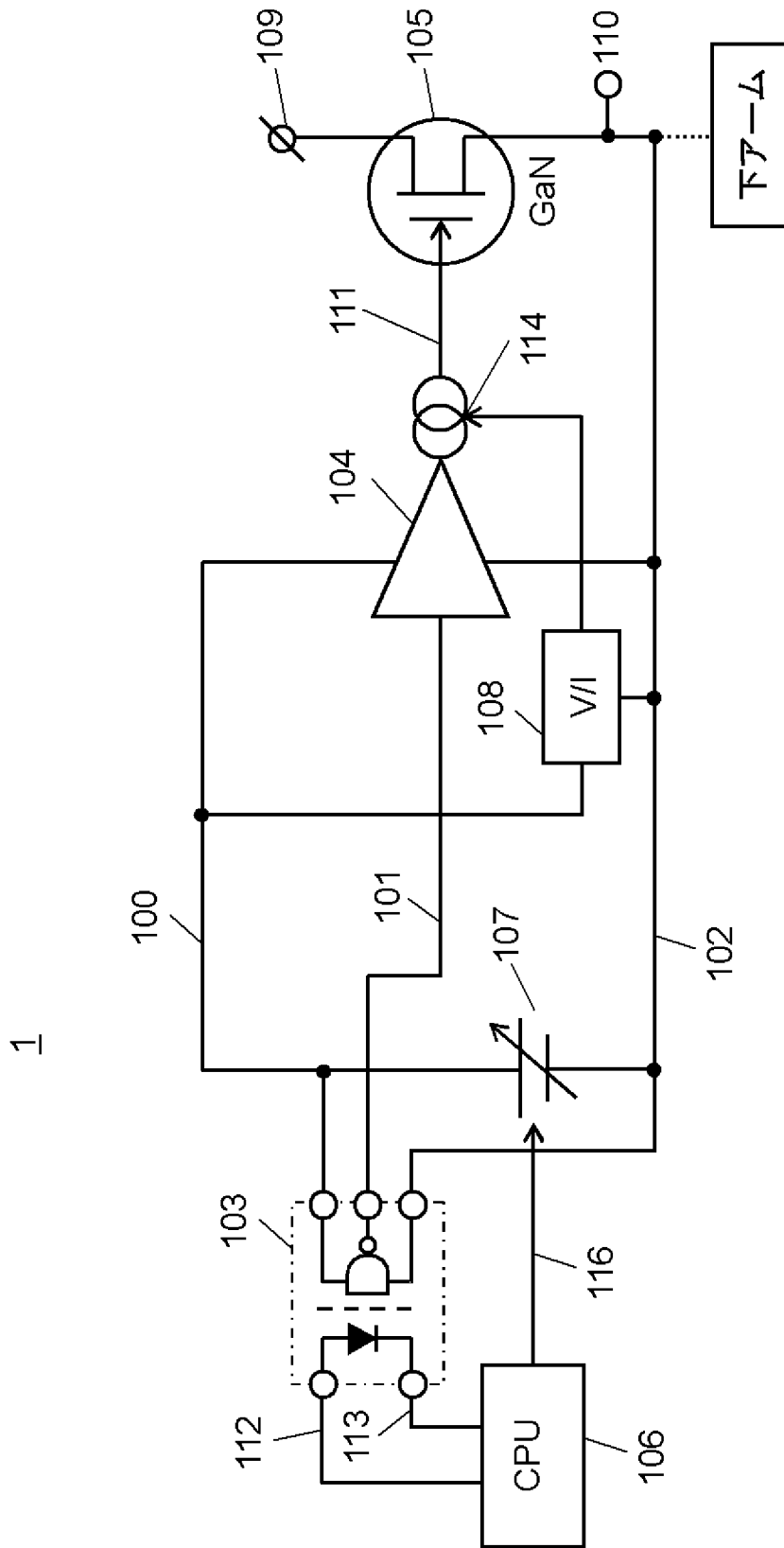
- 507 定電流源
- 600, 603 正電源電圧端子
- 602, 1103 コンデンサ
- 604, 608 負電源電圧端子
- 611 ブートストラップ電源回路
- 800 Y切片
- 1015 電圧S/H (サンプルホールド) 回路
- 1101, 1301 スイッチ
- 1106 電圧出力端子
- 1107, 1307 スイッチ制御端子
- 1215 電流S/H回路
- 1302, 1304 NchMOSトランジスタ
- 1403 フォトカプラ・ドライバ
- 1404, 1504, 1512 ゲート電流設定抵抗
- 1507 絶縁型DCDCコンバータ

## 請求の範囲

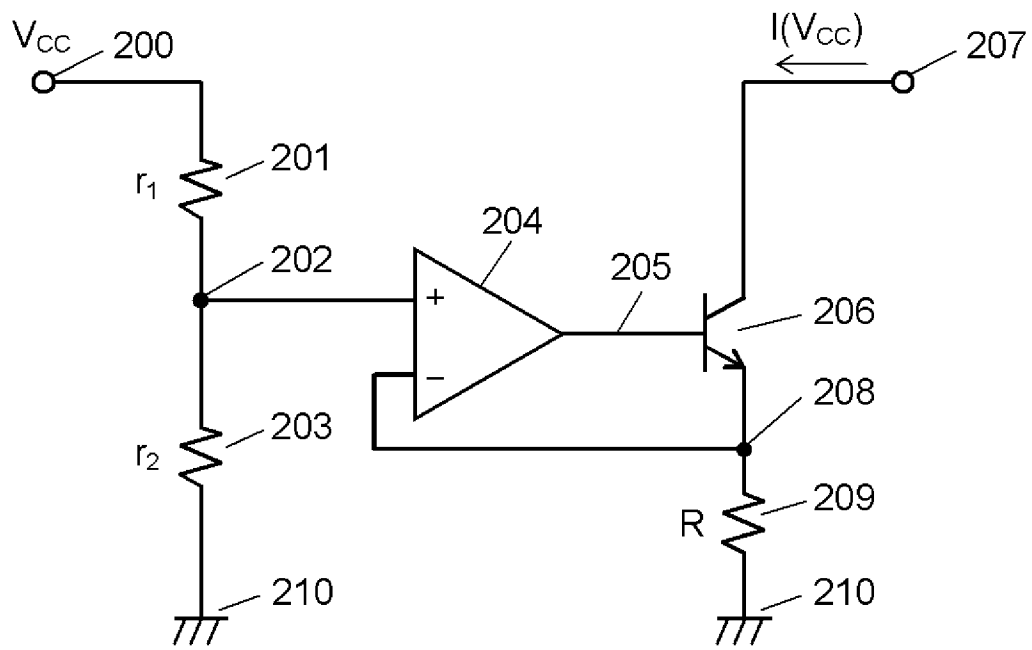
- [請求項1] ソース端子と、ドレイン端子と、ゲート端子とを備え、前記ゲート端子に印加されたゲート電流によりオンオフ動作するパワーデバイスを備えたパワーデバイス装置であって、  
可変電圧を発生する可変電圧源と、  
前記可変電圧源から発生する電圧に応じて、前記ゲート電流を変化させるゲート電流設定部と、  
前記ゲート電流設定部の出力電流に応じて、電流を出力する電流ゲートドライバと、  
絶縁を確保し、前記ゲート電流をオン／オフさせるためのレベルシフト回路を備える  
パワーデバイス装置。
- [請求項2] 前記ゲート電流設定部が、 $V/I$ 変換回路から構成され、  
前記 $V/I$ 変換回路は、前記可変電圧源の出力電圧に比例して前記ゲート電流を設定する  
請求項1に記載のパワーデバイス装置。
- [請求項3] 前記ゲート電流設定部が、 $V/I$ 変換回路から構成され、  
前記 $V/I$ 変換回路は、電流自乗回路を備える  
請求項1に記載のパワーデバイス装置。
- [請求項4] 前記可変電圧源が、前記ゲート端子のゲート電圧に所定の電圧を重畳するためのブートストラップ電源回路を備える  
請求項1に記載のパワーデバイス装置。
- [請求項5] 前記ゲート電流設定部の直前に、電圧サンプルホールド回路を備える  
請求項1に記載のパワーデバイス装置。
- [請求項6] 前記ゲート電流設定部の直後に、電流サンプルホールド回路を備える  
請求項1に記載のパワーデバイス装置。

[請求項7] 前記レベルシフト回路と前記電流ゲートドライバと前記ゲート電流設定部とが一体となったフォトカップラ・ドライバを備え、  
前記フォトカップラ・ドライバと前記パワーデバイスのゲート端子との間に、前記ゲート電流設定部としてゲート電流設定抵抗を備える請求項1に記載のパワーデバイス装置。

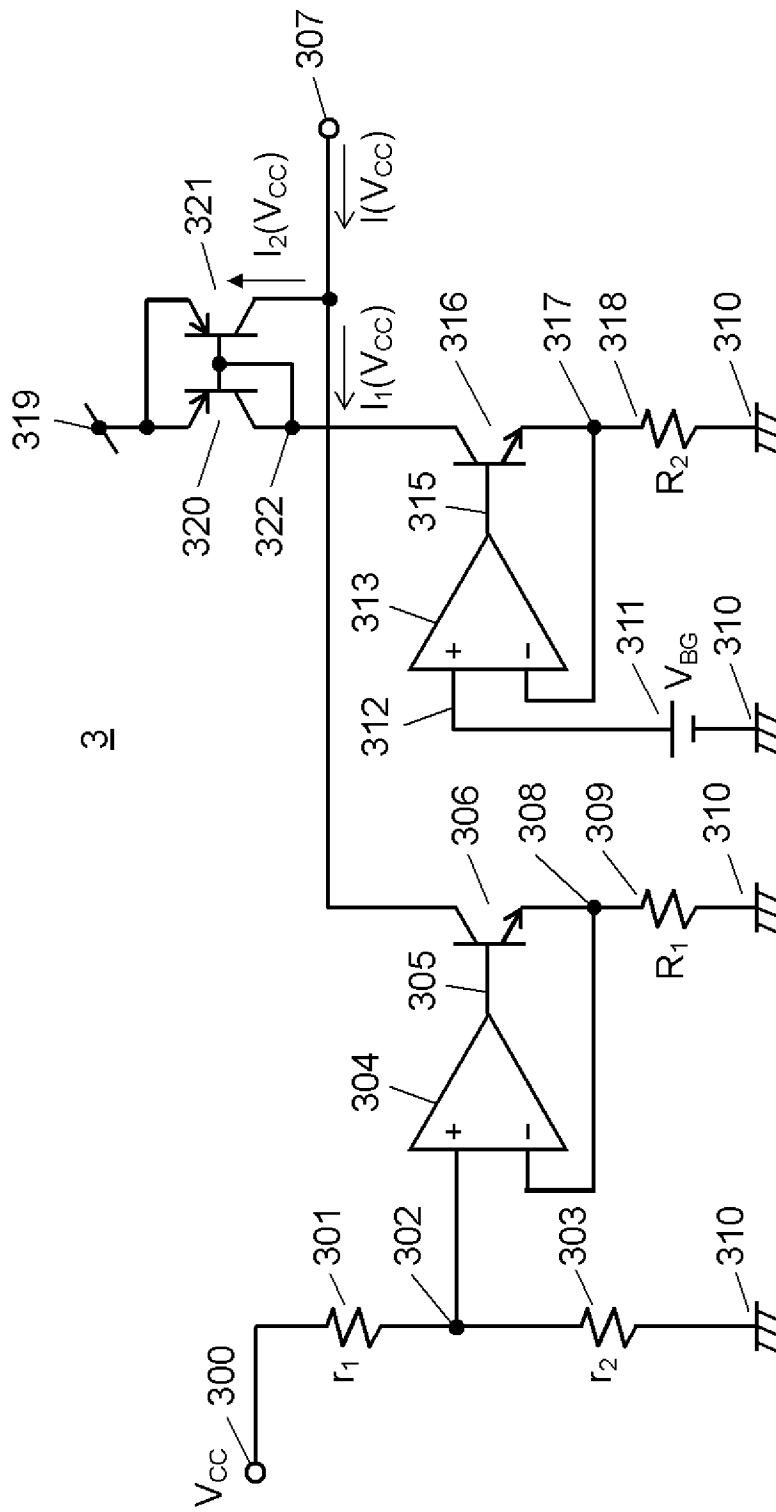
[図1]



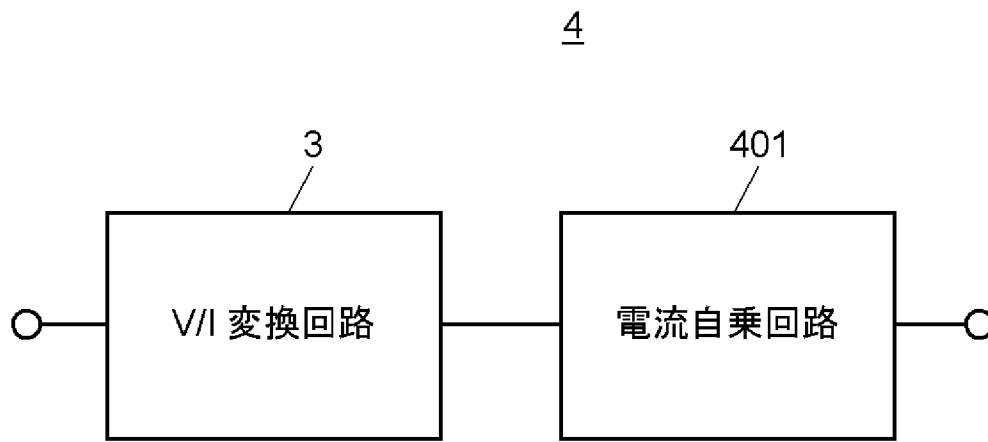
[図2]

2

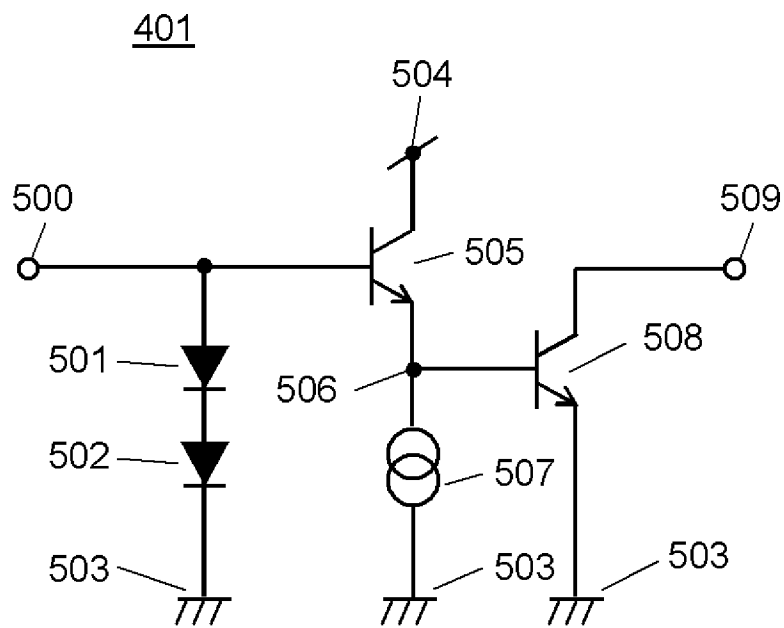
[図3]



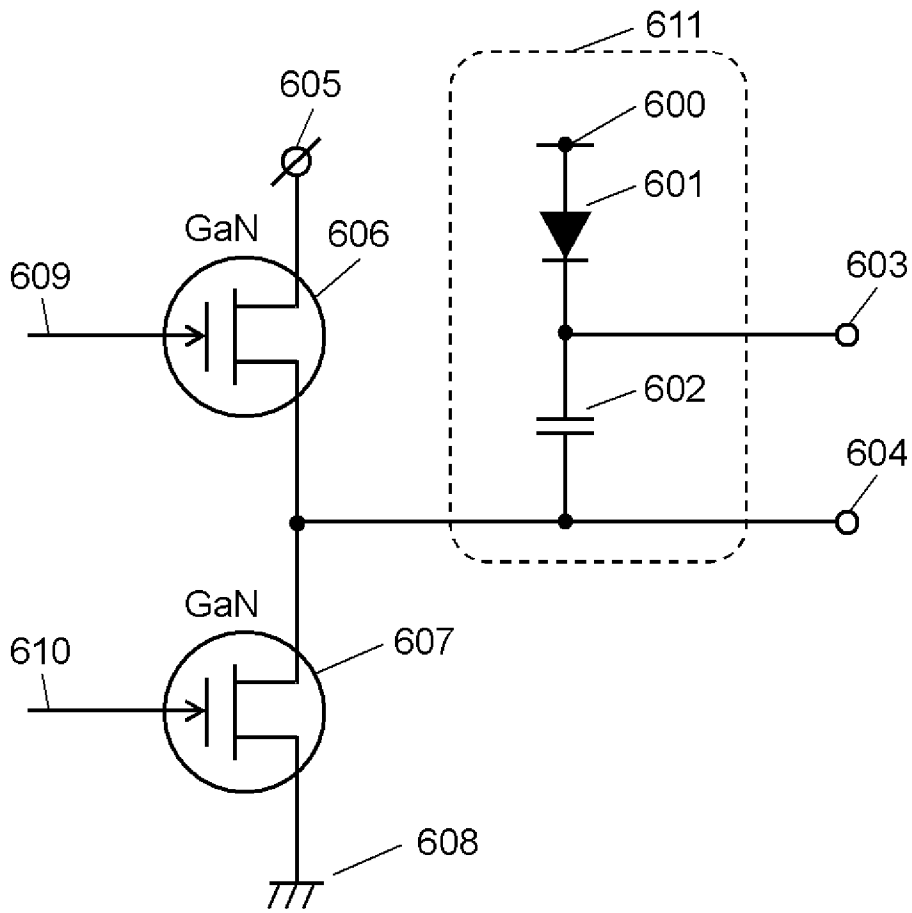
[図4]



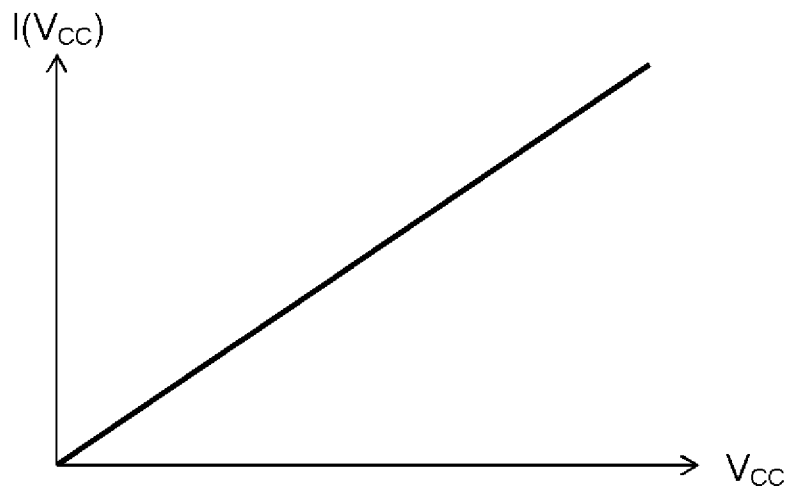
[図5]



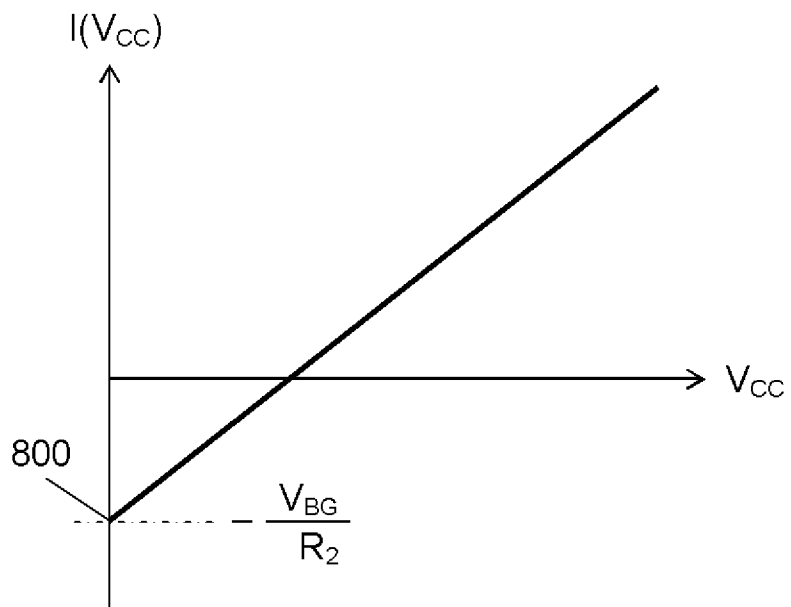
[圖6]



[圖7]



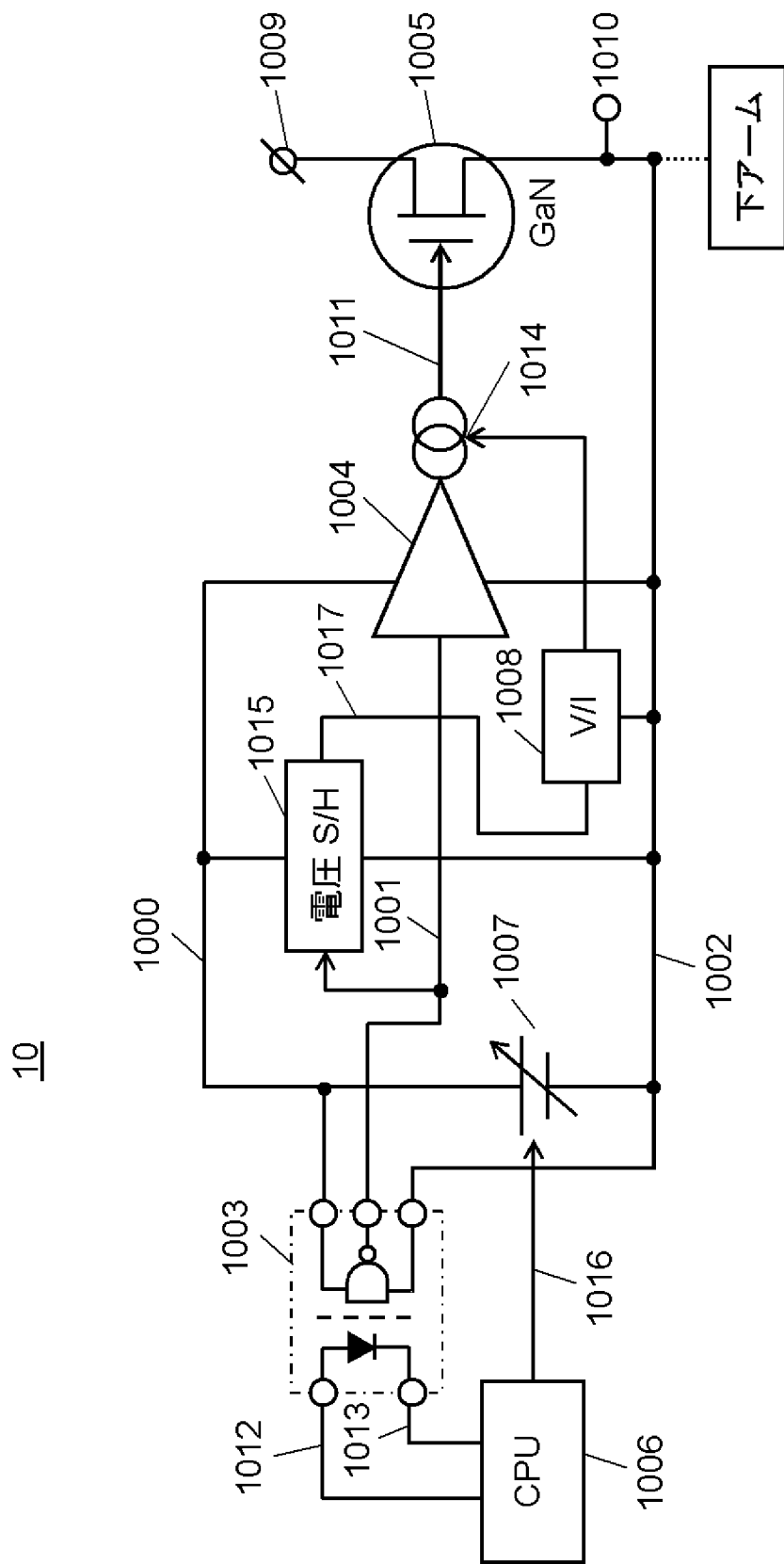
[図8]



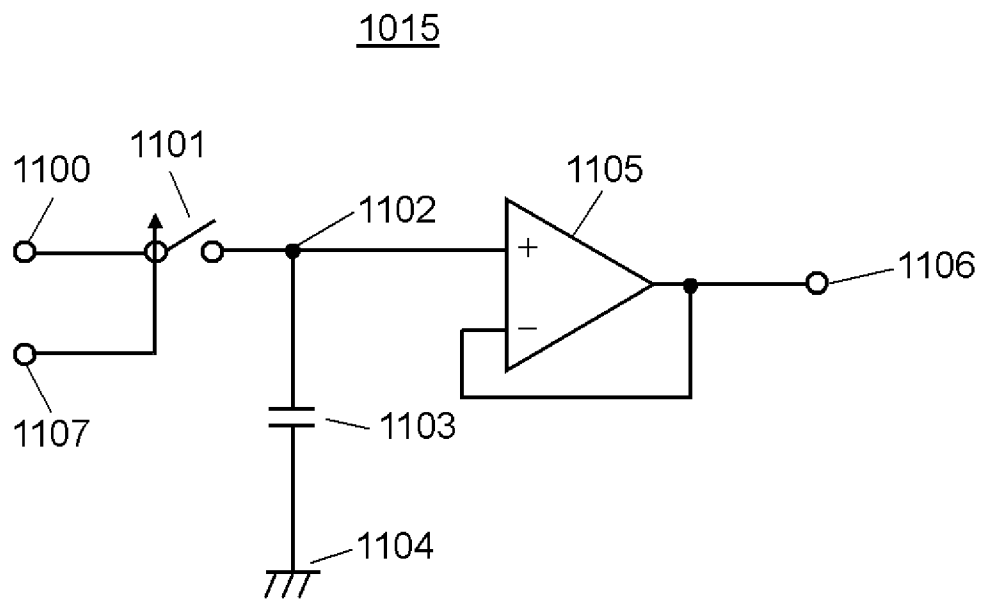
[図9]



[図10]



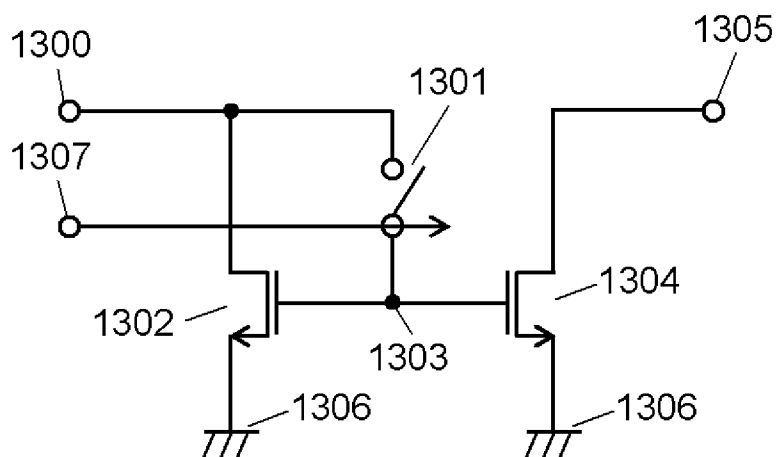
[図11]





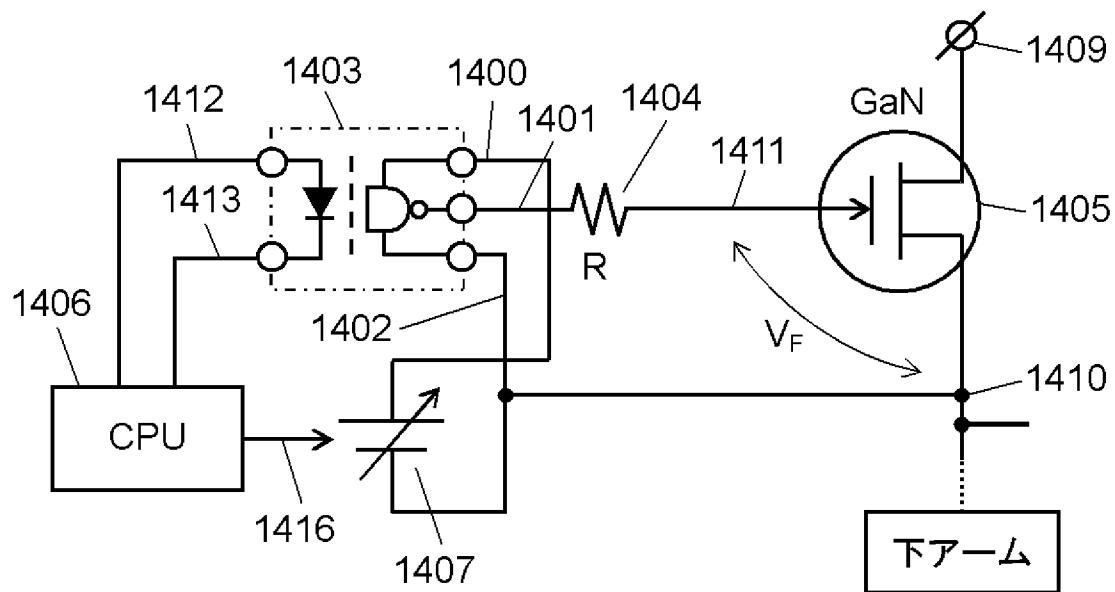
[図13]

1215

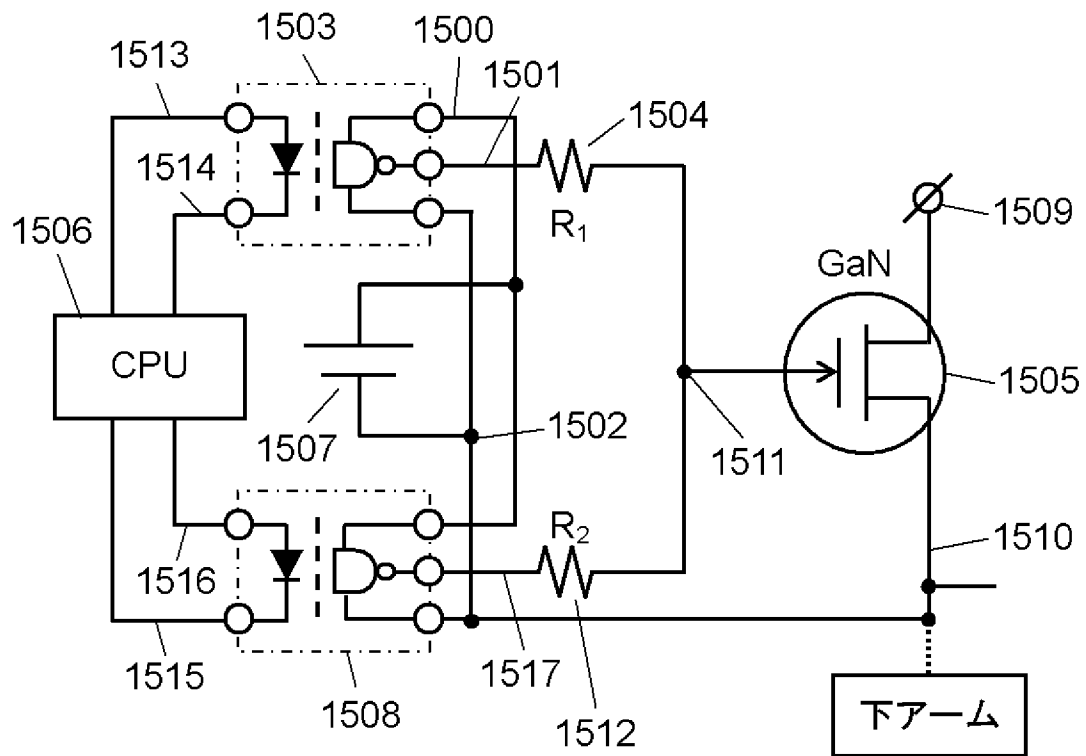


[図14]

14



[図15]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000757

## A. CLASSIFICATION OF SUBJECT MATTER

H02M1/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2012 |
| Kokai Jitsuyo Shinan Koho | 1971-2012 | Toroku Jitsuyo Shinan Koho | 1994-2012 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages   | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP 61-247270 A (Fuji Electric Co., Ltd.),<br>04 November 1986 (04.11.1986),<br>page 4, upper left column, lines 11 to 18; fig.<br>3<br>(Family: none)  | 1-7                   |
| A         | JP 2004-088886 A (Toshiba Corp.),<br>18 March 2004 (18.03.2004),<br>paragraphs [0016] to [0022]; fig. 1<br>(Family: none)  | 1-7                   |
| A         | JP 57-133705 A (Tokyo Shibaura Electric Co.,<br>Ltd.),<br>18 August 1982 (18.08.1982),<br>page 3, lower right column, line 9 to page 4,<br>upper left column, line 1; fig. 5<br>& US 4492934 A | 3                     |

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
13 April, 2012 (13.04.12)Date of mailing of the international search report  
24 April, 2012 (24.04.12)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H02M1/08(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H02M1/08

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2012年  
 日本国実用新案登録公報 1996-2012年  
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求項の番号 |
|-----------------|--|----------------|
| A               | JP 61-247270 A (富士電機株式会社) 1986. 11. 04, 第4頁左上欄第11~18行、第3図 (ファミリーなし)              | 1-7            |
| A               | JP 2004-088886 A (株式会社東芝) 2004. 03. 18, 【0016】 - 【0022】、図1 (ファミリーなし)             | 1-7            |
| A               | JP 57-133705 A (東京芝浦電気株式会社) 1982. 08. 18, 第3頁右下欄第9行~第4頁左上欄第1行、第5図 & US 4492934 A | 3              |

☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

|   |   |
|---|---|
| <p>* 引用文献のカテゴリー<br/>                 「A」特に関連のある文献ではなく、一般的技術水準を示すもの<br/>                 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br/>                 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br/>                 「O」口頭による開示、使用、展示等に言及する文献<br/>                 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p> | <p>の日の後に公表された文献<br/>                 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br/>                 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br/>                 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br/>                 「&amp;」同一パテントファミリー文献</p> |
|---|---|

|                            |                            |
|----------------------------|----------------------------|
| 国際調査を完了した日<br>13. 04. 2012 | 国際調査報告の発送日<br>24. 04. 2012 |
|----------------------------|----------------------------|

|   |                            |    |      |
|---|----------------------------|----|------|
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/J P)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号 | 特許庁審査官 (権限のある職員)<br>槻木澤 昌司 | 3V | 9326 |
|   | 電話番号 03-3581-1101 内線 3358  |    |      |