

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 6 部門第 3 区分  
 【発行日】平成30年7月26日(2018.7.26)

【公表番号】特表2018-512683(P2018-512683A)  
 【公表日】平成30年5月17日(2018.5.17)  
 【年通号数】公開・登録公報2018-018  
 【出願番号】特願2017-553334(P2017-553334)  
 【国際特許分類】

G 0 6 F 1/26 (2006.01)

【 F I 】

G 0 6 F 1/26 F

【手続補正書】

【提出日】平成30年6月14日(2018.6.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プロセッサベースシステムのための母線選択回路であって、  
 論理領域に論理電力を供給するように構成された論理電源から前記論理電力を受けるように構成された論理母線に結合された論理電力入力部と、  
 メモリ電源からメモリ電力を受けるように構成されたメモリ母線に結合されたメモリ電力入力部と、  
 メモリ領域の中の少なくとも1つのメモリアレイに結合されたアレイ母線に結合されたアレイ電力出力部と、  
 制御回路であって、

前記論理母線における動作電圧が前記メモリ領域の最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるために前記論理電力入力部を前記アレイ電力出力部に結合させ、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるために前記メモリ電力入力部を前記アレイ電力出力部に結合させるように構成された制御回路とを備え、

前記制御回路が、

前記論理電力入力部に結合された論理電力選択回路であって、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるように構成された論理電力選択回路と、

短絡を作成することなく同時に前記論理電力選択回路とメモリ電力選択回路との両方がそれぞれの母線を前記アレイ母線に結合され得るように、前記メモリ電力入力部に結合されたメモリ電力選択回路であって、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるように構成されたメモリ電力選択回路とを備える、

母線選択回路。

【請求項 2】

前記制御回路が、前記少なくとも1つのメモリアレイの固有デカップリング静電容量を前記論理母線に結合された前記論理領域に結合させるために、前記少なくとも1つのメモリアレイの前記固有デカップリング静電容量を前記論理母線に結合させるようにさらに構

成される、請求項1に記載の母線選択回路。

【請求項3】

前記制御回路が、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記論理母線を前記アレイ母線から減結合させるために前記論理電力入力部を前記アレイ電力出力部から減結合させ、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記メモリ母線を前記アレイ母線から減結合させるために前記メモリ電力入力部を前記アレイ電力出力部から減結合させるようにさらに構成される、

請求項1に記載の母線選択回路。

【請求項4】

前記制御回路が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるために前記論理電力入力部を前記アレイ電力出力部に結合させることと、前記メモリ母線を前記アレイ母線から減結合させるために前記メモリ電力入力部を前記アレイ電力出力部から減結合させることとを同時に行うように構成される、請求項3に記載の母線選択回路。

【請求項5】

前記制御回路が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるために前記メモリ電力入力部を前記アレイ電力出力部に結合させることと、前記論理母線を前記アレイ母線から減結合させるために前記論理電力入力部を前記アレイ電力出力部から減結合させることとを同時に行うように構成される、請求項3に記載の母線選択回路。

【請求項6】

選択制御回路であって、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ選択イネーブル状態を示す、メモリ選択信号を受信し、

前記メモリ選択信号が前記メモリ選択イネーブル状態を示すことに応答して、メモリメイク状態を示すメモリメイク信号を生成し、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理選択イネーブル状態を示す、論理選択信号を受信し、

前記論理選択信号が前記論理選択イネーブル状態を示すことに応答して、論理メイク状態を示す論理メイク信号を生成するように構成された選択制御回路と、

メモリバスゲートを備える前記メモリ電力選択回路であって、

前記メモリ電力入力部および前記アレイ電力出力部に結合された第1のメモリ電力トランジスタであって、前記メモリメイク信号を受信し、メモリ母線イネーブル信号がメモリ母線イネーブル状態を示すことに応答して、第1のメモリ電力インピーダンス経路を介して前記メモリ電力入力部から前記アレイ電力出力部に前記メモリ電力を供給するように構成された第1のメモリ電力トランジスタと、

前記メモリ電力入力部および前記アレイ電力出力部に結合された第2のメモリ電力トランジスタであって、前記メモリ母線イネーブル信号を受信し、前記メモリメイク信号が前記メモリメイク状態を示すことに応答して、前記第1のメモリ電力インピーダンス経路よりも高いインピーダンスを有する第2のメモリ電力インピーダンス経路を介して、前記メモリ電力入力部から前記アレイ電力出力部に前記メモリ電力を供給するように構成された第2のメモリ電力トランジスタとを備える前記メモリ電力選択回路と、

メモリバスゲートを備える前記論理電力選択回路であって、

前記論理電力入力部および前記アレイ電力出力部に結合された第1の論理電力トランジスタであって、前記論理メイク信号を受信し、論理母線イネーブル信号が論理母線イネーブル状態を示すことに応答して、第1の論理電力インピーダンス経路を介して前記論理電力入力部から前記アレイ電力出力部に前記論理電力を供給するように構成された第1の論理電力トランジスタと、

前記論理電力入力部および前記アレイ電力出力部に結合された第2の論理電力トランジスタであって、前記論理母線イネーブル信号を受信し、前記論理メイク信号が前記論理メイク状態を示すことに応答して、前記第1の論理電力インピーダンス経路よりも高いインピーダンスを有する第2の論理電力インピーダンス経路を介して、前記論理電力入力部から前記アレイ電力出力部に前記論理電力を供給するように構成された第2の論理電力トランジスタとを備える前記論理電力選択回路と

をさらに備える、請求項3に記載の母線選択回路。

【請求項 7】

前記論理電力選択回路が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記メモリ母線を前記アレイ母線から減結合させるために前記メモリ電力入力部を前記アレイ電力出力部から減結合させるように前記メモリ電力選択回路を制御する前に、前記論理母線を前記アレイ母線に結合させるために前記論理電力入力部を前記アレイ電力出力部に結合させるように構成される、請求項1に記載の母線選択回路。

【請求項 8】

前記メモリ電力選択回路が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記論理母線を前記アレイ母線から減結合させるために前記論理電力入力部を前記アレイ電力出力部から減結合させるように前記論理電力選択回路を制御する前に、前記メモリ母線を前記アレイ母線に結合させるために前記メモリ電力入力部を前記アレイ電力出力部に結合させるように構成される、請求項1に記載の母線選択回路。

【請求項 9】

前記制御回路が、

メモリ母線イネーブル信号を受信することであって、前記メモリ母線イネーブル信号が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ母線イネーブル状態を示すことと、

論理母線イネーブル信号を受信することであって、前記論理母線イネーブル信号が、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理母線イネーブル状態を示すこととを行うようにさらに構成され、

前記メモリ電力選択回路が、前記メモリ母線イネーブル信号が前記メモリ母線イネーブル状態を示すことに基づいて、前記メモリ母線を前記アレイ母線に結合させるように構成され、

前記論理電力選択回路が、前記論理母線イネーブル信号が前記論理母線イネーブル状態を示すことに基づいて、前記論理母線を前記アレイ母線に結合させるように構成される、請求項1に記載の母線選択回路。

【請求項 10】

選択制御回路であって、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理高インピーダンス経路を示すとともに、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ高インピーダンス経路を示す、高インピーダンス経路選択信号を受信し、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理選択イネーブル状態を示すとともに、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ選択イネーブル状態を示す、論理/メモリトグル信号を受信し、

前記高インピーダンス経路選択信号が前記メモリ高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記メモリ選択イネーブル状態を示すことに応答して、メモリメイク状態を示すメモリメイク信号を生成し、

前記高インピーダンス経路選択信号が前記論理高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記論理選択イネーブル状態を示すことに応答して、

論理メイク状態を示す論理メイク信号を生成するように構成された選択制御回路と、メモリバスゲートを備える前記メモリ電力選択回路であって、

前記メモリ電力入力部および前記アレイ電力出力部に結合された第1のメモリ電力トランジスタであって、前記メモリメイク信号を受信し、前記メモリメイク信号が前記メモリメイク状態を示すことに応答して、第1のメモリ電力インピーダンス経路を介して前記メモリ電力入力部から前記アレイ電力出力部に前記メモリ電力を供給するように構成された第1のメモリ電力トランジスタと、

前記メモリ電力入力部および前記アレイ電力出力部に結合された第2のメモリ電力トランジスタであって、メモリ母線イネーブル信号を受信し、前記メモリメイク信号に応答して、前記第1のメモリ電力インピーダンス経路よりも高いインピーダンスを有する第2のメモリ電力インピーダンス経路を介して、前記メモリ電力入力部から前記アレイ電力出力部に前記メモリ電力を供給するように構成された第2のメモリ電力トランジスタとを備える前記メモリ電力選択回路と、

メモリバスゲートを備える前記論理電力選択回路であって、

前記論理電力入力部および前記アレイ電力出力部に結合された第1の論理電力トランジスタであって、前記論理メイク信号を受信し、前記論理メイク信号が前記論理メイク状態を示すことに応答して、第1の論理電力インピーダンス経路を介して前記論理電力入力部から前記アレイ電力出力部に前記論理電力を供給するように構成された第1の論理電力トランジスタと、

前記論理電力入力部および前記アレイ電力出力部に結合された第2の論理電力トランジスタであって、論理母線イネーブル信号を受信し、前記論理メイク信号に応答して、前記第1の論理電力インピーダンス経路よりも高いインピーダンスを有する第2の論理電力インピーダンス経路を介して、前記論理電力入力部から前記アレイ電力出力部に前記論理電力を供給するように構成された第2の論理電力トランジスタとを備える前記論理電力選択回路と

をさらに備える、請求項1に記載の母線選択回路。

【請求項 1 1】

前記選択制御回路が、

前記高インピーダンス経路選択信号が前記論理高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記論理選択イネーブル状態を示すことに応答して、メモリブレイク状態を示す前記メモリメイク信号を生成し、

前記高インピーダンス経路選択信号が前記メモリ高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記メモリ選択イネーブル状態を示すことに応答して、論理ブレイク状態を示す前記論理メイク信号を生成するようにさらに構成される、

請求項10に記載の母線選択回路。

【請求項 1 2】

前記選択制御回路が、前記論理選択イネーブル状態を示す前記論理/メモリトグル信号の受信に応答して、メモリブレイク状態を示す前記メモリメイク信号を生成するようにさらに構成される、請求項10に記載の母線選択回路。

【請求項 1 3】

前記メモリ母線と前記アレイ母線との間に結合されたメモリ保持回路をさらに備え、前記メモリ保持回路が、前記メモリ母線と前記論理母線との間の相互伝導電流を低減するために、前記メモリ母線を前記アレイ母線にダイオード電圧降下モードで結合させるようにメモリ保持信号によって制御されるように構成される、請求項1に記載の母線選択回路。

【請求項 1 4】

システムオンチップ(SoC)の中に統合された請求項1に記載の母線選択回路。

【請求項 1 5】

セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイルフォン、セルラーフォン、スマートフォン、タブレット、ファブレット、コンピ

ュータ、ポータブルコンピュータ、デスクトップコンピュータ、サーバコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレーヤ、および自動車からなる群から選択されるデバイスの中に統合された請求項1に記載の母線選択回路。

【請求項 16】

プロセッサベースシステムのための母線選択回路であって、  
論理電源から電力を受けるように構成された論理母線に結合するための手段と、  
メモリ電源から電力を受けるように構成されたメモリ母線に結合するための手段と、  
メモリ領域の中の少なくとも1つのメモリアレイに結合されたアレイ母線に結合するための手段と、

制御回路であって、

前記論理母線における動作電圧が前記メモリ領域の最小動作電圧以上であることに応答して前記論理母線を前記アレイ母線に結合させるように構成された、前記論理母線に結合するための前記手段を前記アレイ母線に結合するための前記手段に結合させるための手段と、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して前記メモリ母線を前記アレイ母線に結合させるように構成された、前記メモリ母線に結合するための前記手段を前記アレイ母線に結合するための前記手段に結合させるための手段と、

前記論理母線に結合するための前記手段に結合された論理電力選択回路であって、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるように構成された論理電力選択回路と、

短絡を作成することなく同時に前記論理電力選択回路とメモリ電力選択回路との両方がそれぞれの母線を前記アレイ母線に結合され得るように、前記メモリ母線に結合するための前記手段に結合されたメモリ電力選択回路であって、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるように構成されたメモリ電力選択回路とを備える制御回路とを備える母線選択回路。

【請求項 17】

論理母線またはメモリ母線から少なくとも1つのメモリアレイに電力を結合させるために、プロセッサベースシステムにおける前記少なくとも1つのメモリアレイに結合されたアレイ母線に前記論理母線および前記メモリ母線を選択的に結合させるための方法であって、

論理電源から前記論理母線を介して論理電力を受けるステップと、

メモリ電源から前記メモリ母線を介してメモリ電力を受けるステップと、

前記論理母線における動作電圧がメモリ領域の最小動作電圧以上であることに応答して、前記受けた論理電力を前記アレイ母線に供給するために、前記メモリ領域の中の少なくとも1つのメモリアレイに結合された前記アレイ母線に前記論理母線を結合させるステップと、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記受けたメモリ電力を前記アレイ母線に供給するために、前記メモリ領域の中の前記少なくとも1つのメモリアレイに結合された前記アレイ母線に前記メモリ母線を結合させるステップと、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるように構成された、論理電力選択回路を使用するステップと、

短絡を作成することなく同時に前記論理電力選択回路とメモリ電力選択回路との両方が

それぞれの母線を前記アレイ母線に結合され得るように、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるように構成された、メモリ電力選択回路を使用するステップと

を備える方法。

【請求項 18】

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記論理母線を前記アレイ母線から減結合させるステップと、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記メモリ母線を前記アレイ母線から減結合させるステップと

をさらに備える、請求項17に記載の方法。

【請求項 19】

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線を前記アレイ母線に結合させるステップと前記メモリ母線を前記アレイ母線から減結合させるステップとを同時に行うことを備える、請求項18に記載の方法。

【請求項 20】

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記メモリ母線を前記アレイ母線に結合させるステップと前記論理母線を前記アレイ母線から減結合させるステップとを同時に行うことを備える、請求項18に記載の方法。

【請求項 21】

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記メモリ母線を前記アレイ母線から減結合させる前に前記論理母線を前記アレイ母線に結合させるステップを備える、請求項18に記載の方法。

【請求項 22】

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、前記論理母線を前記アレイ母線から減結合させる前に前記メモリ母線を前記アレイ母線に結合させるステップを備える、請求項18に記載の方法。

【請求項 23】

(a)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ高インピーダンス経路を示す、高インピーダンス経路選択信号を受信するステップと、

(b)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ選択イネーブル状態を示す、論理/メモリトグル信号を受信するステップと、

(c)前記高インピーダンス経路選択信号が前記メモリ高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記メモリ選択イネーブル状態を示すことに応答して、メモリメイク状態を示すメモリメイク信号を生成するステップと、

(d)前記メモリメイク信号が前記メモリメイク状態を示すことに応答して、第1のメモリ電力インピーダンス経路を介してメモリ電力入力部とアレイ電力出力部とを結合させるステップと、

(e)前記メモリメイク信号に応答して、前記第1のメモリ電力インピーダンス経路よりも高いインピーダンスを有する第2のメモリ電力インピーダンス経路を介して、前記メモリ電力入力部と前記アレイ電力出力部とを結合させるステップと

をさらに備える、請求項17に記載の方法。

【請求項 24】

ステップ(d)を実行する前にステップ(e)を実行することを備える、請求項23に記載の方法。

【請求項 25】

(f)前記高インピーダンス経路選択信号が論理高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が論理選択イネーブル状態を示すことに応答して、メモリブレイク状態を示す前記メモリメイク信号を生成するステップと、

(g)メモリ母線イネーブル信号がメモリ母線ディスエーブル状態を示すこと、および前記メモリメイク信号が前記メモリブレイク状態を示すことに応答して、前記第1のメモリ電力インピーダンス経路を介して前記メモリ母線から前記アレイ母線に前記メモリ電力を減結合させるステップと、

(h)前記メモリメイク信号が前記メモリブレイク状態を示すことに応答して、前記第2のメモリ電力インピーダンス経路を介して前記メモリ母線から前記アレイ母線に前記メモリ電力を減結合させるステップと

をさらに備える、請求項23に記載の方法。

【請求項 26】

ステップ(h)を実行する前にステップ(g)を実行することを備える、請求項25に記載の方法。

【請求項 27】

(a)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理高インピーダンス経路を示す、高インピーダンス経路選択信号を受信するステップと、

(b)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理選択イネーブル状態を示す、論理/メモリトグル信号を受信するステップと、

(c)前記高インピーダンス経路選択信号が前記論理高インピーダンス経路を示すこと、および前記論理/メモリトグル信号が前記論理選択イネーブル状態を示すことに応答して、論理メイク状態を示す論理メイク信号を生成するステップと、

(d)前記論理メイク信号が前記論理メイク状態を示すことに応答して、第1の論理電力インピーダンス経路を介して論理電力入力部とアレイ電力出力部とを結合させるステップと、

(e)前記論理メイク信号に応答して、前記第1の論理電力インピーダンス経路よりも高いインピーダンスを有する第2の論理電力インピーダンス経路を介して、前記論理電力入力部と前記アレイ電力出力部とを結合させるステップと

をさらに備える、請求項17に記載の方法。

【請求項 28】

ステップ(e)を実行する前にステップ(d)を実行することを備える、請求項27に記載の方法。

【請求項 29】

(f)前記高インピーダンス経路選択信号がメモリ高インピーダンス経路を示すこと、および前記論理/メモリトグル信号がメモリ選択イネーブル状態を示すことに応答して、論理ブレイク状態を示す前記論理メイク信号を生成するステップと、

(g)論理母線イネーブル信号が論理母線ディスエーブル状態を示すこと、および前記論理メイク信号が前記論理ブレイク状態を示すことに応答して、前記第1の論理電力インピーダンス経路を介して前記論理母線から前記アレイ母線に前記論理電力を減結合させるステップと、

(h)前記論理メイク信号が前記論理ブレイク状態を示すことに応答して、前記第2の論理電力インピーダンス経路を介して前記論理母線から前記アレイ母線に前記論理電力を減結合させるステップと

をさらに備える、請求項27に記載の方法。

【請求項 30】

ステップ(g)を実行する前にステップ(h)を実行することを備える、請求項29に記載の方法。

【請求項 31】

(a)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答してメモリ選択イネーブル状態を示す、メモリ選択信号を受信するステップと、

(b)前記メモリ選択信号が前記メモリ選択イネーブル状態を示すことに応答して、メモリメイク状態を示すメモリメイク信号を生成するステップと、

(c)メモリ母線イネーブル信号がメモリ母線イネーブル状態を示すことに応答して、第1のメモリ電力インピーダンス経路を介してメモリ電力入力部とアレイ電力出力部とを結合させるステップと、

(d)前記メモリメイク信号が前記メモリメイク状態を示すことに応答して、前記第1のメモリ電力インピーダンス経路よりも高いインピーダンスを有する第2のメモリ電力インピーダンス経路を介して、前記メモリ電力入力部と前記アレイ電力出力部とを結合させるステップと

をさらに備える、請求項17に記載の方法。

【請求項 3 2】

ステップ(d)を実行する前にステップ(c)を実行することを備える、請求項31に記載の方法。

【請求項 3 3】

(e)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答してメモリ選択ディスエーブル状態を示す、前記メモリ選択信号を受信するステップと、

(f)前記メモリ選択信号が前記メモリ選択ディスエーブル状態を示すことに応答して、メモリブレーク状態を示す前記メモリメイク信号を生成するステップと、

(g)前記メモリ母線イネーブル信号がメモリ母線ディスエーブル状態を示すことに応答して、前記第1のメモリ電力インピーダンス経路を介して前記メモリ電力入力部と前記アレイ電力出力部とを減結合させるステップと、

(h)前記メモリメイク信号が前記メモリブレーク状態を示すことに応答して、前記第1のメモリ電力インピーダンス経路よりも高いインピーダンスを有する前記第2のメモリ電力インピーダンス経路を介して、前記メモリ電力入力部と前記アレイ電力出力部とを減結合させるステップと

をさらに備える、請求項31に記載の方法。

【請求項 3 4】

ステップ(g)を実行する前にステップ(h)を実行することを備える、請求項33に記載の方法。

【請求項 3 5】

(e)前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して論理選択イネーブル状態を示す、論理選択信号を受信するステップと、

(f)前記論理選択信号が前記論理選択イネーブル状態を示すことに応答して、論理メイク状態を示す論理メイク信号を生成するステップと、

(g)前記論理メイク信号が前記論理メイク状態を示すことに応答して、第1の論理電力インピーダンス経路を介して論理電力入力部と前記アレイ電力出力部とを結合させるステップと、

(h)論理母線イネーブル信号が論理母線イネーブル状態を示すことに応答して、前記第1の論理電力インピーダンス経路よりも高いインピーダンスを有する第2の論理電力インピーダンス経路を介して、前記論理電力入力部と前記アレイ電力出力部とを結合させるステップと

をさらに備える、請求項31に記載の方法。

【請求項 3 6】

ステップ(h)を実行する前にステップ(g)を実行することを備える、請求項35に記載の方法。

【請求項 3 7】



(e) 前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して論理選択ディスエーブル状態を示す、論理選択信号を受信するステップと、

(f) 前記論理選択信号が前記論理選択ディスエーブル状態を示すことに応答して、論理ブレーク状態を示す論理メイク信号を生成するステップと、

(g) 論理母線イネーブル信号が論理母線ディスエーブル状態を示すことに応答して、第1の論理電力インピーダンス経路を介して論理電力入力部と前記アレイ電力出力部とを減結合させるステップと、

(h) 前記論理メイク信号が前記論理ブレーク状態を示すことに応答して、前記第1の論理電力インピーダンス経路よりも高いインピーダンスを有する第2の論理電力インピーダンス経路を介して、前記論理電力入力部と前記アレイ電力出力部とを減結合させるステップと

をさらに備える、請求項31に記載の方法。

【請求項 38】

ステップ(g)を実行する前にステップ(h)を実行することを備える、請求項37に記載の方法。

【請求項 39】

プロセッサベースシステムのための母線制御システムであって、  
母線制御回路であって、

論理電源から論理電力を受けるとともに前記受けた論理電力を論理領域に供給する論理母線における動作電圧がメモリ領域の最小動作電圧未満であることに応答して、メモリ母線イネーブル状態を示すメモリ母線イネーブル信号を生成することと、

論理母線イネーブル信号を生成することであって、前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、前記論理母線イネーブル信号が論理母線イネーブル状態を示すこととを行うように構成された母線制御回路と

、  
母線選択回路であって、

前記論理母線イネーブル信号が前記論理母線イネーブル状態を示すことに応答して、少なくとも1つのメモリアレイに前記論理電力を供給するために、前記論理電源から前記論理電力を受ける前記論理母線を前記メモリ領域の中の前記少なくとも1つのメモリアレイに結合されたアレイ母線に結合させ、

前記メモリ母線イネーブル信号が前記メモリ母線イネーブル状態を示すことに応答して、前記少なくとも1つのメモリアレイにメモリ電力を供給するために、メモリ電源から前記メモリ電力を受けるメモリ母線を前記メモリ領域の中の前記少なくとも1つのメモリアレイに結合された前記アレイ母線に結合させるように構成された母線選択回路とを備え、

前記母線選択回路が、

前記論理母線イネーブル信号が前記論理母線イネーブル状態を示すことに応答して、前記論理母線を前記アレイ母線に結合させるように構成された論理電力選択回路と、

短絡を作成することなく同時に前記論理電力選択回路とメモリ電力選択回路との両方がそれぞれの母線を前記アレイ母線に結合され得るように、前記メモリ母線イネーブル信号が前記メモリ母線イネーブル状態を示すことに応答して、前記メモリ母線を前記アレイ母線に結合させるように構成されたメモリ電力選択回路とを備える、

母線制御システム。

【請求項 40】

前記母線選択回路が、前記少なくとも1つのメモリアレイの固有デカップリング静電容量を前記論理領域に結合させるために、前記論理母線を前記少なくとも1つのメモリアレイに結合させるように構成される、請求項39に記載の母線制御システム。

【請求項 41】

前記母線制御回路が、

前記論理電源から前記論理電力を受けるとともに前記受けた論理電力を前記論理領域に供給する前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧以上であることに応答して、メモリ母線ディスエーブル状態を示す前記メモリ母線イネーブル信号を生成し、

前記論理母線における前記動作電圧が前記メモリ領域の前記最小動作電圧未満であることに応答して、論理母線ディスエーブル状態を示す前記論理母線イネーブル信号を生成するようにさらに構成され、

前記母線選択回路が、

前記論理母線イネーブル信号が前記論理母線ディスエーブル状態を示すことに応答して、前記論理電力を受ける前記論理母線を前記アレイ母線から減結合させ、

前記メモリ母線イネーブル信号が前記メモリ母線ディスエーブル状態を示すことに応答して、前記メモリ母線を前記アレイ母線から減結合させるようにさらに構成される、

請求項39に記載の母線制御システム。

【請求項 4 2】

前記母線選択回路が、前記論理母線イネーブル信号が前記論理母線イネーブル状態を示すこと、および前記メモリ母線イネーブル信号が前記メモリ母線ディスエーブル状態を示すことに応答して、前記論理母線を前記アレイ母線に結合させるために、前記論理母線に結合された論理電力入力部を前記アレイ母線に結合されたアレイ電力出力部に結合させることと、前記メモリ母線を前記アレイ母線から減結合させるために、メモリ電力入力部を前記アレイ電力出力部から減結合させることとを同時に行うように構成される、請求項41に記載の母線制御システム。

【請求項 4 3】

前記母線選択回路が、前記論理母線イネーブル信号が前記論理母線ディスエーブル状態を示すこと、および前記メモリ母線イネーブル信号が前記メモリ母線イネーブル状態を示すことに応答して、前記メモリ母線を前記アレイ母線に結合させるために、前記メモリ母線に結合されたメモリ電力入力部を前記アレイ母線に結合されたアレイ電力出力部に結合させることと、前記論理母線を前記アレイ母線から減結合させるために、論理電力入力部を前記アレイ電力出力部から減結合させることとを同時に行うように構成される、請求項41に記載の母線制御システム。

【請求項 4 4】

前記母線制御回路が、前記メモリ母線イネーブル状態を示す前記メモリ母線イネーブル信号を生成する前に、前記論理母線イネーブル状態を示す前記論理母線イネーブル信号を生成するようにさらに構成される、請求項39に記載の母線制御システム。

【請求項 4 5】

前記母線制御回路が、前記論理母線イネーブル状態を示す前記論理母線イネーブル信号を生成する前に、前記メモリ母線イネーブル状態を示す前記メモリ母線イネーブル信号を生成するようにさらに構成される、請求項44に記載の母線制御システム。

【請求項 4 6】

前記母線制御回路が、前記メモリ母線と前記論理母線との間の相互伝導電流を低減するためにダイオード電圧降下モードでメモリ保持信号を生成するようにさらに構成され、

前記母線選択回路が、前記メモリ母線と前記アレイ母線との間に結合されたメモリ保持回路をさらに備え、前記メモリ保持回路が、前記メモリ母線と前記論理母線との間の前記相互伝導電流を低減するために前記メモリ母線を前記アレイ母線に前記ダイオード電圧降下モードで結合させるように、前記メモリ保持信号によって制御されるように構成される、

請求項39に記載の母線制御システム。