

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5053579号
(P5053579)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年8月3日(2012.8.3)

(51) Int.Cl.		F I	
HO 1 L 27/04	(2006.01)	HO 1 L 27/04	H
HO 1 L 21/822	(2006.01)	HO 1 L 27/06	3 1 1 C
HO 1 L 27/06	(2006.01)	HO 1 L 27/08	3 2 1 H
HO 1 L 21/8238	(2006.01)	HO 1 L 27/06	3 1 1 A
HO 1 L 27/092	(2006.01)		

請求項の数 9 (全 26 頁)

(21) 出願番号 特願2006-177842 (P2006-177842)
 (22) 出願日 平成18年6月28日 (2006.6.28)
 (65) 公開番号 特開2008-10542 (P2008-10542A)
 (43) 公開日 平成20年1月17日 (2008.1.17)
 審査請求日 平成21年2月18日 (2009.2.18)

(73) 特許権者 598042633
 大塚 寛治
 東京都東大和市湖畔2-1074-38
 (73) 特許権者 598168807
 宇佐美 保
 東京都国分寺市西町2-38-4
 (73) 特許権者 506032370
 秋山 豊
 東京都八王子市片倉町120-12
 (73) 特許権者 506223107
 伊藤 恒夫
 東京都青梅市二俣尾3-762-3
 (73) 特許権者 506223152
 丹場 裕子
 東京都青梅市新町1-45-5
 最終頁に続く

(54) 【発明の名称】 静電気放電保護回路

(57) 【特許請求の範囲】

【請求項1】

半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、
 前記半導体装置の外部端子と接続された差動信号が伝搬する前記半導体装置内の2つの配線のそれぞれに設けられ、前記外部端子に印加される前記静電気放電をクランプする、同一ウェル内に形成されたトランジスタ、
 を有することを特徴とする静電気放電保護回路。

【請求項2】

前記配線は、ペアの伝送線路で構成されていることを特徴とする請求項1記載の静電気放電保護回路。

【請求項3】

前記伝送線路から前記トランジスタに接続される分岐伝送線路の特性インピーダンスは、前記伝送線路の特性インピーダンス以下であることを特徴とする請求項2記載の静電気放電保護回路。

【請求項4】

前記トランジスタのオン抵抗は、前記伝送線路の特性インピーダンス以下であることを特徴とする請求項2記載の静電気放電保護回路。

【請求項5】

前記トランジスタは、そのオン抵抗以下の特性インピーダンスを有する電源とグランドとのペアの伝送線路に接続されることを特徴とする請求項1記載の静電気放電保護回路。

【請求項 6】

前記トランジスタのドレイン拡散領域間の距離は、前記ドレイン拡散領域間を移動する電荷の移動時間が、前記差動信号の遷移時間以下となるように決定されることを特徴とする請求項 1 記載の静電気放電保護回路。

【請求項 7】

前記トランジスタは、電源とグランドの一方または両方に前記静電気放電をクランプすることを特徴とする請求項 1 記載の静電気放電保護回路。

【請求項 8】

前記電源に前記静電気放電をクランプする前記トランジスタが前記同一ウェル内に形成され、前記グランドに前記静電気放電をクランプする前記トランジスタが前記同一ウェル内に形成されることを特徴とする請求項 7 記載の静電気放電保護回路。

10

【請求項 9】

前記トランジスタは、ゲートが平行して形成され、前記ゲートの互いに対向する側にそれぞれの第 1 のソースとドレインとが形成され、前記ゲートを挟んだ前記第 1 のソースと前記ドレインとの反対側にそれぞれの第 2 のソースが形成されることを特徴とする請求項 1 記載の静電気放電保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は静電気放電保護回路に関し、特に半導体装置の内部回路を静電気放電から保護する静電気放電保護回路に関する。

20

【背景技術】

【0002】

LSI の内部回路は、人による接触や収納箱との摩擦などにより、静電気放電 (ESD : Electro Static Discharge) を受け、破損することがある。LSI は、ESD から内部回路を保護するため、電源端子、信号の入出力端子に ESD 保護回路を具備する。

【0003】

この ESD 保護回路は、サージを入力する入力段のトランジスタにより容量を持ち、LSI の端子に入出力される差動信号に対し、RC または ZC 遅延を引き起こす。そのため、数百 MHz のスイッチング動作 (パルス立上り時間 $t_r = 500 \text{ ps} \sim 1 \text{ ns}$) を保証する LSI では、ESD 保護回路によって内部回路の高速性が阻害される。LSI 内部の伝送線路の特性インピーダンス (Z_0) を 100Ω 、ESD 保護回路の容量 (C) を $1 \text{ pF} \sim 4 \text{ pF}$ とすると、LSI の端子における時定数は、 $Z_0 C = 100 \text{ ps} \sim 400 \text{ ps}$ となり、パルス立上り時間 t_r よりかろうじて小さく、まだ通常の ESD 保護回路で対応可能である。

30

【0004】

しかし、クロック周波数が向上し、数 GHz で動作する LSI (パルス立上り時間 $t_r = 50 \text{ ps} \sim 200 \text{ ps}$) になると、ESD 保護回路の容量が上記の $1 \text{ pF} \sim 4 \text{ pF}$ の場合、LSI の端子における時定数の方が、パルス立上り時間より大きくなる。そのため、LSI のスイッチングのスルーレートは、ESD 保護回路で決まり、 1 GHz 以下の動作で頭打ちになる。

40

【0005】

なお、従来、保護回路内の各保護素子にかかる ESD 負荷を均一にし、内部回路保護用トランジスタの破壊を防止する半導体集積回路装置が提案されている (例えば、特許文献 1 参照)。

【特許文献 1】特開 2004 - 71991 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

このように、静電気放電保護回路の容量によって差動信号が遅延し、高速化が困難であ

50

るという問題点があった。

また、差動信号が伝搬する信号線に終端抵抗回路が接続される場合も、終端抵抗回路の終端抵抗の持つ容量によって差動信号が遅延し、高速化が困難であるという問題点があった。

【 0 0 0 7 】

本発明はこのような点に鑑みてなされたものであり、静電気放電保護回路の容量を低減し、差動信号の高速化を図ることができる静電気放電保護回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明では上記問題を解決するために、図 1 に示すような半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、半導体装置の外部端子と接続された差動信号が伝搬する半導体装置内の 2 つの配線のそれぞれに設けられ、外部端子に印加される静電気放電をクランプする、同一ウェル内に形成されたトランジスタ、を有することを特徴とする静電気放電保護回路が提供される。

【 0 0 1 0 】

このような静電気放電保護回路によれば、静電気放電をクランプするトランジスタを同一ウェル内に形成する。これにより、差動信号が遷移したとき、遷移前の状態を保持していたトランジスタ M 1 ~ M 4 , M 1 2 ~ M 1 5 の電荷は、同一ウェル内を移動し、差動信号の遷移に対するトランジスタ M 1 ~ M 4 , M 1 2 ~ M 1 5 の容量が低減される。

【発明の効果】

【 0 0 1 3 】

本発明の静電気放電保護回路では、静電気放電をクランプするトランジスタを同一ウェル内に形成するようにした。これによって、差動信号が遷移したとき、遷移前の状態を保持していたトランジスタの電荷は、同一ウェル内を移動し、差動信号の遷移に対するトランジスタの容量が低減され、差動信号の高速化を図ることができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、本発明の第 1 の実施の形態を、図面を参照して詳細に説明する。

図 1 は、第 1 の実施の形態に係る E S D 保護回路を適用した L S I の回路図である。図 1 に示すように L S I は、E S D 保護回路 1 1 , 1 3、ドライバ回路 1 2、伝送線路 1 4 a , 1 4 b , 1 5 a , 1 5 b、I N 端子、I N B a r 端子（図中の I N の上部に線が示してある端子）、O U T 端子、および O U T B a r 端子（図中の O U T の上部に線が示してある端子）を有している。

【 0 0 1 6 】

I N 端子および I N B a r 端子は、L S I の外部端子であり、外部から差動信号が入力される。I N 端子および I N B a r 端子は、差動ペア線路である伝送線路 1 4 a , 1 4 b と接続され、ドライバ回路 1 2 と接続されている。

【 0 0 1 7 】

O U T 端子および O U T B a r 端子は、L S I の外部端子であり、差動ペア線路である伝送線路 1 5 a , 1 5 b と接続され、ドライバ回路 1 2 と接続されている。O U T 端子および O U T B a r 端子は、ドライバ回路 1 2 から出力される差動信号を外部に出力する。

【 0 0 1 8 】

E S D 保護回路 1 1 は、伝送線路 1 4 a , 1 4 b に接続されている。E S D 保護回路 1 1 は、I N 端子および I N B a r 端子に印加されるサージから、L S I の内部回路を保護する。E S D 保護回路 1 3 は、伝送線路 1 5 a , 1 5 b に接続されている。E S D 保護回路 1 3 は、O U T 端子および O U T B a r 端子に印加されるサージから、L S I の内部回路を保護する。

【 0 0 1 9 】

ドライバ回路 1 2 は、I N 端子および I N B a r 端子に入力される差動信号をドライブ

10

20

30

40

50

し、OUT端子およびOUTBar端子に出力する。なお、図のLSIは、IN端子およびINBar端子に入力される差動信号を、ドライバ回路12によってドライブしてOUT端子およびOUTBar端子に出力するリピータ回路の例を示している。ESD保護回路11, 13の回路の間には、例えば、差動信号を処理する回路が存在してもよい。

【0020】

ESD保護回路11は、pMOSのトランジスタM1, M2とnMOSのトランジスタM3, M4を有している。トランジスタM1, M2のゲートは互いに接続され、電源VDDに接続されている。トランジスタM1, M2のソースは互いに接続され、電源VDDに接続されている。トランジスタM1, M2のバックゲートは互いに接続され、電源VDDに接続されている。トランジスタM1のドレインは、伝送線路14aに接続され、トランジスタM2のドレインは、伝送線路14bに接続されている。

10

【0021】

トランジスタM3, M4のゲートは互いに接続され、グランドに接続されている。トランジスタM3, M4のソースは互いに接続され、グランドに接続されている。トランジスタM3, M4のバックゲートは互いに接続され、グランドに接続されている。トランジスタM3のドレインは、伝送線路14aに接続され、トランジスタM4のドレインは、伝送線路14bに接続されている。

【0022】

ESD保護回路13は、pMOSのトランジスタM12, M13とnMOSのトランジスタM14, M15を有している。トランジスタM12, M13は、ESD保護回路11のトランジスタM1, M2に対応し、トランジスタM14, M15は、ESD保護回路11のトランジスタM3, M4に対応し、その詳細な説明を省略する。

20

【0023】

ESD保護回路11のトランジスタM1, M2は、同一ウェル内に形成される。トランジスタM3, M4は、同一ウェル内に形成される。また、ESD保護回路13のトランジスタM12, M13は、同一ウェル内に形成される。トランジスタM14, M15は、同一ウェル内に形成される。なお、図に示す破線16aは、トランジスタM1, M2が同一ウェル内に形成されていることを示し、破線16bは、トランジスタM3, M4が同一ウェル内に形成されていることを示す。また、破線17aは、トランジスタM12, M13が同一ウェル内に形成されていることを示し、破線17bは、トランジスタM14, M15が同一ウェル内に形成されていることを示している。

30

【0024】

ESD保護回路11のトランジスタM1~M4は、クランプ機能を実現している。伝送線路14a, 14bに電源VDDの電圧を超えるサージが入力されると、トランジスタM1, M2がオンしてLSIの内部回路(図1の例ではドライバ回路12)を保護する。伝送線路14a, 14bにグランドの電圧より低いサージ電圧が入力されると、トランジスタM3, M4がオンしてLSIの内部回路を保護する。ESD保護回路13のトランジスタM12~M15も同様に、伝送線路15a, 15bに入力されるサージに対し、クランプ機能を実現している。

【0025】

40

ESD保護回路11のトランジスタM1~M4は、ドレイン容量を有している。そのため、例えば、伝送線路14aの差動信号がHからL、伝送線路14bの差動信号がLからHに切替わる(反転する)とき、ドレイン間で電荷の入れ替えが生じ、遅延が生じる。しかし、上述したように、トランジスタM1~M4は同一ウェル内に形成されているため、例えば、伝送線路14aがHからLに切替わり、伝送線路14bがLからHに切替わったとき、トランジスタM2のドレインの電子は、同一ウェル内を通過してトランジスタM1のドレインに移動するので、トランジスタM1, M2のドレインの容量は、差動信号の切替わりに対し低減される。同様に、トランジスタM3, M4のドレインの容量も差動信号の切替わりに対し低減される。これにより、差動信号の遅延を抑制し、LSIの高速化が可能となる。同様にESD保護回路13においても、トランジスタM12, M13とトラン

50

ジスタM14, M15はそれぞれ同一ウェル内に形成されているため、トランジスタM12, M13とトランジスタM14, M15のドレインの容量は、伝送線路15a, 15bの差動信号の切替わりに対し低減される。

【0026】

ドライバ回路12は、pMOSのトランジスタM5, M8, M9とnMOSのトランジスタM6, M7, M10, M11を有している。トランジスタM5のゲートとソースとバックゲートは電源VDDに接続されている。トランジスタM5のドレインは、トランジスタM6のドレインと接続されている。トランジスタM6のゲートは、トランジスタM7のゲートと接続されている。トランジスタM6, M7のゲートおよびトランジスタM5, M6のドレインには、電圧VREFが入力される。トランジスタM6のソースとバックゲートは、グランドに接続されている。トランジスタM7のソースとバックゲートは、グランドに接続されている。トランジスタM7のドレインは、トランジスタM10, M11のソースと接続されている。

10

【0027】

トランジスタM8, M10のゲートは互いに接続され、伝送線路14aに接続されている。トランジスタM8, M10のドレインは互いに接続され、伝送線路15aに接続されている。トランジスタM8のソースとバックゲートは、電源VDDに接続されている。トランジスタM10のソースとバックゲートは、トランジスタM7のドレインと接続されている。トランジスタM9, M11のゲートは互いに接続され、伝送線路14bに接続されている。トランジスタM9, M11のドレインは互いに接続され、伝送線路15bに接続されている。トランジスタM9のソースとバックゲートは、電源VDDに接続されている。トランジスタM11のソースとバックゲートは、トランジスタM7のドレインと接続されている。

20

【0028】

トランジスタM8, M10とトランジスタM9, M11は、インバータ回路を構成している。トランジスタM8, M10は、伝送線路14aの信号を反転して伝送線路15aに出力し、トランジスタM9, M11は、伝送線路14bの信号を反転して伝送線路15bに出力する。

【0029】

トランジスタM5~M7は、定電流回路を構成している。トランジスタM5~M7は、電圧VREFに応じて、トランジスタM10, M11のソースに流れる電流を制御している。これにより、電圧VREFを制御することによって、トランジスタM8, M10とトランジスタM9, M11によるインバータ回路の駆動能力を制御することができる。

30

【0030】

以下、図1の動作について説明する。IN端子およびINBar端子に入力される差動信号は、伝送線路14a, 14b、ドライバ回路12、および伝送線路15a, 15bを介してOUT端子およびOUTBar端子に出力される。

【0031】

伝送線路14a, 14bには、サージからドライバ回路12を保護するためのESD保護回路11が接続されている。ESD保護回路11のトランジスタM1, M2とトランジスタM3, M4はそれぞれ同一ウェル内に形成されているため、トランジスタM1~M4のドレイン容量は、IN端子およびINBar端子に入力される差動信号の切替わりに対し低減され、差動信号の遅延が抑制される。また、ESD保護回路13のトランジスタM12, M13とトランジスタM14, M15はそれぞれ同一ウェル内に形成されているため、トランジスタM12~M15のドレイン容量は、OUT端子およびOUTBar端子に出力される差動信号に対し低減され、差動信号の遅延が抑制される。

40

【0032】

一方、IN端子およびINBar端子にサージが入力された場合、トランジスタM1~M4がオンする。これによりトランジスタM1~M4にはチャネルが形成され、ドレイン容量が大きくなり、サージが吸収される。同様に、OUT端子およびOUTBar端子に

50

サージが入力された場合、トランジスタM12～M15がオンし、トランジスタM12～M15にはチャネルが形成され、ドレイン容量が大きくなり、サージが吸収される。

【0033】

このように、ESD保護回路11, 13を構成するトランジスタM1～M4, M12～M15を同一ウェル内に形成するようにすることによって、差動信号に対するドレイン容量を低減し、差動信号の遅延を抑制することができる。これにより、LSIの高速化が可能となる。

【0034】

次に、伝送線路14a, 14b, 15a, 15bに適用する差動ペア線路の例について説明する。

図2は、差動ペア線路を示した図である。図の(A)はペアコプレーナ線路を示し、図の(B)はスタックトペア線路を示している。

【0035】

図の(A)に示すペア線路21, 22は、均質な絶縁材料に形成される。ペア線路21は、2本のペア線路で差動信号を伝送し、例えば、図1の伝送線路14a, 14bが対応する。ペア線路22も同様に2本のペア線路で差動信号を伝送する。ペア線路21の対抗面間隔をdとし、隣接するペア線路22間との距離をsとすると、 $2d < s$ とすることが望ましい。

【0036】

同様に、図の(B)に示すペア線路23, 24も均質な絶縁材料に形成される。ペア線路23は、2本のペア線路で差動信号を伝送し、例えば、図1の伝送線路14a, 14bが対応する。ペア線路24も同様に2本のペア線路で差動信号を伝送する。ペア線路23の対抗面間隔をdとし、隣接するペア線路24間との距離をsとすると、 $2d < s$ とすることが望ましい。

【0037】

このように、伝送線路14a, 14b, 15a, 15bにスタックトペア線路またはペアコプレーナ線路を適用することにより、クロストークを抑制し、差動信号の高速伝送が可能となる。また、後述詳細するが、図2に示すようなペア線路23, 24は、サージの吸収にも重要な役割を果たす。

【0038】

次に、ESD保護回路11, 13のトランジスタ間での電荷移動について説明する。従来のESD保護回路のトランジスタ(例えば、同一ウェル内に形成されていない図1のトランジスタM1～M4)では、差動信号が遷移すると、伝送線路を介して遷移直前に保持している電荷を放出し、新たな電荷を流入するため、遷移後の電荷分布となるのに時間を要する。そのため、差動信号に遅延が生ずる。従って、サージをクランプするトランジスタのドレイン容量を下げれば、この問題は軽減されるが、ESDの効果に対してトレードオフの関係となるため、トランジスタのドレイン容量を低減することは難しい。

【0039】

これに対し、LSIの端子にサージが印加されたとき、電源やグランドに過剰電荷を瞬時に排出し、LSI内に形成したバイパスコンデンサに吸収させることができれば、ESD保護回路のトランジスタのドレイン容量を小さくすることが可能となる。しかし、伝送線路にインダクタンスが存在すると、瞬時にサージを排出することができず、そのインダクタンスによる遅れにより、ノイズ電荷が内部回路に到達し、静電破壊が生じてしまう。

【0040】

このことから、従来のESD保護回路では、サージをクランプするトランジスタ自身が1pF～4pFという大きな容量を持ち、サージを容量内に拡散しながら電源やグランドに放電することで、サージ電圧を下げるように設計されていた。この動作は、本質的に受動的なものであり、能動的变化をするトランジスタによってノイズ電荷を積極的に放出するものではない。サージ電圧により、トランジスタがオンまたはブレイクダウンし、電源やグランドに放出するのは、その次のステップで行われ、さらに電圧が下がるという手順

10

20

30

40

50

となる。このままではクランプトランジスタの容量を下げることは原理的にできない。

【0041】

これに対し、図1に示したように相補的に対面している差動ペアのトランジスタM1, M2およびトランジスタM3, M4を同じウェル内に配置すると、それぞれのドレイン拡散層容量に蓄えられる電荷がウェル内を通してお互いに移動して再利用できる。これにより、差動信号に対しては、ドレイン容量を実質的に低減した効果が得られ、差動信号のスルーレートの向上に寄与する。以下、この原理を、図を用いて説明する。

【0042】

図3は、ESD保護回路のトランジスタ間での電荷移動について説明する図である。図の(A)は従来のESD保護回路によるトランジスタ間での電荷移動を説明する図であり、図の(B)は図1のESD保護回路11によるトランジスタ間での電荷移動を説明する図である。

10

【0043】

図の(A)に示すコンデンサC1, C2は、図1のESD保護回路11のトランジスタM3, M4が同一ウェルに形成されていない場合のドレイン容量を示している。図の(A)のIN端子およびINBar端子は、図1のIN端子およびINBar端子に対応し、差動信号が入力される。インダクタンスL1, L2は、瞬間電流を制限するインダクタンスを示している。トランジスタM3, M4が同一ウェルに形成されていない場合、トランジスタM3, M4のドレインを示す2つのコンデンサの距離は、図の(A)に示すように、十分離れているものと考えることができる。

20

【0044】

図の(B)に示すコンデンサC3, C4は、図1のトランジスタM3, M4が同一ウェルに形成されている場合のドレイン容量を示している。図の(B)のIN端子およびINBar端子は、図1のIN端子およびINBar端子に対応し、差動信号が入力される。インダクタンスL3は、瞬間電流を制限するインダクタンスを示している。

【0045】

トランジスタM3, M4が同一ウェルに形成されている場合、トランジスタM3, M4のドレイン容量を示すコンデンサC3, C4の一端は、図の(B)に示すように接続されているものと考えることができる。ここで、IN端子がHからLに遷移し、INBar端子がLからHに遷移するとする。

30

【0046】

IN端子がHで、INBar端子がLのとき、図の(B)の左側に示すモデルのように、コンデンサC3に電荷が保持されていると考えることができる。この状態から、IN端子がLに、INBar端子がHに遷移すると、図の(B)の中央に示すモデルのように、コンデンサC3の正電荷はIN端子に戻り、コンデンサC4にはINBar端子から正電荷が供給される。また、コンデンサC3に保持されていた電子は、ウェルを介して、コンデンサC4に移動する。そして、図の(B)の右側のモデルに示すように、コンデンサC4への電荷の移動が完了する。

【0047】

このように、差動信号の反転においては、ウェルを介して電荷が移動することにより、トランジスタM3, M4のドレイン容量が見かけ上低減し、差動信号の切替わり時における遅延を抑制することができる。つまり、差動信号の高速化に対応しながら、ESD対策が可能となる。

40

【0048】

ここで、トランジスタM3, M4のドレイン間の、正電荷(ホール)の移動時間を計算する。モビリティを 4×10^2 [cm²] (温度300k、キャリア濃度 $10^{14} \sim 10^{15}$ [cm⁻³])、電源VDDの電圧を1.8Vとすると、ドリフト拡散速度Dは、 $D = 7.2 \times 10^2$ [cm²/s]となる。キャリア移動の平均寸法を1μmとし、この平均寸法1μmをキャリアが移動するのに要する時間をtとすると、 $0.0001 \text{ cm} = (D \cdot t)^{1/2}$
 $^2 = (7.2 \times 10^2 \cdot t)^{1/2}$ が成り立つ。従って、 $t = 0.014 \times 10^{-9} \text{ s} = 0.0$

50

14 ns が得られる。電子では、14 ps 程度と GHz 帯域の時間となる。

【0049】

電荷の移動時間は、LSI に入力される差動信号の遷移時間以下となるよう、トランジスタ M3, M4 のドレイン間の距離を決める必要がある。上記例のように、入力される差動信号の遷移時間が GHz 帯域である場合には、トランジスタ M3, M4 のドレイン間の距離を 1 μm にする必要がある。

【0050】

次に、同一ウェル内に形成されたトランジスタ M1 ~ M4, M12 ~ M15 の構造例について説明する。以下では、トランジスタ M3, M4 について説明し、トランジスタ M1, M2、トランジスタ M12, M13、およびトランジスタ M14, M15 については、トランジスタ M3, M4 の構造と同様であるので、その説明を省略する。

10

【0051】

図4は、同一ウェル内に形成されたトランジスタの平面図である。図に示すように、トランジスタ M3 のドレイン拡散層 33a およびソース拡散層 34a は、ウェル 31 に形成されている。トランジスタ M3 のゲート電極 32a は、ウェル 31 の上部に形成されている。同様に、トランジスタ M4 のドレイン拡散層 33b およびソース拡散層 34b は、ウェル 31 に形成されている。トランジスタ M4 のゲート電極 32b は、ウェル 31 の上部に形成されている。ゲート電極 32a, 32b およびソース拡散層 34a, 34b はグラウンドに接続され、ドレイン拡散層 33a, 33b は伝送線路 14a, 14b に接続される。なお、図の両矢印 35 に示すドレイン拡散層 33a, 33b の距離は、電荷の移動時間が、差動信号の遷移時間以内となるようにする。

20

【0052】

図5は、図4の A-A 断面図である。図5において図4と同じものには同じ符号を付し、その説明を省略する。図に示す黒丸は電子を示し、白丸はホールを示す。また、図中の n, p は、ドレイン拡散層 33a, 33b およびソース拡散層 34a, 34b が n 型であることを示し、ウェル 31 が p 型であることを示している。

【0053】

現在、伝送線路 14a は H で、伝送線路 14b は L であり、ドレイン拡散層 33a, 33b の容量によって、図に示すようにホールと電子が分布しているとす。この状態から、差動信号が切替わり、伝送線路 14a が L に、伝送線路 14b が H に切替わると、図の矢印 36, 37 に示すようにホールと電子が移動する。これにより、差動信号に対しては、ドレイン拡散層 33a, 33b による容量が見かけ上小さくなり、差動信号の遅延を抑制することができる。

30

【0054】

次に、トランジスタ M1 ~ M4, M12 ~ M15 の別の構造例について説明する。以下では、トランジスタ M1, M2 について説明し、トランジスタ M3, M4、トランジスタ M12, M13、およびトランジスタ M14, M15 については、トランジスタ M1, M2 の構造と同様であるので、その説明を省略する。

【0055】

図6は、同一ウェル内に形成されたトランジスタの別の例の平面図である。図に示すように、トランジスタ M1 のドレイン拡散層 43a およびソース拡散層 44a, 45a は、ウェル 41 に形成されている。トランジスタ M1 のゲート電極 42a は、ウェル 41 の上部に形成されている。同様に、トランジスタ M2 のドレイン拡散層 43b およびソース拡散層 44b, 45b は、ウェル 41 に形成されている。トランジスタ M2 のゲート電極 42b は、ウェル 41 の上部に形成されている。なお、図に示す G1, G2, D1, D2, S1, S2 は各部の略称を示し、コンデンサは、各部の間に発生する容量を示している。

40

【0056】

2つのトランジスタ M1, M2 のゲート電極 42a, 42b は、直線状に平行に形成されている。トランジスタ M1, M2 のドレイン拡散層 43a, 43b およびソース拡散層 44a, 44b は、ゲート電極 42a, 42b が対向する側に形成されている。トランジ

50

スタM1のソース拡散層45aは、ゲート電極42aを挟んで、ドレイン拡散層43aおよびソース拡散層44aの反対側に形成されている。トランジスタM2のソース拡散層45bは、ゲート電極42bを挟んで、ドレイン拡散層43bおよびソース拡散層44bの反対側に形成されている。ゲート電極42a, 42b、ソース拡散層44a, 44b, 45a, 45bは、図に示すように互いに接続され、電源VDDに接続される。従って、ソース拡散層44a, 45a, 44b, 45bは同電位である。ドレイン拡散層43aは伝送線路14aに接続され、ドレイン拡散層43bは伝送線路14bに接続されている。

【0057】

図6のようにトランジスタM1, M2を形成すると、差動信号が切替わったとき、図に示すコンデンサ間で電荷の移動が行われるようになる。従って、電荷の移動量が増え、差動信号の切替わりに対し、より高速に対応することができる。一方、図の構成により、チャンネル長は両矢印46a, 46bに示すように長くなり、サージをすばやく排除することができなくなる。しかし、ソース拡散層45a, 45bを設けたことによって、チャンネル長は両矢印47a, 47bに示すように短縮することができ、サージをすばやく排除することができる。また、図の構成では、同相のサージを効果的に排除することもできる。

【0058】

次に、図6のトランジスタM1, M2の動作について説明する。

図7は、図6のトランジスタの動作を説明する図である。図の表51に示す入力電圧の欄は、図6のドレイン拡散層43a, 43bに入力される電圧を示している。図中のオーバーVDD(Over VDD)は、ドレイン拡散層43a, 43bに、電源VDDの電圧を超えた電圧(サージ)が入力される場合を示している。H/Lは、ドレイン拡散層43aにH、ドレイン拡散層43bにLの差動信号が入力される場合を示している。L/Hは、ドレイン拡散層43aにL、ドレイン拡散層43bにHの差動信号が入力される場合を示している。また、表51のM1, M2の欄は、図6のトランジスタM1, M2のオン/オフ状態を示している。また、表51のS1, S2, D1, D2の欄は、図6に示すS2, S2, D1, D2の電圧状態を示している。

【0059】

ドレイン拡散層43a, 43bにオーバーVDDの電圧が入力された場合、表51に示すようにトランジスタM1, M2はオンする。S1, S2の電圧は電源VDDの電圧(図中VDD)であり、D1, D2の電圧はトランジスタM1, M2がオンしているため、オーバーVDDの電圧とはならず、それよりも低い電圧Vとなる。

【0060】

ドレイン拡散層43aにH、ドレイン拡散層43bにLの差動信号が入力された場合、表51に示すようにトランジスタM1, M2はオフしている。S1, S2の電圧はVDDであり、D1の電圧はVDD、D2の電圧はグランド電圧となる。

【0061】

ドレイン拡散層43aにL、ドレイン拡散層43bにHの差動信号が入力された場合、表51に示すようにトランジスタM1, M2はオフしている。S1, S2の電圧はVDDであり、D1の電圧はグランド電圧、D2の電圧はVDDとなる。

【0062】

差動信号の切替わりにおける同一ウェル内での電荷の移動は、図中の矢印52, 53で行われる。また、サージの吸収は、図中の矢印54, 55で行われる

次に、サージの吸収(エネルギー分散)について説明する。サージの吸収は、オンしたトランジスタのチャンネル容量等によって吸収されるが、伝送線路も重要な役割を果たす。そこで、まず、伝送線路の電磁エネルギーの伝送について説明する。

【0063】

LSI内の配線は、回路中のシリーズ抵抗と回路中の全ての容量によりRC遅延を生じる。配線に電圧ステップ波を送信すると、電圧ステップ波はRCによる積分的な波形になり、立上りステップは、 $v = VDD(1 - \exp(-t/RC))$ となり、立下りステップは、 $v = VDD(\exp(-t/RC))$ となる。そのため、信号状態が遷移する閾値

10

20

30

40

50

電圧 V_{th} に到達する時間が遅れ、信号状態が完全に遷移しないうちに次の状態になる。動作周波数が 10 GHz 以上において、 25 ps の遷移時間 ($t_r = t_f = 0.3 / f$ 、 t_r : 立上り時間、 t_f : 立下り時間) となると、ジッターの許容量は $1\text{ ps} \sim 3\text{ ps}$ であり、 RC 時定数は、数 ps 以下にしなければならない。配線とトランジスタのオン抵抗の合計を 100 とするならば、回路中の総容量は数十 fF 以下にしなければならない、事実上回路がつかれないことになる。すなわち、 RC 遅延のない線路が必要となる。一般論として $LCRG$ 回路モデルで考えると不可能となる。一方、同軸ケーブルに代表される伝送線路は、 TEM (Transverse Electromagnetic Mode) 電磁波伝送モードとなっていて、電磁エネルギーとして伝わることから、 LC ラダーから開放された概念となる。なお、以下では、あえて $LCRG$ 回路モデルを用いて、伝送線路について説明する。

10

【0064】

図8は、伝送線路の単純モデルである。図の(A)~(E)には、電池E、ペア線路の伝送線路61a、61b、およびランプ62が示してある。電気エネルギーを伝えるためには、必ず2本の伝送線路61a、61bが必要となる。なお、ランプ62のインピーダンスは、伝送線路61a、61bのインピーダンスより大きいとする。

【0065】

電池Eは、図の(A)に示すようにポンプの役割を果たす。今、電池Eが伝送線路61a、61b間に接続されたとすると、電池Eは、伝送線路61aから電子をもらい受け、伝送線路61bに出力する。これにより、図の(B)に示すように、伝送線路61aには、ホールができる。そして、図の(C)に示すように、ホールと電子は、光速で伝送される。

20

【0066】

ホールと電子がランプ62に到達すると、図の(D)に示すように結合し、光としてエネルギー放出される。一方、ランプ62のインピーダンスは、伝送線路61a、61bのインピーダンスより大きいので、図の(E)に示すように余った電子とホールが存在し、電池Eの方向へ逆流(反射)する。このように、伝送線路61a、61bでは、反射が生じる場合がある。

【0067】

図9は、図8の伝送線路を $LCRG$ 素子で表現したモデル図である。図に示すように図8で示したペア線路の伝送線路61a、61bは、インダクタンス $L_{11} \sim L_{13}$ と抵抗 R_{11} 、 R_{12} とキャパシタンス C_{11} とコンダクタンス G_{11} のラダー回路で表すことができる。なお、伝送線路61a、61bの断面構造は、長さ方向において一定であるため、図のラダー回路の要素 $RLCG$ は、単位長さあたりで同時に存在し、図の表現とは物理的に異なる。いくら細かく分割してもその比率は一定であり、これを特性インピーダンスで表現すると、 $Z_0 = \{ (R/l) + (j L/l) \}^{1/2} / \{ (G/l) + (j C/l) \}^{1/2}$ となる。 l は単位長さ、 ω は角周波数、 j は複素数である。

30

【0068】

コンダクタンス G とキャパシタンス C は分母にあるが、インピーダンスとして考えると2つの複素数の2乗平均である。キルヒホッフ回路のように加算平均とならないのは、全ての要素が同時に存在するためである。ここで、上式の l は省略できるため、特性インピーダンスは、長さ単位を持たないものとなる。水が流れるパイプを考えると、間口(断面積、コンダクタンス)を決定しただけで、パイプの長さ方向を規定したものではない単位となる。

40

【0069】

次に、図9において抵抗 R_{11} 、 R_{12} とコンダクタンス G_{11} を0にした場合について説明する。

図10は、図9の抵抗およびコンダクタンスを0にした場合のモデル図である。図の(A)、(B)には、 LC ラダー回路を流れる電流の波形71、73と電圧の波形72、74とが示してある。なお、上記で説明した特性インピーダンス Z_0 は、抵抗 R 、コンダクタンス G を0にしたので、 $Z_0 = (L/C)^{1/2}$ となる。電流の最も変化するところに存在

50

するインダクタンス L がインピーダンス(Z_L)の主力となり、電圧の最も高いところがキャパシタンス C によるインピーダンス($1/Z_C$)の主力となるため、図10では、その部分の L と C のみを代表して記載している。

【0070】

図に示す波形71~74が光速で図中右側に移動しても、伝送線路のどの断面も同じ要素のため、その部分にインダクタンス L とキャパシタンス C が誘起されるように追従していく。すなわち、インダクタンス L とキャパシタンス C に蓄えられる電気エネルギーが移動し、 $P = IV = V^2 / Z_0$ が移動している。インダクタンス L とキャパシタンス C は特性インピーダンス Z_0 で代表されるため、伝送線路では、インダクタンス L とキャパシタンス C が個別に存在しない伝送モードとなる。

10

【0071】

図の(B)は、図の(A)の2倍の周波数モデルを示している。周波数が2倍になると、図の(B)のインダクタンス L とキャパシタンス C の区分は、図の(A)の半分の間隔で誘起される。従って、波形73, 74は、図の(A)と同じ特性インピーダンスのもとに光速で移動する。これが、抵抗 R_{11} , R_{12} とコンダクタンス G_{11} が0の伝送線路が、周波数特性を持たない理由となる。

【0072】

抵抗 R とコンダクタンス G が無視できないときは、複素数として Z が消えず、周波数特性を持つが、インダクタンス L とキャパシタンス C は同時に存在することから、インダクタンス L とキャパシタンス C はここでも表面上見えない伝送モードとなる。 GHz 帯域では、このような伝送線路がチップ配線であっても必要となる。なぜなら、 $6GHz$ のデジタルクロックの場合、10倍の高調波も無視できないエネルギーで存在し、 $60GHz$ の信号を通さなければならないからである。この波長は、 $3.2mm$ となり、共振を防止できる $1/4$ 波長では、 $0.8mm$ となり、 IP (Intellectual Property)間のグローバル配線やパッドにつながる I/O 配線は、伝送線路としなければならない。

20

【0073】

サージは、伝送線路を通っている限りは、特性インピーダンス Z_0 とオームの法則の関係となる。 $V_{sr} = I_{sr} \cdot Z_0$ (V_{sr} :サージ電圧、 I_{sr} :サージ電流)が成り立つため、 Z_0 が小さい方がよいが、線路や負荷インピーダンスの不連続部分で反射が起こり、これを考慮しなければならない。例えば、トランジスタのゲートでは、ほぼ開放端とみなせるため、プラスの全反射をすることから $2V_{sr}$ となる。分岐配線は、全てインピーダンス不整合になるため、 ESD 保護回路の接続は、工夫を必要とする。

30

【0074】

次に、サージエネルギーの分散について説明する。

図11は、 ESD 対策のために設けられるダミー回路の回路図である。図のダミー回路は、従来から用いられているものである。図に示すようにダミー回路は、ダミー MOS 回路81, 82を有している。図のダミー回路は、信号線83に対して設けられたものであるが、電源、グランド線も同様に設けられる。

【0075】

ダミー MOS 回路81, 82は、拡散容量を増大させるためのもので、高電圧のエネルギーを瞬時に平均化し、電源 VDD の電圧以下に落とす働きをしている。しかし、この容量は、信号の高速化に大きな障害要因となる。これに対し、図1の回路では、クランプ機能を果たすトランジスタ $M1 \sim M4$, $M12 \sim M15$ の容量が大きいかかわらず、差動信号の切替えに対しては実質ほとんど見えないようにして信号の高速化を図り、さらに、サージのエネルギーに対しては時間分散して有効に吸収するようにしている。

40

【0076】

ところで、人体が持つ等価静電容量は、両足で立ったとき $140pF$ 、片足で立ったとき $94pF$ 、丸椅子に座ったとき $54pF$ である。今、最大容量状態で人体が $10000V$ に帯電したとき、 $Q = CV = 1.4\mu C$ となる。これを飽和時に、容量のみで $0.5V$ 以下にするには、 $1.4 \times 10^{-6} / 0.5V = 2.8 \times 10^{-6}F$ の容量が必要となる。こ

50

れは、非常に大きな値で、図 1 1 の回路でも数 p F 程度であるにもかかわらず、現実にはこれで何とか耐えている(飽和時の電圧約 5 0 0 V)。その一つの理由は自然に時間分散しているからである。そこで、図 1 の回路では、サージエネルギーを積極的に時間分散するようにした。なお、人体の最大電荷量が出力される状態は、人体の内部インピーダンスが約 5 0 0 のため、 $i = (V / R) \exp \{ - (t / RC) \}$ となる。チップ側のインピーダンスでこの式の R が変化することになる。

【 0 0 7 7 】

図 1 2 は、図 1 の E S D 対策モデルを示した回路図である。図に示すように L S I は、伝送線路 9 1 ~ 9 6、および電源パッド 9 7、グランドパッド 9 8、ドライバ 9 9、およびスイッチ S W 1、S W 2 を有している。図に示す伝送線路 9 1 ~ 9 6 がサージ対策に対し、重要な機能を果たす。なお、図において、スイッチ S W 1 は、図 1 で示したトランジスタ M 1、M 2 に対応し、スイッチ S W 2 は、トランジスタ M 3、M 4 に対応する。ドライバ 9 9 は、図 1 のドライバ回路 1 2 に対応する。伝送線路 9 1、9 2 は、図 1 の伝送線路 1 4 a、1 4 b に対応する。伝送線路 9 3、9 4 は、図 1 の伝送線路 1 4 a、1 4 b からトランジスタ M 1 ~ M 4 へ分岐される伝送線路に対応する。伝送線路 9 5 は、電源 V D D からドライバ 9 9 へ分岐された伝送線路に対応する。伝送線路 9 6 は、電源 V D D とグランドのペアの伝送線路に対応する。コンデンサ C 2 2 は、チップパッドの容量を示している。また、図には、各伝送線路の線路長と、特性インピーダンスが示してある。また、L S I 9 0 の外に示してある抵抗 R 2 1 とコンデンサ C 2 1 は、人体の抵抗と容量を示している。また、図には、人体の抵抗値と容量値の例が示してある。

【 0 0 7 8 】

人体から $V_s = 10000V$ で $1.4 \mu C$ の電荷量が L S I に流れ込むとする。ただし、L S I のチップパッドの容量(コンデンサ C 2 2 の容量)は、無視されるとする。この場合、伝送線路 9 1 には、次の式(1)で示される電圧が入力される。

【 0 0 7 9 】

【数 1】

$$\begin{aligned} v &= v_s \exp \{ -t / (R_h + Z_{01}) C_h \} \\ &= 10000 \exp \{ -t / (500 + 100) 140 \times 10^{-12} \} \\ &= 10000 \exp(-t / 84 \times 10^{-9}) \cdots (1) \end{aligned}$$

【 0 0 8 0 】

ただし、 R_h 、 C_h は、人体の抵抗および容量を示し、 Z_{01} は伝送線路 9 1 の特性インピーダンスを示す。これにより、電流 i は、 $i = v / (R_h + Z_{01}) = v / 600$ で示される。

【 0 0 8 1 】

次に、伝送線路 9 1 がスイッチ S W 1、S W 2 に分岐するところを考える。伝送線路 9 1 に入力されたサージは、スイッチ S W 1、S W 2 と伝送線路 9 2 への分岐路と 3 つに分かれ、入力側から見た分岐路以降の特性インピーダンス Z_{0t} は、 $1 / (1 / 100 + 1 / 50 + 1 / 50) = 20$ となる。従って、この部分で、大部分のエネルギーがマイナスイメージ反射し、通過電流は、次の式(2)のようになる。

【 0 0 8 2 】

10

20

30

40

【数2】

$$\begin{aligned}
 i_t &= i(1 - \Gamma) \\
 &= i \left(1 - \frac{Z_{0T} - Z_{01}}{Z_{0T} + Z_{01}} \right) \\
 &= i \left(1 - \frac{20 - 100}{20 + 100} \right) \\
 &= 0.333i \quad \dots(2)
 \end{aligned}$$

10

【0083】

キルヒホッフの法則により、分岐路から後半の伝送線路92に入力する電流は、 $i_r = 1/5 i_T = 0.0667i$ となり、電圧 V_r は、 $V_r = 0.0667i \cdot Z_{02} = 6.67i$ が得られる。ここで、 Z_{02} は、伝送線路92の特性インピーダンスである。ドライバ99の入力がトランジスタのゲート容量端であれば、その電圧上昇 V_G はゲート容量を $C_G = 20 \text{ fF}$ として、次の式(3)に示すようになる。

【0084】

【数3】

$$\begin{aligned}
 v_G &= v_r \{ 1 - \exp(-t/Z_{02}C_G) \} \\
 &= 6.67i \{ 1 - \exp(-t/Z_{02}C_G) \} \\
 &= 0.0111v_s \{ 1 - \exp(-t/Z_{02}C_G) \} \\
 &= 111 \exp(-t/84 \times 10^{-9}) \{ 1 - \exp(-t/Z_{02}C_G) \} \dots(3)
 \end{aligned}$$

20

【0085】

図13は、 V_G の時間変化を示した図である。図は、式(3)において $Z_{02} = 100$ 、 $C_G = 20 \text{ fF}$ とした場合の V_G の時間変化を示している。図に示すように、10000Vの入力でも、最大111Vしか上昇せず、スタティックな限界予測500Vより、十分小さな値となる。

30

【0086】

伝送線路の特性インピーダンスの異なるところは全てこのような反射が起こり、それぞれの線路が多重反射することになる。しかし、反射して戻ってくるという時間の間、静電エネルギーが時間分散したことになり、サージを効果的に吸収することができる。

【0087】

また、上述したように、特性インピーダンスは、電荷が流入する間口の大きさを決めており、特性インピーダンスが小さいほどその間口が大きくなり、サージを吸収しやすくなっている。従って、分岐線路である伝送線路93、94と、スイッチ $SW1$ 、 $SW2$ がオンしたときの抵抗(クランプのトランジスタがオンしたときのオン抵抗)の特性インピーダンスが、伝送線路91、92の特性インピーダンスと同じか、それより小さくすることにより、サージを効果的に吸収することができる。また、スイッチ $SW1$ 、 $SW2$ を、そのオン抵抗と同じか、それより小さい特性インピーダンスを持つ電源・グランドの伝送線路96に接続することにより、サージを効果的に吸収することができる。

40

【0088】

以下、サージに対するシミュレーションについて説明する。

図14は、サージのシミュレーションを行うLSIの回路図である。なお、図では、シングルエンドのシミュレーションを示しているが、伝送線路101、102は、図1の伝送線路14a、14bに対応する。伝送線路103、104は、図1のトランジスタ $M1 \sim M4$ に分岐する伝送線路に対応する。抵抗 $R31$ はオンした状態のトランジスタ $M1$ 、 $M2$ の抵抗に対応し、抵抗 $R32$ は、オフした状態のトランジスタ $M3$ 、 $M4$ の抵抗に対

50

応する。伝送線路105は、電源VDDとグラウンドのペアの伝送線路に対応する。コンデンサC33は、ドライバ回路12のトランジスタM8～M11のゲート容量に対応する。また、図の電源E1およびコンデンサC31は、人体の電圧と容量を示し、コンデンサC32は、LSIのチップパッドの容量を示している。また、図には、伝送線路101～105の特性インピーダンスの値、遅延時間が示してあり、また、サージの入力状態を規定するためのスイッチSW11, SW12のオン/オフ条件が示してある。具体的には、0sから1nsまで、スイッチSW11を開き(tOpen)、その後閉じる。そして、1psで電圧を飽和状態となるようにし(ttran)、1001ps間スイッチSW12を閉じる(tClose)。その後、スイッチSW12を開き1psで電圧が0Vとなるようにする(ttran)。また、サージのエネルギーは、電源VDDとグラウンドの伝送線路105の特性インピーダンスで逆進し、電源VDDに全て吸収されるとして、伝送線路105は、5の終端抵抗で整合した。

10

【0089】

図15は、図14の回路図のシミュレーション結果を示した図である。図の(A)は、図14のA点における電圧波形を示し、図の(B)は、図14のB点における電圧波形を示している。図の(A)に示すように、A点では、10000Vのサージ電圧が約300V位に抑えられ、図の(B)に示すように、B点では、10000Vのサージ電圧が約240V位に抑えられている。なお、図の(B)の電圧波形は、点Bで全反射した場合を示しており、コンデンサC33での電圧はその1/2となり、上記の式で説明した電圧とほぼ一致することが分かる。

20

【0090】

このように、大きなキャパシタを接続する代わりに、高速対応の伝送線路網で対応することにより、サージを有効に吸収することが可能となる。

次に、LSIのデバイスレイアウトについて説明する。

【0091】

図16は、LSIの回路のデバイスレイアウトを示した図である。図に示す伝送線路115, 116は、図1の伝送線路14a, 14bに対応する。ESD保護回路111は、図1に示すESD保護回路11に対応する。図に示すNMOSインバータ回路112とPMOSインバータ回路113は、図1のドライバ回路12に対応する。ESD保護回路114は、図1のESD保護回路13に対応する。伝送線路117, 118は、図1の伝送線路15a, 15bに対応する。また、図中のVCC&GNDは、電源VDDとグラウンド線とがペアになった伝送線路を示している。また、図中の50μmダミーは、図11で示したダミーMOS回路81, 82に対応し、20μmのnMOSトランジスタのオン抵抗を調整し、設計の自由度を高めることができるようになっている。図中の30μmダミーは、図11で示したダミーMOS回路81, 82に対応し、20μmのpMOSトランジスタのオン抵抗を調整し、設計の自由度を高めることができるようになっている。

30

【0092】

次に、差動信号に対するシミュレーションについて説明する。ESD保護回路のトランジスタのゲート容量とドレイン容量は、次の式(4)に示すように算出される。

【0093】

40

【数4】

$$\begin{aligned}
 C_{ox} &= \frac{\kappa_{\text{siO}_2} \cdot \epsilon_0}{t_{ox}} L \cdot W \\
 &= \frac{3.9 \times 8.86 \times 10^{-14}}{4 \times 10^{-7}} \times 0.2 \times 10^{-4} \times 50 \times 10^{-4} \\
 &= 86.25 \times 10^{-15} = 86.25 \text{fF}
 \end{aligned}$$

$$C_{JD} = C_{j0} \cdot A_D = 0.75 \times 10^{-15} \times 250 = 187.5 \text{fF (nMOS)}$$

$$C_{JD} = C_{j0} \cdot A_D = 0.62 \times 10^{-15} \times 350 = 217 \text{fF (pMOS)}$$

$$C_{ox} + C_{JD} = 273.75, 303.25 \text{fF (nMOS, pMOS)} \dots(4)$$

【0094】

ただし、 C_{ox} はゲート酸化膜の容量、 κ_{siO_2} は siO_2 の比誘電率、 ϵ_0 は真空の誘電率、 t_{ox} はゲート酸化膜の厚さ、 L はゲート長、 W はゲート幅、 C_{JD} はドレイン拡散層の容量、 C_{j0} は単位面積当たりのドレイン拡散層の容量、 A_D はドレイン拡散層の面積である。そこで、ESD保護回路のトランジスタが同一ウェルに形成されない場合のトランジスタの容量を250fF、同一ウェルに形成される場合のトランジスタの容量を、250fFの1/5の50fFとして、10GHzの入力差動信号に対する出力をシミュレーションする。

【0095】

図17は、トランジスタが同一ウェルにない場合の差動信号に対するシミュレーションを行う回路である。図に示すコンデンサC41～C44は、図1のトランジスタM1～M4が同一ウェルに形成されていない場合の容量に対応する。コンデンサC45～C48は、トランジスタM12～M15が同一ウェルに形成されていない場合の容量に対応する。トランジスタM21～M24は、ドライバ回路12のトランジスタM8～M11に対応する。伝送線路123, 124は、伝送線路15a, 15bに対応する。差動信号121, 122は、シミュレーションを行うための信号を示している。なお、図に示すパラメータでシミュレーションを行ったとする。TDは信号の遅延時間を示し、TRは信号の立上り時間を示し、TFは信号の立下り時間を示し、PWは信号状態が保持される時間を示し、PERは周期を示す。また、Wはトランジスタのゲート幅、Lはトランジスタのゲート長を示す。コンデンサC41～C48の容量値は、上述したように250fFとしてある。

【0096】

図18は、図17のシミュレーション結果を示した図である。図には、図17のシミュレーション回路に入力される差動信号121, 122の電圧波形131a, 131bと、図17の点A, Bにおける電圧波形132a, 132bとが示してある。図17の回路では、ESD保護回路を構成するトランジスタの容量(図17のコンデンサC41～C48)が大きいため、差動信号が遅延し、状態が完全に遷移する前に、次の状態に遷移してしまう。

【0097】

図19は、トランジスタが同一ウェルにある場合の差動信号に対するシミュレーションを行う回路である。図に示すコンデンサC51～C54は、図1のトランジスタM1～M4の容量に対応する。コンデンサC55～C58は、トランジスタM12～M15の容量に対応する。トランジスタM31～M34は、ドライバ回路12のトランジスタM8～M11に対応する。伝送線路143, 144は、伝送線路15a, 15bに対応する。差動信号141, 142は、シミュレーションを行う信号を示している。なお、図に示すパラメータでシミュレーションを行ったとする。コンデンサC51～C58の容量値は、上述

10

20

30

40

50

したように50fFとしてある。また、図のパラメータの意味は、図17と同様であり、その説明を省略する。

【0098】

図20は、図19のシミュレーション結果を示した図である。図には、図20のシミュレーション回路に入力される差動信号141, 142の電圧波形151a, 151bと、図19の点A, Bにおける電圧波形152a, 152bとが示してある。図19の回路では、ESD保護回路を構成するトランジスタの容量が小さいため、差動信号は遅延せず、状態遷移が終了する前に、電圧が飽和状態になる。

【0099】

このように、サージをクランプするトランジスタM1~M4, M12~M15を同一ウェル内に形成するようにした。これによって、差動信号が遷移したとき、遷移前の状態を保持していたトランジスタの電荷は、同一ウェル内を移動し、差動信号の遷移に対するトランジスタM1~M4, M12~M15の容量が低減され、差動信号の高速化を図ることができる。

【0100】

また、伝送線路14a, 14b, 15a, 15bをペアの伝送線路にすることにより、サージを有効的に吸収することができる。特に、伝送線路14a, 14bからトランジスタM1~M4に分岐される分岐伝送線路の特性インピーダンスを、伝送線路14a, 14bの特性インピーダンスと等しいか、もしくはそれより小さくすることにより、サージを有効的に吸収することができる。また、伝送線路15a, 15bからトランジスタM12~M15に分岐される分岐伝送線路の特性インピーダンスを、伝送線路15a, 15bの特性インピーダンスと等しいか、もしくはそれより小さくすることにより、サージを有効的に吸収することができる。また、トランジスタM1~M4のオン抵抗を、伝送線路14a, 14bの特性インピーダンスと等しいか、もしくはそれより小さくすることにより、サージを有効に吸収することができる。トランジスタM12~M15のオン抵抗を、伝送線路15a, 15bの特性インピーダンスと等しいか、もしくはそれより小さくすることにより、サージを有効に吸収することができる。また、トランジスタM1~M4, M12~M15を、そのオン抵抗と等しいか、もしくはそれより小さい特性インピーダンスを有する電源VDDとグラウンドのペアの伝送線路に接続することにより、サージを有効に吸収することができる。

【0101】

次に、本発明の第2の実施の形態を、図面を参照して詳細に説明する。第2の実施の形態では、ESD保護回路のトランジスタが全てnMOSのトランジスタで構成される。

図21は、第2の実施の形態に係るESD保護回路を適用したLSIの回路図である。図に示すようにLSIは、ESD保護回路161, 163、ドライバ回路162、伝送線路164a, 164b, 165a, 165b、IN端子、INBar端子、OUT端子、およびOUTBar端子を有している。

【0102】

ESD保護回路161は、トランジスタM41~M44を有している。トランジスタM41~M44は、図1のESD保護回路11のトランジスタM1~M4に対応するが、トランジスタM41, M42がnMOSのトランジスタとなっているところが異なる。また、トランジスタM41, M42のゲートがグラウンドに接続されているところが異なっている。トランジスタM41, M42は同一ウェルに形成され、トランジスタM43, M44は同一ウェルに形成される。その他の接続関係は、図1と同様であり、その詳細な説明は省略する。なお、図の破線166aは、トランジスタM41, M42が同一のウェルに形成され、破線166bは、トランジスタM43, M44が同一のウェルに形成されていることを示している。

【0103】

ドライバ回路162は、図1のドライバ回路12と同様の回路構成を有している。トランジスタM45~M51は、図1のトランジスタM5~M11に対応し、その詳細な説明

10

20

30

40

50

は省略する。

【0104】

E S D 保護回路 1 6 3 は、トランジスタ M 5 2 ~ M 5 5 を有している。トランジスタ M 5 2 ~ M 5 5 は、図 1 の E S D 保護回路 1 3 のトランジスタ M 1 2 ~ M 1 5 に対応するが、トランジスタ M 5 2 , M 5 5 が n M O S のトランジスタとなっているところが異なる。トランジスタ M 5 2 , M 5 5 のゲートがグランドに接続されているところが異なっている。トランジスタ M 5 2 , M 5 3 は同一ウェルに形成され、トランジスタ M 5 4 , M 5 5 は同一ウェルに形成される。その他の接続関係は、図 1 と同様であり、その詳細な説明は省略する。なお、図の破線 1 6 7 a は、トランジスタ M 5 2 , M 5 3 が同一のウェルに形成され、破線 1 6 7 b は、トランジスタ M 5 4 , M 5 5 が同一のウェルに形成されていることを示している。

10

【0105】

伝送線路 1 6 4 a , 1 6 4 b , 1 6 5 a , 1 6 5 b は、図 1 の伝送線路 1 4 a , 1 4 b , 1 5 a , 1 5 b と同様であり、その詳細な説明は省略する。

このように、E S D 保護回路 1 6 1 , 1 6 3 のトランジスタ M 4 1 ~ M 4 4 , M 5 2 ~ M 5 5 を全て n M O S で構成することも可能である。

【0106】

次に、本発明の第 3 の実施の形態を、図面を参照して詳細に説明する。伝送線路に接続される終端抵抗回路によっても、その容量によって差動信号の遅延が発生する。そこで、第 3 の実施の形態では、終端抵抗回路を構成するトランジスタを同一ウェルに形成することにより、差動信号に対する容量を低減する。

20

【0107】

図 2 2 は、第 3 の実施の形態に係る終端抵抗回路を適用した L S I の回路図である。図に示すように L S I は、終端抵抗回路 1 7 1、ドライバ回路 1 7 2、伝送線路 1 7 3 a , 1 7 3 b , 1 7 4 a , 1 7 4 b、I N 端子、I N B a r 端子、O U T 端子、および O U T B a r 端子を有している。

【0108】

終端抵抗回路 1 7 1 は、トランジスタ M 6 1 ~ M 6 4 を有している。トランジスタ M 6 1 , M 6 2 のゲートは、グランドに接続されている。トランジスタ M 6 1 , M 6 2 のソースおよびバックゲートは電源 V D D に接続されている。トランジスタ M 6 1 , M 6 2 のドレインは、伝送線路 1 7 3 a , 1 7 3 b に接続されている。トランジスタ M 6 3 , M 6 4 のゲートは、電源 V D D に接続されている。トランジスタ M 6 3 , M 6 4 のソースおよびバックゲートはグランドに接続されている。トランジスタ M 6 3 , M 6 4 のドレインは、伝送線路 1 7 3 a , 1 7 3 b に接続されている。トランジスタ M 6 1 , M 6 2 は、同一のウェルに形成され、トランジスタ M 6 3 , M 6 4 は、同一のウェルに形成される。トランジスタ M 6 1 ~ M 6 4 は、抵抗の機能を有し、伝送線路 1 7 3 a , 1 7 3 b を伝達する差動信号の反射を防止している。なお、図の破線 1 7 5 a は、トランジスタ M 6 1 , M 6 2 が同一のウェルに形成され、破線 1 7 5 b は、トランジスタ M 6 3 , M 6 4 が同一のウェルに形成されていることを示している。

30

【0109】

ドライバ回路 1 7 2 は、図 1 のドライバ回路 1 2 と同様の回路構成を有している。トランジスタ M 6 5 ~ M 7 1 は、図 1 のトランジスタ M 5 ~ M 1 1 に対応し、その詳細な説明は省略する。伝送線路 1 7 3 a , 1 7 3 b , 1 7 4 a , 1 7 4 b は、図 1 の伝送線路 1 4 a , 1 4 b , 1 5 a , 1 5 b と同様であり、その詳細な説明は省略する。

40

【0110】

終端抵抗を構成するトランジスタ M 6 1 ~ M 6 4 は、ドレイン容量を持つので、伝送線路 1 7 3 a , 1 7 3 b を伝搬する差動信号を遅延させる。しかし、トランジスタ M 6 1 , M 6 2 と、トランジスタ M 6 3 , M 6 4 は同一ウェルに形成されるので、ドレイン容量は、差動信号の遷移に対し、低減される。

【0111】

50

このように、差動信号の反射を防止するトランジスタM61, M62とトランジスタM63, M64を同一ウェル内に形成するようにした。これによって、差動信号が遷移したとき、遷移前の状態を保持していたトランジスタM61~M64の電荷は、同一ウェル内を移動し、差動信号の遷移に対する抵抗の容量が低減され、差動信号の高速化を図ることができる。

【0112】

次に、本発明の第4の実施の形態を、図面を参照して詳細に説明する。第4の実施の形態では、図22で示したトランジスタM61~M64が拡散抵抗によって構成されている。

【0113】

図23は、第4の実施の形態に係る終端抵抗回路を適用したLSIの回路図である。図に示すようにLSIは、終端抵抗回路181、ドライバ回路182、伝送線路183a, 183b, 184a, 184b、IN端子、INBar端子、OUT端子、およびOUTBar端子を有している。

【0114】

終端抵抗回路181は、拡散抵抗R41~R44を有している。拡散抵抗R41, R42の一端は、伝送線路183a, 183bに接続され、他端は、電源VDDに接続されている。拡散抵抗R43, R44の一端は、伝送線路183a, 183bに接続され、他端は、グランドに接続されている。

【0115】

ドライバ回路182は、図1のドライバ回路12と同様の回路構成を有している。トランジスタM81~M87は、図1のトランジスタM5~M11に対応し、その詳細な説明は省略する。伝送線路183a, 183b, 184a, 184bは、図1の伝送線路14a, 14b, 15a, 15bと同様であり、その詳細な説明は省略する。

【0116】

終端抵抗を構成する拡散抵抗R41~R44は、その拡散層において容量を持つので、伝送線路183a, 183bを伝搬する差動信号を遅延させる。しかし、拡散抵抗R41, R42と、拡散抵抗R43, R44は同一ウェル内に形成されるので、容量は差動信号の遷移に対し、低減される。

【0117】

このように、差動信号の反射を防止する拡散抵抗R41, R42と拡散抵抗R43, R44を同一ウェル内に形成するようにした。これによって、差動信号が遷移したとき、遷移前の状態を保持していた拡散抵抗R41~R44の電荷は、同一ウェル内を移動し、差動信号の遷移に対する抵抗の容量が低減され、差動信号の高速化を図ることができる。

【0118】

(付記1) 半導体装置の内部回路を静電気放電から保護する静電気放電保護回路において、

前記半導体装置の外部端子と接続された差動信号が伝搬する前記半導体装置内の2つの配線のそれぞれに設けられ、前記外部端子に印加される前記静電気放電をクランプする、同一ウェル内に形成されたトランジスタ、

を有することを特徴とする静電気放電保護回路。

【0119】

(付記2) 前記配線は、ペアの伝送線路で構成されていることを特徴とする付記1記載の静電気放電保護回路。

(付記3) 前記伝送線路から前記トランジスタに接続される分岐伝送線路の特性インピーダンスは、前記伝送線路の特性インピーダンス以下であることを特徴とする付記2記載の静電気放電保護回路。

【0120】

(付記4) 前記トランジスタのオン抵抗は、前記伝送線路の特性インピーダンス以下であることを特徴とする付記2記載の静電気放電保護回路。

10

20

30

40

50

(付記5) 前記トランジスタは、そのオン抵抗以下の特性インピーダンスを有する電源とグランドとのペアの伝送線路に接続されることを特徴とする付記1記載の静電気放電保護回路。

【0121】

(付記6) 前記トランジスタのドレイン拡散領域間の距離は、前記ドレイン拡散領域間を移動する電荷の移動時間が、前記差動信号の遷移時間以下となるように決定されることを特徴とする付記1記載の静電気放電保護回路。

【0122】

(付記7) 前記トランジスタは、電源とグランドの一方または両方に前記静電気放電をクランプすることを特徴とする付記1記載の静電気放電保護回路。

10

(付記8) 前記電源に前記静電気放電をクランプする前記トランジスタが前記同一ウェル内に形成され、前記グランドに前記静電気放電をクランプする前記トランジスタが前記同一ウェル内に形成されることを特徴とする付記7記載の静電気放電保護回路。

【0123】

(付記9) 前記トランジスタは、ゲートが平行して形成され、前記ゲートの互いに向向する側にそれぞれの第1のソースとドレインとが形成され、前記ゲートを挟んだ前記第1のソースと前記ドレインとの反対側にそれぞれの第2のソースが形成されることを特徴とする付記1記載の静電気放電保護回路。

【0124】

(付記10) 半導体装置の信号を安定させる終端抵抗回路において、前記半導体装置の外部端子と接続された差動信号が伝搬する前記半導体装置内の2つの配線のそれぞれに設けられ、前記差動信号の反射を防止する、同一ウェル内に形成された抵抗、

20

を有することを特徴とする終端抵抗回路。

【0125】

(付記11) 前記抵抗は、トランジスタによって構成されることを特徴とする付記10記載の終端抵抗回路。

(付記12) 前記抵抗は、拡散抵抗であることを特徴とする付記10記載の終端抵抗回路。

【図面の簡単な説明】

30

【0126】

【図1】第1の実施の形態に係るESD保護回路を適用したLSIの回路図である。

【図2】差動ペア線路を示した図である。

【図3】ESD保護回路のトランジスタ間での電荷移動について説明する図である。

【図4】同一ウェル内に形成されたトランジスタの平面図である。

【図5】図4のA-A断面図である。

【図6】同一ウェル内に形成されたトランジスタの別の例の平面図である。

【図7】図6のトランジスタの動作を説明する図である。

【図8】伝送線路の単純モデルである。

【図9】図8の伝送線路をLCRG素子で表現したモデル図である。

40

【図10】図9の抵抗およびコンダクタンスを0にした場合のモデル図である。

【図11】ESD対策のために設けられるダミー回路の回路図である。

【図12】図1のESD対策モデルを示した回路図である。

【図13】 V_G の時間変化を示した図である。

【図14】サージのシミュレーションを行うLSIの回路図である。

【図15】図14の回路図のシミュレーション結果を示した図である。

【図16】LSIの回路のデバイスレイアウトを示した図である。

【図17】トランジスタが同一ウェルにない場合の差動信号に対するシミュレーションを行う回路である。

【図18】図17のシミュレーション結果を示した図である。

50

【図19】トランジスタが同一ウェルにある場合の差動信号に対するシミュレーションを行う回路である。

【図20】図19のシミュレーション結果を示した図である。

【図21】第2の実施の形態に係るESD保護回路を適用したLSIの回路図である。

【図22】第3の実施の形態に係る終端抵抗回路を適用したLSIの回路図である。

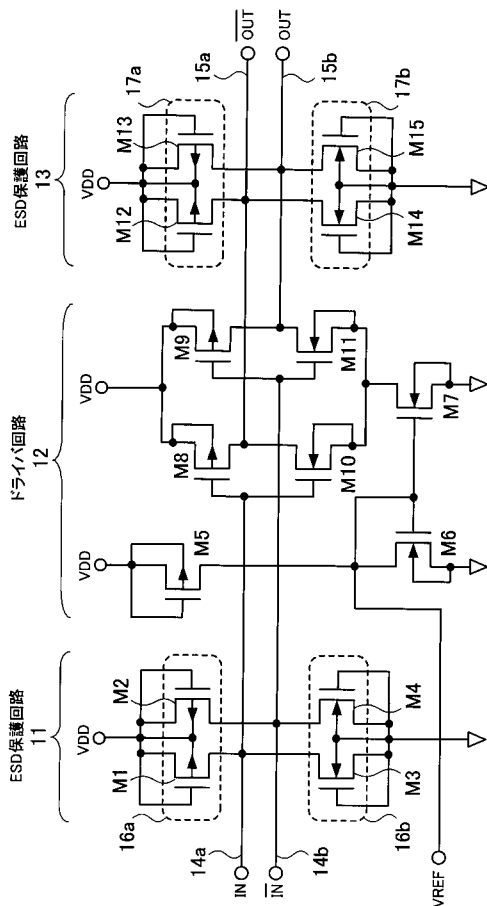
【図23】第4の実施の形態に係る終端抵抗回路を適用したLSIの回路図である。

【符号の説明】

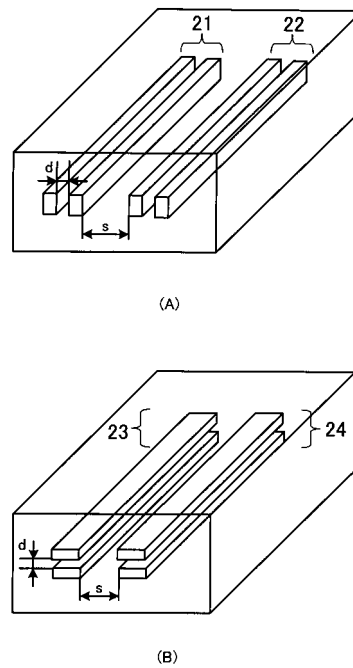
【0127】

- 11, 13 ESD保護回路
- 12 ドライバ回路
- 14a, 14b, 15a, 15b 伝送線路
- M1~M15 トランジスタ
- VDD 電源
- VREF 電圧

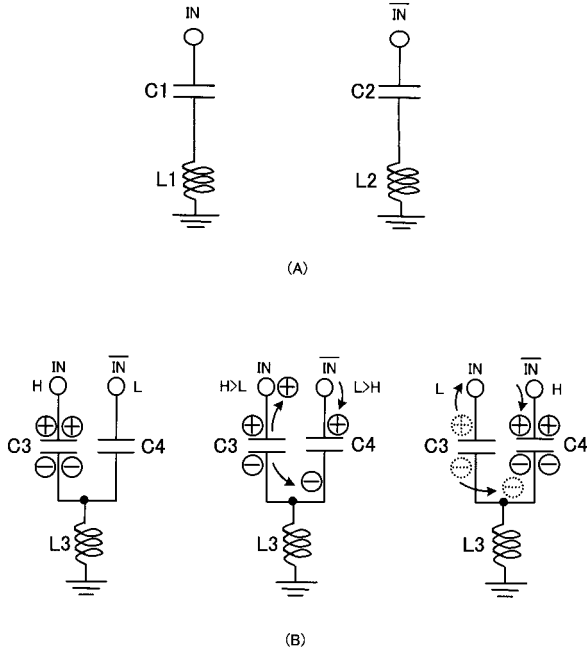
【図1】



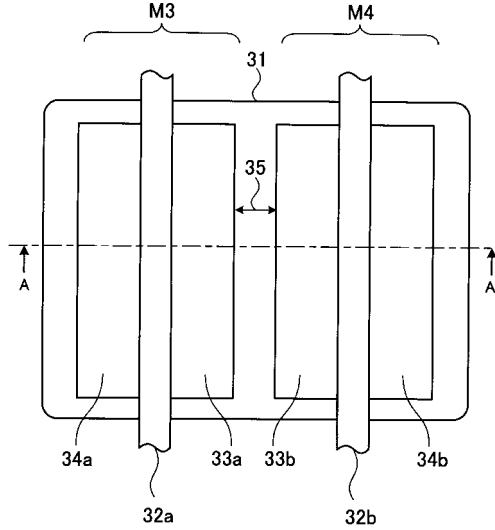
【図2】



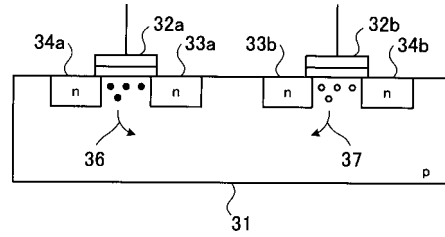
【図3】



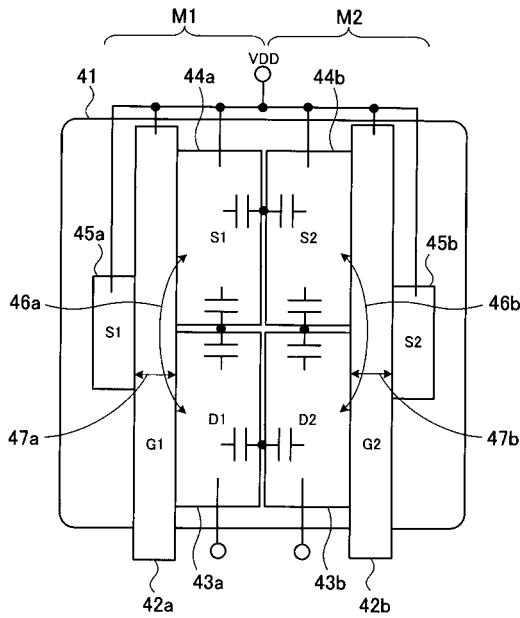
【図4】



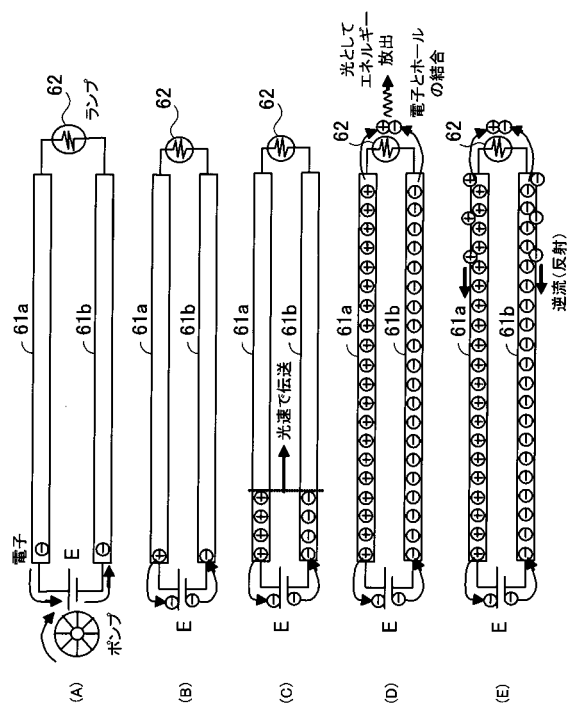
【図5】



【図6】



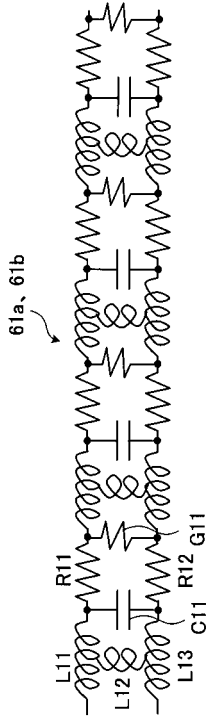
【図8】



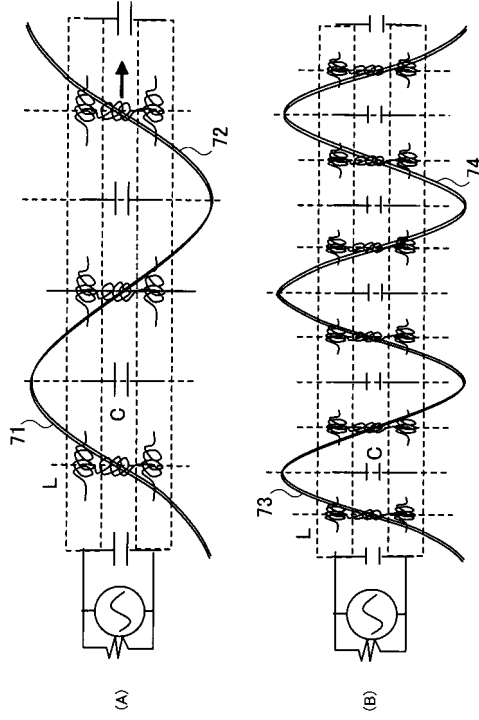
【図7】

入力電圧	M1	M2	S1	S2	D1	D2
Over VDD	オン	オン	VDD	VDD	V↑	V↑
H/L	オフ	オフ	VDD	VDD	VDD	GND
L/H	オフ	オフ	VDD	VDD	GND	VDD

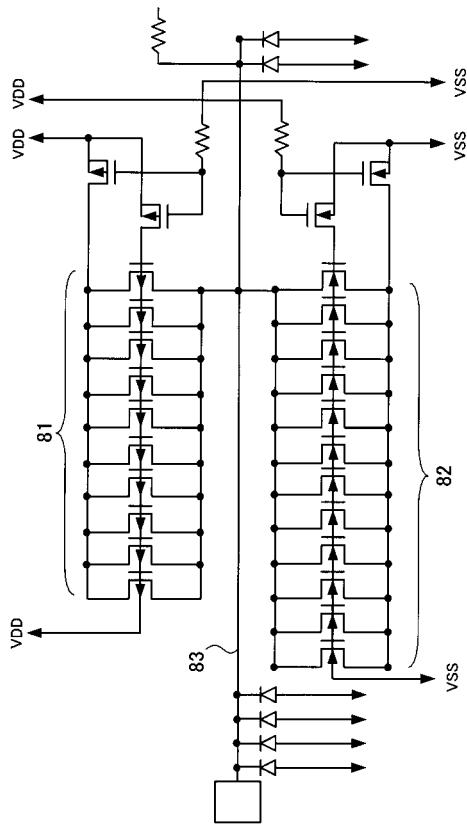
【図 9】



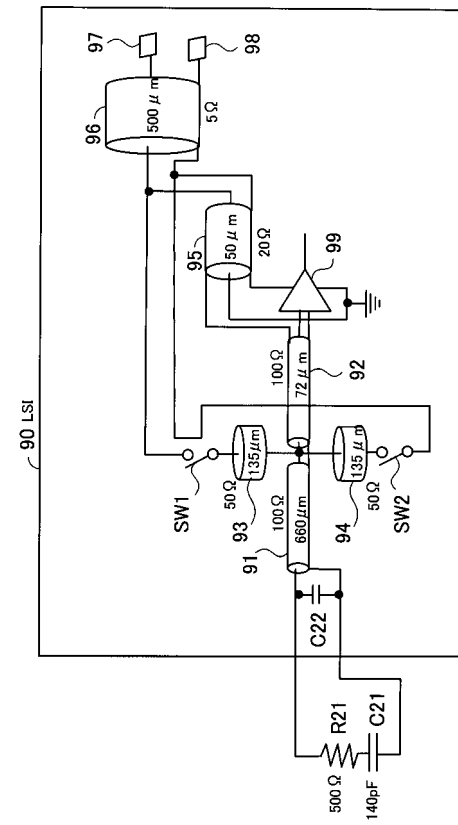
【図 10】



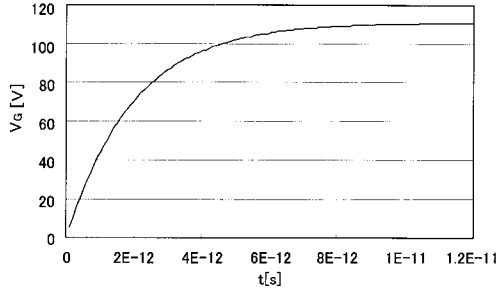
【図 11】



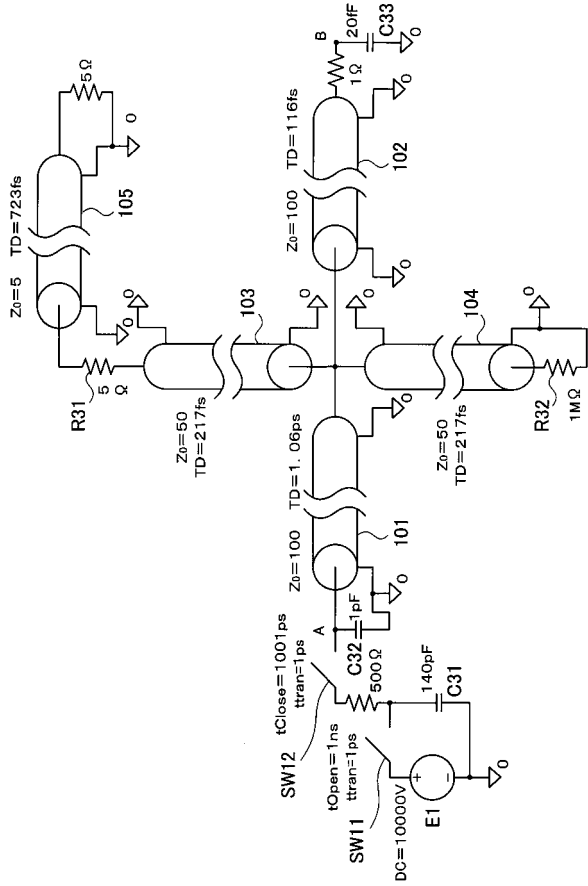
【図 12】



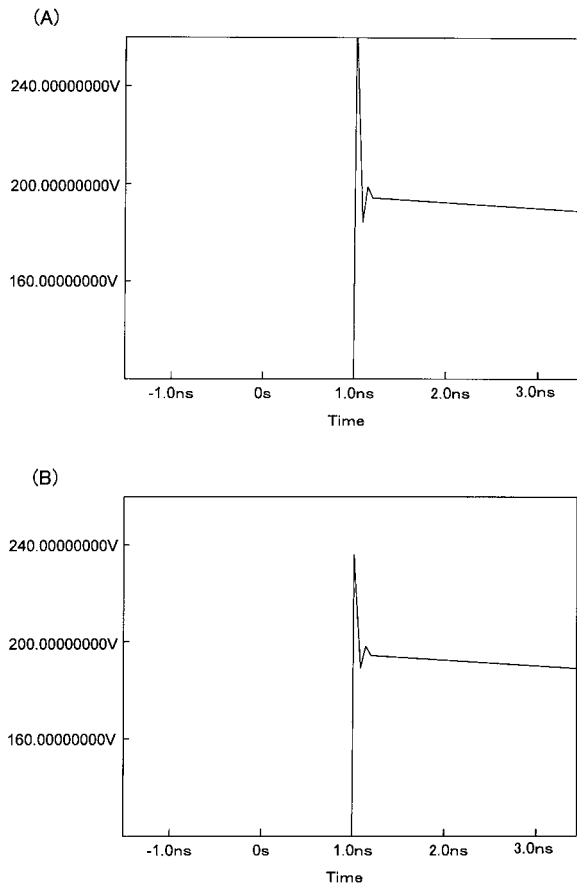
【 13 】



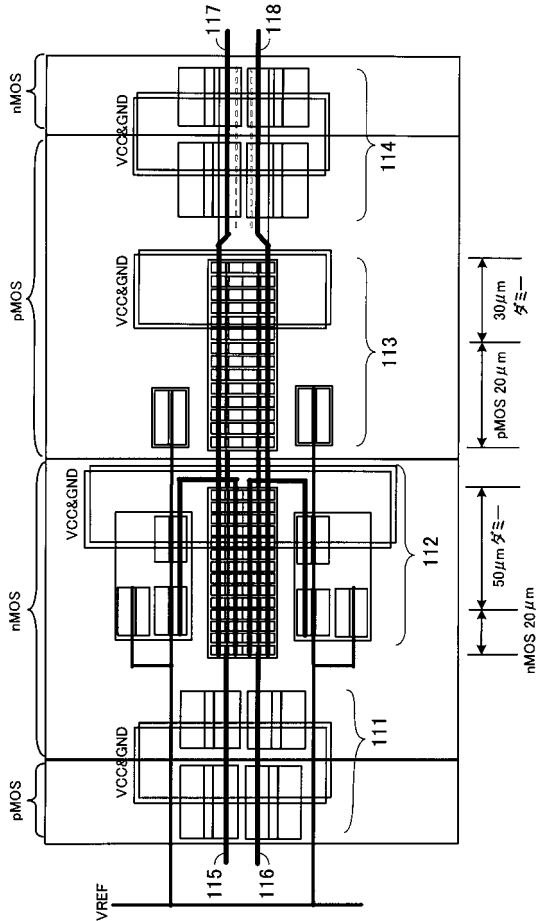
【 14 】



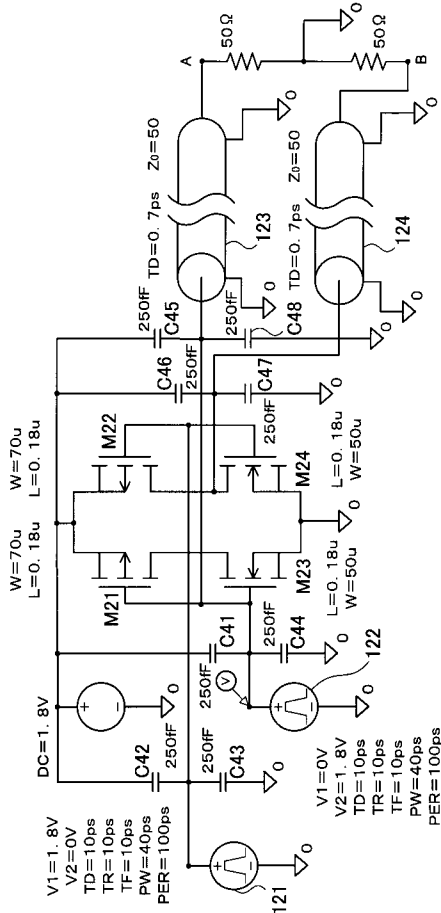
【 15 】



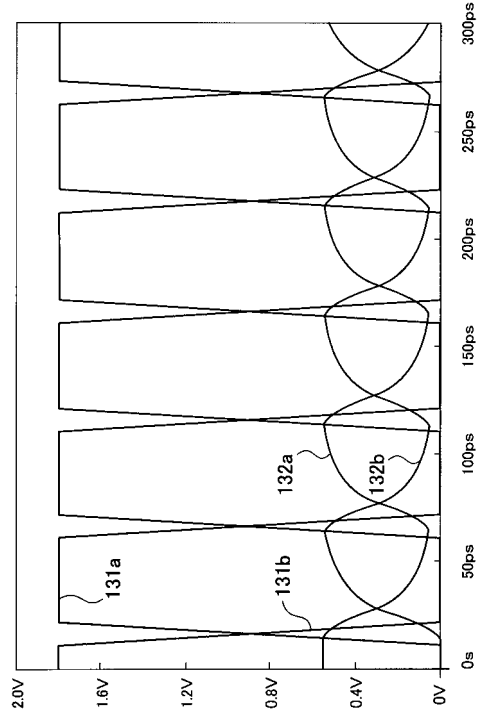
【 16 】



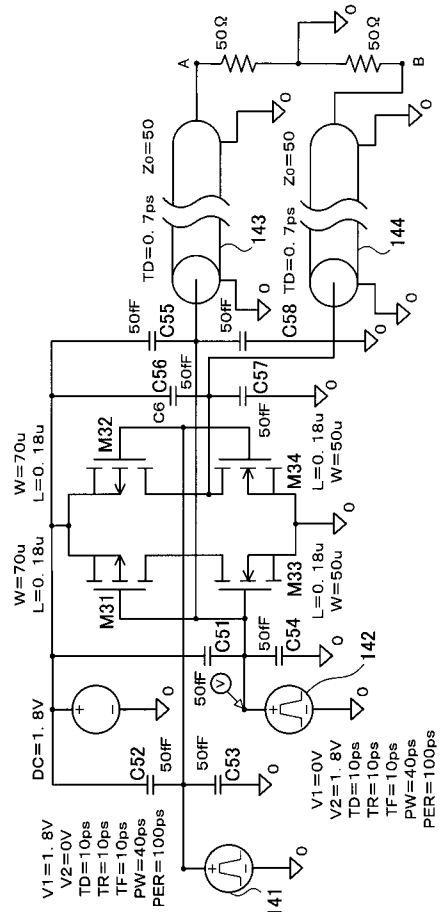
【 図 17 】



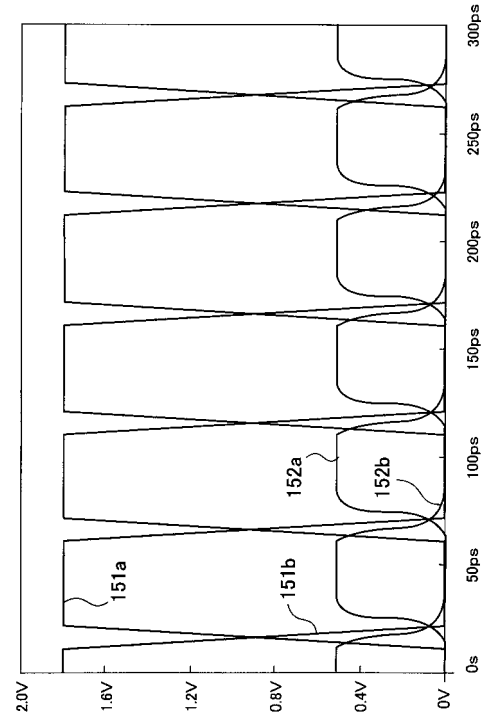
【 図 18 】



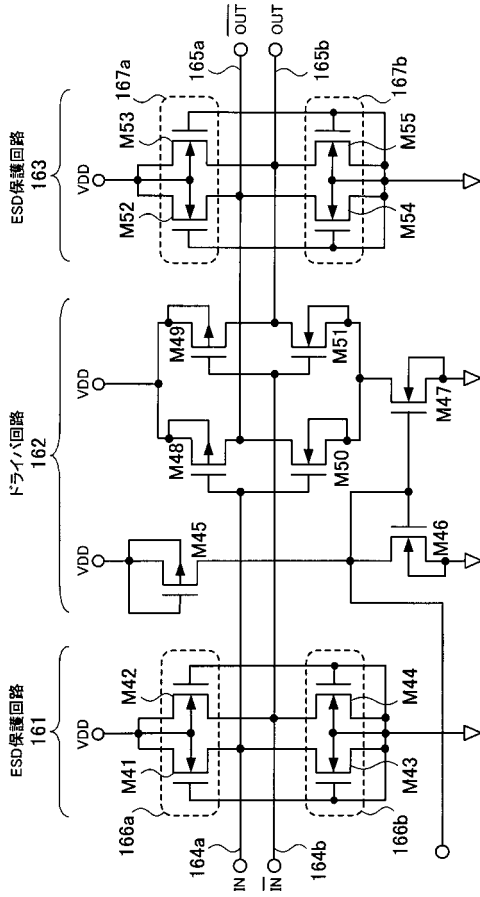
【 図 19 】



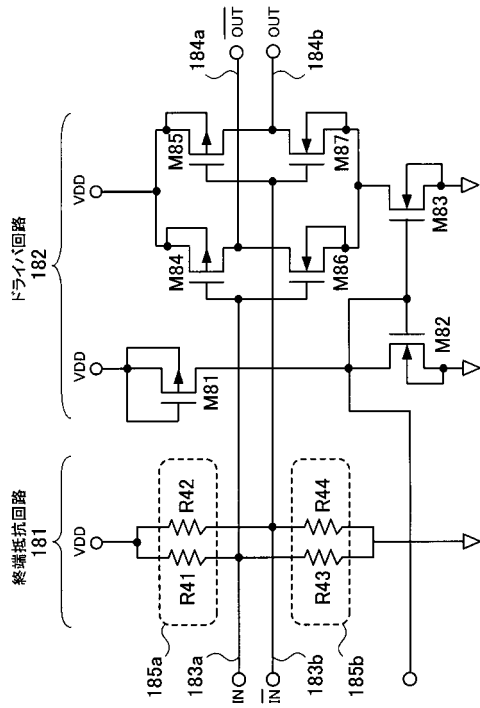
【 図 20 】



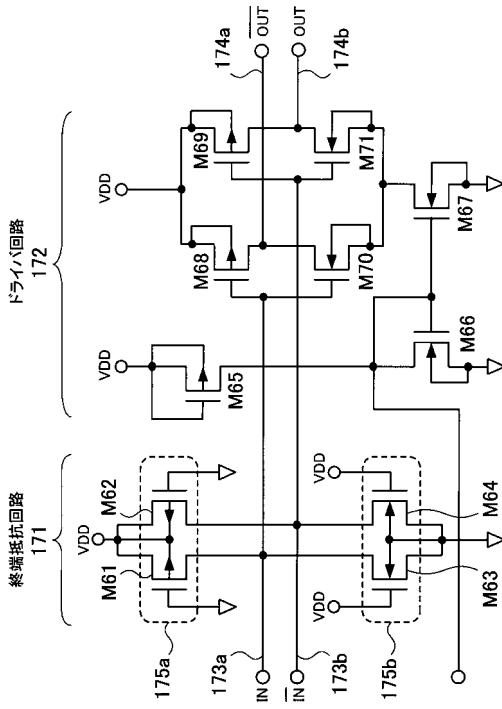
【 図 2 1 】



【 図 2 3 】



【 図 2 2 】



フロントページの続き

- (73)特許権者 308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目10番23
- (73)特許権者 308033711
ラピスセミコンダクタ株式会社
東京都八王子市東浅川町550番地1
- (73)特許権者 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
- (73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
- (73)特許権者 000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目7番3号
- (73)特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
- (74)代理人 100092152
弁理士 服部 毅巖
- (72)発明者 大塚 寛治
東京都東大和市湖畔2-1074-38
- (72)発明者 宇佐美 保
東京都国分寺市西町2-38-4
- (72)発明者 秋山 豊
東京都八王子市片倉町120-12
- (72)発明者 伊藤 恒夫
東京都青梅市二俣尾3-762-3
- (72)発明者 丹場 裕子
東京都青梅市新町1-45-5

審査官 宇多川 勉

- (56)参考文献 特開2006-147961(JP,A)
特開2005-045539(JP,A)
特開2001-327069(JP,A)
特開2004-179648(JP,A)
特開2002-141421(JP,A)
特開2003-197754(JP,A)
特開2004-071991(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/8238
H01L 27/04
H01L 27/06
H01L 27/092