

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 6 日 (06.10.2016)



(10) 国际公布号
WO 2016/155052 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/077151
- (22) 国际申请日: 2015 年 4 月 22 日 (22.04.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510145378.5 2015 年 3 月 30 日 (30.03.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹尚操 (CAO, Shangcao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 李长晔 (LEE, Changyeh); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

(54) Title: CMOS GATE DRIVING CIRCUIT

(54) 发明名称: CMOS 栅极驱动电路

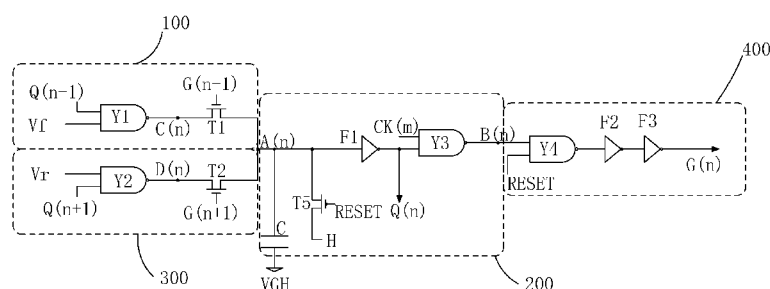


图1

(57) Abstract: A CMOS gate driving circuit, comprising a plurality of cascaded shift registering units. An nth level shift registering unit comprises: a forward and reverse scanning module, a latching module (200) electrically connected to the forward and reverse scanning module and an output module (400) electrically connected to the latching module, the forward and reverse scanning module comprising: a first module (100) and a second module (300), wherein the first module (100) serves as a downloading module during forward scanning and serves as a pull-down module during reverse scanning, the second module (300) serves as a pull-down module during the forward scanning and serves as a downloading module during the reverse scanning, and both the first module (100) and the second module (300) comprise a NAND gate. The present invention can achieve forward and reverse scanning, which guarantees that the stability of a GOA function and the smooth output of a scanning voltage signal, improves the cascading transmission efficiency, and effectively reduces a time sequence delay of cascading transmission; meanwhile, the multi-functionalization of a circuit module can be achieved, the width of a screen border is reduced, and the power consumption is reduced.

(57) 摘要:

[见续页]

WO 2016/155052 A1



一种 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，第 n 级移位寄存单元包括：正反向扫描模块、与正反向扫描模块电性连接的锁存模块(200)、及与锁存模块电性连接的输出模块(400)；所述正反向扫描模块包括：第一模块(100)及第二模块(300)，第一模块(100)在正向扫描时为下传模块，反向扫描时为下拉模块；第二模块(300)在正向扫描时为下拉模块，反向扫描时为下传模块；第一模块(100)及第二模块(300)均包括与非门，能够实现正反向扫描，保证 GOA 功能的稳定性和扫描电压信号的顺利输出，提高级传效率，有效降低级传的时序延迟；同时，能够实现电路模块的多功能化，减小屏幕边框的宽度，降低功耗。

CMOS 栅极驱动电路

技术领域

本发明涉及液晶显示器技术领域,尤其涉及一种 CMOS 栅极驱动电路。

背景技术

液晶显示器 (Liquid Crystal Display, LCD) 具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。如:液晶电视、移动电话、个人数字助理 (PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等,在平板显示领域中占主导地位。

现有市场上的液晶显示器大部分为背光型液晶显示器,其包括液晶显示面板及背光模组 (backlight module)。液晶显示面板的工作原理是在薄膜晶体管阵列基板 (Thin Film Transistor Array Substrate, TFT Array Substrate) 与彩色滤光片基板 (Color Filter, CF) 之间灌入液晶分子,并在两片基板上施加驱动电压来控制液晶分子的旋转方向,以将背光模组的光线折射出来产生画面。

主动式液晶显示器中,每个像素电性连接一个薄膜晶体管 (TFT),薄膜晶体管的栅极 (Gate) 连接至水平扫描线,漏极 (Drain) 连接至垂直方向的数据线,源极 (Source) 则连接至像素电极。在水平扫描线上施加足够的电压,会使得电性连接至该条水平扫描线上的所有 TFT 打开,从而数据线中的信号电压能够写入像素,控制不同液晶的透光度进而达到控制色彩与亮度的效果。目前主动式液晶显示面板水平扫描线的驱动主要由外接的集成电路板 (Integrated Circuit, IC) 来完成,外接的 IC 可以控制各级水平扫描线的逐级充电和放电。而 GOA 技术 (Gate Driver on Array) 即阵列基板行驱动技术,可以运用液晶显示面板的原有阵列制程将水平扫描线的驱动电路制作在显示区周围的基板上,使之能替代外接 IC 来完成水平扫描线的驱动。GOA 技术能减少外接 IC 的焊接 (bonding) 工序,有机会提升产能并降低产品成本,而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

现有的采用 GOA 技术的 CMOS 栅极驱动电路的主要架构有正反向扫描模块、输出模块、信号传递模块和锁存模块。GOA 电路的宽度是影响屏幕边框 (border) 宽度的主要因素,而现有的采用 GOA 技术的 CMOS 栅极驱动电路通常采用传输门电路实现正反向扫描,级传效率较低,级传的时

序延迟较长，功耗也较高，且各个模块的功能单一，不利于减小屏幕边框的宽度。

发明内容

5 本发明的目的在于提供一种 CMOS 栅极驱动电路，能够实现正反向扫描，保证 GOA 功能的稳定性和扫描电压信号的顺利输出，提高级传效率，有效降低级传的时序延迟；同时，能够实现电路模块的多功能化，减小屏幕边框的宽度，降低功耗，尤其适用于窄边框或无边框的液晶显示器。

10 为实现上述目的，本发明提供一种 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，设 n 为正整数，除第一级与最后一级移位寄存单元以外，第 n 级移位寄存单元包括：正反向扫描模块、与所述正反向扫描模块电性连接的锁存模块、及与所述锁存模块电性连接的输出模块；

15 所述正反向扫描模块包括：第一模块及第二模块，所述第一模块在正向扫描时为下传模块，反向扫描时为下拉模块；所述第二模块在正向扫描是为下拉模块，反向扫描时为下传模块；

20 所述第一模块包括：第一与非门，所述第一与非门的两输入端分别电性连接于正向扫描电平信号和上一级移位寄存单元输出的级传信号，输出端电性连接于第三节点；第一 N 型薄膜晶体管，所述第一 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性连接于第三节点，漏极电性连接于第一节点；

25 所述第二模块包括：第二与非门，所述第二与非门的两输入端分别电性连接于反向扫描电平信号和下一级移位寄存单元输出的级传信号，输出端电性连接于第四节点；第二 N 型薄膜晶体管，所述第二 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第四节点，漏极电性连接于第一节点。

正向扫描时，所述正向扫描电平信号为高电位，所述反向扫描电平信号为低电位；

反向扫描时，所述正向扫描电平信号为低电位，所述反向扫描电平信号为高电位。

30 所述锁存模块包括：第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，输出端电性连接于级传信号及第三与非门的一输入端；第三与非门，所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端，

输出端电性连接于第二节点；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

所述输出模块包括：第四与非门，所述第四与非门的两输入端分别电性连接于第二节点及复位信号，输出端电性连接于第二反相器的输入端；
5 第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

所述 CMOS 栅极驱动电路的第一级连接关系中，所述第一 N 型薄膜晶体管的栅极电性连接于启动信号，第一与非门的两输入端分别电性连接于
10 启动信号与正向扫描电平信号；所述 CMOS 栅极驱动电路的最后一级连接关系中，所述第二 N 型薄膜晶体管的栅极电性连接于启动信号，第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

所述第一模块还包括：第三 N 型薄膜晶体管，所述第三 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性
15 连接于第一 N 型薄膜晶体管的漏极，漏极电性连接于第一节点；

所述第二模块还包括：第四 N 型薄膜晶体管，所述第四 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第二 N 型薄膜晶体管的漏极，漏极电性连接于第一节点。

所述 CMOS 栅极驱动电路的第一级连接关系中，所述第一、三 N 型薄膜晶体管的栅极电性连接于启动信号，第一与非门的两输入端分别电性连接于启动信号与正向扫描电平信号；所述 CMOS 栅极驱动电路的最后一级
20 连接关系中，所述第二、四 N 型薄膜晶体管的栅极电性连接于启动信号，第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

所述锁存模块包括：第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，
25 输出端电性连接于级传信号及第三与非门的一输入端；第三与非门，所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端，输出端电性连接于第二节点；电容，所述电容的一端电性连接于第一节点，
30 另一端电性连接于恒定高电压；

所述输出模块包括：第四与非门，所述第四与非门的两输入端分别电性连接于第二节点及复位信号，输出端电性连接于第二反相器的输入端；
第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，
输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的

输入端电性连接于第二反相器的输出端, 输出端电性连接于扫描电压信号。

所述锁存模块包括: 第五 P 型薄膜晶体管, 所述第五 P 型薄膜晶体管的栅极电性连接于复位信号, 源极电性连接于恒压高电位, 漏极电性连接于第一节点; 第一反相器, 所述第一反相器的输入端电性连接于第一节点, 5 输出端电性连接于级传信号及传输门的 N 型薄膜晶体管的栅极; 传输门, 包括一 N 型薄膜晶体管及一 P 型薄膜晶体管, 所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端, 源极电性连接于所述 P 型薄膜晶体管的源极及时序信号, 漏极电性连接于 P 型薄膜晶体管的漏极及第二反相器的输入端, 所述 P 型薄膜晶体管的栅极电性连接于第四 10 反相器的输出端第六 P 型薄膜晶体管的栅极, 源极电性连接于 N 型薄膜晶体管的源极及时序信号, 漏极电性连接于 N 型薄膜晶体管的漏极及第二反相器的输入端; 电容, 所述电容的一端电性连接于第一节点, 另一端电性连接于恒定高电压;

所述输出模块包括: 第六 P 型薄膜晶体管, 所述第六 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端及传输门的 P 型薄膜晶体管的栅极, 源极电性连接恒压低电位, 漏极电性连接于第七 N 型薄膜晶体管的源极; 第七 N 型薄膜晶体管, 所述第七 N 型薄膜晶体管的栅极电性连接于复位信号及第八 P 型薄膜晶体管的栅极, 源极电性连接于第六 P 型薄膜晶体管的漏极, 漏极电性连接于第八 P 型薄膜晶体管的源极及第二反相器的输入端; 第八 P 型薄膜晶体管, 所述第八 P 型薄膜晶体管的栅极电性连接于 20 复位信号及第七 N 型薄膜晶体管的栅极, 源极电性连接于第七 N 型薄膜晶体管的漏极及第二反相器的输入端, 漏极电性连接于恒压高电位; 第二反相器, 所述第二反相器的输入端电性连接于第七 N 型薄膜晶体管的漏极及传输门的 P 型薄膜晶体管的漏极, 输出端电性连接于第三反相器的输入端; 25 第三反相器, 所述第三反相器的输入端电性连接于第二反相器的输出端, 输出端电性连接于扫描电压信号。

所述锁存模块包括: 第五 P 型薄膜晶体管, 所述第五 P 型薄膜晶体管的栅极电性连接于复位信号, 源极电性连接于恒压高电位, 漏极电性连接于第一节点; 第一反相器, 所述第一反相器的输入端电性连接于第一节点, 30 输出端电性连接于级传信号及传输门的 N 型薄膜晶体管的栅极; 传输门, 包括一 N 型薄膜晶体管及一 P 型薄膜晶体管, 所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端, 源极电性连接于所述 P 型薄膜晶体管的源极及时序信号, 漏极电性连接于 P 型薄膜晶体管的漏极及第五反相器的输入端, 所述 P 型薄膜晶体管的栅极电性连接于第四

反相器的输出端，源极电性连接于 N 型薄膜晶体管的源极及时序信号，漏极电性连接于 N 型薄膜晶体管的漏极及第五反相器的输入端；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

所述输出模块包括：第五反相器，所述第五反相器的输入端电性连接于传输门的 N 型薄膜晶体管的漏极，输出端电性连接于第四与非门的一输入端；第四与非门，所述第四与非门的两输入端分别电性连接于第五反相器的输出端及复位信号，输出端电性连接于第二反相器的输入端；第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

所述时序信号包含两组时序信号：第一时序信号、及第二时序信号。

所述锁存模块使第一节点在输出期间保持低电位，锁存期间保持高电位。

本发明还提供一种 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，设 n 为正整数，除第一级与最后一级移位寄存单元以外，第 n 级移位寄存单元包括：正反向扫描模块、与所述正反向扫描模块电性连接的锁存模块、及与所述锁存模块电性连接的输出模块；

所述正反向扫描模块包括：第一模块及第二模块，所述第一模块在正向扫描时为下传模块，反向扫描时为下拉模块；所述第二模块在正向扫描时为下拉模块，反向扫描时为下传模块；

所述第一模块包括：第一与非门，所述第一与非门的两输入端分别电性连接于正向扫描电平信号和上一级移位寄存单元输出的级传信号，输出端电性连接于第三节点；第一 N 型薄膜晶体管，所述第一 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性连接于第三节点，漏极电性连接于第一节点；

所述第二模块包括：第二与非门，所述第二与非门的两输入端分别电性连接于反向扫描电平信号和下一级移位寄存单元输出的级传信号，输出端电性连接于第四节点；第二 N 型薄膜晶体管，所述第二 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第四节点，漏极电性连接于第一节点；

正向扫描时，所述正向扫描电平信号为高电位，所述反向扫描电平信号为低电位；

反向扫描时，所述正向扫描电平信号为低电位，所述反向扫描电平信号为高电位；

其中，所述时序信号包含两组时序信号：第一时序信号、及第二时序信号；

其中，所述锁存模块使第一节点在输出期间保持低电位，锁存期间保持高电位。

5 本发明的有益效果：本发明提供的一种 CMOS 栅极驱动电路，通过与非门实现正反向扫描，保证 GOA 功能的稳定性和扫描电压信号的顺利输出，提高级传效率，有效降低级传的时序延迟；同时，正反向扫描模块中的第一模块在正向扫描时为下传模块，反向扫描时为下拉模块，第二模块在正向扫描时为下拉模块，反向扫描时为下传模块，实现了电路模块的多
10 功能化，能够减小屏幕边框的宽度，降低功耗，尤其适用于窄边框或无边框的液晶显示器。

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

15

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

20 图 1 为本发明的 CMOS 栅极驱动电路的第一实施例的电路图；
图 2 为本发明第一实施例的第一级 CMOS 栅极驱动电路的电路图；
图 3 为本发明第一实施例的最后一级 CMOS 栅极驱动电路的电路图；
图 4 为本发明的 CMOS 栅极驱动电路的第一实施例的时序图；
图 5 为本发明的 CMOS 栅极驱动电路的第二实施例的电路图；
25 图 6 为本发明的 CMOS 栅极驱动电路的第三实施例的电路图；
图 7 为本发明的 CMOS 栅极驱动电路的第四实施例的电路图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
30 的优选实施例及其附图进行详细描述。

请参阅图 1，图 1 为本发明的 CMOS 栅极驱动电路的第一实施例的电路图，该 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，设 n 为正整数，除第一级与最后一级移位寄存单元以外，所述第 n 级移位寄存单元包括：正反向扫描模块、与所述正反向扫描模块电性连接的锁存模块 200、

及与所述锁存模块电性连接的输出模块 400。

所述正反向扫描模块包括：第一模块 100 及第二模块 300，所述第一模块 100 在正向扫描时为下传模块，反向扫描时为下拉模块；所述第二模块 300 在正向扫描时为下拉模块，反向扫描时为下传模块。

5 所述第一模块 100 包括：第一与非门 Y1，所述第一与非门 Y1 的两输入端分别电性连接于正向扫描电平信号 Vf 和上一级移位寄存单元输出的级传信号 Q(n-1)，输出端电性连接于第三节点 C(n)；第一 N 型薄膜晶体管 T1 所述第一 N 型薄膜晶体管 T1 的栅极电性连接于上一级移位寄存单元输出的扫描电压信号 G(n-1)，源极电性连接于第三节点 C(n)，漏极电性连接于第一节点 A(n)。

10 所述第二模块 300 包括：第二与非门 Y2，所述第二与非门 Y2 的两输入端分别电性连接于反向扫描电平信号 Vr 和下一级移位寄存单元输出的级传信号 Q(n+1)，输出端电性连接于第四节点 D(n)；第二 N 型薄膜晶体管 T2，所述第二 N 型薄膜晶体管 T2 的栅极电性连接于下一级移位寄存单元输出的扫描电压信号 G(n+1)，源极电性连接于第四节点 D(n)，漏极电性连接于第一节点 A(n)。

所述锁存模块 200 包括：第五 P 型薄膜晶体管 T5，所述第五 P 型薄膜晶体管 T5 的栅极电性连接于复位信号 RESET，源极电性连接于恒压高电位 H，漏极电性连接于第一节点 A(n)；第一反相器 F1，所述第一反相器 F1 的输入端电性连接于第一节点 A(n)，输出端电性连接于级传信号 Q(n)及第三与非门 Y3 的一输入端；第三与非门 Y3，所述第三与非门 Y3 的两输入端分别电性连接于时序信号 CK(m)及第一反相器 F1 的输出端，输出端电性连接于第二节点 B(n)；电容 C，所述电容 C 的一端电性连接于第一节点 A(n)，另一端电性连接于恒定高电压 VGH。

25 所述输出模块 400 包括：第四与非门 Y4，所述第四与非门 Y4 的两输入端分别电性连接于第二节点 B(n)及复位信号 RESET，输出端电性连接于第二反相器 F2 的输入端；第二反相器 F2，所述第二反相器 F2 的输入端电性连接于第四与非门 Y4 的输出端，输出端电性连接于第三反相器 F3 的输入端；第三反相器 F3，所述第三反相器 F3 的输入端电性连接于第二反相器 F2 的输出端，输出端电性连接于扫描电压信号 G(n)。

特别的，如图 2 所示，所述 CMOS 栅极驱动电路的第一级连接关系中，所述第一 N 型薄膜晶体管 T1 的栅极电性连接于启动信号 STV，第一与非门 Y1 的两输入端分别电性连接于启动信号 STV 与正向扫描电平信号 Vf。如图 3 所示，所述 CMOS 栅极驱动电路的最后一级连接关系中，所述第二

N型薄膜晶体管 T2 的栅极电性连接于启动信号 STV，第二与非门 Y2 的两输入端分别电性连接于启动信号 STV 与反向扫描电平信号 Vr。

请参阅图 4，图 4 为本发明的第一实施例的时序图。如图 4 所示，该 CMOS 栅极驱动电路正向扫描时，所述正向扫描电平信号 Vf 为高电位，所述反向扫描电平信号 Vr 为低电位。该 CMOS 栅极驱动电路反向扫描时，所述正向扫描电平信号 Vf 为低电位，所述反向扫描电平信号 Vr 为高电位。所述时序信号 CK(m) 包含两组时序信号：第一时序信号 CK1、及第二时序信号 CK2，所述第一、第二时序信号 CK1、CK2 按照级传顺序交替控制移位寄存单元的输出。

结合图 1 与图 4，以正向扫描为例，该 CMOS 驱动电路的工作过程分为五个阶段，具体如下：

一、预充电阶段

第一模块 100：正向扫描电平信号 Vf 和上一级移位寄存单元输出的级传信号 Q(n-1) 为高电位，经过第一与非门 Y1 后得到第三节点 C(n) 为低电位，上一级移位寄存单元输出的扫描电压信号 G(n-1) 为低电位，第一 N 型薄膜晶体管 T1 关闭，第一节点 A(n) 保持为高电位。

第二模块 300：反向扫描电平信号 Vr 为低电位，经过第二与非门 Y2 后得到第四节点 D(n) 为高电位，下一级移位寄存单元输出的扫描电压信号 G(n+1) 为低电位，第二 N 型薄膜晶体管 T2 关闭，阻断第四节点 D(n) 与第一节点 A(n) 的通道。

锁存模块 200 及输出模块 400：第一节点 A(n) 为高电位，经过第一反向器 F1 后得到级传信号 Q(n) 为低电位，经过第三与非门 Y3 后得到第二节点 B(n) 为高电位，复位信号 RESET 为高电位，经过第四与非门 Y4 及第二、第三反相器 F2、F3 后得到扫描电压信号 G(n) 为低电位。

二、电位储存阶段

第一模块 100：正向扫描电平信号 Vf 和上一级移位寄存单元输出的级传信号 Q(n-1) 为高电位，经过第一与非门 Y1 后得到第三节点 C(n) 为低电位，上一级移位寄存单元输出的扫描电压信号 G(n-1) 为高电位，第一 N 型薄膜晶体管 T1 打开，第一节点 A(n) 被第三节点 C(n) 下拉到低电位。

第二模块 300：反向扫描电平信号 Vr 为低电位，经过第二与非门 Y2 后得到第四节点 D(n) 为高电位，下一级移位寄存单元输出的扫描电压信号 G(n+1) 为低电位，第二 N 型薄膜晶体管 T2 关闭，阻断第四节点 D(n) 与第一节点 A(n) 的通道。

锁存模块 200 及输出模块 400：第一节点 A(n) 为低电位，经过第一反向

器 F1 后得到级传信号 $Q(n)$ 为高电位, 时序信号 $CK(m)$ 为低电位, 经过第三与非门 Y3 后得到第二节点 $B(n)$ 为高电位, 复位信号 RESET 为高电位, 经过第四与非门 Y4 及第二、第三反相器 F2、F3 后得到扫描电压信号 $G(n)$ 为低电位。

5 三、输出阶段

第一模块 100: 正向扫描电平信号 V_f 为高电位, 上一级移位寄存单元输出的级传信号 $Q(n-1)$ 为低电位, 经过第一与非门 Y1 后得到第三节点 $C(n)$ 为高电位, 上一级移位寄存单元输出的扫描电压信号 $G(n-1)$ 为低电位, 第一 N 型薄膜晶体管 T1 关闭, 第一节点 $A(n)$ 保持低电位。

10 第二模块 300: 反向扫描电平信号 V_r 为低电位, 经过第二与非门 Y2 后得到第四节点 $D(n)$ 为高电位, 下一级移位寄存单元输出的扫描电压信号 $G(n+1)$ 为低电位, 第二 N 型薄膜晶体管 T2 关闭, 阻断第四节点 $D(n)$ 与第一节点 $A(n)$ 的通道。

15 锁存模块 200 及输出模块 400: 第一节点 $A(n)$ 为低电位, 经过第一反向器 F1 后得到级传信号 $Q(n)$ 为高电位, 时序信号 $CK(m)$ 为高电位, 经过第三与非门 Y3 后得到第二节点 $B(n)$ 为低电位, 复位信号 RESET 为高电位, 经过第四与非门 Y4 及第二、第三反相器 F2、F3 后得到扫描电压信号 $G(n)$ 为高电位。

四、下拉阶段

20 第一模块 100: 正向扫描电平信号 V_f 为高电位, 上一级移位寄存单元输出的级传信号 $Q(n-1)$ 为低电位, 经过第一与非门 Y1 后得到第三节点 $C(n)$ 为高电位, 上一级移位寄存单元输出的扫描电压信号 $G(n-1)$ 为低电位, 第一 N 型薄膜晶体管 T1 关闭。

25 第二模块 300: 反向扫描电平信号 V_r 为低电位, 经过第二与非门 Y2 后得到第四节点 $D(n)$ 为高电位, 下一级移位寄存单元输出的扫描电压信号 $G(n+1)$ 为高电位, 第二 N 型薄膜晶体管 T2 打开, 第四节点 $D(n)$ 与第一节点 $A(n)$ 导通, 第一节点 $A(n)$ 为高电位。

30 锁存模块 200 及输出模块 400: 第一节点 $A(n)$ 为高电位, 经过第一反向器 F1 后得到级传信号 $Q(n)$ 为低电位, 经过第三与非门 Y3 后得到第二节点 $B(n)$ 为高电位, 复位信号 RESET 为高电位, 经过第四与非门 Y4 及第二、第三反相器 F2、F3 后得到扫描电压信号 $G(n)$ 为低电位。

五、下拉维持阶段

第三、第四、及第一节点 $C(n)$ 、 $D(n)$ 、及 $A(n)$ 都为高电位, 级传信号 $Q(n)$ 为低电位, 无论时序信号 $CK(m)$ 为何种电位, 经过第三与非门 Y3 后均

能得到第二节点 B(n)为高电位,再经过第四与非门 Y4 及第二、第三反相器 F2、F3 后得到扫描电压信号 G(n)为低电位。

由上述工作过程可知,所述锁存模块 200 使第一节点 A(n)在输出期间保持低电位,锁存期间保持高电位。所述输出模块 400 采用两反相器串联,能够提高输出质量。

请参阅图 5,图 5 为本发明的第二实施例的电路图,该第二实施例与第一实施例的区别在于:所述第一模块 100 还包括第三 N 型薄膜晶体管 T3,所述第三 N 型薄膜晶体管 T3 的栅极电性连接于上一级移位寄存单元输出的扫描电压信号 G(n-1),源极电性连接于第一 N 型薄膜晶体管 T1 的漏极,漏极电性连接于第一节点 A(n);第二模块 200 还包括第四 N 型薄膜晶体管 T4,所述第四 N 型薄膜晶体管 T4 的栅极电性连接于下一级移位寄存单元输出的扫描电压信号 G(n+1),源极电性连接于第二 N 型薄膜晶体管 T2 的漏极,漏极电性连接于第一节点 A(n)。通过增加第三 N 型薄膜晶体管 T3、第四 N 型薄膜晶体管 T4 分别与第一 N 型薄膜晶体管 T1、第二 N 型薄膜晶体管 T2 串联,可以有效防止漏电。特别的,该第二实施例的第一级连接关系中,所述第一、三 N 型薄膜晶体管 T1、T3 的栅极电性连接于启动信号 STV,第一与非门 Y1 的两输入端分别电性连接于启动信号 STV 与正向扫描电平信号 Vf;该第二实施例的最后一级连接关系中,所述第二、四 N 型薄膜晶体管 T2、T4 的栅极电性连接于启动信号 STV,第二与非门 Y2 的两输入端分别电性连接于启动信号 STV 与反向扫描电平信号 Vr。除去上述区别,其余均与第一实施例相同,此处不再赘述。

请参阅图 6,图 6 为本发明的第三实施例的电路图,该第三实施例与第二实施例的区别在于,采用传输门实现电路输出。

具体地,在该第三实施例中,所述锁存模块 200 包括:第五 P 型薄膜晶体管 T5,所述第五 P 型薄膜晶体管 T5 的栅极电性连接于复位信号 RESET,源极电性连接于恒压高电位 H,漏极电性连接于第一节点 A(n);第一反相器 F1,所述第一反相器 F1 的输入端电性连接于第一节点 A(n),输出端电性连接于级传信号 Q(n)及传输门 TG 的 N 型薄膜晶体管的栅极;传输门 TG,包括一 N 型薄膜晶体管及一 P 型薄膜晶体管,所述 N 型薄膜晶体管的栅极电性连接于第一反相器 F1 的输出端及第四反相器 F4 的输入端,源极电性连接于所述 P 型薄膜晶体管的源极及时序信号 CK(m),漏极电性连接于 P 型薄膜晶体管的漏极及第二反相器 F2 的输入端,所述 P 型薄膜晶体管的栅极电性连接于第四反相器 F4 的输出端及第六 P 型薄膜晶体管 T6 的栅极,源极电性连接于 N 型薄膜晶体管的源极及时序信号 CK(m),漏

极电性连接于 N 型薄膜晶体管的漏极及第二反相器 F2 的输入端；电容 C，所述电容 C 的一端电性连接于第一节点 A(n)，另一端电性连接于恒定高电压 VGH。

所述输出模块 400 包括：第六 P 型薄膜晶体管 T6，所述第六 P 型薄膜晶体管 T6 的栅极电性连接于第四反相器 F4 的输出端及传输门 TG 的 P 型薄膜晶体管的栅极，源极电性连接恒压低电位 L，漏极电性连接于第七 N 型薄膜晶体管 T7 的源极；第七 N 型薄膜晶体管 T7，所述第七 N 型薄膜晶体管的栅极电性连接于复位信号 RESET 及第八 P 型薄膜晶体管 T8 的栅极，源极电性连接于第六 P 型薄膜晶体管 T6 的漏极，漏极电性连接于第八 P 型薄膜晶体管 T8 的源极及第二反相器 F2 的输入端；第八 P 型薄膜晶体管 T8，所述第八 P 型薄膜晶体管 T8 的栅极电性连接于复位 RESET 及第七 N 型薄膜晶体管 T7 的栅极，源极电性连接于第七 N 型薄膜晶体管 T7 的漏极及第二反相器 F2 的输入端，漏极电性连接于恒压高电位 H；第二反相器 F2，所述第二反相器 F2 的输入端电性连接于第七 N 型薄膜晶体管 T7 的漏极及传输门 TG 的 P 型薄膜晶体管的漏极，输出端电性连接于第三反相器 F3 的输入端；第三反相器 F3，所述第三反相器 F3 的输入端电性连接于第二反相器 F2 的输出端，输出端电性连接于扫描电压信号 G(n)。

除去上述区别，其余均与第二实施例相同，此处不再赘述。

请参阅图 7，图 7 为本发明的第四实施例的电路图，该第四实施例与第三实施例的区别在于，采用与非门实现复位设置。

具体地，在该第四实施例中，所述锁存模块 200 包括：第五 P 型薄膜晶体管 T5，所述第五 P 型薄膜晶体管 T5 的栅极电性连接于复位信号 RESET，源极电性连接于恒压高电位 H，漏极电性连接于第一节点 A(n)；第一反相器 F1，所述第一反相器 F1 的输入端电性连接于第一节点 A(n)，输出端电性连接于级传信号 Q(n) 及传输门 TG 的 N 型薄膜晶体管的栅极；传输门 TG，包括一 N 型薄膜晶体管及一 P 型薄膜晶体管，所述 N 型薄膜晶体管的栅极电性连接于第一反相器 F1 的输出端及第四反相器 F4 的输入端，源极电性连接于所述 P 型薄膜晶体管的源极及时序信号 CK(m)，漏极电性连接于 P 型薄膜晶体管的漏极及第五反相器 F5 的输入端，所述 P 型薄膜晶体管的栅极电性连接于第四反相器 F4 的输出端，源极电性连接于 N 型薄膜晶体管的源极及时序信号 CK(m)，漏极电性连接于 N 型薄膜晶体管的漏极及第五反相器 F5 的输入端；电容 C，所述电容 C 的一端电性连接于第一节点 A(n)，另一端电性连接于恒定高电压 VGH。

所述输出模块 400 包括：第五反相器 F5，所述第五反相器 F5 的输入端

电性连接于传输门 TG 的 N 型薄膜晶体管的漏极，输出端电性连接于第四与非门 Y4 的输入端；第四与非门 Y4，所述第四与非门 Y4 的两输入端分别电性连接于第五反相器 F5 的输出端及复位信号 RESET，输出端电性连接于第二反相器 F2 的输入端；第二反相器 F2，所述第二反相器 F2 的输入端电性连接于第四与非门 Y4 的输出端，输出端电性连接于第三反相器 F3 的输入端；第三反相器 F3，所述第三反相器 F3 的输入端电性连接于第二反相器 F2 的输出端，输出端电性连接于扫描电压信号 G(n)。

除去上述区别，其余均与第三实施例相同，此处不再赘述。

综上所述，本发明的 CMOS 栅极驱动电路，通过与非门实现正反向扫描，保证 GOA 功能的稳定性和扫描电压信号的顺利输出，提高级传效率，有效降低级传的时序延迟；同时，正反向扫描模块中的第一模块在正向扫描时为下传模块，反向扫描时为下拉模块，第二模块在正向扫描时为下拉模块，反向扫描时为下传模块，实现了电路模块的多功能化，能够减小屏幕边框的宽度，降低功耗，尤其适用于窄边框或无边框的液晶显示器。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，设 n 为正整数，除第一级与最后一级移位寄存单元以外，第 n 级移位寄存单元
5 包括：正反向扫描模块、与所述正反向扫描模块电性连接的锁存模块、及与
所述锁存模块电性连接的输出模块；

所述正反向扫描模块包括：第一模块及第二模块，所述第一模块在正向扫描时为下传模块，反向扫描时为下拉模块；所述第二模块在正向扫描时为下拉模块，反向扫描时为下传模块；

10 所述第一模块包括：第一与非门，所述第一与非门的两输入端分别电性连接于正向扫描电平信号和上一级移位寄存单元输出的级传信号，输出端电性连接于第三节点；第一 N 型薄膜晶体管，所述第一 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性连接于第三节点，漏极电性连接于第一节点；

15 所述第二模块包括：第二与非门，所述第二与非门的两输入端分别电性连接于反向扫描电平信号和下一级移位寄存单元输出的级传信号，输出端电性连接于第四节点；第二 N 型薄膜晶体管，所述第二 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第四节点，漏极电性连接于第一节点；

20 正向扫描时，所述正向扫描电平信号为高电位，所述反向扫描电平信号为低电位；

反向扫描时，所述正向扫描电平信号为低电位，所述反向扫描电平信号为高电位。

2、如权利要求 1 所述的 CMOS 栅极驱动电路，其中，所述锁存模块包
25 括：第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，输出端电性连接于级传信号及第三与非门的一输入端；第三与非门，所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端，输出端电性连接于
30 第二节点；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

所述输出模块包括：第四与非门，所述第四与非门的两输入端分别电性连接于第二节点及复位信号，输出端电性连接于第二反相器的输入端；

第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

3、如权利要求1所述的CMOS栅极驱动电路，其中，所述CMOS栅极驱动电路的第一级连接关系中，所述第一N型薄膜晶体管的栅极电性连接于启动信号，第一与非门的两输入端分别电性连接于启动信号与正向扫描电平信号；所述CMOS栅极驱动电路的最后一级连接关系中，所述第二N型薄膜晶体管的栅极电性连接于启动信号，第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

4、如权利要求1所述的CMOS栅极驱动电路，其中，所述第一模块还包括：第三N型薄膜晶体管，所述第三N型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性连接于第一N型薄膜晶体管的漏极，漏极电性连接于第一节点；

所述第二模块还包括：第四N型薄膜晶体管，所述第四N型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第二N型薄膜晶体管的漏极，漏极电性连接于第一节点。

5、如权利要求4所述的CMOS栅极驱动电路，其中，所述CMOS栅极驱动电路的第一级连接关系中，所述第一、三N型薄膜晶体管的栅极电性连接于启动信号，第一与非门的两输入端分别电性连接于启动信号与正向扫描电平信号；所述CMOS栅极驱动电路的最后一级连接关系中，所述第二、四N型薄膜晶体管的栅极电性连接于启动信号，第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

6、如权利要求4所述的CMOS栅极驱动电路，其中，所述锁存模块包括：第五P型薄膜晶体管，所述第五P型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，输出端电性连接于级传信号及第三与非门的一输入端；第三与非门，所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端，输出端电性连接于第二节点；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

所述输出模块包括：第四与非门，所述第四与非门的两输入端分别电性连接于第二节点及复位信号，输出端电性连接于第二反相器的输入端；第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的

输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

7、如权利要求 4 所述的 CMOS 栅极驱动电路，其中，所述锁存模块包括：第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，输出端电性连接于级传信号及传输门的 N 型薄膜晶体管的栅极；传输门，包括一 N 型薄膜晶体管及一 P 型薄膜晶体管，所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端，源极电性连接于所述 P 型薄膜晶体管的源极及时序信号，漏极电性连接于 P 型薄膜晶体管的漏极及第二反相器的输入端，所述 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端及第六 P 型薄膜晶体管的栅极，源极电性连接于 N 型薄膜晶体管的源极及时序信号，漏极电性连接于 N 型薄膜晶体管的漏极及第二反相器的输入端；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

15 所述输出模块包括：第六 P 型薄膜晶体管，所述第六 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端及传输门的 P 型薄膜晶体管的栅极，源极电性连接恒压低电位，漏极电性连接于第七 N 型薄膜晶体管的源极；第七 N 型薄膜晶体管，所述第七 N 型薄膜晶体管的栅极电性连接于复位信号及第八 P 型薄膜晶体管的栅极，源极电性连接于第六 P 型薄膜晶体管的漏极，漏极电性连接于第八 P 型薄膜晶体管的源极及第二反相器的输入端；第八 P 型薄膜晶体管，所述第八 P 型薄膜晶体管的栅极电性连接于复位及第七 N 型薄膜晶体管的栅极，源极电性连接于第七 N 型薄膜晶体管的漏极及第二反相器的输入端，漏极电性连接于恒压高电位；第二反相器，所述第二反相器的输入端电性连接于第七 N 型薄膜晶体管的漏极及传输门的 P 型薄膜晶体管的漏极，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

8、如权利要求 4 所述的 CMOS 栅极驱动电路，其中，所述锁存模块包括：第五 P 型薄膜晶体管，所述第五 P 型薄膜晶体管的栅极电性连接于复位信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；第一反相器，所述第一反相器的输入端电性连接于第一节点，输出端电性连接于级传信号及传输门的 N 型薄膜晶体管的栅极；传输门，包括一 N 型薄膜晶体管及一 P 型薄膜晶体管，所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端，源极电性连接于所述 P 型薄膜晶体管

的源极及时序信号，漏极电性连接于 P 型薄膜晶体管的漏极及第五反相器的输入端，所述 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端，源极电性连接于 N 型薄膜晶体管的源极及时序信号，漏极电性连接于 N 型薄膜晶体管的漏极及第五反相器的输入端；电容，所述电容的一端电性连接于第一节点，另一端电性连接于恒定高电压；

所述输出模块包括：第五反相器，所述第五反相器的输入端电性连接于传输门的 N 型薄膜晶体管的漏极，输出端电性连接于第四与非门的一输入端；第四与非门，所述第四与非门的两输入端分别电性连接于第五反相器的输出端及复位信号，输出端电性连接于第二反相器的输入端；第二反相器，所述第二反相器的输入端电性连接于第四与非门的输出端，输出端电性连接于第三反相器的输入端；第三反相器，所述第三反相器的输入端电性连接于第二反相器的输出端，输出端电性连接于扫描电压信号。

9、如权利要求 1 所述的 CMOS 栅极驱动电路，其中，所述时序信号包含两组时序信号：第一时序信号、及第二时序信号。

10、如权利要求 1 所述的 CMOS 栅极驱动电路，其中，所述锁存模块使第一节点在输出期间保持低电位，锁存期间保持高电位。

11、一种 CMOS 栅极驱动电路，包括级联的多个移位寄存单元，设 n 为正整数，除第一级与最后一级移位寄存单元以外，第 n 级移位寄存单元包括：正反向扫描模块、与所述正反向扫描模块电性连接的锁存模块、及与所述锁存模块电性连接的输出模块；

所述正反向扫描模块包括：第一模块及第二模块，所述第一模块在正向扫描时为下传模块，反向扫描时为下拉模块；所述第二模块在正向扫描时为下拉模块，反向扫描时为下传模块；

所述第一模块包括：第一与非门，所述第一与非门的两输入端分别电性连接于正向扫描电平信号和上一级移位寄存单元输出的级传信号，输出端电性连接于第三节点；第一 N 型薄膜晶体管，所述第一 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号，源极电性连接于第三节点，漏极电性连接于第一节点；

所述第二模块包括：第二与非门，所述第二与非门的两输入端分别电性连接于反向扫描电平信号和下一级移位寄存单元输出的级传信号，输出端电性连接于第四节点；第二 N 型薄膜晶体管，所述第二 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号，源极电性连接于第四节点，漏极电性连接于第一节点；

正向扫描时，所述正向扫描电平信号为高电位，所述反向扫描电平信

号为低电位;

反向扫描时, 所述正向扫描电平信号为低电位, 所述反向扫描电平信号为高电位;

其中, 所述时序信号包含两组时序信号: 第一时序信号、及第二时序信号;

其中, 所述锁存模块使第一节点在输出期间保持低电位, 锁存期间保持高电位。

12、如权利要求 11 所述的 CMOS 栅极驱动电路, 其中, 所述锁存模块包括: 第五 P 型薄膜晶体管, 所述第五 P 型薄膜晶体管的栅极电性连接于复位信号, 源极电性连接于恒压高电位, 漏极电性连接于第一节点; 第一反相器, 所述第一反相器的输入端电性连接于第一节点, 输出端电性连接于级传信号及第三与非门的一输入端; 第三与非门, 所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端, 输出端电性连接于第二节点; 电容, 所述电容的一端电性连接于第一节点, 另一端电性连接于恒定高电压;

所述输出模块包括: 第四与非门, 所述第四与非门的两输入端分别电性连接于第二节点及复位信号, 输出端电性连接于第二反相器的输入端; 第二反相器, 所述第二反相器的输入端电性连接于第四与非门的输出端, 输出端电性连接于第三反相器的输入端; 第三反相器, 所述第三反相器的输入端电性连接于第二反相器的输出端, 输出端电性连接于扫描电压信号。

13、如权利要求 11 所述的 CMOS 栅极驱动电路, 其中, 所述 CMOS 栅极驱动电路的第一级连接关系中, 所述第一 N 型薄膜晶体管的栅极电性连接于启动信号, 第一与非门的两输入端分别电性连接于启动信号与正向扫描电平信号; 所述 CMOS 栅极驱动电路的最后一级连接关系中, 所述第二 N 型薄膜晶体管的栅极电性连接于启动信号, 第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

14、如权利要求 11 所述的 CMOS 栅极驱动电路, 其中, 所述第一模块还包括: 第三 N 型薄膜晶体管, 所述第三 N 型薄膜晶体管的栅极电性连接于上一级移位寄存单元输出的扫描电压信号, 源极电性连接于第一 N 型薄膜晶体管的漏极, 漏极电性连接于第一节点;

所述第二模块还包括: 第四 N 型薄膜晶体管, 所述第四 N 型薄膜晶体管的栅极电性连接于下一级移位寄存单元输出的扫描电压信号, 源极电性连接于第二 N 型薄膜晶体管的漏极, 漏极电性连接于第一节点。

15、如权利要求 14 所述的 CMOS 栅极驱动电路, 其中, 所述 CMOS

栅极驱动电路的第一级连接关系中,所述第一、三 N 型薄膜晶体管的栅极电性连接于启动信号,第一与非门的两输入端分别电性连接于启动信号与正向扫描电平信号;所述 CMOS 栅极驱动电路的最后一级连接关系中,所述第二、四 N 型薄膜晶体管的栅极电性连接于启动信号,第二与非门的两输入端分别电性连接于启动信号与反向扫描电平信号。

16、如权利要求 14 所述的 CMOS 栅极驱动电路,其中,所述锁存模块包括:第五 P 型薄膜晶体管,所述第五 P 型薄膜晶体管的栅极电性连接于复位信号,源极电性连接于恒压高电位,漏极电性连接于第一节点;第一反相器,所述第一反相器的输入端电性连接于第一节点,输出端电性连接于级传信号及第三与非门的一输入端;第三与非门,所述第三与非门的两输入端分别电性连接于时序信号及第一反相器的输出端,输出端电性连接于第二节点;电容,所述电容的一端电性连接于第一节点,另一端电性连接于恒定高电压;

所述输出模块包括:第四与非门,所述第四与非门的两输入端分别电性连接于第二节点及复位信号,输出端电性连接于第二反相器的输入端;第二反相器,所述第二反相器的输入端电性连接于第四与非门的输出端,输出端电性连接于第三反相器的输入端;第三反相器,所述第三反相器的输入端电性连接于第二反相器的输出端,输出端电性连接于扫描电压信号。

17、如权利要求 14 所述的 CMOS 栅极驱动电路,其中,所述锁存模块包括:第五 P 型薄膜晶体管,所述第五 P 型薄膜晶体管的栅极电性连接于复位信号,源极电性连接于恒压高电位,漏极电性连接于第一节点;第一反相器,所述第一反相器的输入端电性连接于第一节点,输出端电性连接于级传信号及传输门的 N 型薄膜晶体管的栅极;传输门,包括一 N 型薄膜晶体管及一 P 型薄膜晶体管,所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端,源极电性连接于所述 P 型薄膜晶体管的源极及时序信号,漏极电性连接于 P 型薄膜晶体管的漏极及第二反相器的输入端,所述 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端及第六 P 型薄膜晶体管的栅极,源极电性连接于 N 型薄膜晶体管的源极及时序信号,漏极电性连接于 N 型薄膜晶体管的漏极及第二反相器的输入端;电容,所述电容的一端电性连接于第一节点,另一端电性连接于恒定高电压;

所述输出模块包括:第六 P 型薄膜晶体管,所述第六 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端及传输门的 P 型薄膜晶体管的栅极,源极电性连接恒压低电位,漏极电性连接于第七 N 型薄膜晶体管的源极;

第七 N 型薄膜晶体管, 所述第七 N 型薄膜晶体管的栅极电性连接于复位信号及第八 P 型薄膜晶体管的栅极, 源极电性连接于第六 P 型薄膜晶体管的漏极, 漏极电性连接于第八 P 型薄膜晶体管的源极及第二反相器的输入端; 第八 P 型薄膜晶体管, 所述第八 P 型薄膜晶体管的栅极电性连接于复位及
5 第七 N 型薄膜晶体管的栅极, 源极电性连接于第七 N 型薄膜晶体管的漏极及第二反相器的输入端, 漏极电性连接于恒压高电位; 第二反相器, 所述第二反相器的输入端电性连接于第七 N 型薄膜晶体管的漏极及传输门的 P 型薄膜晶体管的漏极, 输出端电性连接于第三反相器的输入端; 第三反相器, 所述第三反相器的输入端电性连接于第二反相器的输出端, 输出端电
10 性连接于扫描电压信号。

18、如权利要求 14 所述的 CMOS 栅极驱动电路, 其中, 所述锁存模块包括: 第五 P 型薄膜晶体管, 所述第五 P 型薄膜晶体管的栅极电性连接于复位信号, 源极电性连接于恒压高电位, 漏极电性连接于第一节点; 第一反相器, 所述第一反相器的输入端电性连接于第一节点, 输出端电性连接
15 于级传信号及传输门的 N 型薄膜晶体管的栅极; 传输门, 包括一 N 型薄膜晶体管及一 P 型薄膜晶体管, 所述 N 型薄膜晶管的栅极电性连接于第一反相器的输出端及第四反相器的输入端, 源极电性连接于所述 P 型薄膜晶体管的源极及时序信号, 漏极电性连接于 P 型薄膜晶体管的漏极及第五反相器的输入端, 所述 P 型薄膜晶体管的栅极电性连接于第四反相器的输出端,
20 源极电性连接于 N 型薄膜晶体管的源极及时序信号, 漏极电性连接于 N 型薄膜晶体管的漏极及第五反相器的输入端; 电容, 所述电容的一端电性连接于第一节点, 另一端电性连接于恒定高电压;

所述输出模块包括: 第五反相器, 所述第五反相器的输入端电性连接于传输门的 N 型薄膜晶体管的漏极, 输出端电性连接于第四与非门的一输入端; 第四与非门, 所述第四与非门的两输入端分别电性连接于第五反相器的输出端及复位信号, 输出端电性连接于第二反相器的输入端; 第二反相器, 所述第二反相器的输入端电性连接于第四与非门的输出端, 输出端电性连接于第三反相器的输入端; 第三反相器, 所述第三反相器的输入端电性连接于第二反相器的输出端, 输出端电性连接于扫描电压信号。

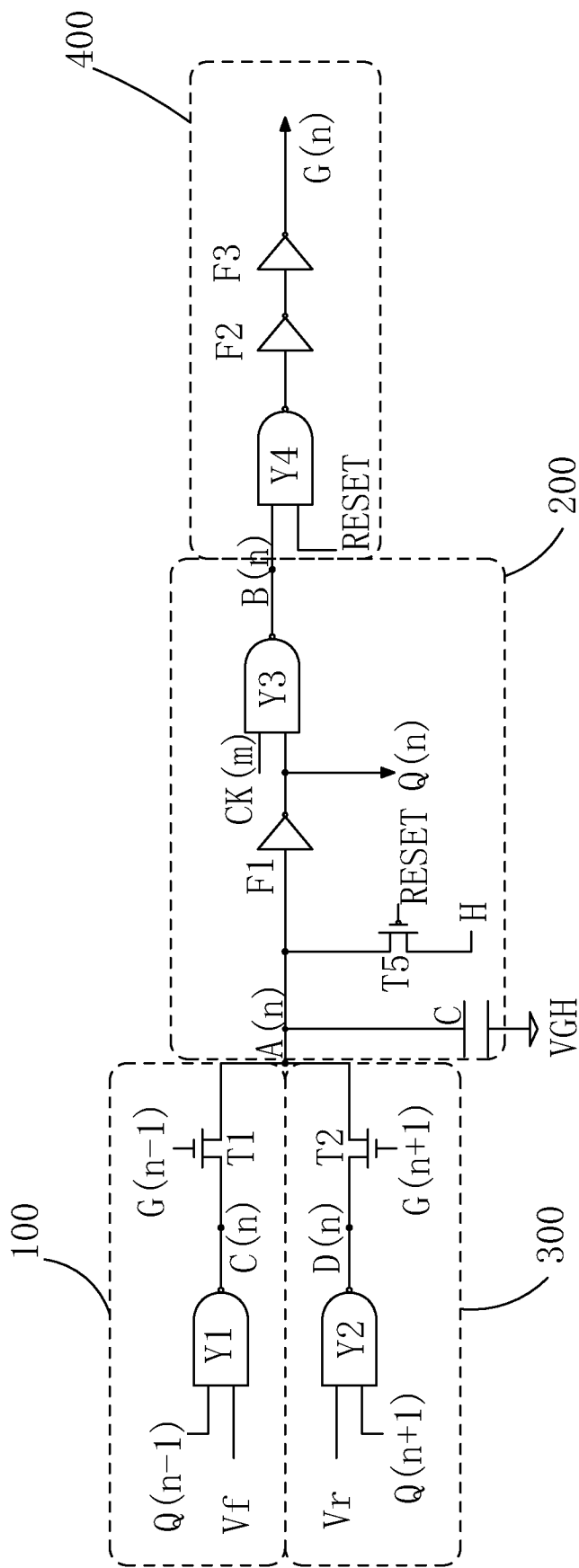


图1

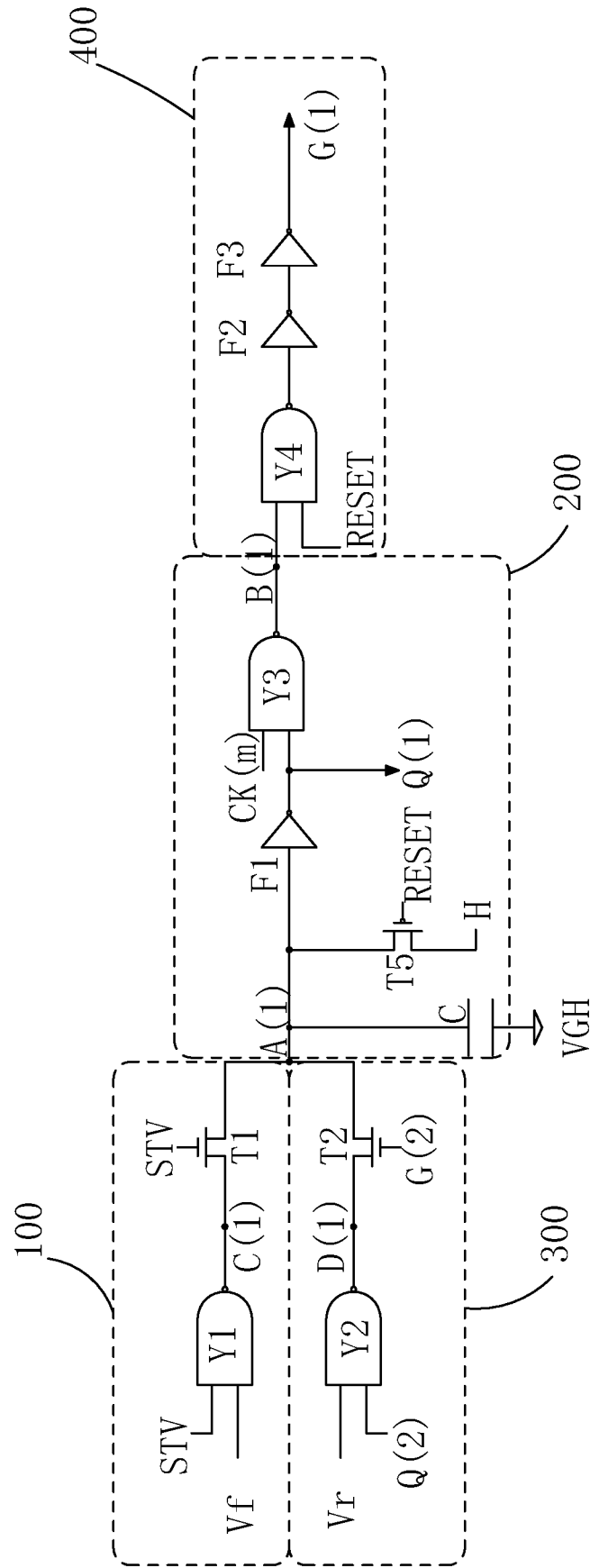


图2

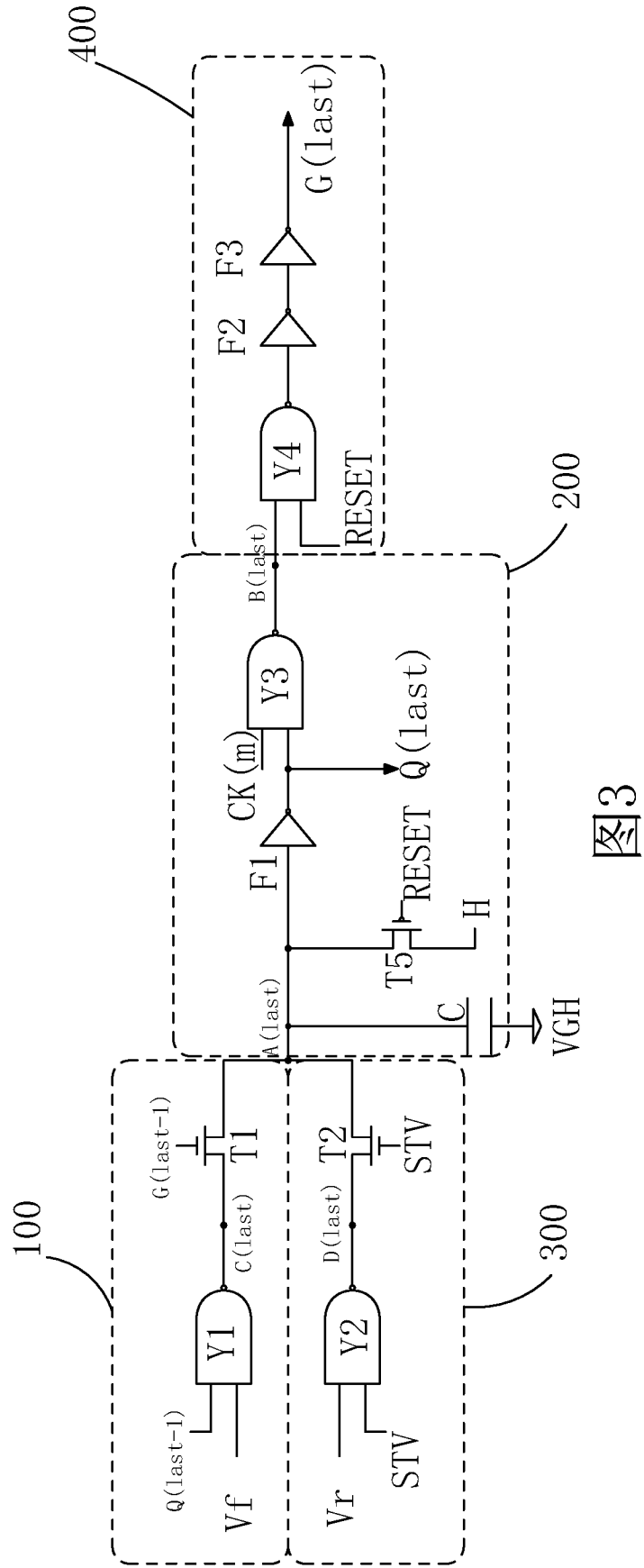


图3

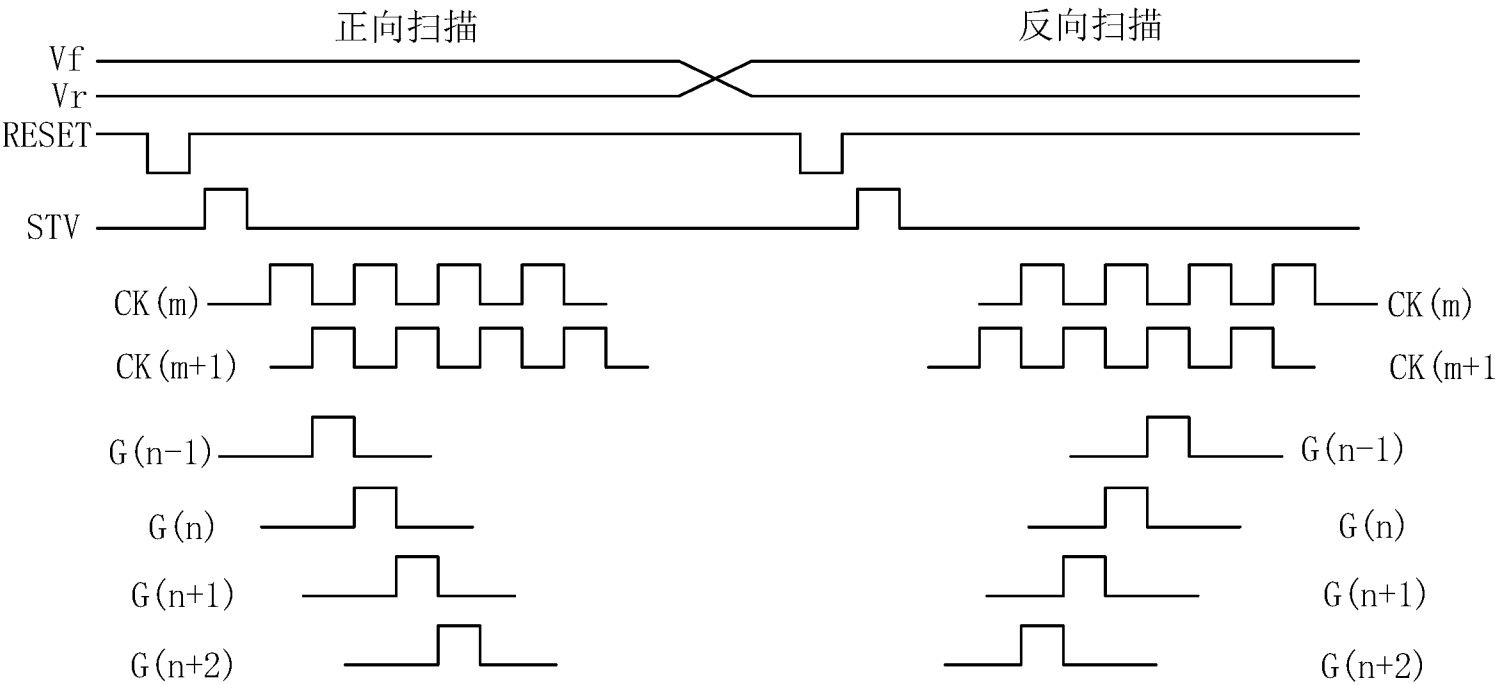


图4

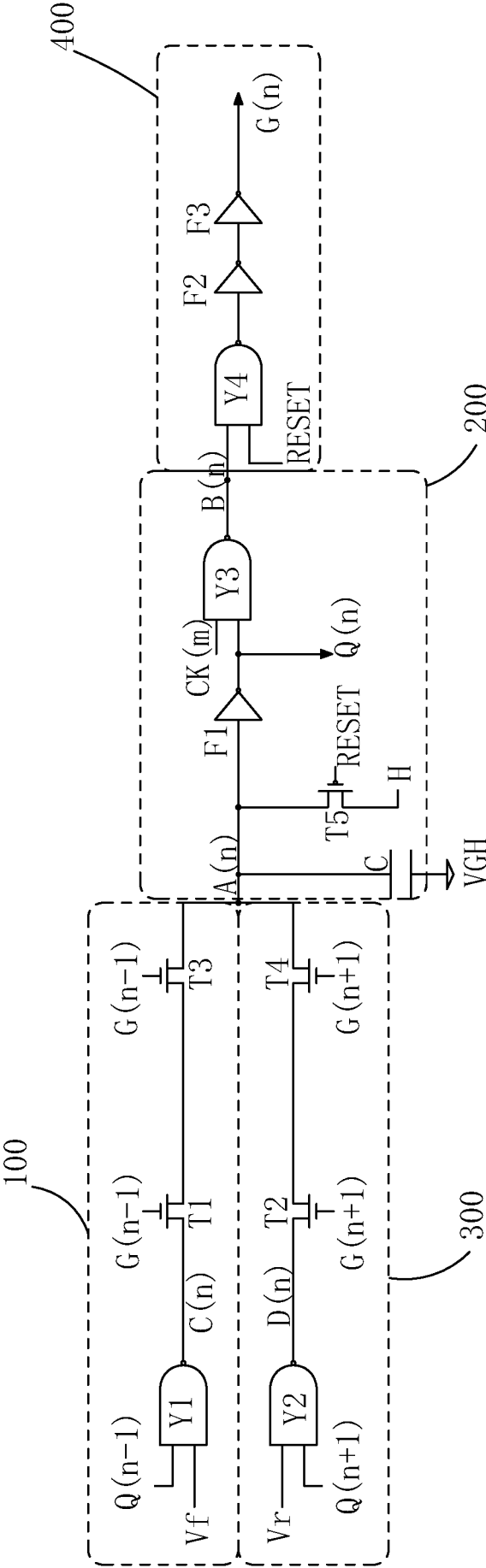
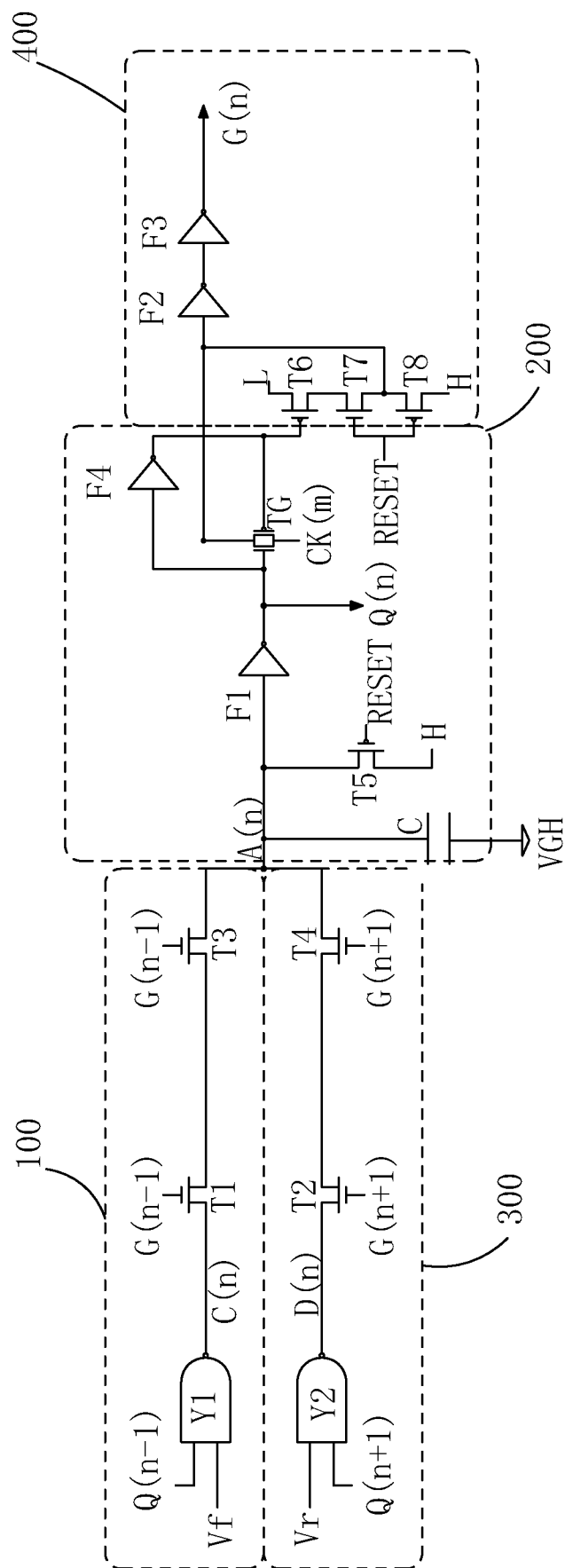


图5



6
A

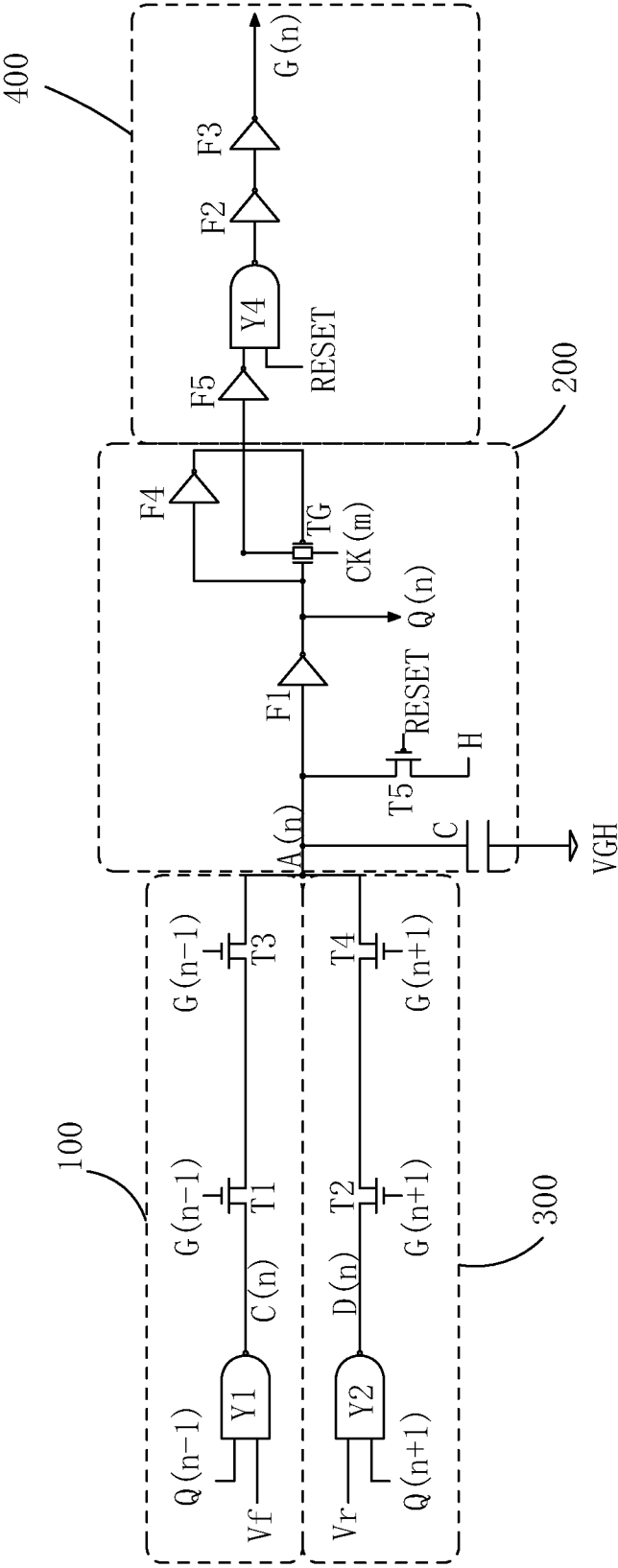


图7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/077151

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: gate electrode, driving circuit, shift register, forward direction, reverse direction, upload, download, not-and gate, GOA, gate, driv+, circuit, forward, reverse, upward, downward, shift+, register, scan+, thin film transistor, cascade, pull+, up, down, NAND, not 1w and

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104361853 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 18 February 2015 (18.02.2015), description, paragraphs 73-76 and 86-99, and figures 2 and 4	1-18
A	CN 103915052 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 09 July 2014 (09.07.2014), the whole document	1-18
A	CN 103413514 A (BOE TECHNOLOGY GROUP CO., LTD.), 27 November 2013 (27.11.2013), the whole document	1-18
A	US 2012162187 A1 (SAMSUNG ELECTRONICS CO., LTD.), 28 June 2012 (228.06.012), the whole document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 July 2015 (08.07.2015)	Date of mailing of the international search report 29 July 2015 (29.07.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer FANG, Lei Telephone No.: (86-10) 61648120

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/077151

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104361853 A	18 February 2015	None	
CN 103915052 A	09 July 2014	None	
CN 103413514 A	27 November 2013	CN 203773916 U	13 August 2014
		WO 2015014149 A1	05 February 2015
		CN 103700357 A	02 April 2014
US 2012162187 A1	28 June 2012	KR 20120072465 A	04 July 2012
		US 9047803 B2	02 June 2015

国际检索报告

国际申请号

PCT/CN2015/077151

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPDOC, CNPAT, CNKI: 栅极, 驱动电路, 移位寄存器, 扫描, 正向, 反向, 上传, 下传, 与非门, GOA, gate, driv+, circuit, forward, reverse, upward, downward, shift+, register, scan+, thin film transistor, cascade, pull+, up, down, NAND, not 1w and

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104361853 A (京东方科技集团股份有限公司等) 2015年 2月 18日 (2015 - 02 - 18) 说明书第73-76, 86-99段、附图2, 4	1-18
A	CN 103915052 A (北京京东方光电科技有限公司) 2014年 7月 9日 (2014 - 07 - 09) 全文	1-18
A	CN 103413514 A (京东方科技集团股份有限公司) 2013年 11月 27日 (2013 - 11 - 27) 全文	1-18
A	US 2012162187 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2012年 6月 28日 (2012 - 06 - 28) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 7月 8日

国际检索报告邮寄日期

2015年 7月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

方蕾

电话号码 (86-10)61648120

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/077151

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104361853	A	2015年 2月 18日	无			
CN	103915052	A	2014年 7月 9日	无			
CN	103413514	A	2013年 11月 27日	CN	203773916	U	2014年 8月 13日
				WO	2015014149	A1	2015年 2月 5日
				CN	103700357	A	2014年 4月 2日
US	2012162187	A1	2012年 6月 28日	KR	20120072465	A	2012年 7月 4日
				US	9047803	B2	2015年 6月 2日

表 PCT/ISA/210 (同族专利附件) (2009年7月)