

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6419184号  
(P6419184)

(45) 発行日 平成30年11月7日(2018.11.7)

(24) 登録日 平成30年10月19日(2018.10.19)

(51) Int.Cl.	F 1
HO 1 L 21/8234 (2006.01)	HO 1 L 27/088 B
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 301 S
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 301 P
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 301 B
HO 1 L 21/28 (2006.01)	

請求項の数 20 (全 15 頁)

(21) 出願番号	特願2016-536476 (P2016-536476)
(86) (22) 出願日	平成26年8月22日 (2014.8.22)
(65) 公表番号	特表2016-532296 (P2016-532296A)
(43) 公表日	平成28年10月13日 (2016.10.13)
(86) 国際出願番号	PCT/US2014/052253
(87) 国際公開番号	W02015/027141
(87) 国際公開日	平成27年2月26日 (2015.2.26)
審査請求日	平成29年8月8日 (2017.8.8)
(31) 優先権主張番号	13/972,973
(32) 優先日	平成25年8月22日 (2013.8.22)
(33) 優先権主張国	米国(US)

(73) 特許権者	390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿六丁目24番1号
(73) 特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 75265 -5474 ダラス メイル ステイショ ン 3999 ピーオーボックス 655 474
(74) 上記1名の代理人	100098497 弁理士 片寄 恒三

最終頁に続く

(54) 【発明の名称】 改善されたSiGeファセットによる改善されたシリサイド形成

## (57) 【特許請求の範囲】

## 【請求項1】

集積回路であって、

基板であって、前記基板の頂部表面まで延在する半導体材料を含む、前記基板と、  
前記基板内に配置されるフィールド酸化物と、前記フィールド酸化物に近接する前記半導体材料の上の第1のゲート構造であって、前  
記半導体材料の上のゲート誘電体層と、前記第1のゲート構造の前記ゲート誘電体層上の  
ゲートとを含む、前記第1のゲート構造と、前記フィールド酸化物の上の第2のゲート構造であって、前記第2のゲート構造のゲー  
トが前記第1のゲート構造に面する前記フィールド酸化物の側壁に重ならないように、前  
記第2のゲート構造のゲート誘電体層上の前記ゲートを含む、前記第2のゲート構造と、前記第1のゲート構造と前記第2のゲート構造との間の前記基板におけるシリコンゲル  
マニウムソース／ドレイン領域であって、前記シリコンゲルマニウムソース／ドレイン領  
域が、前記半導体材料の頂部表面よりも下であって前記半導体材料の頂部表面から前記シリ  
コンゲルマニウムソース／ドレイン領域の深さの3分の1よりも延在しない点で前記フ  
ィールド酸化物に接する頂部端を備えるファセットを有する、前記シリコンゲルマニウム  
ソース／ドレイン領域と、前記シリコンゲルマニウムソース／ドレイン領域上まで延在する、前記第2のゲート構  
造の前記ゲートの横方向表面の近隣の誘電体スペーサと、

前記シリコンゲルマニウムソース／ドレイン領域のファセット上の金属シリサイドと、

10

20

前記第1のゲート構造と前記第2のゲート構造との間のコンタクトであって、前記コンタクトの底部の少なくとも半分が、前記シリコンゲルマニウムソース／ドレイン領域のファセット上の前記金属シリサイドに直接的に接するようになっている、前記コンタクトと、  
を含む、集積回路。

【請求項2】

請求項1に記載の集積回路であって、

前記第1のゲート構造の中心から前記第2のゲート構造の中心までの横方向距離が、前記集積回路を製造するために用いられる設計ルールに従ったコンタクトされるゲート構造のための最小距離である、集積回路。 10

【請求項3】

請求項1に記載の集積回路であって、

前記第1のゲート構造の中心から前記第2のゲート構造の中心までの横方向距離が150ナノメートル未満である、集積回路。

【請求項4】

請求項1に記載の集積回路であって、

前記コンタクトの前記底部が幅40ナノメートル未満である、集積回路。

【請求項5】

請求項1に記載の集積回路であって、

前記金属シリサイドがニッケルシリサイドを含む、集積回路。 20

【請求項6】

請求項1に記載の集積回路であって、

前記シリコンゲルマニウムソース／ドレイン領域の深さが、50ナノメートル～80ナノメートルである、集積回路。

【請求項7】

請求項1に記載の集積回路であって、

前記金属シリサイドが実質的に平坦である、集積回路。

【請求項8】

請求項1に記載の集積回路であって、

前記フィールド酸化物の頂部表面が、前記第1のゲート構造の下の前記半導体材料の頂部表面の15ナノメートル内の共面である、集積回路。 30

【請求項9】

集積回路を形成する方法であって、

基板を提供することであって、前記基板が、前記基板の頂部表面まで延在する半導体材料を含む、前記提供すること、

前記基板にフィールド酸化物を形成すること、

前記フィールド酸化物に近接して前記半導体材料の上に第1のゲート構造のゲートを形成すること、

前記フィールド酸化物の近隣の前記半導体材料に重ならないように前記フィールド酸化物の上に第2のゲート構造のゲートを形成すること、 40

前記第1のゲート構造と前記第2のゲート構造との間の前記半導体材料の一部を露出させるように前記第2のゲート構造の上にエピタキシーハードマスクを形成することであって、前記エピタキシーハードマスクが前記第1のゲート構造と前記第2のゲート構造との間の前記フィールド酸化物の近隣の前記半導体材料の頂部表面に重なる、前記エピタキシーハードマスクを形成すること、

ソース／ドレインキャビティを形成するように前記エピタキシーハードマスクによって露出された前記第1のゲート構造と前記第2のゲート構造との間のソース／ドレイン領域における前記半導体材料を取り除くこと、

前記ソース／ドレインキャビティにおいてシリコンゲルマニウムソース／ドレイン領域を形成することであって、前記シリコンゲルマニウムソース／ドレイン領域が、前記半導 50

体材料の頂部表面よりも下であって前記半導体材料の頂部表面から前記シリコンゲルマニウムソース／ドレイン領域の深さの3分の1よりも延在しない点で前記フィールド酸化物の側壁に接する頂部端を備えるファセットを有するように、前記シリコンゲルマニウムソース／ドレイン領域を形成することと、

誘電体スペーサが前記シリコンゲルマニウムソース／ドレイン領域上まで延在するように、前記第2のゲート構造の前記ゲートの横方向表面の近隣に前記誘電体スペーサを形成することと、

前記シリコンゲルマニウムソース／ドレイン領域のファセット上に金属シリサイドを形成することと、

前記第1のゲート構造と前記第2のゲート構造との間にコンタクトを形成することであって、前記コンタクトの底部の少なくとも半分が前記シリコンゲルマニウムソース／ドレイン領域のファセット上の前記金属シリサイドに直接的に接する、前記コンタクトを形成することと、 10

を含む、方法。

【請求項10】

集積回路を形成する方法であって、

基板を提供することであって、前記基板が、前記基板の頂部表面まで延在する半導体材料を含む、前記提供することと、

前記基板にフィールド酸化物を形成することと、

前記フィールド酸化物に近接して前記半導体材料の上に第1のゲート構造のゲートを形成することと、 20

前記フィールド酸化物の近隣の前記半導体材料に重ならないように前記フィールド酸化物の上に第2のゲート構造のゲートを形成することと、

前記第1のゲート構造と前記第2のゲート構造との間の前記半導体材料の一部を露出させるように前記第2のゲート構造の上にエピタキシーハードマスクを形成することであって、前記エピタキシーハードマスクが前記第1のゲート構造と前記第2のゲート構造との間の前記フィールド酸化物の近隣の前記半導体材料の頂部表面に重なる、前記エピタキシーハードマスクを形成することと、

ソース／ドレインキャビティを形成するように前記エピタキシーハードマスクによって露出された前記第1のゲート構造と前記第2のゲート構造との間のソース／ドレイン領域における前記半導体材料を取り除くことと、 30

前記ソース／ドレインキャビティにおいてシリコンゲルマニウムソース／ドレイン領域を形成することであって、前記フィールド酸化物の側壁における前記シリコンゲルマニウムソース／ドレイン領域の頂部端が前記半導体材料の頂部表面から前記シリコンゲルマニウムソース／ドレイン領域の深さの3分の1より多く延在しない、前記シリコンゲルマニウムソース／ドレイン領域を形成することと、

誘電体スペーサが前記シリコンゲルマニウムソース／ドレイン領域上まで延在するように、前記第2のゲート構造の前記ゲートの横方向表面の近隣に前記誘電体スペーサを形成することと、

前記シリコンゲルマニウムソース／ドレイン領域上に金属シリサイドを形成することと、

前記第1のゲート構造と前記第2のゲート構造との間にコンタクトを形成することであって、前記コンタクトの底部の少なくとも半分が前記シリコンゲルマニウムソース／ドレイン領域上の前記金属シリサイドに直接的に接する、前記コンタクトを形成することと、

を含み、

前記エピタキシーハードマスクを形成することが、

前記第1のゲート構造と前記第2のゲート構造と前記半導体材料と前記フィールド酸化物との上にエピタキシーハードマスク層を形成することと、

前記第2のゲート構造を覆い、前記第1のゲート構造と前記第2のゲート構造との間の前記エピタキシーハードマスク層の一部を露出させるように、前記エピタキシーハードマ 50

スク層の上にエピタキシーマスクを形成することであって、前記エピタキシーマスクが前記第1のゲート構造と前記第2のゲート構造との間の前記フィールド酸化物の近隣の前記半導体材料の頂部表面に重なる、前記エピタキシーマスクを形成することと、

前記エピタキシーハードマスクを形成するように前記エピタキシーマスクによって露出された前記エピタキシーハードマスク層を取り除くことと、

を含む、方法。

**【請求項11】**

請求項9又は10に記載の方法であって、

前記ソース／ドレイン領域における前記半導体材料を取り除くことが、前記ソース／ドレインキャビティにおける前記フィールド酸化物の前記側壁の一部が露出されるように実施される、方法。10

**【請求項12】**

請求項9又は10に記載の方法であって、

前記ソース／ドレイン領域における前記半導体材料を取り除くことが、前記半導体材料が前記エピタキシーハードマスクの直下の前記フィールド酸化物の前記側壁上に残るように実施される、方法。

**【請求項13】**

請求項9又は10に記載の方法であって、

前記シリコンゲルマニウムソース／ドレイン領域を形成することが、エピタキシャルプロセスによって実施される、方法。20

**【請求項14】**

請求項9又は10に記載の方法であって、

前記第1のゲート構造の中心から前記第2のゲート構造の中心までの横方向距離が、前記集積回路を製造するために用いられる設計ルールに従ったコンタクトされるゲート構造のための最小距離である、方法。

**【請求項15】**

請求項9又は10に記載の方法であって、

前記第1のゲート構造の中心から前記第2のゲート構造の中心までの横方向距離が150ナノメートル未満である、方法。

**【請求項16】**

請求項9又は10に記載の方法であって、

前記コンタクトの前記底部が幅40ナノメートル未満である、方法。30

**【請求項17】**

請求項9又は10に記載の方法であって、

前記金属シリサイドがニッケルシリサイドを含む、方法。

**【請求項18】**

請求項9又は10に記載の方法であって、

前記シリコンゲルマニウムソース／ドレイン領域の深さが50ナノメートル～80ナノメートルである、方法。

**【請求項19】**

請求項9又は10に記載の方法であって、

前記金属シリサイドが実質的に平坦である、方法。40

**【請求項20】**

請求項9又は10に記載の方法であって、

前記フィールド酸化物の頂部表面が、前記第1のゲート構造の下の前記半導体材料の前記頂部表面の15ナノメートル内の共面である、方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

本願は、概して集積回路に関し、特に、集積回路におけるMOSトランジスタに関連す50

る。

**【背景技術】**

**【0002】**

集積回路が、シリコンゲルマニウム(SiGe)エピタキシャルソース/ドレイン領域を備えたpチャネル金属酸化物半導体(PMOS)トランジスタを含み得る。SiGeソース/ドレイン領域のインスタンスが、シャロートレンチアイソレーション(STI)プロセスによって形成されたフィールド酸化物に隣接し得る。SiGeソース/ドレイン領域は、シリコンゲルマニウムエピタキシャル材料とフィールド酸化物の誘電性材料との間に、高角度の表面ファセット(facet)とキャビティとを有し得る。

**【0003】**

10

ゲート構造の横方向表面上の誘電性スペーサ材料がキャビティ内へ及びシリコンゲルマニウムエピタキシャル材料まで下方に延在し得るように、ゲート構造が、SiGeソース/ドレイン領域の近隣のフィールド酸化物上に配置され得、SiGeソース/ドレイン領域上の金属シリサイドのためのエリアが低減される。SiGeソース/ドレイン領域上に配置されるコンタクトが、シリサイドエリアが低減されたため、及び場合によってはソース/ドレイン領域に対するコンタクトの整合許容差との組み合わせのため、PMOSトランジスタに対する高抵抗接続を不利に提供し得る。

**【発明の概要】**

**【0004】**

20

記載される例において、集積回路が半導体材料を含む。第1のゲート構造が、ゲート誘電体層及びゲートを含む。第2のゲート構造が、フィールド酸化物の側壁に重ならないゲートを含む。SiGeソース/ドレイン領域が、頂部端が半導体材料の頂部表面からSiGeソース/ドレイン領域の深さの3分の1より多く延在しないように、第1及び第2のゲート構造間にある。誘電体スペーサが、SiGeソース/ドレイン領域上まで延在して、ゲートの横方向表面の近隣にある。コンタクトが、コンタクトの底部の少なくとも半分がSiGeソース/ドレイン領域上の金属シリサイドに直接的に接するように、第1及び第2のゲート構造間にある。

**【図面の簡単な説明】**

**【0005】**

30

**【図1】** フィールド酸化物の近隣にPMOSトランジスタを含む例示の集積回路の断面図である。

**【0006】**

**【図2A】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2B】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2C】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2D】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2E】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2F】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【図2G】** 例示の製造シーケンスの継続的段階で示す、図1の集積回路の断面図である。

**【0007】**

40

**【図3A】** 代替の例示の製造シーケンスの継続的段階で示す、図1の集積回路の代替のバージョンの断面図である。

**【図3B】** 代替の例示の製造シーケンスの継続的段階で示す、図1の集積回路の代替のバージョンの断面図である。

**【図3C】** 代替の例示の製造シーケンスの継続的段階で示す、図1の集積回路の代替のバージョンの断面図である。

**【発明を実施するための形態】**

**【0008】**

フィールド酸化物に隣接するPMOSトランジスタを含む集積回路が、PMOSトランジスタのためのゲート構造を形成すること、及びPMOSトランジスタのソース/ドレイ

50

ン領域の近隣のフィールド酸化物上にゲート構造を同時に形成することによって形成される。エピタキシーハードマスク層が、PMOSトランジスタ及びフィールド酸化物上のゲート構造の上に形成され、エピタキシーハードマスク層が、フィールド酸化物とソース／ドレイン領域における半導体材料との間の境界を覆い、半導体材料に重なるように、パターニングされる。エピタキシーキャビティエッチングが、PMOSトランジスタのソース／ドレイン領域における集積回路の基板の半導体材料を取り除く。SiGe半導体材料とフィールド酸化物との間の境界の頂部端が、フィールド酸化物に隣接するソース／ドレイン領域におけるSiGe半導体材料の深さの3分の1より多く延在しないように、SiGe半導体材料がソース／ドレイン領域にエピタキシャル形成される。フィールド酸化物に隣接するソース／ドレイン領域におけるSiGeの頂部表面の少なくとも3分の1が露出されるように、PMOSゲート構造及びフィールド酸化物上のゲート構造の横方向表面上に誘電体スペーサが形成される。金属シリサイドが、フィールド酸化物に隣接するソース／ドレイン領域におけるSiGeの金属シリサイドがSiGeの頂部表面の少なくとも3分の1を覆うように、露出されたSiGe上に形成される。コンタクトが、コンタクトの底部の少なくとも半分が、フィールド酸化物に隣接するソース／ドレイン領域におけるSiGe上の金属シリサイドに直接的に接するように形成される。

## 【0009】

図1は、フィールド酸化物の近隣にPMOSトランジスタを含む例示の集積回路の断面図である。集積回路100は基板102内及び上に形成され、基板102は、その頂部表面において半導体材料104を含む。フィールド酸化物106が、フィールド酸化物106の頂部表面が実質的に、基板102の頂部表面168の、15ナノメートル内の、共面(coplanar)であるように基板102に配置される。

## 【0010】

PMOSトランジスタ110のための第1のゲート構造108が、フィールド酸化物106に近接して基板102上に配置される。第1のゲート構造108は、基板102の頂部表面168において半導体材料104上に配置されるゲート誘電体層112を含む。ゲート誘電体層112は、例えば、二酸化シリコンの熱的に成長された層、或いはハフニウム酸化物又はジルコニア酸化物などの誘電性材料の堆積された層とし得る。第1のゲート構造はまた、ゲート誘電体層112の上のゲート114を含む。ゲート114は、例えば、主として多結晶シリコンであり得る。第1のゲート構造はまた、ゲート114の横方向表面上に配置された第1の誘電体スペーサ116を含む。第1の誘電体スペーサ116は、例えば、二酸化シリコン及びシリコン窒化物の一つ又は複数の層を含み得る。

## 【0011】

第2のゲート構造118が、半導体材料104に近隣してフィールド酸化物106上に配置される。第2のゲート構造118は、例えば、ゲート誘電体層112及び120が、半導体材料104及びフィールド酸化物106上に同時に堆積される堆積された誘電体層である場合など、ゲート誘電体層120を有し得る。第1のゲート構造108のゲート誘電体層112が、例えば、フィールド酸化物106上に形成しない熱的に成長された酸化物層である場合、第2のゲート構造118にゲート誘電体層がない可能性がある。第2のゲート構造118は、(ある場合)ゲート誘電体層120上の、又は第2のゲート構造118にゲート誘電体層がない場合はフィールド酸化物106上の、ゲート122を含む。ゲート122は、フィールド酸化物106の側壁142に重ならない。第2のゲート構造118は、ゲート122の横方向表面上に配置される第1の誘電体スペーサ124を含む。

## 【0012】

第2のゲート構造118は、例えば、インバータ、NANDゲート、又はNORゲートなどの、ロジック構成要素のゲート間の接続であり得る。第2のゲート構造118は、代替として、電気的にイナクティブであり得、第1のゲート構造108のための均一なパターニングを提供するように形成され得る。第1のゲート構造108の中心から第2のゲート構造118の中心までの横方向距離126が、例えば、集積回路100を製造するため

10

20

30

40

50

に用いられる設計ルールに従ったコンタクトされるゲート構造のための最小距離であり得る。この横方向距離 126 は、例えば、150 ナノメートル未満とし得る。

#### 【0013】

任意選択の第3のゲート構造 128 が、第2のゲート構造 118 とは反対の第1のゲート構造 108 の近隣に配置され得る。第3のゲート構造 128 は、図1に示すような半導体材料 104 上に配置され得、又はフィールド酸化物上に配置され得る。第3のゲート構造 128 は、場合によっては第2のゲート構造 118 のゲート誘電体層 120 を参照して説明される例外はあるが、ゲート誘電体層 130 を含む。第3のゲート構造 128 は、(ある場合)ゲート誘電体層 130 上のゲート 132、及びゲート 132 の横方向表面上に配置される第1の誘電体スペーサ 134 を含む。第3のゲート構造 128 は、PMOSトランジスタ 110 の一部であり得、異なるPMOSトランジスタの一部であり得、又はイナクティブであり得、第1のゲート構造 108 のための均一なパターニングを提供するように形成され得る。10

#### 【0014】

第1のゲート構造 108 の中心から第3のゲート構造 128 の中心までの横方向距離 136 を、例えば、第1のゲート構造 108 の中心から第2のゲート構造 118 の中心までの横方向距離 126 に実質的に等しくし得る。この横方向距離 136 も 150 ナノメートル未満とし得る。

#### 【0015】

第1のSiGeソース/ドレイン領域 138 が、第1のゲート構造 108 とフィールド酸化物 106との間の半導体材料 104 上の基板 102 に配置される。フィールド酸化物 106 の側壁 142 における第1のSiGeソース/ドレイン領域 138 の頂部端 140 が、第1のゲート構造 108 の下の半導体材料 104 の頂部表面 168 の平面より下に配置され得る。フィールド酸化物 106 の側壁 142 における第1のSiGeソース/ドレイン領域 138 の頂部端 140 の垂直の距離 144 が、半導体材料 104 の頂部表面 168 より下の第1のSiGeソース/ドレイン領域 138 の深さ 146 の3分の1未満である。第1のSiGeソース/ドレイン領域 138 の深さ 146 は、50 ナノメートル~80 ナノメートルとし得る。付加的な SiGe ソース/ドレイン領域 148 が、第1のゲート構造 108 と第3のゲート構造 128 との間、及び場合によっては第1のゲート構造 108 とは反対の第3のゲート構造 128 の近隣で、半導体材料 104 上の基板 102 に配置される。2030

#### 【0016】

第2の誘電体スペーサ 150 が、第1のゲート構造 108 の近隣で第1のSiGeソース/ドレイン領域 138 及び SiGe ソース/ドレイン領域 148 上まで延在して、第1のゲート構造 108 の第1の誘電体スペーサ 116 上に配置される。第2の誘電体スペーサ 150 は、シリコン窒化物及び/又は二酸化シリコンの一つ又は複数の層を含み得、例えば、第1のゲート構造 108 のゲート 114 の幅の3分の1から3分の2の最大横方向厚みを有し得る。ゲート 114 の幅は、ゲート 114 のゲート長と称されることもある。また、第2の誘電体スペーサ 152 が、第2のゲート構造 118 の第1の誘電体スペーサ 124 上に配置され、第1のSiGe ソース/ドレイン領域 138 上まで延在する。また、第2の誘電体スペーサ 154 が、第3のゲート構造 128 の第1の誘電体スペーサ 134 上に配置され、第3のゲート構造 128 の近隣で SiGe ソース/ドレイン領域 148 上まで延在する。40

#### 【0017】

第2の誘電体スペーサ 150、152、及び 154 によって露出されるエリアにおける、第1のSiGe ソース/ドレイン領域 138 及び付加的な SiGe ソース/ドレイン領域 148 上に、金属シリサイド 156 が配置される。金属シリサイド 156 は、第1の SiGe ソース/ドレイン領域 138 の頂部表面の少なくとも3分の1を覆う。金属シリサイド 156 はまた、ゲート 114、122、及び 132 の頂部に配置され得る。

#### 【0018】

50

プレメタル誘電体（PMD）層158が、集積回路100の既存の頂部表面の上に配置される。PMD層158は、シリコン窒化物のライナー、ボロンリン珪酸ガラス（BPSG）のメイン層、及び場合によっては、シリコン窒化物、シリコンカーバイド、又はシリコンカーバイド窒化物のキャップ層など、誘電性材料の幾つかの層を含み得る。

#### 【0019】

コンタクト160がPMD層158に配置され、第1のSiGeソース／ドレイン領域138の頂部表面への電気的接続を成す。コンタクト160の底部の少なくとも半分が、第1のSiGeソース／ドレイン領域138に直接的に接する。コンタクト160の底部は、例えば、40ナノメートル幅未満とし得る。付加的なコンタクト162がPMD層158に配置され得、付加的なSiGeソース／ドレイン領域148への電気的接続を成し得る。コンタクト160及び162は、チタン及びチタン窒化物のライナー164、及びタングステンの充填金属166を含み得る。

#### 【0020】

図2A～図2Gは、例示の製造シーケンスの継続的段階に示す、図1の集積回路の断面図である。図2Aを参照すると、集積回路100の形成が基板102で開始する。基板102は、例えば、単結晶シリコンウエハ、SOI（シリコンオンインシュレータ）ウエハ、頂部表面における半導体の領域が異なる結晶配向を有する、ハイブリッド配向技術（HOT）のウエハ、又は集積回路100を形成するために適切なその他の基板とし得る。基板102は、基板102の頂部表面168まで延在する半導体材料104を含む。半導体材料104は、例えば、単結晶シリコンとし得る。

10

20

#### 【0021】

フィールド酸化物106が基板102に形成される。フィールド酸化物106は、シャロートレンチアイソレーション（STI）プロセスにより形成され得、このプロセスは、基板102においてトレンチをエッチングすること、トレンチを二酸化シリコンなどの誘電性材料で充填すること、及び化学機械研磨（CMP）プロセスで基板102の頂部表面168の上から誘電性材料を取り除くことを含む。フィールド酸化物106の頂部表面は実質的に、基板102の頂部表面168の、15ナノメートル内の、共面である。

#### 【0022】

第1のゲート構造108のゲート誘電体層112、及び第3のゲート構造128のゲート誘電体層130、及び場合によっては第2のゲート構造118のゲート誘電体層120が、半導体材料104の頂部表面168において形成される。この例の一つのバージョンにおいて、ゲート誘電体層112及び130が半導体材料104の熱酸化により形成され得、このバージョンにおいて、フィールド酸化物106上にゲート誘電体層は形成されず、そのため、第2のゲート構造にはゲート誘電体層がない。この実施例の別のバージョンにおいて、ゲート誘電体層112、130、及び120が、半導体材料104の頂部表面168及びフィールド酸化物106の頂部表面上の、誘電性材料の堆積により形成され得る。堆積されたゲート誘電体層112、130、及び120は、例えば、ハフニウム酸化物、ジルコニウム酸化物、及び／又はタンタル酸化物などの、高k誘電性材料を含み得る。

30

#### 【0023】

続いて、第1のゲート構造108のゲート114、第2のゲート構造118のゲート122、及び第3のゲート構造128のゲート132が、それぞれ、ゲート誘電体層112、120（ある場合）、及び130上に形成される。ゲート114、122、及び132は、ゲート誘電体層112、120、及び130の上に、通常ポリシリコンと呼ばれる多結晶シリコンの層を形成すること、及び、このポリシリコンの層の上にハードマスク材料（非晶質炭素など）の層を形成することなどにより形成され得る。ゲート114、122、及び132のためのエリアを覆うように、ハードマスク材料の層の上にフォトレジストエッチングマスクが形成される。第1の反応性イオンエッティング（RIE）プロセスが、ポリシリコン層の上にハードエッティングマスクを形成するように、露出されたハードマスク材料を取り除く。第2のRIEプロセスが、ゲート114、122、及び132を形成

40

50

するように、露出されたポリシリコンを取り除き、残ったフォトレジストを腐食させる(erosion)。残ったハードマスク材料はその後、アッシングなどにより、取り除かれる。

#### 【0024】

第1のゲート構造108の第1の誘電体スペーサ116、第2のゲート構造118の第1の誘電体スペーサ124、及び第3のゲート構造128の第1の誘電体スペーサ134が、それぞれ、ゲート114、122、及び132の横方向表面上に形成される。第1の誘電体スペーサ116、124、及び134は、二酸化シリコンの層を形成するよう、ゲート114、122、及び132の横方向表面を熱的に酸化させることにより形成され得る。続いて、二酸化シリコン及び/又はシリコン窒化物の一つ又は複数のコンフォーマル層が、プラズマエンハンスト化学気相成長(PECVD)及び/又は低圧力化学気相成長(LPCVD)プロセスによりゲート114、122、及び132の上に形成され得る。第1の誘電体スペーサ116、124、及び134を形成するよう、後続の異方性プラズマエッ칭が、ゲート114、122、及び132の頂部から二酸化シリコン及びシリコン窒化物の層を取り除く。  
10

#### 【0025】

エピタキシーハードマスク層170が、集積回路100の既存の頂部表面の上に形成される。エピタキシーハードマスク層170は、例えば、LPCVDプロセスによって形成される20ナノメートル~50ナノメートルのシリコン窒化物を含み得る。

#### 【0026】

エピタキシーマスク172が、半導体材料104及びフィールド酸化物106に接するエピタキシーハードマスク層170の部分を露出させて、第1のゲート構造108、第2のゲート構造118、及び第3のゲート構造128の上に形成される。エピタキシーマスク172は、フォトレジストを含み得、ゲート114、122、及び132のためのフォトレジストエッチングマスクを形成するために用いられるものと同様の照明源を用いるフォトリソグラフィプロセスにより形成され得る。エピタキシーマスク172は、第1のゲート構造108と第2のゲート構造118との間のフィールド酸化物106の近隣で半導体材料104の頂部表面168の一部に重なるように、及び第1のゲート構造108と第2のゲート構造118との間のエピタキシーハードマスク層170の一部を露出させるよう、第2のゲート構造118の上に形成される。エピタキシーマスク172は、場合によつては、半導体材料104の頂部表面168の一部に重なるように、第1のゲート構造108の第1の誘電体スペーサ116を過ぎるよりも、第2のゲート構造118の第1の誘電体スペーサ124を過ぎて一層遠くまで延在し得る。この例の代替のバージョンにおいて、エピタキシーマスク172は、場合によつては第1のゲート構造108又は第3のゲート構造128の上に形成されない可能性もある。  
20  
30

#### 【0027】

図2Bを参照すると、第1のゲート構造108、第2のゲート構造118、及び第3のゲート構造128の上にエピタキシーハードマスク174を形成するよう、エッチングプロセスが、エピタキシーマスク172によって露出された図2Aのエピタキシーハードマスク層170を取り除く。第2のゲート構造118の上のエピタキシーハードマスク174は、第1のゲート構造108と第2のゲート構造118との間のフィールド酸化物106の近隣で半導体材料104の頂部表面168に重なる。図2Aを参照して述べたように、この例の代替のバージョンにおいて、第1のゲート構造108及び第3のゲート構造128には、エピタキシーマスク172がない可能性があり、そのためエピタキシーハードマスク174がない可能性がある。エピタキシーマスク172は、エピタキシーハードマスク174を形成するためのエッチングプロセスが完了した後取り除かれる。  
40

#### 【0028】

図2Cを参照すると、第1のゲート構造108と第2のゲート構造118との間の第1のソース/ドレインキャビティ176を形成するよう、及び第1のゲート構造108及び第3のゲート構造128の近隣で付加的なソース/ドレインキャビティ178を形成するよう、エッチングプロセスが、エピタキシーハードマスク174によって露出された  
50

ソース／ドレイン領域から半導体材料 104 を取り除く。第 1 のソース／ドレインキャビティ 176 及び付加的なソース／ドレインキャビティ 178 は、例えば、半導体材料 104 の頂部表面 168 より下に 50 ナノメートル～80 ナノメートルの深さとし得る。図 2B を参照して説明したように半導体材料 104 に重なるエピタキシーハードマスク 174 を形成することは、有利にも、第 1 のソース／ドレインキャビティ 176 の底部からフィールド酸化物 106 に沿って延在する半導体材料 104 となり、これは、図 1 に示す望ましい SiGe プロファイルを提供する。

#### 【0029】

図 2D を参照すると、それぞれ、第 1 の SiGe ソース／ドレイン領域 138 及び付加的な SiGe ソース／ドレイン領域 148 を形成するように、第 1 のソース／ドレインキャビティ 176 及び付加的なソース／ドレインキャビティ 178 に SiGe 半導体材料がエピタキシャル形成される。フィールド酸化物 106 の側壁 142 上の SiGe 半導体材料の制限された成長のため、第 1 の SiGe ソース／ドレイン領域 138 の頂部表面ファセットが傾斜され得る。エピタキシーハードマスク 174 は、第 1 のソース／ドレインキャビティ 176 及び付加的なソース／ドレインキャビティ 178 を形成するためのエッチングプロセスが完了した後、リン酸を用いるプラズマエッチングプロセス又はウェットエッチングプロセスなどにより、取り除かれる。

#### 【0030】

図 2E を参照すると、誘電体スペーサ材料 180 のコンフォーマル層が、集積回路 100 の既存の頂部表面の上に形成される。誘電体スペーサ材料 180 のコンフォーマル層は、シリコン窒化物及び／又は二酸化シリコンの一つ又は複数の層を含み得、ゲート 114、122、及び 132 の幅の 3 分の 1～3 分の 2 の総厚を有し得る。誘電体スペーサ材料 180 のコンフォーマル層は、フィールド酸化物 106 の側壁 142 における第 1 の SiGe ソース／ドレイン領域 138 の頂部端 140 を超えて著しく厚くし得る。

#### 【0031】

図 2F を参照すると、第 1 のゲート構造 108 の第 1 の誘電体スペーサ 116 上の第 2 の誘電体スペーサ 150、第 2 のゲート構造 118 の第 1 の誘電体スペーサ 124 上の第 2 の誘電体スペーサ 152、及び第 3 のゲート構造 128 の第 1 の誘電体スペーサ 134 上の第 2 の誘電体スペーサ 154 を形成するように、異方性 RIE プロセスが、ゲート 114、122、及び 132 の上から図 2E の誘電体スペーサ材料 180 のコンフォーマル層を取り除く。フィールド酸化物 106 の側壁 142 における第 1 の SiGe ソース／ドレイン領域 138 の頂部端 140 を超える一層厚い誘電体スペーサ材料 180 のコンフォーマル層のため、第 2 のゲート構造 118 上の第 2 の誘電体スペーサ 152 は、第 1 の SiGe ソース／ドレイン領域 138 の角度付けられた表面ファセット上まで延在する。フィールド酸化物 106 の側壁 142 における第 1 の SiGe ソース／ドレイン領域 138 の望ましいプロファイルは、図 2C を参照して説明したように半導体材料 104 に重なるエピタキシーハードマスク 174 を形成することに起因して、第 1 の SiGe ソース／ドレイン領域 138 の角度付けられた表面ファセット上の第 2 の誘電体スペーサ 152 の横方向範囲を有利に制限して、第 1 の SiGe ソース／ドレイン領域 138 の角度付けられた表面ファセットの少なくとも 3 分の 1 が露出されるようにする。

#### 【0032】

図 2G を参照すると、第 2 の誘電体スペーサ 150、152、及び 154 によって露出されたエリアにおける第 1 の SiGe ソース／ドレイン領域 138 及び付加的な SiGe ソース／ドレイン領域 148 上に、及び場合によってはゲート 114、122、及び 132 上に、金属シリサイド 156 が形成される。金属シリサイド 156 は、集積回路 100 の既存の頂部表面上に金属（ニッケルなど）の層を堆積すること、その金属の一部を、露出された SiGe 及びシリコンと反応させるように集積回路 100 を加熱すること、及び、集積回路 100 を硫酸及び過酸化水素の混合を含むウェットエッチャントに晒すことによって未反応の金属を選択的に取り除くこと、などにより形成され得る。続いて、図 1 の PMD 層 158 及びコンタクト 160 及び 162 が形成される。

10

20

30

40

50

**【 0 0 3 3 】**

図3A～図3Cは、図1の集積回路の代替のバージョンの断面図であり、代替の例示の製造シーケンスの継続的段階で示す。図3Aを参照すると、第1のソース／ドレインキャビティ176が形成された後に、半導体材料104がエピタキシーハードマスク174の直下のフィールド酸化物106の側壁142上に残るように、第2のゲート構造118の上のエピタキシーハードマスク174は、第1のゲート構造108と第2のゲート構造118との間の半導体材料104の頂部表面168に充分に重なる。

**【 0 0 3 4 】**

図3Bを参照すると、頂部表面ファセットが実質的に全て半導体材料104の頂部表面168より上にあるように、第1のSiGeソース／ドレイン領域138が形成される。  
10 第1のSiGeソース／ドレイン領域138のプロファイルは、付加的なSiGeソース／ドレイン領域148のプロファイルに実質的に類似し得、これは、図1に示す構成と比較して、第3のゲート構造128の下の半導体材料104における応力により一層ほぼ等しい、第1のゲート構造108の下の半導体材料104における応力を有利に提供し得る。

**【 0 0 3 5 】**

図3Cを参照すると、第1のSiGeソース／ドレイン領域138上の金属シリサイド156は実質的に平坦である。第1のSiGeソース／ドレイン領域138上の金属シリサイド156の幅は、付加的なSiGeソース／ドレイン領域148上の金属シリサイド156の幅より小さくし得る。  
20

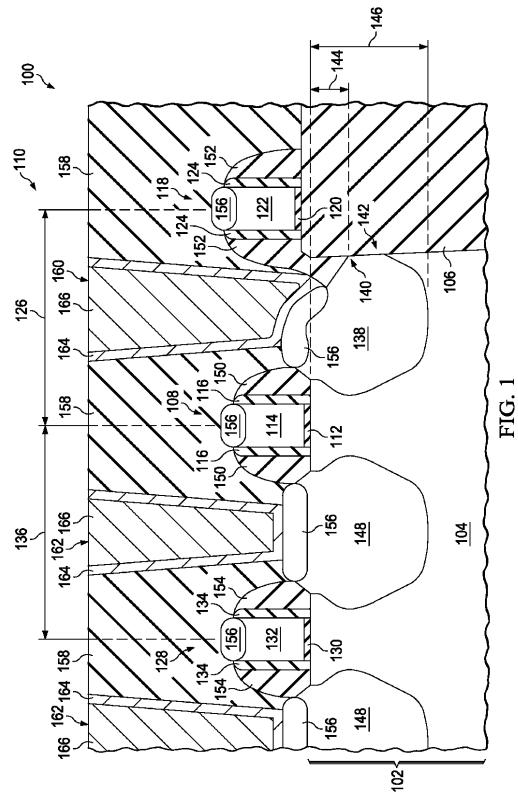
**【 0 0 3 6 】**

従って、例示の実施例において、集積回路が、PMOSゲート構造、及び近隣のフィールド酸化物上のゲート構造を含む。エピタキシーハードマスクがPMOSソース／ドレイン領域における半導体材料に重なるように、エピタキシーハードマスクがフィールド酸化物上のゲート構造の上に形成される。フィールド酸化物におけるSiGe半導体材料の頂部端が、フィールド酸化物に隣接するソース／ドレイン領域におけるSiGeの深さの3分の1より多く延在しないように、SiGe半導体材料が、ソース／ドレイン領域にエピタキシャル形成される。フィールド酸化物上のゲート構造の横方向表面上の誘電体スペーサが、SiGe上まで延在し、SiGeの少なくとも3分の1が露出される。金属シリサイドがSiGeの頂部表面の少なくとも3分の1を覆う。コンタクトが、SiGe上の金属シリサイドに直接的に接するコンタクトの底部の少なくとも半分を有する。  
30

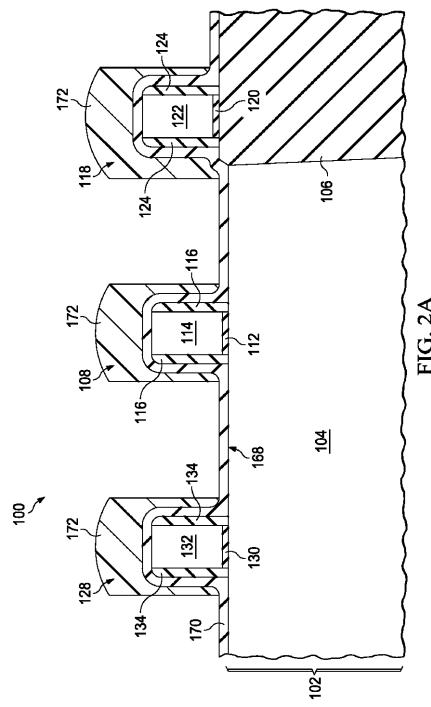
**【 0 0 3 7 】**

本発明の特許請求の範囲内で、説明した例示の実施例に変形が成され得、多くの他の実施例が可能である。

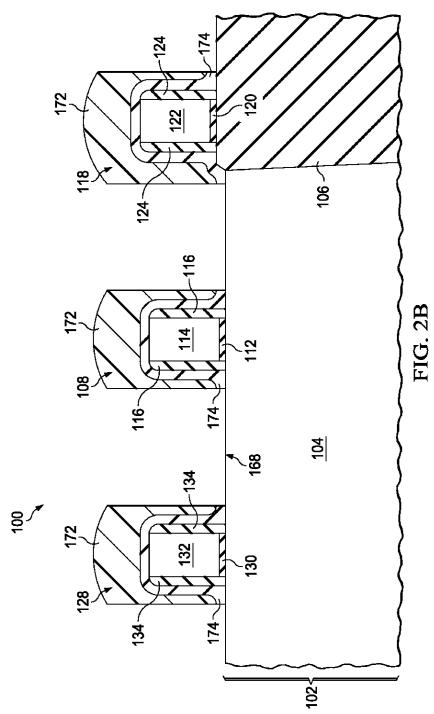
【図1】



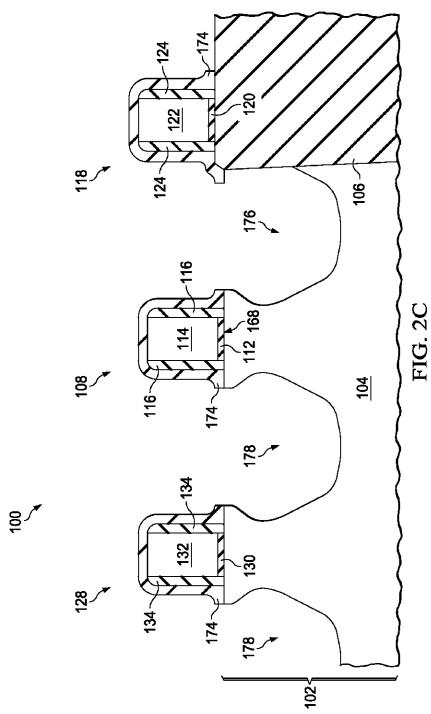
【図2A】



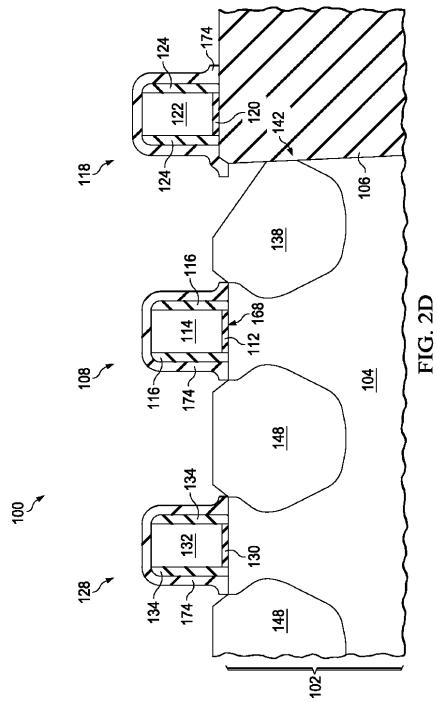
【図2B】



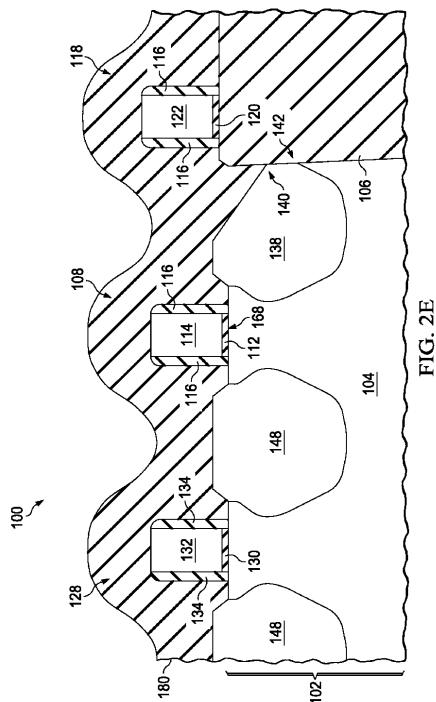
【図2C】



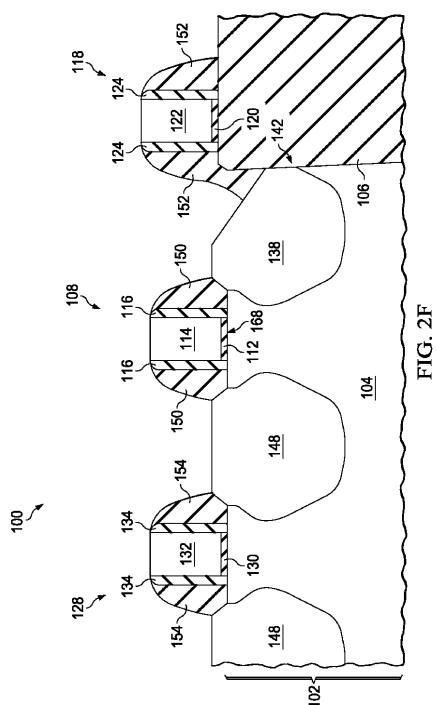
【図 2 D】



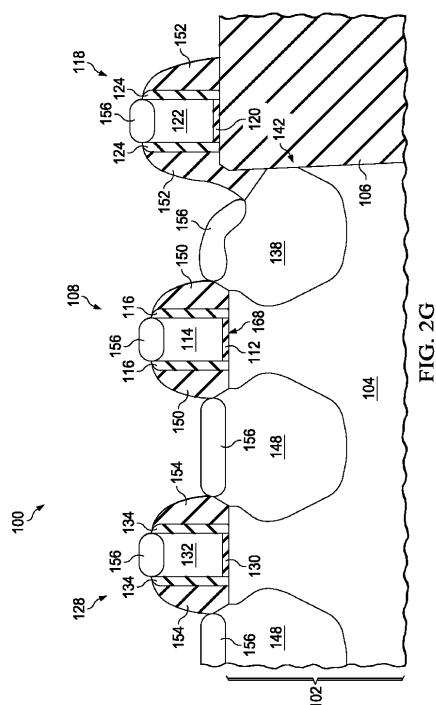
【図 2 E】



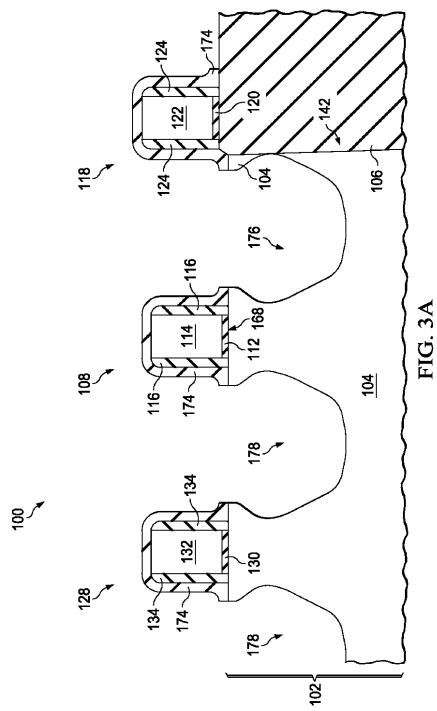
【図 2 F】



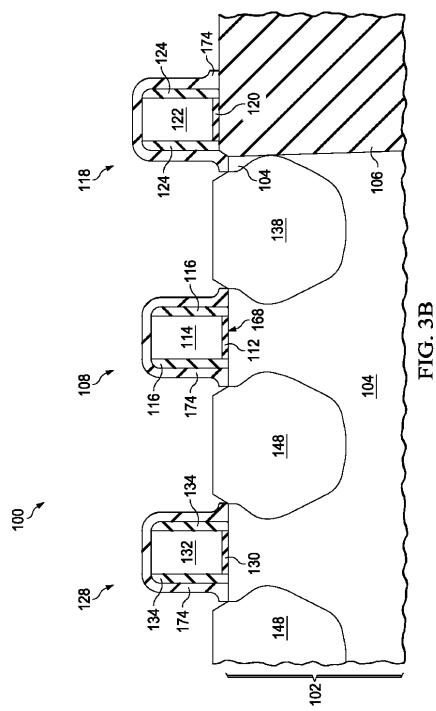
【図 2 G】



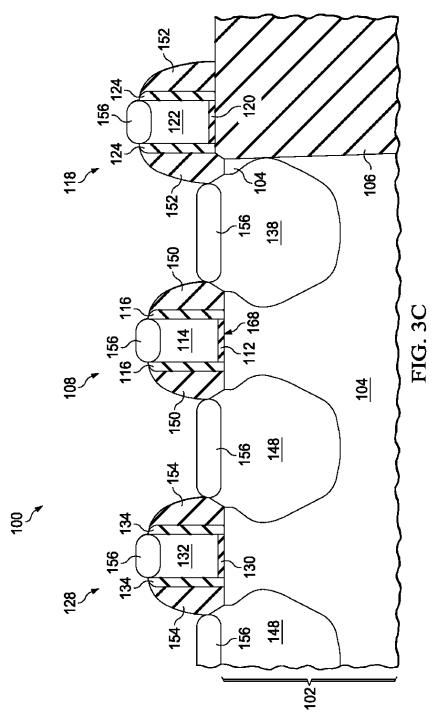
【図3A】



【図3B】



【図3C】



---

フロントページの続き

(72)発明者 シャシャンク エス エクボーテ  
アメリカ合衆国 75013 テキサス州 アレン, パラセイド ドライブ 1803  
(72)発明者 クワンヨン リム  
アメリカ合衆国 75025 テキサス州 プラノ, エイピーティー 14204, インディ  
ペンデンス パークウェイ 8900  
(72)発明者 エベニーザ エシュン  
アメリカ合衆国 75074 テキサス州 プラノ, エイピーティー 12203, イース  
ブリング クリーク パークウェイ 2001  
(72)発明者 ヨウンスン チョイ  
アメリカ合衆国 75013 テキサス州 アレン, ポート イサベル ドライブ 1801

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第2012/0091539(US, A1)  
米国特許出願公開第2011/0003450(US, A1)  
米国特許出願公開第2011/0049637(US, A1)  
特開2008-172209(JP, A)  
米国特許出願公開第2013/0109144(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234  
H01L 21/28  
H01L 21/336  
H01L 27/088  
H01L 29/78